

TOSHIBA

32 ビット RISC マイクロコントローラ
TX03 シリーズ

TMPM342FYXBG

株式会社 **東芝**
セミコンダクター & ストレージ社

お客様各位

2021-9-1

東芝デバイス&ストレージ株式会社
東芝デバイスソリューション株式会社

〒212-8520 神奈川県川崎市幸区堀川町 580-1

Tel: 044-548-2200

Fax: 044-548-8965

非同期シリアル通信機能に関する誤記について

平素より東芝マイクロコントローラーをご使用頂き、誠にありがとうございます。

弊社マイコンに内蔵されております非同期シリアル通信機能(UART、またはFUART)、50%デューティモード付き非同期シリアル通信回路(UART)の送信割り込み発生タイミングで、データシート、リファレンスマニュアルの記載に誤記が発見されました。

大変ご迷惑をおかけ致しますが、本文章をご確認頂きますようお願い申し上げます。

本件のご不明な点につきましては、弊社営業担当までお問い合わせいただきますようお願い申し上げます。

—記—

1. 対象製品

TMPM342FYXBG	TMPM440FEXBG	TMPA900CMXBG
TMPM343F10XBG	TMPM440F10XBG	TMPA901CMXBG
TMPM343FDXBG	TMPM461F10FG	TMPA910CRAXBG
TMPM366F20AFG	TMPM461F15FG	TMPA910CRBXXBG
TMPM366FWFG	TMPM462F10FG	TMPA911CRXBG
TMPM366FYFG	TMPM462F15FG	TMPA912CMXBG
TMPM366FDFG	TMPM46BF10FG	TMPA913CHXBG
TMPM366FWXBG	TMPM4G6FDFG	
TMPM366FYXBG	TMPM4G6FEFG	
TMPM366FDXBG	TMPM4G6F10FG	
TMPM367FDFG	TMPM4G7FDFG	
TMPM367FDXBG	TMPM4G7FEFG	
TMPM368FDFG	TMPM4G7F10FG	
TMPM368FDXBG	TMPM4G8FDFG	
TMPM369FDFG	TMPM4G8FDXBG	
TMPM369FDXBG	TMPM4G8FEFG	
TMPM36BF10FG	TMPM4G8FEXBG	
TMPM36BFYFG	TMPM4G8F10FG	
TMPM381FWDFG	TMPM4G8F10XBG	
TMPM381FWFG	TMPM4G8F15FG	
TMPM383FSEFG	TMPM4G8F15XBG	
TMPM383FSUG	TMPM4G9FDFG	
TMPM383FWEFG	TMPM4G9FDXBG	
TMPM383FWUG	TMPM4G9FEFG	
TMPM3V4FSEFG	TMPM4G9FEXBG	
TMPM3V4FSUG	TMPM4G9F10FG	
TMPM3V4FWEFG	TMPM4G9F10XBG	
TMPM3V4FWUG	TMPM4G9F15FG	
TMPM3V6FWDFG	TMPM4G9F15XBG	
TMPM3V6FWFG		

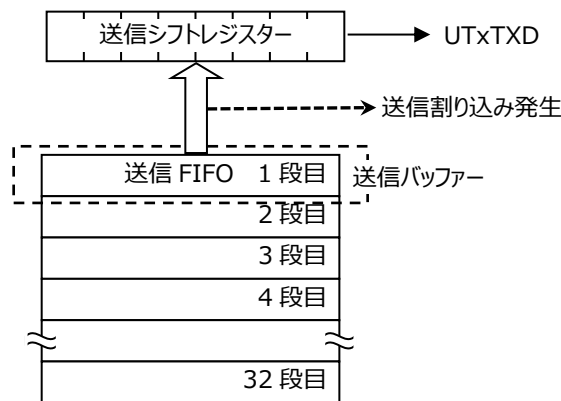
2. 詳細

送信割り込みの発生タイミングは以下となります。

なお、送信割り込み発生タイミング誤記につきましては"送信 FIFO 未使用時"に限られ、"送信 FIFO 使用時"ではデータシートの記載のとおりとなります。

2.1. 送信 FIFO 未使用時

送信バッファ(送信 FIFO 1 段目)から送信シフトレジスタにデータが転送されたときに(送信バッファに空きができたとき)送信割り込みが発生します。



2.1.1. 送信割り込み発生タイミング

送信 FIFO 未使用時の送信割り込みは、次データに対する送信バッファへの書き込みタイミングを通知するため、送信バッファが空になったタイミングで発生します。送信割り込みは送信バッファに次のデータが書き込まれると自動的にクリアされるため、連続的にデータを送信し続ける場合はソフトウェアによる送信割り込みのクリアは必要ありません(UARTxICR<TXIC> = "1"設定)。

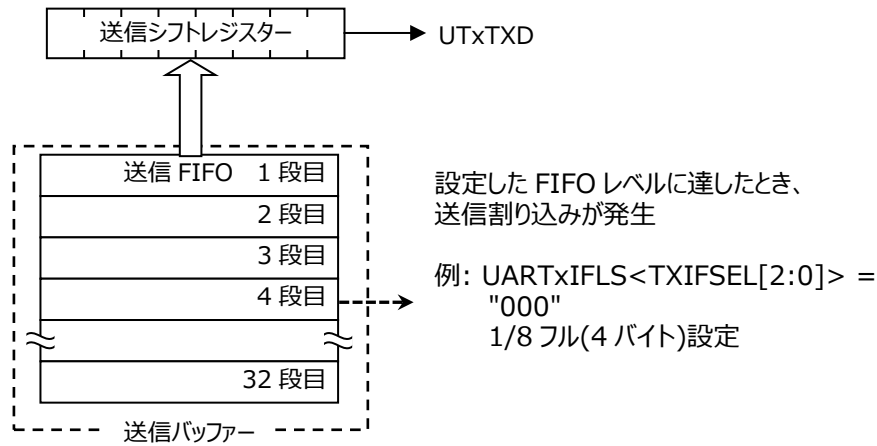
また、送信を終了する場合は、最終送信データがシフトレジスタに転送され、送信バッファが空になった際に最後の送信割り込みが発生します。送信バッファに次のデータを書き込まない場合は、割り込みハンドラー内でソフトウェアによる割り込みクリア(UARTxICR<TXIC> = "1"設定)を実行することで送信割り込みを意図的にクリアすることができます。

なお、データ送信中にソフトウェアで送信割り込みクリア(UARTxICR<TXIC> = "1"設定)を実行した場合、送信完了時の STOP ビット発生と同時のタイミングで送信バッファにデータの書き込みを行うと、送信割り込みは発生しません。確実に送信割り込みを発生させる場合は、データ送信中にソフトウェアで送信割り込みをクリアしないで送信バッファにデータを書き込むか、送信が停止している状態(UARTxFR<BUSY> = "0"のとき)で送信バッファにデータを書き込んでください。

連続してデータを送信する場合は、次項の送信 FIFO を利用したデータ転送を推奨致します。

2.2. 送信 FIFO 使用時

送信動作により送信 FIFO の格納段数が `UARTxIFLS<TXIFSEL[2:0]>` であらかじめ設定した FIFO レベルに達すると送信割り込みが発生します。



2.2.1. 送信割り込み発生タイミング

送信 FIFO 使用時は、設定した FIFO レベルに達したときに送信割り込み発生します。

例えば、`UARTxIFLS<TXIFSEL[2:0]> = "000"` (1/8 フル 4 バイト設定) の場合、送信 FIFO に格納されたデータが 4 段目に達したときに送信割り込みが発生します。

送信割り込みは設定した FIFO レベルを超えるデータが送信 FIFO に格納されるとクリアされ、設定した FIFO レベルに達すると再度発生します。

3. 誤記内容

製品により送信割り込み発生タイミングの記載内容が異なり、各製品に対する誤記掲載箇所の章番号を以下表に示します。なお、送信割り込み発生タイミング誤記につきましては"送信 FIFO 未使用時"に限られ、"送信 FIFO 使用時"ではデータシートの記載のとおりとなります。

誤記に対する修正、追記内容は、以降の「4. 誤記修正・追記内容」で説明し、全ての対象製品で共通の記載内容となります。

3.1. 記載タイプ A

3.1.1. 対象製品と対象箇所の章番号

製品名	記載箇所章番号
TMPM342FYXBG	16.4.7
TMPM366F20AFG(注)	15.4.7
TMPM366FWFG、TMPM366FYFG、TMPM366FDFG、TMPM366FWXBG、 TMPM366FYXBG、TMPM366FDXBG	16.4.7
TMPM367FDFG、TMPM367FDXBG、TMPM368FDFG、TMPM368FDXBG、 TMPM369FDFG、TMPM369FDXBG	13.4.7
TMPM36BFYFG、TMPM36BF10FG	13.4.7
TMPA900CMXBG、TMPA901CMXBG、TMPA910CRAXBG、TMPA910CRBxBG、 TMPA911CRXBG、TMPA912CMXBG、TMPA913CHXBG	3.13.1.1 (7)

注) 非同期シリアル通信機能(UART)章です。

タイプ A

修正が必要な記載箇所(赤枠)

割り込み種類	割り込み発生タイミング
オーバーランエラー発生	過剰データの STOP ビット受信後
ブ레이크エラー 割り込み	STOP ビット受信後
パリティエラー発生	パリティデータ受信後
フレーミングエラー発生	フレームオーバーとなる Bit データを受信した後
受信タイムアウト割り込み	受信 FIFO にデータを取り込んでから、Baud16 の 511 クロック後
送信割り込み	最終 DATA (MSB データ)を送信した後
受信割り込み	STOP ビット受信後

3.2. 記載タイプ B(1)

3.2.1. 対象製品と対象箇所の章番号

製品名	記載箇所章番号
TMPM461F10FG、TMPM461F15FG、TMPM462F10FG、TMPM462F15FG	14.4.6.2

タイプ B(1)

修正が必要な記載箇所(赤枠)

割り込み種類	割り込み発生タイミング
オーバランエラー割り込み	FIFO がフルになったときの STOP ビット受信後
ブ레이크エラー割り込み	STOP ビット受信後
パリティエラー割り込み	パリティデータ受信後
フレーミングエラー割り込み	フレームオーバーとなる Bit データを受信した後
受信タイムアウト割り込み	受信 FIFO にデータを取り込んでから、Baud16 の 511 クロック後
送信割り込み	FIFO 未使用時： 送信許可後、1 バイト目は START ビット送信開始時と STOP ビット送信開始時、2 バイト目以降は、STOP ビット送信開始時 (それぞれの割り込み発生でデータ書き込みを行い割り込みクリアした場合)
	FIFO 使用時： STOP ビット送信開始時(MSB データ転送後) に FIFO 内が設定された FIFO レベルのデータ数となったとき
受信割り込み	FIFO 未使用時： STOP ビット受信後
	FIFO 使用時： 設定した FIFO がフルとなるで一の STOP ビット受信後

3.3. 記載タイプ B(2)

3.3.1. 対象製品と対象箇所の章番号

製品名	記載箇所章番号
TMPM343FDXBG、TMPM343F10XBG、TMPM366F20AFG(注)	16.4.6.2
TMPM381FWFG、TMPM381FWDFG、 TMPM383FSUG、TMPM383FSEFG、TMPM383FWUG、TMPM383FWEFG、 TMPM3V4FSUG、TMPM3V4FSEFG、TMPM3V4FWUG、TMPM3V4FWEFG、 TMPM3V6FWFG、TMPM3V6FWDFG	11.4.6.2
TMPM440FEXBG、TMPM440F10XBG	26.4.6.2

注) 50%デューティモード付き非同期シリアル通信回路(UART)章です。

タイプ B(2)

修正が必要な記載箇所(赤枠)

割り込み種類	割り込み発生タイミング
オーバーランエラー発生	FIFO がフルになった時の STOP ビット受信後
ブレークエラー 割り込み	STOP ビット受信後
パリティエラー 発生	パリティデータ受信後
フレーミングエラー発生	フレームオーバーとなる Bit データを受信した後
受信タイムアウト割り込み	受信 FIFO にデータを取り込んでから、Baud16 の 511 クロック後
送信割り込み	FIFO 未使用時: 送信許可設定後、1 バイト目は START ビット送信開始時と STOP ビット送信開始時、2 バイト目以降は、STOP ビット送信開始時 (それぞれの割り込み発生でデータ書き込みを行い割り込みクリアした場合)
	FIFO 使用時: STOP ビット送信開始時(MSB データ転送後)に FIFO 内が設定された FIFO レベルのデータ数となった時
受信割り込み	FIFO 未使用時: STOP ビット受信後
	FIFO 使用時: 設定した FIFO レベルがフルとなるデータの STOP ビット受信後

3.4. 記載タイプ B(3)

3.4.1. 対象製品と対象箇所の章番号

製品名	記載箇所章番号
TMPM4G6FDFG、TMPM4G6FEFG、TMPM4G6F10FG、TMPM4G7FDFG、 TMPM4G7FEFG、TMPM4G7F10FG、TMPM4G8FDFG、TMPM4G8FDXBG、 TMPM4G8FEFG、TMPM4G8FEXBG、TMPM4G8F10FG、TMPM4G8F10XBG、 TMPM4G8F15FG、TMPM4G8F15XBG、TMPM4G9FDFG、TMPM4G9FDXBG、 TMPM4G9FEFG、TMPM4G9FEXBG、TMPM4G9F10FG、TMPM4G9F10XBG、 TMPM4G9F15FG、TMPM4G9F15XB	リファレンスマニュアル(注) 高精度非同期シリアル通信 回路(FUART-B) 3.8.2

注) 本文章の UARTxIFLS を **[FURTxIFLS]** に、UARTxICR を **[FURTxICR]** に、UARTxFR を **[FURTxFR]** に読み替えてください。

タイプ B(3)

修正が必要な記載箇所(赤枠)

割り込み種類	割り込み発生タイミング
オーバランエラー発生	FIFO がフルになったときの STOP ビット受信後
ブレークエラー割り込み	STOP ビット受信後
パリティエラー発生	パリティデータ受信後
フレーミングエラー発生	フレームオーバとなる Bit データを受信した後
受信タイムアウト割り込み	受信 FIFO にデータを取り込んでから、転送クロックの 511 クロック後
送信割り込み	1 バイト保持レジスタ時(FIFO 未使用時) 送信許可設定後、1 バイト目は START ビット送信開始時と STOP ビット送信開始時、2 バイト目以降は、STOP ビット送信開始時(それぞれの割り込み発生でデータ書き込みを行い割り込みクリアした場合)
	FIFO 使用時 STOP ビット送信開始時(MSB データ転送後)に FIFO 内が設定された FIFO レベルのデータ数となったとき
受信割り込み	1 バイト保持レジスタ時(FIFO 未使用時) STOP ビット受信後
	FIFO 使用時 設定した FIFO レベルがフルとなるデータの STOP ビット受信後

3.5. 記載タイプ C

3.5.1. 対象製品と対象箇所の章番号

製品名	TD 記載箇所章番号
TMPM46BF10FG	19.4.6.2

タイプ C

修正が必要な記載箇所(赤枠)

割り込み種類	割り込み発生タイミング
オーバーランエラー割り込み	FIFO がフルになった時の STOP ビット受信後
ブ레이크エラー割り込み	STOP ビット受信後
パリティエラー割り込み	パリティデータ受信後
フレーミングエラー割り込み	フレームオーバーとなる Bit データを受信した後
受信タイムアウト割り込み	受信 FIFO にデータを取り込んでから、Baud16 の 511 クロック後
送信割り込み	最終 DATA の MSB データを送信した後
受信割り込み	STOP ビット受信後

4. 誤記修正・追記内容

製品により送信割り込みの割り込み発生タイミングの記載が異なりますが、共通して正しい記載内容は以下となります。

4.1. 送信割り込み発生タイミング

送信 FIFO 未使用時の送信割り込みは、次データに対する送信バッファへの書き込みタイミングを通知するため、送信バッファが空になったタイミングで発生します。送信割り込みは送信バッファに次のデータが書き込まれると自動的にクリアされるため、連続的にデータを送信し続ける場合はソフトウェアによる送信割り込みのクリアは必要ありません(UARTxICR<TXIC> = "1"設定)。

また、送信を終了する場合は、最終送信データがシフトレジスタに転送され、送信バッファが空になった際に最後の送信割り込みが発生します。送信バッファに次のデータを書き込まない場合は、割り込みハンドラー内でソフトウェアによる割り込みクリア(UARTxICR<TXIC> = "1"設定)を実行することで送信割り込みを意図的にクリアすることができます。

なお、データ送信中にソフトウェアで送信割り込みクリア(UARTxICR<TXIC> = "1"設定)を実行した場合、送信完了時の STOP ビット発生と同時のタイミングで送信バッファにデータの書き込みを行うと、送信割り込みは発生しません。確実に送信割り込みを発生させる場合は、データ送信中にソフトウェアで送信割り込みをクリアしないで送信バッファにデータを書き込むか、送信が停止している状態(UARTxFR<BUSY> = "0"のとき)で送信バッファにデータを書き込んでください。

以上

改訂履歴

日付	版	改訂内容
2011/09/30	0.9	Contents Revised
2012/01/11	0.99	Contents Revised
2012/01/16	1.0	First Release

ARM, ARM Powered, AMBA, ADK, ARM9TDMI, TDMI, PrimeCell, RealView, Thumb, Cortex, Coresight, ARM9, ARM926EJ-S, Embedded Trace Macrocell, ETM, AHB, APB, and KEIL はARM LimitedのEUおよびその他の国における登録商標または商標です。



TMPM342FYXBG

TMPM342FYXBG は、32 ビット RISC マイクロコントローラ (MCU) と、7.5ch の DC モータドライバ (MCD) の 2chip を 1 つの PKG に内蔵した SiP(System in Package) 製品です。

製品名	ROM (FLASH)	RAM	PSC RAM (データ/コード)	パッケージ
TMPM342FYXBG	256 Kbyte	32 Kbyte	2Kbyte / 2Kbyte	P-VFBGA142-0707-0.50-001

機能概要と特長は次のとおりです。

1.1 機能概要

MCU(Micro Controller Unit) 部には、ARM 社 Cortex™ -M3 コア (CPU) とサーボ演算を専用に行う PSC(Programmable Servo Controller) を内蔵しています。

MCD(Motor Control Driver) 部には、 μ Step 駆動可能な H ブリッジドライバを 7.5ch 内蔵しています。各ドライバ機能のレジスタ設定にて DC モータ、電磁コイル、ステッピングモータを任意の機能にて制御可能です。

1.1.1 MCU 部

1. ARM 社製 Cortex-M3 コアを使用

- a. Thumb®-2 命令で、コード効率の向上を実現
 - ・プログラムフロー改善のための新しい 16 ビット命令
 - ・性能とコードサイズ向上のための新しい 32 ビット命令
 - ・32 ビット /16 ビット混在の命令セットでコード効率を向上
- b. 高性能化と低消費電力化を同時に実現
 - 【高性能化】
 - ・32 ビット乗算 ($32 \times 32 = 32$ ビット) を 1 クロックで実行
 - ・除算を 2~12 クロックで実行
 - 【低消費電力化】
 - ・低消費電力ライブラリを使用した最適化設計
 - ・プロセッサコアの動作を停止させるスタンバイ機能
- c. リアルタイム制御に向けた高速割り込み応答
 - ・実行時間の長い命令は割り込みで中断可能
 - ・スタックへの PUSH をハードウェアで自動的に実行

2. 内蔵プログラムメモリ / データメモリ

- ・内蔵 RAM : 32Kbyte
 - RAM サイズはバックアップ RAM エリア 2Kbyte を含みます。
- ・内蔵 FlashROM : 256Kbyte
- ・PSC RAM
 - データ RAM : 2Kbyte
 - コード RAM : 2Kbyte

3. DMA コントローラ (DMAC) : 4 チャンネル
転送モード : 内蔵メモリ、内蔵 I/O
4. Programmable Servo Controller(PSC)
 - 40MHz にて動作を実行
 - データ RAM=2Kbyte / コード RAM=2Kbyte
 - 転送命令, 演算命令, シフト命令, 論理命令, 比較命令, 分岐命令, 制御命令をサポート
 - 16bit タイマによる動作起動可能
 - CPU を経由した、デバッグ機能をサポート
5. 割り込み機能
 - 内部 78 本 : 7 レベルの優先順位設定可能
 - 外部 8 本 : 7 レベルの優先順位設定可能
6. 入出力ポート (PORT) : 63 端子
入出力端子 : 43 本
入力端子 : 20 本
7. ウォッチドッグタイマ (WDT) : 1 チャンネル
8. 2 相パルスカウンタ (PHC) : 2 チャンネル
 - 周期カウンタ / 位相カウンタ機能
 - 最小分解能 40MHz
 - インクリメンタル形エンコーダ対応
 - PSC 専用バスにて、CPU との制御レジスタへの同時アクセス可能 (PSC は READ のみ)
9. 高分解能 PPG 出力 (TMRD) : 4+4 チャンネル
 - 160MHz(6.25ns) 単位での Duty 設定が可能
 - 1bit モジュレーション機能にて PWM 出力の分解能を擬似的に上げることが可能
 - PPG 回路レジスタ 4ch はバス分離され、各々の回路へは PSC と CPU で同時アクセス可能
10. 16 ビットタイマ (TMRB) : 10 チャンネル
 - 16 ビットインターバルタイマ
 - PSC 起動用信号対応 (ch0 のみ)
 - PWM 出力対応
11. 汎用シリアルインターフェース (SIO/UART) : 3 チャンネル
 - UART / 同期式モード選択可能 (4 FIFO 内蔵)
 - 通信速度
 - マスタモード時 10Mbps (max)
 - スレーブモード時 6.7Mbps (max)

12. シリアルバスインタフェース (SBI) : 1 チャンネル
 - I2C バスモード
 - 通信速度 100kbps / 400kbps

13. 可変長データシリアルインタフェース (VSIO) : 1 チャンネル
 - クロックマスター専用 (最大ボーレート 10Mbps)
 - エッジ切り替え / MSB first または LSB first 選択可能
 - 8 ~ 40bit までデータ長を 1bit 単位で変更可能
 - 全二重送受信対応
 - 5byte の FIFO バッファを送信受信ごとに内蔵
 - 正論理負論理選択可能な Chip セレクト端子にて 2ch の排他動作可能

14. 同期式シリアル・インタフェース (SSP) : 1 チャンネル
 - SPI を含む 3 種類の同期式プロトコル
 - 通信速度
 - マスタモード時 20Mbps(max)
 - スレーブモード時 4.5Mbps(max)

15. SAR 型 12 ビット AD コンバータ (SAR ADC) : 2 ユニット / 8ch + 4ch
 - 入力本数 8ch + 4ch
 - トリガスタート機能 : TMRB 割り込み
 - シングル / リピート変換可能
 - 最小変換時間 1 μ sec(ADCLK = 40MHz 時)
 - PSC 専用バスにて、CPU との制御レジスタへの同時アクセス可能 (PSC は READ のみ)

16. $\Delta\Sigma$ 型 16 ビット AD コンバータ ($\Delta\Sigma$ ADC) : 1 ユニット / 4ch
 - 差動入力本数 4ch
 - トリガスタート機能 : TMRB 割り込み
 - シングル / リピート変換可能
 - 最小変換時間 66 μ sec(ADCLK = 10MHz 時)
 - PSC 専用バスにて、CPU との制御レジスタへの同時アクセス可能 (PSC は READ のみ)

17. 10 ビット DA コンバータ (DAC) : 2unit
 - VREFH カット機能
 - 入出力変動セトリングタイム : 100 μ s

18. クロックジェネレータ (CG)
 - 外部よりクロックを入力 / 外部発振 (8MHz ~ 20MHz)
 - PLL 内蔵 (16 逡倍時最大 160MHz、ただし、内蔵高分解能 PPG 出力専用)
 - クロックギア機能 : 高速クロックを 1/1, 1/2, 1/4, 1/8 に分周可能

19. 最大動作周波数 : 40MHz

20. エンディアン

リトルエンディアン

21. デバッグインタフェース

SWD(DATA TRACE 2bit)

1.1.2 MCD 部

1.1.2.1 特長

- 出力電流 : $I_{out} \leq 0.5A / ch$
- 出力電流 (通常動作時平均電流) :
 $I_{out} = 200mA \text{ max} / ch (2.5V \leq V_M < 5V)$
 $= 400mA \text{ max} / ch (V_M \geq 5V)$

I_{out} の max 値は、熱設計 (PKG 熱抵抗 + 基板設計)、使用 ch 数にて制約を受けますのでご注意ください。

- 出力トランジスタは、Pch / Nch LDMOS コンプリメンタ構成
- 出力オン抵抗 : $R_{on}(\text{上} + \text{下}) = 1.5 \text{ オーム (標準)}$
- 160kHz クラスの高速 PWM 制御が可能
- モータサーボ制御に必要な各種アナログセンサ信号処理用 Amp および、バイアス電源 (3V 出力)、2 相フォトエンコーダ波形整形回路を搭載

1.1.2.2 搭載回路

1. モータドライバ: チャンネル A, B

ダイレクト PWM 制御可能な H ブリッジドライバを 2 個 (ch.A,B) 内蔵

2. モータドライバ: チャンネル C, D, E, F

- ダイレクト PWM 制御可能な H ブリッジドライバを 4 個 (ch.C,D,E,F) を内蔵
- 最大 7bit 分解能 (512 ステップ / 360 度電気角) のマイクロステップモードをステップパルスクロック入力方式で 2 個のステッピングモータが制御可能
- 内蔵レジスタの設定で 4 個の独立 H-SW ドライバとしても使用可能

3. モータドライバ: チャンネル G

1.5ch H-SW ドライバを内蔵しており、シリアル通信設定で H-SW 結線を選択可能

4. センサ信号処理 Amp

- Hall Amp および、Hall 電源回路を 2 系統内蔵
- アナログジャイロ用信号処理 Amp および、電圧コントロール 10bitDAC を 2 系統内蔵

5. フォトエンコーダ (FG) 用回路
 - 2 系統のフォトインタラプタ用バイアススイッチを内蔵
 - FG 波形整形用の基準電圧 (Vref)、ヒス付きの出力ラッチ機能付きコンパレータを 2 個内蔵
6. 保護回路
 - 保護回路として熱遮断 (TSD) 回路を内蔵

1.1.3 共通事項

1. 電源電圧範囲
 - MCU 部デジタル電源 RVDD3, DVDD3_A, DVDD3_B : 2.7 ~ 3.6V
 - MCU 部アナログ電源 ADAVDD3, ADBVDD3 : 2.7 ~ 3.6V
 - MCD 部アナログ電源 AVDD3_C : 3.1 ~ 3.5V
 - MCD 部モータ電源 VM : 2.5 ~ 5.5V (最大 8V 耐圧)
2. パッケージ
 - P-VFBGA142-0707-0.50-001 (7mm × 7mm, 0.5mm ピッチ)

1.2 ブロック図

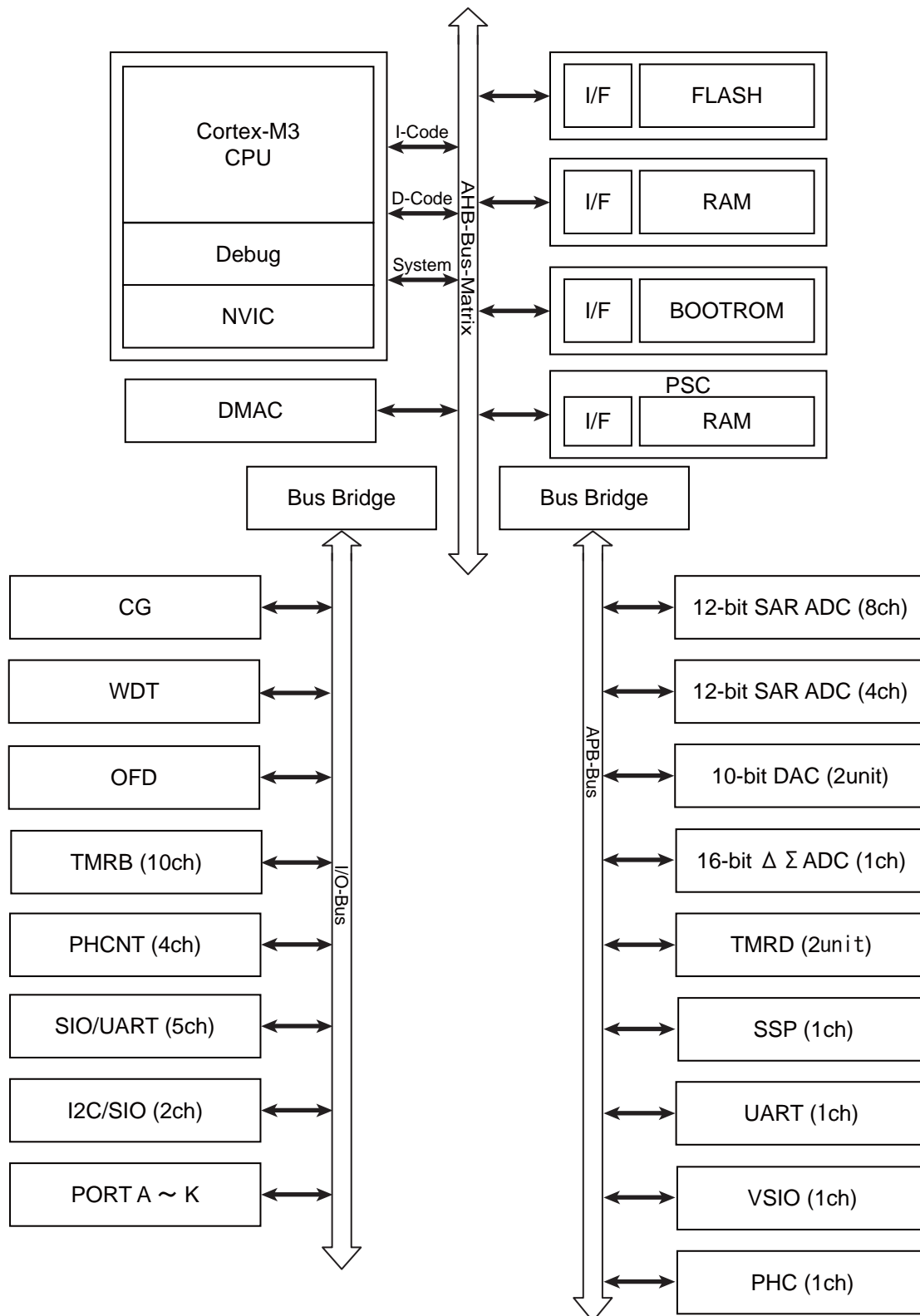


図 1-1 TMPM342FYXBG ブロック図

1.3 ピン配置図 (Top view)

TMPM342FYXBG のピン配置図は、図 1-2 のとおりです。

A1	A2	A3	A4	A5	A6	A7	A8	A9	A10	A11	A12	A13
B1	B2	B3	B4	B5	B6	B7	B8	B9	B10	B11	B12	B13
C1	C2	C3	C4	C5	C6	C7	C8	C9	C10	C11	C12	C13
D1	D2	D3	D4	D5	D6	D7	D8	D9	D10	D11	D12	D13
E1	E2	E3	—	—	—	—	—	—	E10	E11	E12	E13
F1	F2	—	F4	—	—	—	—	—	F10	F11	F12	F13
G1	G2	G3	G4	—	—	—	—	—	G10	G11	G12	G13
H1	H2	H3	H4	—	—	—	—	—	H10	H11	H12	H13
J1	J2	J3	J4	—	—	—	—	—	J10	J11	J12	J13
K1	K2	K3	K4	K5	K6	K7	K8	K9	K10	K11	K12	K13
L1	L2	L3	L4	L5	L6	L7	L8	L9	L10	L11	L12	L13
M1	M2	M3	M4	M5	M6	M7	M8	M9	M10	M11	M12	M13
N1	N2	N3	N4	N5	N6	N7	N8	N9	N10	N11	N12	N13

図 1-2 ピン配置図 (VFBGA142 TOP VIEW)

1.4 ピン名称と機能

TMPM342FYXBG の入出力ピン名称と機能は、表 1-1、表 1-2 の通りです。

1.4.1 ピン番号順

表 1-1 ピン名称と機能 < ピン番号順 > (1 / 7)

分類	ピン番号	記号	入出力	機能
Control	A1	MODE	入力	テストモード端子 (注) 必ず GND に接続してください。
PS	A2	DAVSS	-	DAC 用 GND 端子 (注 2)
PS	A3	ADBVD3	-	SAR ADC UnitB 用電源端子 (注 2)
PS	A4	ADAVREFH	-	SAR ADC UnitA 用基準電源端子 (注 2)
PS	A5	DAVREFH	-	DAC 用基準電源端子 AVREFH(注 2)
PS	A6	DVDD3_A	-	デジタル電源端子
OPAmp	A7	OP4NIN	入力	OpAMP4- 入力
OPAmp	A8	OP0NIN	入力	OpAMP0- 入力
OPAmp	A9	OP1NIN	入力	OpAMP1- 入力
OPAmp	A10	OP5NIN	入力	OpAMP5- 入力
OPAmp	A11	OP2NIN	入力	OpAMP2- 入力
OPAmp	A12	OP3NIN	入力	OpAMP3- 入力
機能	A13	PH0 SWDIO	入出力 入出力	入出力ポート デバッグ用端子
PS	B1	ADAVSS	-	SAR ADC UnitA 用 GND 端子 (注 2)
機能	B2	PF7 AINA7	入力 入力	入力ポート アナログ入力端子
機能	B3	PF5 AINA5	入力 入力	入力ポート アナログ入力端子
機能	B4	PF3 AINA3	入力 入力	入力ポート アナログ入力端子
機能	B5	PF1 AINA1	入力 入力	入力ポート アナログ入力端子
PS	B6	ADAVDD3 DAVDD3	-	SAR ADC UnitA 用電源端子 (注 2) DAC 用電源端子 (注 2)
OPAmp	B7	OP4PIN	入力	OpAMP4+ 入力
OPAmp	B8	OP0PIN	入力	OpAMP0+ 入力
OPAmp	B9	OP1PIN	入力	OpAMP1+ 入力
OPAmp	B10	OP5PIN	入力	OpAMP5+ 入力
OPAmp	B11	OP2PIN	入力	OpAMP2+ 入力
OPAmp	B12	OP3PIN	入力	OpAMP3+ 入力

表 1-1 ピン名称と機能 < ピン番号順 > (2 / 7)

分類	ピン番号	記号	入出力	機能
Hall Bias	B13	HB0F	出力	Hall bias 0 Force
機能	C1	PJ0 AINC2P	入力 入力	入力ポート アナログ入力端子 (差動)
機能	C2	PJ4 AINC4P	入力 入力	入力ポート アナログ入力端子 (差動)
機能	C3	PF6 AINA6	入力 入力	入力ポート アナログ入力端子
機能	C4	PF4 AINA4	入力 入力	入力ポート アナログ入力端子
機能	C5	PF2 AINA2	入力 入力	入力ポート アナログ入力端子
機能	C6	PF0 AINA0	入力 入力	入力ポート アナログ入力端子
OPAmP	C7	OP4OUT	出力	OpAMP4 出力
OPAmP	C8	OP0OUT	出力	OpAMP0 出力
OPAmP	C9	OP1OUT	出力	OpAMP1 出力
OPAmP	C10	OP5OUT	出力	OpAMP5 出力
OPAmP	C11	OP2OUT	出力	OpAMP2 出力
OPAmP	C12	OP3OUT	出力	OpAMP3 出力
Hall Bias	C13	HB1F	出力	Hall bias 1 Force
機能	D1	PJ1 AINC2N	入力 入力	入力ポート アナログ入力端子 (差動)
機能	D2	PJ5 AINC4N	入力 入力	入力ポート アナログ入力端子 (差動)
機能	D3	PG3 AINB3	入力 入力	入力ポート アナログ入力端子
機能	D4	PG2 AINB2	入力 入力	入力ポート アナログ入力端子
機能	D5	PG1 AINB1	入力 入力	入力ポート アナログ入力端子
機能	D6	PG0 AINB0	入力 入力	入力ポート アナログ入力端子
EVR	D7	EVR0	出力	Electrical Variable Resistance 0
機能	D8	DAOUTB	出力	アナログ出力端子 DA0
機能	D9	DAOUTA	出力	アナログ出力端子 DA1
EVR	D10	EVR1	出力	Electrical Variable Resistance 1
機能	D11	PB1 RXD0 MO1_OUT	入出力 入力 出力	入出力ポート (5V トレラント入力) SIO / UART 受信端子 μStep モニタ出力端子
機能	D12	PB0 TXD0	入出力 出力	入出力ポート (5V トレラント入力) SIO / UART 送信端子

表 1-1 ピン名称と機能 < ピン番号順 > (3 / 7)

分類	ピン番号	記号	入出力	機能
PS	D13	VM2	-	モータドライバ ch. C,D,E,F 用電源端子
機能	E1	PJ2 AINC3P	入力 入力	入力ポート アナログ入力端子 (差動)
機能	E2	PJ6 AINC5P	入力 入力	入力ポート アナログ入力端子 (差動)
機能	E3	$\overline{\text{RESET}}$	入力	リセット入力端子
Hall Bias	E10	HB0S	入力	Hall bias 0 Sense
機能	E11	PB2 SCLK0 MO2_OUT $\overline{\text{CTS0}}$	入出力 入出力 出力 入力	入出力ポート (5V トレラント入力) SIO クロック端子 μ Step モニタ出力端子 SIO ハンドシェイク用端子
Hブリッジ ドライバ	E12	CO2	出力	Hブリッジ出力端子 CO2
Hブリッジ ドライバ	E13	CO1	出力	Hブリッジ出力端子 CO1
機能	F1	PJ3 AINC3N	入力 入力	入力ポート アナログ入力端子 (差動)
機能	F2	PJ7 AINC5N	入力 入力	入力ポート アナログ入力端子 (差動)
機能	F4	PE0 INT0	入出力 入力	入出力ポート 外部割込み端子
Hall Bias	F10	HB1S	入力	Hall bias 1 Sense
機能	F11	PB3 INT3	入出力 入力	入出力ポート (5V トレラント入力) 外部割込み端子
Hブリッジ ドライバ	F12	DO2	出力	Hブリッジ出力端子 DO2
Hブリッジ ドライバ	F13	DO1	出力	Hブリッジ出力端子 DO1
PS	G1	ADCVREF02 OUT	-	$\Delta\Sigma$ ADC リファレンス電圧出力 (注 2)
PS	G2	ADCVREFHO UT	-	$\Delta\Sigma$ ADC 用 VREFH 端子 (注 2)
PS	G3	EFUSE	-	eFuse 用駆動電源端子 (注) 必ず AVDD3_C に接続してください。
機能	G4	PE1 INT1	入出力 入力	入出力ポート 外部割込み端子
機能	G10	PB4 SCL0	入出力 入出力	入出力ポート (5V トレラント入力) I2C モードクロック端子
機能	G11	PH5 $\overline{\text{BOOT}}$	入出力 入力	入出力ポート BOOT モード端子 (注) $\overline{\text{RESET}}$ 信号の立ち上がりで "Low" をサンプリングしてシングルブートモードになります。
Hブリッジ ドライバ	G12	EO1	出力	Hブリッジ出力端子 EO1
PS	G13	PGND2	-	モータドライバ ch. C,D,E,F 用 GND 端子

表 1-1 ピン名称と機能 < ピン番号順 > (4 / 7)

分類	ピン番号	記号	入出力	機能
PS	H1	ADBSS ADCSS	-	SAR ADC UnitB 用 GND 端子 (注 2) $\Delta\Sigma$ ADC 用 GND 端子 (注 2)
PS	H2	ADCVREFLO UT	-	$\Delta\Sigma$ ADC 用 VREFL 端子 (注 2)
機能	H3	PE3 TB9OUT	入出力 出力	入出力ポート タイマ B 出力端子
機能	H4	PE2 INT2 TB8OUT	入出力 入力 出力	入出力ポート 外部割込み端子 タイマ B 出力端子
機能	H10	PB5 SDA0	入出力 入出力	入出力ポート (5V トレラント入力) I2C モード送受信端子
機能	H11	PB6 INT4	入出力 入力	入出力ポート (5V トレラント入力) 外部割込み端子
機能	H12	EO2	出力	Hブリッジ出力端子 EO2
Hブリッジ ドライバ	H13	FO1	出力	Hブリッジ出力端子 FO1
PS	J1	ADBREFH ADCVDD3	-	SAR A/DC UnitB 用基準電源端子 (注 2) $\Delta\Sigma$ ADC 用電源端子 (注 2)
PS	J2	DVSS_A	-	デジタル GND 端子
機能	J3	PE4 TB0OUT	入出力 出力	入出力ポート タイマ B 出力端子
機能	J4	PD7 SP0FSS VSIOCS1	入出力 出力 出力	入出力ポート SSP FSS(チップセレクト) 端子 可変長 SIO チップセレクト端子
機能	J10	PB7 INT5	入出力 入力	入出力ポート (5V トレラント入力) 外部割込み端子
機能	J11	PH4 TRACEDATA1	入出力 出力	入出力ポート デバッグ用端子
Hブリッジ ドライバ	J12	GO1	出力	Hブリッジ出力端子 GO1
Hブリッジ ドライバ	J13	FO2	出力	Hブリッジ出力端子 FO2
PS	K1	V30IN	-	Hall Bias 用 8bitDAC、EVR 用 10bitDAC 基準電源
機能	K2	PD4 SP0DO TB1OUT	入出力 出力 出力	入出力ポート SSP データ出力端子 タイマ B 出力端子
機能	K3	PD2 SCLK2 VSIOSCK CTS2	入出力 入出力 出力 入力	入出力ポート SIO クロック端子 可変長 SIO クロック端子 SIO ハンドシェイク用端子
機能	K4	PD3 INT7 VSIOCS0	入出力 入力 出力	入出力ポート 外部割込み端子 可変長 SIO チップセレクト端子
機能	K5	PC6 PHC1IN0	入出力 入力	入出力ポート 2相パルスカウンタ入力端子

表 1-1 ピン名称と機能 < ピン番号順 > (5 / 7)

分類	ピン番号	記号	入出力	機能
機能	K6	PC4 PHC0IN0	入出力 入力	入出力ポート 2相パルスカウンタ入力端子
フォト エンコーダ	K7	ENCOUT0	出力	PI センサ波形出力 0
フォト エンコーダ	K8	PICPIN1	入力	エンコーダ入力 1
機能	K9	PA6 TDB1OUT0 EIN	入出力 出力 入力	入出力ポート タイマ D 出力端子 Hブリッジ (ch.E) 駆動パルス入力
機能	K10	PA7 TDB1OUT1 FIN	入出力 出力 入力	入出力ポート タイマ D 出力端子 Hブリッジ (ch.F) 駆動パルス入力
機能	K11	PH3 TRACEDATA0 /SWV	入出力 出力	入出力ポート デバッグ用端子
Hブリッジ ドライバ	K12	GO2	出力	Hブリッジ出力端子 GO2
PS	K13	VM3	-	モータドライバ ch.G 用電源端子
機能	L1	PD0 TXD2 VSIOTXD	入出力 出力 出力	入出力ポート SIO / UART 送信端子 可変長 SIO 送信端子
機能	L2	PC0 TXD1 U0TXD	入出力 出力 出力	入出力ポート (5V トレラント入力) SIO / UART 送信端子 UART 送信端子
機能	L3	PC2 SCLK1 U0CTS CTS1	入出力 入出力 入力 入力	入出力ポート (5V トレラント入力) SIO クロック端子 UART ハンドシェイク用端子 SIO ハンドシェイク用端子
機能	L4	PC3 INT6 U0RTS	入出力 入力 出力	入出力ポート (5V トレラント入力) 外部割込み端子 UART ハンドシェイク用端子
機能	L5	PC7 PHC1IN1	入出力 入力	入出力ポート 2相パルスカウンタ入力端子
機能	L6	PC5 PHC0IN1	入出力 入力	入出力ポート 2相パルスカウンタ入力端子
フォト エンコーダ	L7	ENCOUT1	出力	PI センサ波形出力 1
フォト エンコーダ	L8	PICPIN0	入力	エンコーダ入力 0
機能	L9	PA4 TDB0OUT0 CIN	入出力 出力 入力	入出力ポート タイマ D 出力端子 Hブリッジ (ch.C) 駆動パルス入力
機能	L10	PA5 TDB0OUT1 DIN	入出力 出力 入力	入出力ポート タイマ D 出力端子 Hブリッジ (ch.D) 駆動パルス入力
機能	L11	PH2 TRACECLK	入出力 出力	入出力ポート デバッグ用端子

表 1-1 ピン名称と機能 < ピン番号順 > (6 / 7)

分類	ピン番号	記号	入出力	機能
Hブリッジ ドライバ	L12	GO3	出力	Hブリッジ出力端子 GO3
PS	L13	RNF3	-	モータドライバ ch.G 出力電流検出抵抗接続端子 (注) 定電流制御を使用する場合は、抵抗を介して GND に接続してください。Hブリッジドライバとして使用する場合は、直接 GND に接続してください。
機能	M1	PD6 SP0CLK TB3OUT	入出力 入出力 出力	入出力ポート SSP クロック端子 タイマ B 出力端子
機能	M2	PD5 SP0DI TB2OUT	入出力 入力 出力	入出力ポート SSP データ入力端子 タイマ B 出力端子
機能	M3	PD1 RXD2 VSIORXD	入出力 入力 入力	入出力ポート SIO / UART 受信端子 可変長 SIO 受信端子
機能	M4	PC1 RXD1 U0RXD	入出力 入力 入力	入出力ポート (5V トレラント入力) SIO/UART 受信端子 UART 受信端子
PS	M5	DVSS_B	-	デジタル GND 端子
PS	M6	DVDD3_B	-	デジタル電源端子
フォト エンコーダ	M7	PIDBA	入力	フォトダイオードバイアス A
フォト エンコーダ	M8	PIDBB	入力	フォトダイオードバイアス B
機能	M9	PA2 TDA1OUT0 TB6OUT	入出力 出力 出力	入出力ポート タイマ D 出力端子 タイマ B 出力端子
機能	M10	PA3 TDA1OUT1 TB7OUT	入出力 出力 出力	入出力ポート タイマ D 出力端子 タイマ B 出力端子
Hブリッジ ドライバ	M11	BO2	出力	Hブリッジ出力端子 BO2
Hブリッジ ドライバ	M12	AO2	出力	Hブリッジ出力端子 AO2
PS	M13	PGND1	-	モータドライバ ch. A,B 用 GND 端子
機能	N1	PH1 SWCLK	入出力 入力	入出力ポート デバッグ用端子
Clock	N2	X2	出力	高速発振子接続端子 (内部 1.5V)
PS	N3	DVSS_C	-	レギュレータ、発振回路用 GND 端子
Clock	N4	X1	入力	高速発振子接続端子 (内部 1.5V)/ 外部クロック入力
PS	N5	AVSS_C	-	GND 端子
PS	N6	AVDD3_C	-	電源端子
PS	N7	RVDD3	-	内蔵レギュレータ用電源端子

表 1-1 ピン名称と機能 < ピン番号順 > (7 / 7)

分類	ピン番号	記号	入出力	機能
機能	N8	PA0 TDA0OUT0 TB4OUT	入出力 出力 出力	入出力ポート タイマ D 出力端子 タイマ B 出力端子
機能	N9	PA1 TDA0OUT1 TB5OUT	入出力 出力 出力	入出力ポート タイマ D 出力端子 タイマ B 出力端子
PS	N10	VM1	-	モータドライバ ch. A,B 用電源端子
Hブリッジ ドライバ	N11	BO1	出力	Hブリッジ出力端子 BO1
Hブリッジ ドライバ	N12	AO1	出力	Hブリッジ出力端子 AO1
Control	N13	FTEST3	入力	テスト端子 (注)必ず OPEN にしてください。

1.4.2 ポート順

表 1-2 ピン名称と機能 < ポート順 > (1 / 7)

PORT	分類	ピン番号	記号	入出力	機能
PORT A	機能	N8	PA0 TDA0OUT0 TB4OUT	入出力 出力 出力	入出力ポート タイマ D 出力端子 タイマ B 出力端子
PORT A	機能	N9	PA1 TDA0OUT1 TB5OUT	入出力 出力 出力	入出力ポート タイマ D 出力端子 タイマ B 出力端子
PORT A	機能	M9	PA2 TDA1OUT0 TB6OUT	入出力 出力 出力	入出力ポート タイマ D 出力端子 タイマ B 出力端子
PORT A	機能	M10	PA3 TDA1OUT1 TB7OUT	入出力 出力 出力	入出力ポート タイマ D 出力端子 タイマ B 出力端子
PORT A	機能	L9	PA4 TDB0OUT0 CIN	入出力 出力 入力	入出力ポート タイマ D 出力端子 Hブリッジ (ch.C) 駆動パルス入力
PORT A	機能	L10	PA5 TDB0OUT1 DIN	入出力 出力 入力	入出力ポート タイマ D 出力端子 Hブリッジ (ch.D) 駆動パルス入力
PORT A	機能	K9	PA6 TDB1OUT0 EIN	入出力 出力 入力	入出力ポート タイマ D 出力端子 Hブリッジ (ch.E) 駆動パルス入力
PORT A	機能	K10	PA7 TDB1OUT1 FIN	入出力 出力 入力	入出力ポート タイマ D 出力端子 Hブリッジ (ch.F) 駆動パルス入力
PORT B	機能	D12	PB0 TXD0	入出力 出力	入出力ポート (5V トレラント入力) SIO / UART 送信端子
PORT B	機能	D11	PB1 RXD0 MO1_OUT	入出力 入力 出力	入出力ポート (5V トレラント入力) SIO / UART 受信端子 μStep モニタ出力端子
PORT B	機能	E11	PB2 SCLK0 MO2_OUT CTS0	入出力 入出力 出力 入力	入出力ポート (5V トレラント入力) SIO クロック端子 μStep モニタ出力端子 SIO ハンドシェイク用端子
PORT B	機能	F11	PB3 INT3	入出力 入力	入出力ポート (5V トレラント入力) 外部割込み端子
PORT B	機能	G10	PB4 SCL0	入出力 入出力	入出力ポート (5V トレラント入力) I2C モードクロック端子
PORT B	機能	H10	PB5 SDA0	入出力 入出力	入出力ポート (5V トレラント入力) I2C モード送受信端子
PORT B	機能	H11	PB6 INT4	入出力 入力	入出力ポート (5V トレラント入力) 外部割込み端子
PORT B	機能	J10	PB7 INT5	入出力 入力	入出力ポート (5V トレラント入力) 外部割込み端子

表 1-2 ピン名称と機能 < ポート順 > (2 / 7)

PORT	分類	ピン 番号	記号	入出力	機能
PORT C	機能	L2	PC0 TXD1 U0TXD	入出力 出力 出力	入出力ポート (5V トレラント入力) SIO / UART 送信端子 UART 送信端子
PORT C	機能	M4	PC1 RXD1 U0RXD	入出力 入力 入力	入出力ポート (5V トレラント入力) SIO / UART 受信端子 UART 受信端子
PORT C	機能	L3	PC2 SCLK1 U0CTS CTS1	入出力 入出力 入力 入力	入出力ポート (5V トレラント入力) SIO クロック端子 UART ハンドシェーク用端子 SIO ハンドシェーク用端子
PORT C	機能	L4	PC3 INT6 U0RTS	入出力 入力 出力	入出力ポート (5V トレラント入力) 外部割込み端子 UART ハンドシェーク用端子
PORT C	機能	K6	PC4 PHC0IN0	入出力 入力	入出力ポート 2相バルスカウンタ入力端子
PORT C	機能	L6	PC5 PHC0IN1	入出力 入力	入出力ポート 2相バルスカウンタ入力端子
PORT C	機能	K5	PC6 PHC1IN0	入出力 入力	入出力ポート 2相バルスカウンタ入力端子
PORT C	機能	L5	PC7 PHC1IN1	入出力 入力	入出力ポート 2相バルスカウンタ入力端子
PORT D	機能	L1	PD0 TXD2 VSIOTXD	入出力 出力 出力	入出力ポート SIO / UART 送信端子 可変長 SIO 送信端子
PORT D	機能	M3	PD1 RXD2 VSIORXD	入出力 入力 入力	入出力ポート SIO / UART 受信端子 可変長 SIO 受信端子
PORT D	機能	K3	PD2 SCLK2 VSIOCK CTS2	入出力 入出力 出力 入力	入出力ポート SIO クロック端子 可変長 SIO クロック端子 SIO ハンドシェーク用端子
PORT D	機能	K4	PD3 INT7 VSIOCS0	入出力 入力 出力	入出力ポート 外部割込み端子 可変長 SIO チップセレクト端子
PORT D	機能	K2	PD4 SP0DO TB1OUT	入出力 出力 出力	入出力ポート SSP データ出力端子 タイマ B 出力端子
PORT D	機能	M2	PD5 SP0DI TB2OUT	入出力 入力 出力	入出力ポート SSP データ入力端子 タイマ B 出力端子
PORT D	機能	M1	PD6 SP0CLK TB3OUT	入出力 入出力 出力	入出力ポート SSP クロック端子 タイマ B 出力端子
PORT D	機能	J4	PD7 SP0FSS VSIOCS1	入出力 出力 出力	入出力ポート SSP FSS(チップセレクト) 端子 可変長 SIO チップセレクト端子
PORT E	機能	F4	PE0 INT0	入出力 入力	入出力ポート 外部割込み端子

表 1-2 ピン名称と機能 < ポート順 > (3 / 7)

PORT	分類	ピン 番号	記号	入出力	機能
PORT E	機能	G4	PE1 INT1	入出力 入力	入出力ポート 外部割込み端子
PORT E	機能	H4	PE2 INT2 TB8OUT	入出力 入力 出力	入出力ポート 外部割込み端子 タイマ B 出力端子
PORT E	機能	H3	PE3 TB9OUT	入出力 出力	入出力ポート タイマ B 出力端子
PORT E	機能	J3	PE4 TB0OUT	入出力 出力	入出力ポート タイマ B 出力端子
PORT F	機能	C6	PF0 AINA0	入力 入力	入力ポート アナログ入力端子
PORT F	機能	B5	PF1 AINA1	入力 入力	入力ポート アナログ入力端子
PORT F	機能	C5	PF2 AINA2	入力 入力	入力ポート アナログ入力端子
PORT F	機能	B4	PF3 AINA3	入力 入力	入力ポート アナログ入力端子
PORT F	機能	C4	PF4 AINA4	入力 入力	入力ポート アナログ入力端子
PORT F	機能	B3	PF5 AINA5	入力 入力	入力ポート アナログ入力端子
PORT F	機能	C3	PF6 AINA6	入力 入力	入力ポート アナログ入力端子
PORT F	機能	B2	PF7 AINA7	入力 入力	入力ポート アナログ入力端子
PORT G	機能	D6	PG0 AINB0	入力 入力	入力ポート アナログ入力端子
PORT G	機能	D5	PG1 AINB1	入力 入力	入力ポート アナログ入力端子
PORT G	機能	D4	PG2 AINB2	入力 入力	入力ポート アナログ入力端子
PORT G	機能	D3	PG3 AINB3	入力 入力	入力ポート アナログ入力端子
PORT H	機能	A13	PH0 SWDIO	入出力 入出力	入出力ポート デバッグ用端子
PORT H	機能	N1	PH1 SWCLK	入出力 入力	入出力ポート デバッグ用端子
PORT H	機能	L11	PH2 TRACECLK	入出力 出力	入出力ポート デバッグ用端子
PORT H	機能	K11	PH3 TRACEDATA0 /SWV	入出力 出力	入出力ポート デバッグ用端子
PORT H	機能	J11	PH4 TRACEDATA1	入出力 出力	入出力ポート デバッグ用端子

表 1-2 ピン名称と機能 < ポート順 > (4 / 7)

PORT	分類	ピン番号	記号	入出力	機能
PORT H	機能	G11	PH5 BOOT	入出力 入力	入出力ポート BOOT モード端子 (注)RESET 信号の立ち上がりで "Low" をサンプリングしてシングルブートモードになります。
PORT J	機能	C1	PJ0 AINC2P	入力 入力	入力ポート アナログ入力端子 (差動)
PORT J	機能	D1	PJ1 AINC2N	入力 入力	入力ポート アナログ入力端子 (差動)
PORT J	機能	E1	PJ2 AINC3P	入力 入力	入力ポート アナログ入力端子 (差動)
PORT J	機能	F1	PJ3 AINC3N	入力 入力	入力ポート アナログ入力端子 (差動)
PORT J	機能	C2	PJ4 AINC4P	入力 入力	入力ポート アナログ入力端子 (差動)
PORT J	機能	D2	PJ5 AINC4N	入力 入力	入力ポート アナログ入力端子 (差動)
PORT J	機能	E2	PJ6 AINC5P	入力 入力	入力ポート アナログ入力端子 (差動)
PORT J	機能	F2	PJ7 AINC5N	入力 入力	入力ポート アナログ入力端子 (差動)
-	機能	D9	DAOUTA	出力	アナログ出力端子 DA1
-	機能	D8	DAOUTB	出力	アナログ出力端子 DA0
-	機能	E3	RESET	入力	リセット入力端子
-	Control	A1	MODE	入力	テストモード端子 (注)必ず GND に接続してください。
-	Clock	N4	X1	入力	高速発振子接続端子 (内部 1.5V)/ 外部クロック入力
-	Clock	N2	X2	出力	高速発振子接続端子 (内部 1.5V)
-	テスト	N13	FTEST3	入力	テスト端子 (注)必ず OPEN にしてください。
-	PS	A6	DVDD3_A	-	デジタル電源端子
-	PS	M6	DVDD3_B	-	デジタル電源端子
-	PS	J2	DVSS_A	-	デジタル GND 端子
-	PS	M5	DVSS_B	-	デジタル GND 端子
-	PS	N7	RVDD3	-	内蔵レギュレータ用電源端子
-	PS	N3	DVSS_C	-	レギュレータ、発振回路用 GND 端子
-	PS	A4	ADAVREFH	-	SAR ADC UnitA 用基準電源端子 (注 2)
-	PS	J1	ADBVREFH, ADCVDD3	-	SAR ADC UnitB 用基準電源端子 (注 2) ΔΣADC 用電源端子 (注 2)
-	PS	B6	ADAVDD3, DAVDD3	-	SAR ADC UnitA 用電源端子 (注 2) DAC 用電源端子 (注 2)
-	PS	A3	ADBVDD3	-	SAR ADC UnitB 用電源端子 (注 2)

表 1-2 ピン名称と機能 < ポート順 > (5 / 7)

PORT	分類	ピン 番号	記号	入出力	機能
-	PS	B1	ADAVSS	-	SAR ADC UnitA 用 GND 端子 (注 2)
-	PS	H1	ADBVSS, ADCVSS	-	SAR ADC UnitB 用 GND 端子 (注 2) $\Delta\Sigma$ ADC 用 GND 端子 (注 2)
-	PS	A2	DAVSS	-	DAC 用 GND 端子 (注 2)
-	PS	A5	DAVREFH	-	DAC 用基準電源端子 AVREFH (注 2)
-	PS	G2	ADCVREFHO UT	-	$\Delta\Sigma$ ADC 用 VREFH 端子 (注 2)
-	PS	H2	ADCVREFLO UT	-	$\Delta\Sigma$ ADC 用 VREFL 端子 (注 2)
-	PS	G1	ADCVREF02O UT	-	$\Delta\Sigma$ ADC リファレンス電圧出力 (注 2)
-	Hブリッジ ドライバ	N12	AO1	出力	Hブリッジ出力端子 AO1
-	Hブリッジ ドライバ	M12	AO2	出力	Hブリッジ出力端子 AO2
-	Hブリッジ ドライバ	N11	BO1	出力	Hブリッジ出力端子 BO1
-	Hブリッジ ドライバ	M11	BO2	出力	Hブリッジ出力端子 BO2
-	Hブリッジ ドライバ	E13	CO1	出力	Hブリッジ出力端子 CO1
-	Hブリッジ ドライバ	E12	CO2	出力	Hブリッジ出力端子 CO2
-	Hブリッジ ドライバ	F13	DO1	出力	Hブリッジ出力端子 DO1
-	Hブリッジ ドライバ	F12	DO2	出力	Hブリッジ出力端子 DO2
-	Hブリッジ ドライバ	G12	EO1	出力	Hブリッジ出力端子 EO1
-	Hブリッジ ドライバ	H12	EO2	出力	Hブリッジ出力端子 EO2
-	Hブリッジ ドライバ	H13	FO1	出力	Hブリッジ出力端子 FO1
-	Hブリッジ ドライバ	J13	FO2	出力	Hブリッジ出力端子 FO2
-	Hブリッジ ドライバ	J12	GO1	出力	Hブリッジ出力端子 GO1
-	Hブリッジ ドライバ	K12	GO2	出力	Hブリッジ出力端子 GO2
-	Hブリッジ ドライバ	L12	GO3	出力	Hブリッジ出力端子 GO3
-	OPAMP	A8	OP0NIN	入力	OpAMP0- 入力
-	OPAMP	B8	OP0PIN	入力	OpAMP0+ 入力

表 1-2 ピン名称と機能 < ポート順 > (6 / 7)

PORT	分類	ピン番号	記号	入出力	機能
-	OPAMP	C8	OP0OUT	出力	OpAMP0 出力
-	OPAMP	A9	OP1NIN	入力	OpAMP1- 入力
-	OPAMP	B9	OP1PIN	入力	OpAMP1+ 入力
-	OPAMP	C9	OP1OUT	出力	OpAMP1 出力
-	OPAMP	A11	OP2NIN	入力	OpAMP2- 入力
-	OPAMP	B11	OP2PIN	入力	OpAMP2+ 入力
-	OPAMP	C11	OP2OUT	出力	OpAMP2 出力
-	OPAMP	A12	OP3NIN	入力	OpAMP3- 入力
-	OPAMP	B12	OP3PIN	入力	OpAMP3+ 入力
-	OPAMP	C12	OP3OUT	出力	OpAMP3 出力
-	OPAMP	A7	OP4NIN	入力	OpAMP4- 入力
-	OPAMP	B7	OP4PIN	入力	OpAMP4+ 入力
-	OPAMP	C7	OP4OUT	出力	OpAMP4 出力
-	OPAMP	A10	OP5NIN	入力	OpAMP5- 入力
-	OPAMP	B10	OP5PIN	入力	OpAMP5+ 入力
-	OPAMP	C10	OP5OUT	出力	OpAMP5 出力
-	Hall Bias	B13	HB0F	出力	Hall bias 0 Force
-	Hall Bias	E10	HB0S	入力	Hall bias 0 Sense
-	Hall Bias	C13	HB1F	出力	Hall bias 1 Force
-	Hall Bias	F10	HB1S	入力	Hall bias 1 Sense
-	EVR	D7	EVR0	出力	Electrical Variable Resistance 0
-	EVR	D10	EVR1	出力	Electrical Variable Resistance 1
-	フォトエンコーダ	L8	PICPIN0	入力	エンコーダ入力 0
-	フォトエンコーダ	M7	PIDBA	入力	フォトダイオードバイアス A
-	フォトエンコーダ	K8	PICPIN1	入力	エンコーダ入力 1
-	フォトエンコーダ	M8	PIDBB	入力	フォトダイオードバイアス B
-	フォトエンコーダ	K7	ENCOUT0	出力	PI センサ波形出力 0
-	フォトエンコーダ	L7	ENCOUT1	出力	PI センサ波形出力 1
-	PS	N10	VM1	-	モータドライバ ch. A,B 用電源端子
-	PS	M13	PGND1	-	モータドライバ ch. A,B 用 GND 端子
-	PS	D13	VM2	-	モータドライバ ch. C,D,E,F 用電源端子

表 1-2 ピン名称と機能 < ポート順 > (7 / 7)

PORT	分類	ピン番号	記号	入出力	機能
-	PS	G13	PGND2	-	モータドライバ ch. C,D,E,F 用 GND 端子
-	PS	K13	VM3	-	モータドライバ ch. G 用電源端子
-	PS	L13	RNF3	-	モータドライバ ch. G 出力電流検出抵抗接続端子 (注) 定電流制御を使用する場合は、抵抗を介して GND に接続してください。Hブリッジドライバとして使用する場合は、直接 GND に接続してください。
-	PS	N6	AVDD3_C	-	電源端子
-	PS	N5	AVSS_C	-	GND 端子
-	PS	K1	V30IN	-	Hall Bias 用 8bitDAC、EVR 用 10bitDAC 基準電源
-	PS	G3	EFUSE	-	eFuse 用駆動電源端子 (注) 必ず AVDD3_C に接続してください。

注 1) $\Delta\Sigma$ ADC 使用時は、「16 ビット $\Delta\Sigma$ AD コンバータ変換特性」の端子処理が必要となります。

注 2) AD, DA コンバータを使用しない場合は、下記に従って接続してください。

12bit SAR ADC UnitA :	ADAVREFH は ADAVDD3 に接続、ADAVDD3 は電源に、ADAVSS は GND に接続
12bit SAR ADC UnitB :	ADBVREFH は ADBVDD3 に接続、ADBVDD3 は電源に、ADBVSS は GND に接続
16bit ADC :	<p>ADCVDD3(ADBVREFH) は ADBVDD3 に接続 ADCVREFHOUT は ADCVDD3(ADBVREFH) に接続、またはオープン ADCVREFLOUT は ADCVSS(ADBVSS) に接続、またはオープン ADCVREF02OUT はオープン 10bit DAC チャンネル 0 / チャンネル 1 : DAVREFH は ADAVDD3 に接続 DAVDD3 は電源に接続、DAVSS は GND に接続</p> <p>なお、ADAVREFL は内部で ADAVSS と共通、ADBVREFL は内部で ADBVSS と共通、AVREFL は内部で DAVSS と共通となっているため、外部端子処理の必要はありません。</p>

1.5 電源の種類と供給端子

表 1-3 電源の種類と供給端子

電源の種類	電圧範囲	ピン番号	電源供給端子
DVDD3_A	2.7 ~ 3.6V	A6, M6	RESET, MODE, FTEST3
DVDD3_B			PA, PB, PC, PD, PE, PH
RVDD3		N7	X1, X2
ADAVDD3 DAVDD3		B6	PF DA0, DA1
ADBVD3		A3	PG
ADBVREFH ADCVD3		J1	PJ
AVDD3_C	3.1 ~ 3.5V	N6	-
VM1	2.5 ~ 5.5V	N10	AO1, AO2, BO1, BO2
VM2		D13	CO1, CO2, DO1, DO2, EO1, EO2, FO1, FO2
VM3		K13	GO1, GO2, GO3

注) 下記電源は同電位で使用してください。(DVDD3_A = DVDD3_B = RVDD3 = ADAVDD3 = ADBVD3 = ADCVD3)

第2章 プロセッサコア

TX03 シリーズには、高性能 32 ビットプロセッサコア (ARM 社 Cortex-M3 コア) が内蔵されています。プロセッサコアの動作については、ARM 社からリリースされる "Cortex-M3 テクニカルリファレンスマニュアル" を参照してください。ここでは、製品固有の情報について説明します。

2.1 コアに関する情報

TMPM342FYXBG で使用している Cortex-M3 コアのリビジョンは以下のとおりです。

CPU コア部、アーキテクチャなどの詳細は、ARM 社の下記 URL より "Cortex-M series processors" のマニュアルを参照してください。

<http://infocenter.arm.com/help/index.jsp>

製品名	コアリビジョン
TMPM342FYXBG	r2p0

2.2 構成可能なオプション

Cortex-M3 コアは、一部のブロックについて実装するかどうかを選択することができます。TMPM342FYXBG での構成は以下のとおりです。

構成可能なオプション	実装
FPB	リテラルコンバータ: 2 本 命令コンバータ: 6 本
DWT	コンバータ: 4 本
ITM	あり
MPU	なし
ETM	あり
AHB-AP	あり
AHB トレースマクロセル インタフェース	あり
TPIU	あり
WIC	なし

2.3 例外 / 割り込み

例外 / 割り込みに関連する製品固有の情報をまとめます。

2.3.1 割り込み本数

Cortex-M3 コアは割り込み本数を 1 ~ 240 本の間で任意に構成することができます。

TMPM342FYXBG の割り込み本数は 86 本です。割り込み本数は NVIC レジスタの割り込みコントローラタイプレジスタの <INTLINESNUM[4:0]> ビットに反映され、本製品では "0x00" が読み出されます。

2.3.2 割り込み優先度ビット数

Cortex-M3 コアは割り込み優先度ビット数を 3 ~ 8 ビットの間で任意に構成することができます。

TMPM342FYXBG の割り込み優先度は 3 ビットです。このビット数は割り込み優先度レジスタとシステムハンドラ優先度レジスタのビット構成に反映されます。

2.3.3 SysTick

Cortex-M3 コアには SysTick と呼ばれるシステムタイマがあり、SysTick 例外を発生させることができます。

SysTick 例外の詳細については、例外の「SysTick」の章および、「NVIC レジスタ」の SysTick 関連レジスタの章を参照してください。

2.3.4 SYSRESETREQ

Cortex-M3 コアは、アプリケーション割り込みおよびリセット制御レジスタの <SYSRESETREQ> ビットがセットされると SYSRESETREQ 信号を出力します。

TMPM342FYXBG では SYSRESETREQ 信号が出力されるとウォームリセットと同様の動作になります。

2.3.5 LOCKUP

回復不能な例外が発生すると Cortex-M3 コアは LOCKUP 信号を出力し、ソフトウェアに重大な誤りのあることを示します。

TMPM342FYXBG ではこの信号は未使用です。LOCKUP 状態から復帰する際にはマスク不能割り込み (NMI) またはリセットを使用する必要があります。

2.3.6 補助フォールトステータスレジスタ

Cortex-M3 コアにはソフトウェアに対して追加のシステムフォールト情報を提供するための補助フォールトステータスレジスタが準備されています。

TMPM342FYXBG ではこのレジスタに対して機能を定義していません。リードすると常に "0x0000_0000" が読み出されます。

2.4 イベント

Cortex-M3 コアにはイベント出力信号とイベント入力信号があります。イベント出力信号は、SEV 命令実行により出力されます。また、イベントが入力されると WFE 命令による低電力状態から復帰します。

TMPM342FYXBG では、イベント出力信号、イベント入力信号とも未使用です。SEV 命令、WFE 命令は使用しないでください。

2.5 電力管理

Cortex-M3 コアには電力管理のための信号として SLEEPING および SLEEPDEEP があります。SLEEPDEEP は、システム制御レジスタの <SLEEPDEEP> ビットがセットされている場合に出力されます。

これらの信号は、割り込み待ち (WFI) 命令の実行、イベント待ち (WFE) 命令の実行または、システム制御レジスタの <SLEEPONEXIT> ビットがセットされている場合の割り込みサービスルーチン (ISR) からの退出時に出力されます。

TMPM342FYXBG では、SLEEPDEEP 信号は使用していません。<SLEEPDEEP> ビットはセットしないでください。また、イベント信号も未使用のため、WFE 命令は使用しないでください。

電力管理については、「クロック/モード制御」の章を参照してください。

2.6 排他アクセス

Cortex-M3 コアの DCode バスおよびシステムバスは排他アクセスをサポートしていますが、TMPM342FYXBG ではこの機能を使用していません。

3 内部バス接続構造

3.1 概要

本マイコンでは、CPU コア、DMA コントローラ、PSC の 3 種類のバスマスタが搭載されています。

また、CPU と DMAC はシステムクロック (fsys: クロックジェネレータの章を参照ください)、PSC は専用のクロックで動作します。

CPU は内蔵 Flash ROM(256KB)/内蔵 RAM(32Kbyte)、PSC は、専用のプログラム用 RAM(2Kbyte: Single ポート)/データ用 RAM(2Kbyte: Dual ポート)で、動作を実行します。

内部バス構造としては大きく 2 種類のバスマトリクスを搭載しています。

CPU を含む全体が動作する、System Clock Domain (fsys で動作) 内の Bus Matrix1 と、PSC と TMRD (高分解能 PPG 出力) が動作する PSC Clock Domain (PSC クロック: 40MHz 固定) 内の Bus Matrix2 が搭載されています。

3 種類のバスマスタ (CPU、PSC、DMAC) は、Bus Matrix の Slave (S0~S5 等) に接続され、マトリクス内で、接続を示す記号 () を経由して、Bus Matrix の Master (M0~M8) から、外部 IP (Slave) に接続されません。

Bus Matrix 内の同一マスターライン上に、複数の Slave が接続されている場合で、同一タイミングで複数 Slave 要求が発生した場合は、Slave 番号の小さい要求が優先されます。

また、クロックギアの設定によっては、System Clock Domain と PSC Clock Domain は、動作周波数が異なります。よって、異なるクロックドメイン間の接続箇所には、クロックの同期回路が挿入されています。

さらに、PSC と CPU が同じ周辺回路に対し、同時にアクセスした場合でも PSC が待たされることが無いように、12bit SAR 型 ADC、2 相パルスタイマ (PHC)、16bit 型 ADC には READ のみ可能な PSC 専用のミラーレジスタを持たせています。

3.2 内部バス構成

3.2.1 内部バス構成 (シングルチップモード)

シングルチップモード時の内部バス構成を 図 3.2.1 に示します。

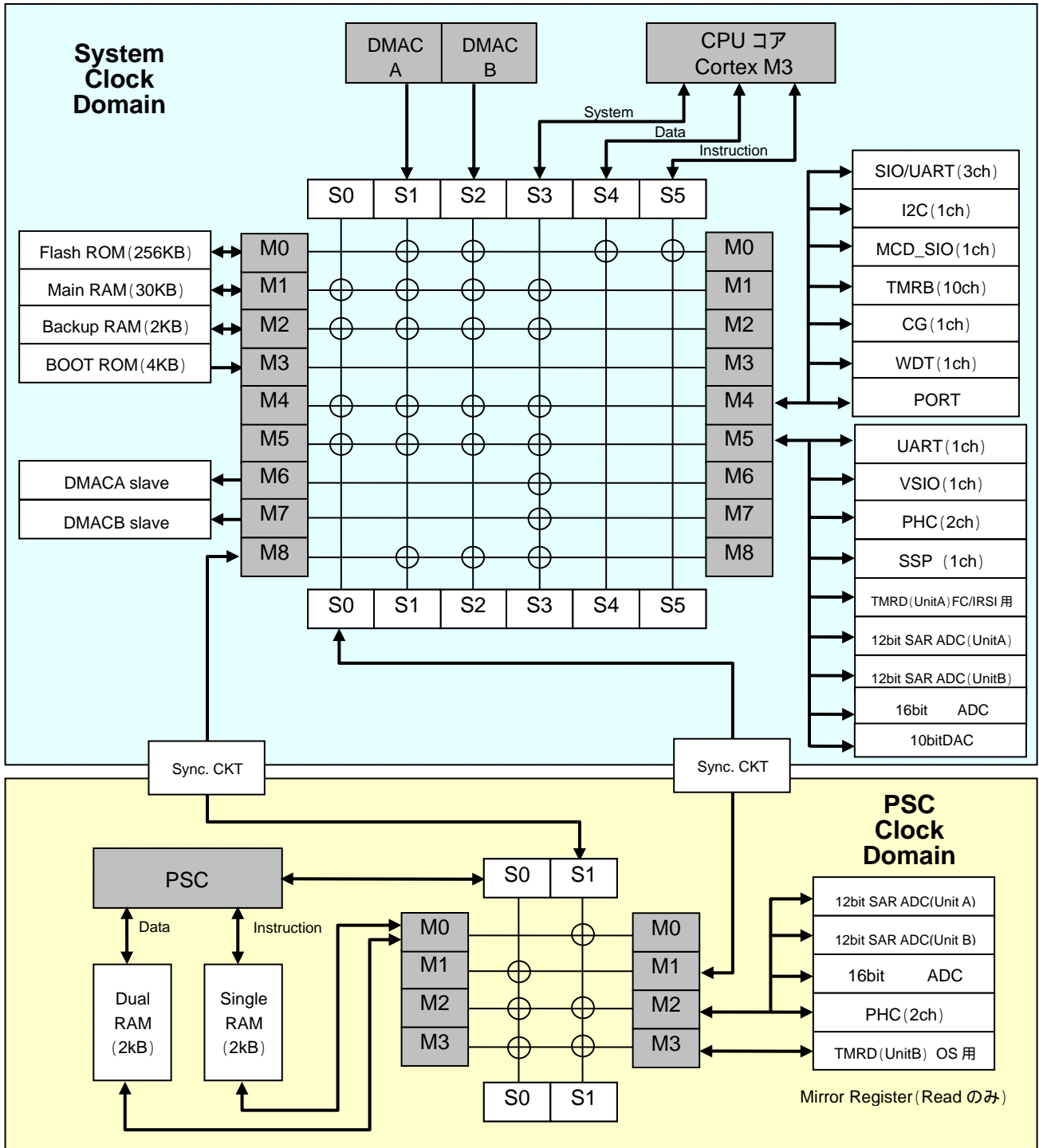


図 3.2.1 内部バス構成(シングルチップモード)

3.2.2 内部バス構成 (シングルブートモード)

シングルブートモード時の内部バス構成を 図 3.2.2 に示します。

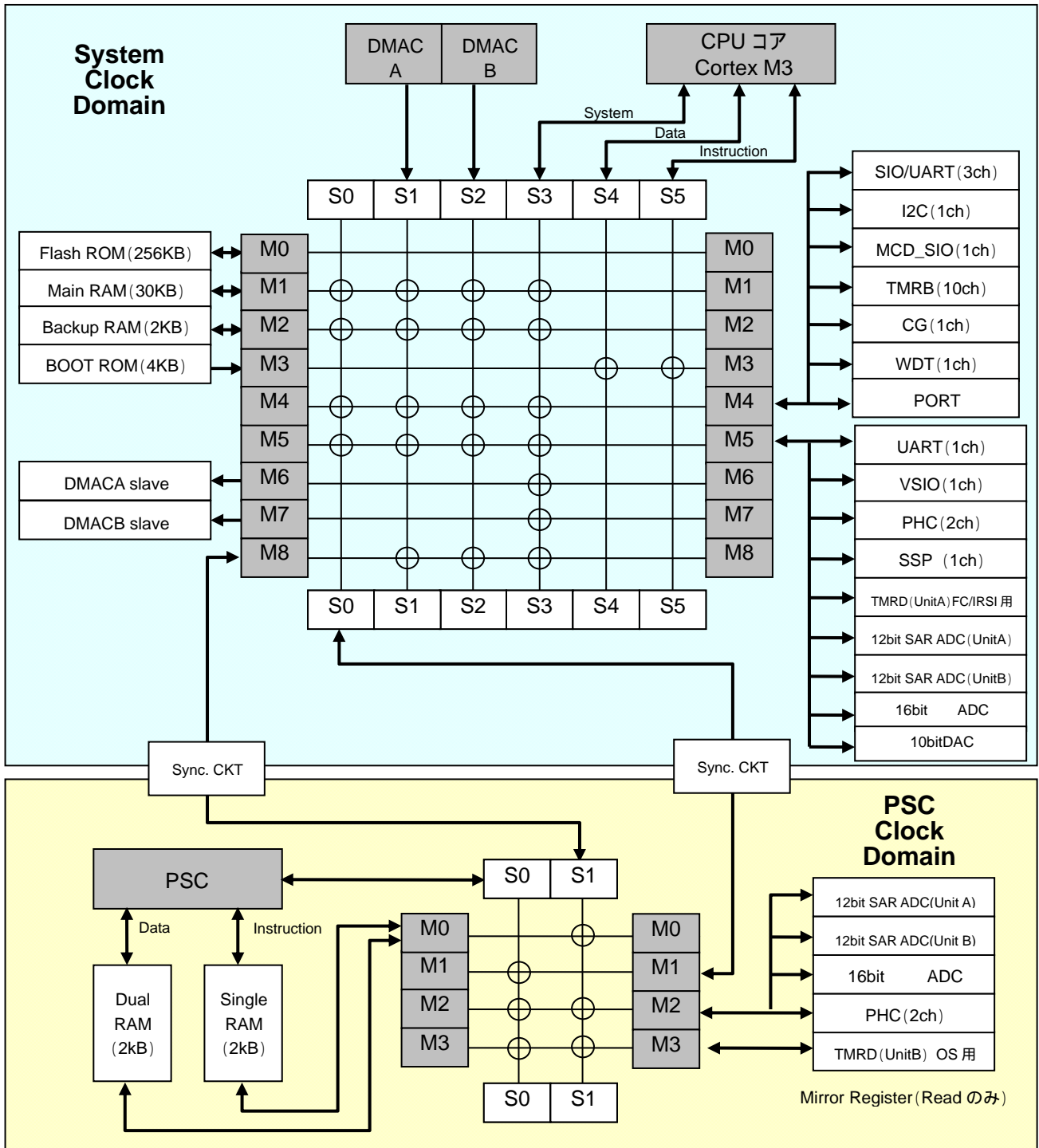


図 3.2.2 内部バス構成 (シングルブートモード)

第 4 章 メモリマップ

4.1 メモリマップ

TMPM342FYXBG のメモリマップは、ARM Cortex-M3 コアのメモリマップに沿って作られており、内蔵 ROM 領域は Cortex-M3 コアメモリマップの Code 領域、内蔵 RAM 領域は SRAM 領域、特殊機能レジスタ (SFR) 領域は Peripheral 領域に割り付けられています。特殊機能レジスタ (SFR: Special function register) とは、入出力ポートおよび周辺機能のコントロールレジスタを示します。SRAM 領域、SFR 領域はすべてビットバンド領域に含まれています。

CPU 内レジスタ領域はコア内部のレジスタ領域です。

各領域の詳細については、"Cortex-M3 テクニカルリファレンスマニュアル" を参照してください。

"Fault" と記載された領域では、アクセスするとメモリフォールトが有効な場合にはメモリフォールト、無効な場合にはハードフォールトが発生します。また、ベンダ固有領域にはアクセスしないでください。

4.1.1 TMPM342FYXBG メモリマップ

TMPM342FYXBG のメモリマップを、図 4-1 に示します。

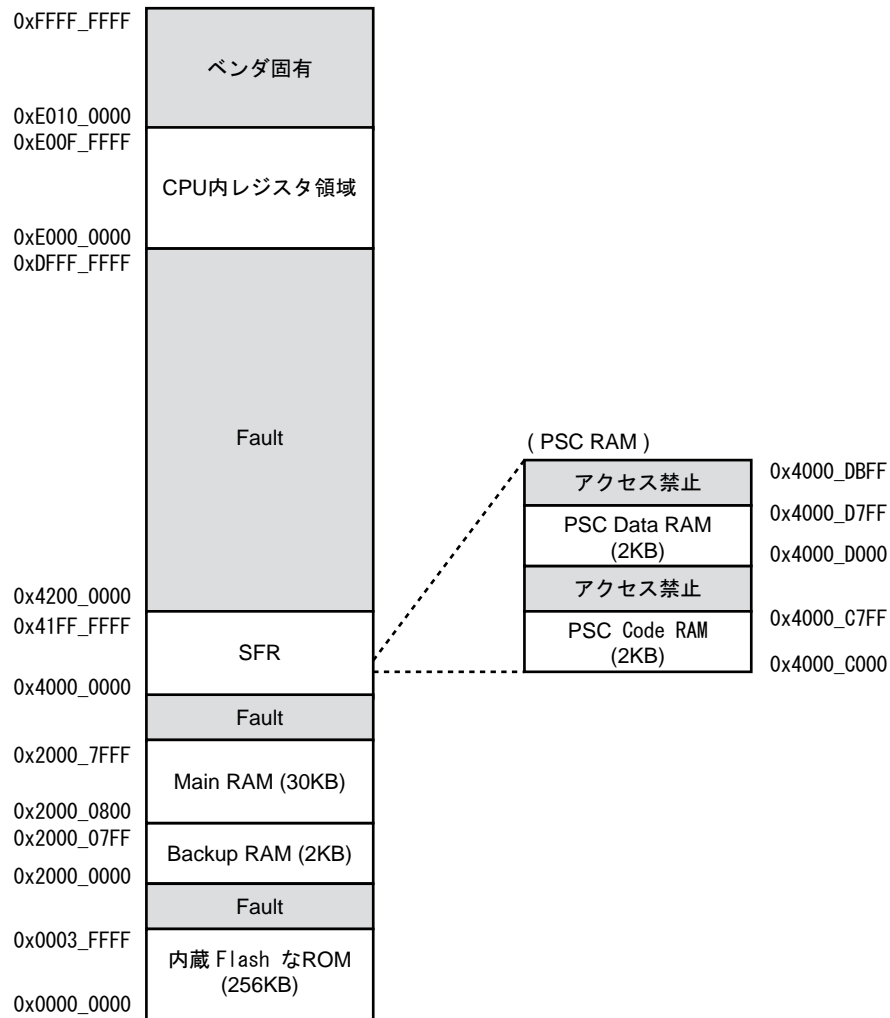


図 4-1 メモリマップ (TMPM342FYXBG)

4.2 SFR 領域詳細

SFR 領域 (0x4000_0000~0x41FF_FFFF) のうち、周辺機能別に割り当てられているアドレス一覧を示します。

表 4-1 の予約領域および Reserved 欄に記載されているアドレスにはアクセスしないでください。また、SFR 領域で表 4-1 に記載のない領域については、読み出される値は不定となり書き込みは無視されます。

表 4-1 SFR 領域詳細

Start Address	End Address	Peripheral
0x4000_0000	0x4000_3FFF	DMAC (4ch)
0x4000_4000	0x4000_BFFF	Reserved
0x4000_C000	0x4000_DBFF	PSC RAM
0x4000_DC00	0x4000_DFFF	PSC
0x4000_E000	0x4003_FFFF	Reserved
0x4004_0000	0x4004_7FFF	SSP (1ch)
0x4004_8000	0x4004_BFFF	UART (1ch)
0x4004_C000	0x4004_FFFF	Reserved
0x4005_0000	0x4005_3FFF	SAR ADC (2unit/12ch)
0x4005_4000	0x4005_7FFF	DAC (2unit)
0x4005_8000	0x4005_BFFF	TMRD (2unit)
0x4005_C000	0x4005_FFFF	Reserved
0x4006_0000	0x4006_1FFF	PHC (2ch)
0x4006_2000	0x4006_3FFF	VSIO (1ch)
0x4006_4000	0x4006_6FFF	Reserved
0x4006_7000	0x4006_8FFF	$\Delta\Sigma$ ADC (1unit/4ch)
0x4006_9000	0x4007_3FFF	Reserved
0x4007_4000	0x4007_4FFF	SAR ADCA MIR <read only>
0x4007_5000	0x4007_6FFF	PHC MIR <read only>
0x4007_7000	0x4007_8FFF	$\Delta\Sigma$ ADC MIR <read only>
0x4007_9000	0x4007_9FFF	SAR ADCB MIR <read only>
0x4007_A000	0x400B_FFFF	Reserved
0x400C_0000	0x400C_3FFF	PORT (A to M)
0x400C_4000	0x400C_6FFF	TMRB (10ch)
0x400C_7000	0x400D_FFFF	Reserved
0x400E_0000	0x400E_0FFF	SBI (1ch)
0x400E_1000	0x400E_5FFF	SIO/UART (3ch)
0x400E_6000	0x400F_1FFF	Reserved
0x400F_2000	0x400F_2FFF	WDT
0x400F_3000	0x400F_3FFF	CG
0x400F_4000	0x41FF_EFFF	Reserved
0x41FF_F000	0x41FF_FFFF	Flash

第5章 リセット動作

リセットの種類として、外部リセット端子 ($\overline{\text{RESET}}$)、ウォッチドッグタイマ (WDT)、CPU のアプリケーション割り込みおよびリセット制御レジスタの $\langle \text{SYSRESETREQ} \rangle$ ビットの設定によるものがあります。ウォッチドッグタイマによるリセットについては「ウォッチドッグタイマ (WDT)」の章を参照してください。

$\langle \text{SYSRESETREQ} \rangle$ によるリセットについては "Cortex-M3 テクニカルリファレンスマニュアル" を参照してください。

5.1 初期状態

5.1.1 リセット入力前状態

電源投入時は、製品の状態は不定です。全ての電源 (DVDD3_A, DVDD3_B, RVDD3, ADAVDD3, ADBVDD3, AVDD3_C) に電圧が印加され、リセット端子にローレベルが入力されるまでの期間、内部回路は不確定であり、レジスタの設定や各端子の状態は不定となります。

5.2 コールドリセット時

電源投入の際には、内蔵レギュレータの安定のための時間を考慮する必要があります。本製品では、内蔵レギュレータ安定のための時間として 1ms 必要です。コールドリセット時には、内蔵レギュレータが安定するための十分な時間、外部リセット端子に "Low" を入力する必要があります。

外部リセット ($\overline{\text{RESET}}$) 解除後、400 μs の間内部リセットがかかり続けます。

電源投入の手順を以下に示します。

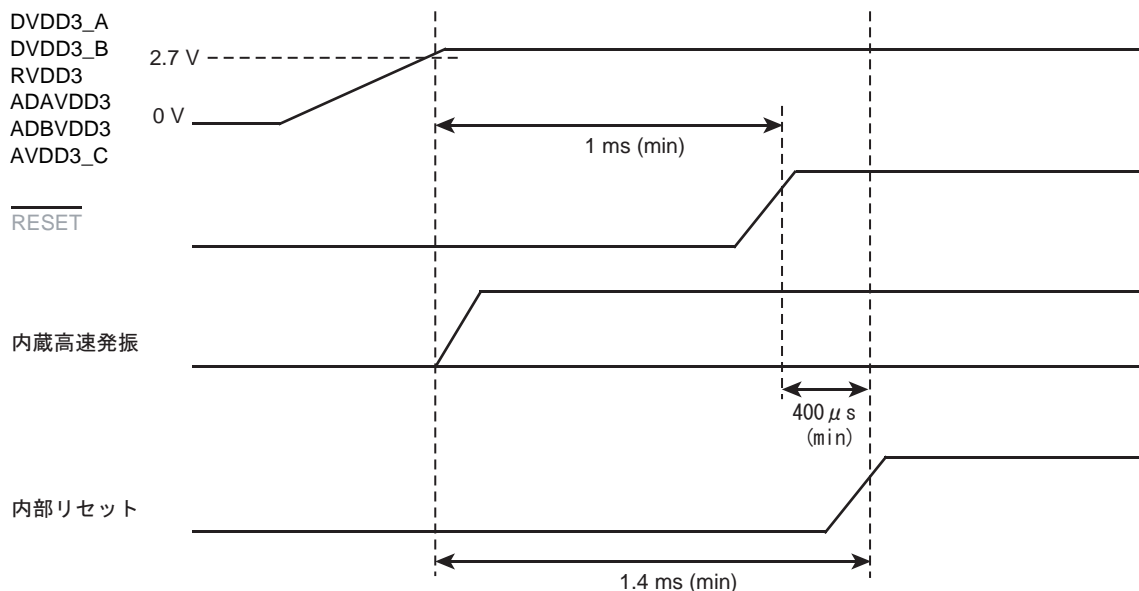


図 5-1 コールドリセットシーケンス

- 注 1) 電源投入は $\overline{\text{RESET}}$ 端子を "Low" にした状態で行い、全ての電源電圧 (DVDD3_A, DVDD3_B, RVDD3, ADAVDD3, ADBVDD3, AVDD3_C) が動作範囲で十分安定した状態から 1ms 以上経過した後にリセット解除させてください。
- 注 2) 電源再投入時にも、必ず上記シーケンスで行ってください。

レジスタ初期化要因

レジスタ名	要因	
CGRSTFLG	コールドリセット	外部リセット
FCSECBIT	コールドリセット	STOP2 モード解除
FPB, DWT, ITM	コールドリセット	STOP2 モード解除 (注)

注) デバッグツールに接続している場合、レジスタは初期化されません。

5.3 ウォームリセット時

5.3.1 リセット期間

本デバイスにリセットをかけるには、電源電圧が動作範囲内であり、かつ、内部高周波発振器の発振が安定した状態で、RESET 入力を少なくとも 12 システムクロック間ローレベル "Low" を入力してください。また、STOP2 モード状態からリセットをかける場合、内蔵レギュレータ安定時間として 500 μ s 以上ローレベル "Low" を入力してください。

外部リセット ($\overline{\text{RESET}}$) 解除後、400 μ s の間内部リセットがかかり続けます。

5.3.2 リセット解除後

リセット解除後は、ほとんどの Cortex-M3 コアの制御レジスタや周辺機能の制御レジスタ (SFR) は初期化されます。コア内部のシステムデバッグコンポーネント (FPB, DWT, ITM) レジスタ、クロックジェネレータレジスタの CGRSTFLG レジスタおよび FLASH 関連レジスタの FCSECBIT レジスタは下表の要因で初期化されます。また、FCSECBIT レジスタはスタンバイモードの STOP2 モード解除後も初期化されます。

リセット解除後は PLL 逡倍回路が停止しているため、PLL 逡倍回路を使用する場合は CGPLLSEL レジスタにて PLL 逡倍回路の設定が必要です。

リセット例外処理を行った後、プログラムはリセットの割り込みサービスルーチンへ分岐します。

注) リセット動作を行うと内蔵 RAM のデータは保証されません。

5.4 リセット起動モード

本製品では、外部の端子設定にて起動モードを選択することができます。

動作モードの設定

モード設定端子		動作モード
RESET	BOOT	
0 から 1 へ 立ち上げる	1	シングルチップモード リセット解除後、内蔵のフラッシュメモリから起動します。
	0	シングルブートモード リセット解除後、内蔵する Boot ROM (MASK ROM) から起動します。

6 電源制御

電源投入、遮断およびスタンバイなどの制御を説明します。

6.1 概要

各種電源の一覧を表 6.1.1 に示します。

表 6.1.1 電源リスト

グループ (注1)	電源名称	本数	対象ブロック	入出力	説明	電源電圧範囲	備考
Power_A	DVDD3_A	1	MCU/MCD	入力	デジタル電源(I/O用)	2.7V ~ AVDD3_C	MCU チップ内部では DVDD3_A/B は共通
	DVDD3_B	1	MCU	入力	デジタル電源(I/O用)		
	RVDD3	1	MCU	入力	Regulator 用電源		
	ADAVDD3 DAVDD3	1	MCU	入力	SAR ADC Unit A 用アナログ電源 DAC Unit A/B 用アナログ電源		
	ADBVDD3	1	MCU	入力	SAR ADC Unit B 用アナログ電源		
	ADCVDD3, ADBVREFH (注2)	1	MCU	入力	SAR ADC UnitB 用アナログ基準電圧 ADC 用アナログ電源		外部接続について 32.6 章 を参照してください。
Power_B	AVDD3_C	1	MCD	入力	アナログ電源	3.1V ~ 3.5V	
Power_C	VM1	3	MCD	入力	chA, B モータ用電源	2.5V ~ 5.5V	
	VM2				chC, D, E, F モータ用電源		
	VM3				chG モータ用電源		
GND_A	DVSS_A/_C	2	MCU	入力	デジタル用 GND	GND	MCU チップ内部では DVSS_A/_B/_C は共通
	DVSS_B	1	MCU/MCD	入力	デジタル/アナログ用 GND		
	AVSS_C	1	MCD	入力	アナログ用 GND		
	ADAVSS	1	MCU	入力	SAR ADC Unit A 用アナログ GND		
	ADBVSS	1	MCU	入力	SAR ADC Unit B 用アナログ GND ADC 用アナログ GND		
	DAVSS	1	MCU	入力	DAC Unit A/B 用アナログ GND		
GND_B	PGND1 PGND2	2	MCD	入力	chA, B モータ用 GND chC, D, E, F モータ用 GND	GND	

グループ	電源名称	本数	対象 ブロック	入出力	説明	電源電圧範囲	備考
VREF_IN	ADAVREFH	1	MCU	入力	SAR ADC UnitA 用アナログ基準電圧	2.7V ~ 3.6V	外部接続について 32.6 章を 参照してください。
	ADBVREFH, (ADCVDD3) (注2)	1	MCU	入力	SAR ADC UnitB 用アナログ基準電圧 ADC 用アナログ電源		
	DAVREFH	1	MCU	入力	DAC Unit A/B 用アナログ基準電圧		
	V30IN	1	MCD	入力	MCD 内部 DAC 基準電圧 H	2.7V V30IN AVDD3_C	
-	ADCVREFHOUT	1	MCU	出力	ADC 用基準電圧 H	-	外部接続について 32.6 章を 参照してください。
	ADCVREFLOUT	1	MCU	出力	ADC 用基準電圧 L		
	ADCVREF02OUT	1	MCU	出力	ADC 用基準電圧		
-	RNF3	1	MCD	入力	chG 出力電流 検出抵抗接続端子	GND	定電流制御を使用する 場合、抵抗を介して GND に接 続してください。 H-SW ドライバとして使用す る場合は直接 GND に接続し てください。
-	EFUSE	1	MCD	入力	eFUSE 駆動電源	AVDD3_C	必ず AVDD3_C に接続してく ださい

(注1) グループ内の電源、GND は同電位としてください。

(注2) 本製品は SAR ADC UnitA/UnitB、ADC の 3Unit の A/D コンバータを内蔵しておりますが、各 A/D コンバータの変換特性を満足するには、以下の二通りの使用方法に限られます。

(1) SAR ADC UnitA + SAR ADC UnitB での使用

(2) SAR ADC UnitA + ADC での使用

そのため、ADCVDD3/ADBVREFH に関して、(1)で使用する場合は SAR ADC Unit B のアナログ基準電圧(ADBVREFH)として、(2)で使用する場合は ADC のアナログ電源(ADCVDD3)の端子構成となります。

6.2 電源投入シーケンス

6.2.1 電源投入シーケンス

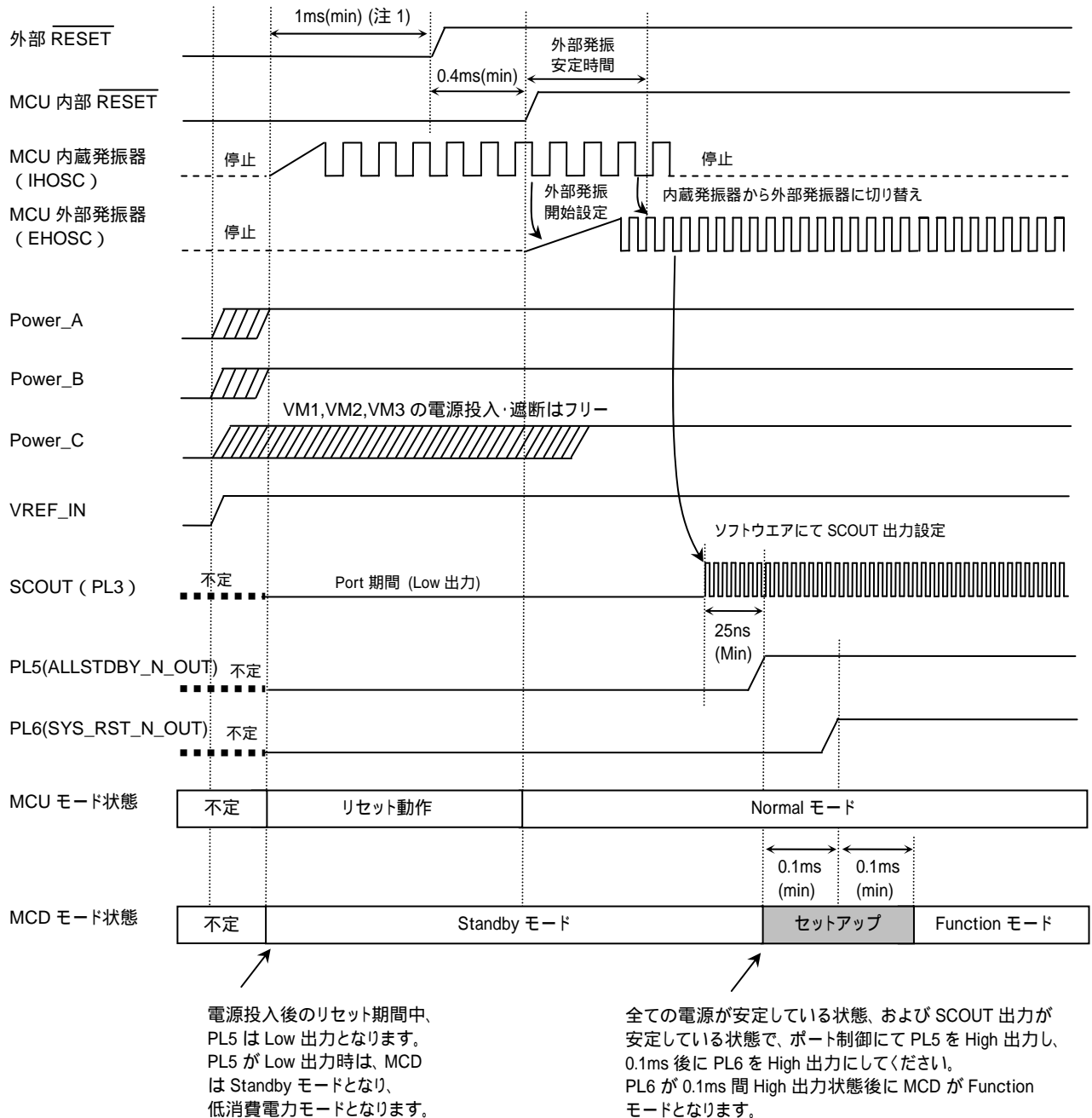


図 6.2.1 電源投入シーケンス

(注 1) 外部リセット期間は、Power_A/B の電源立ち上がりが遅い方を基準としてください。

(注 2) VREF_IN は、Power_A/B の電源と同時に、または Power_A/B が安定してから入力してください。

6.2.2 MCUがNormalモード中にMCDをStandbyモードへ遷移

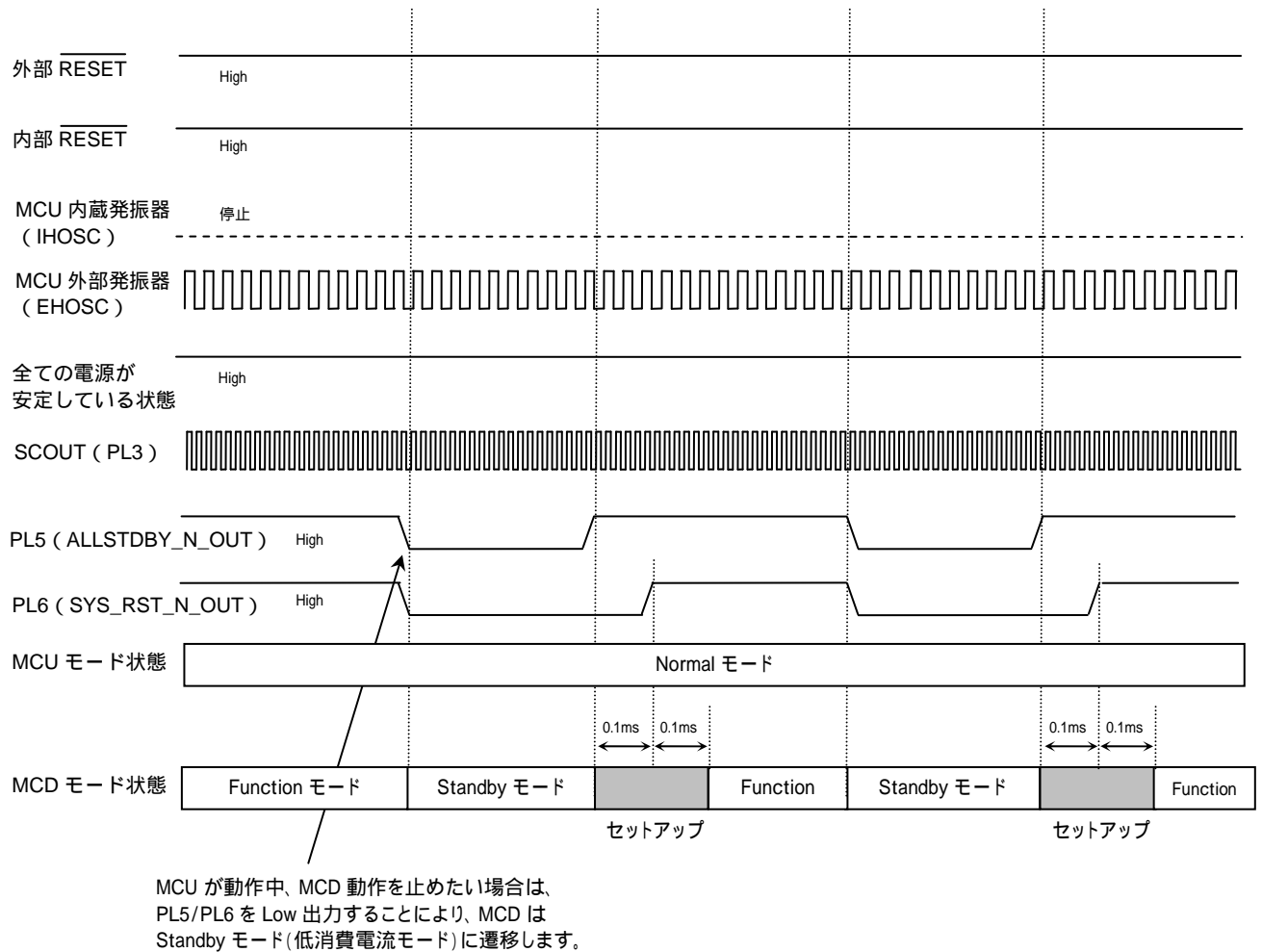


図 6.2.2 Normal モード中の MCD Standby モード遷移シーケンス

6.2.3 外部リセット（ホットリセット）による動作シーケンス

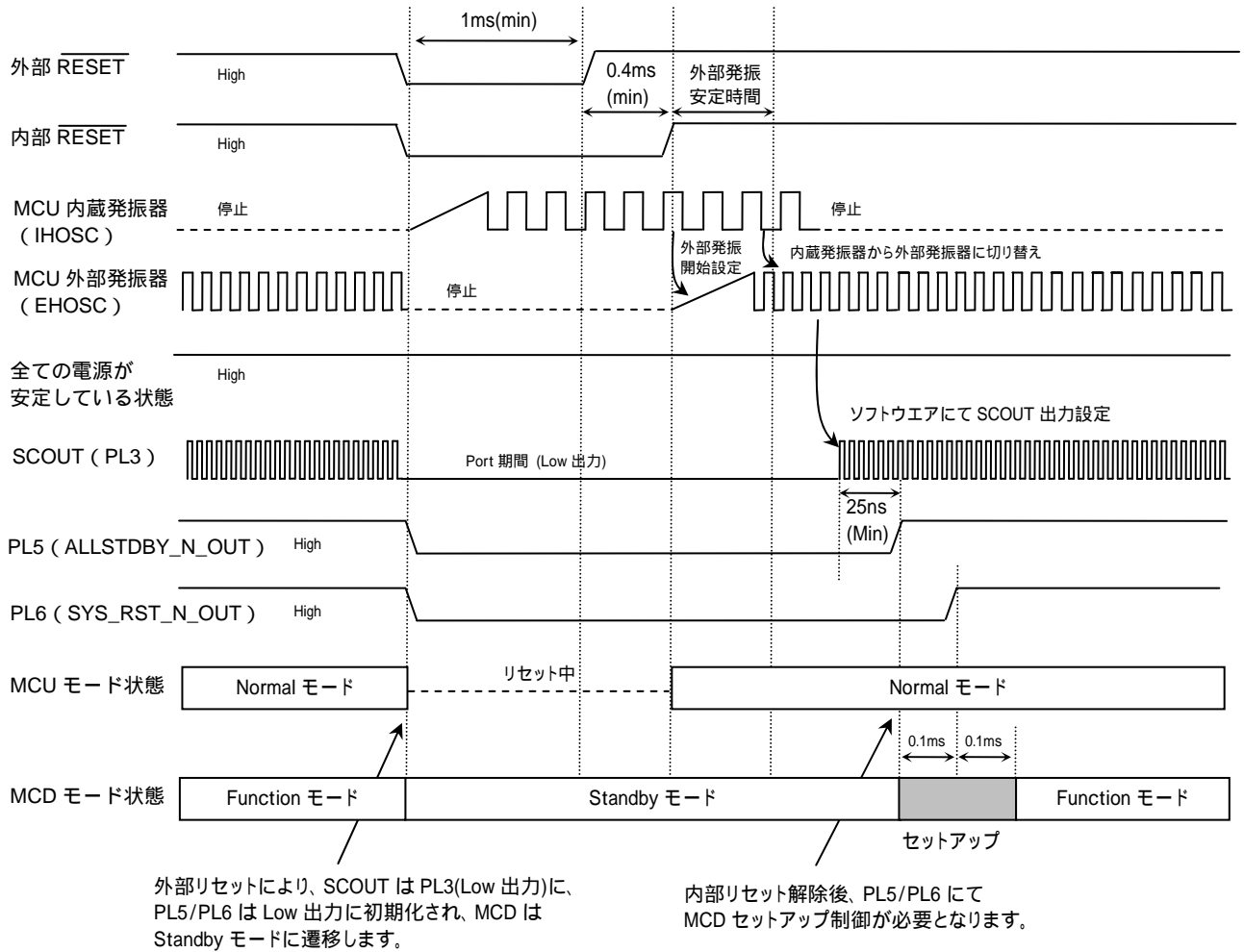


図 6.2.3 外部リセット(ホットリセット)による動作シーケンス

6.2.4 MCUがSTOP2 モード遷移時の動作シーケンス

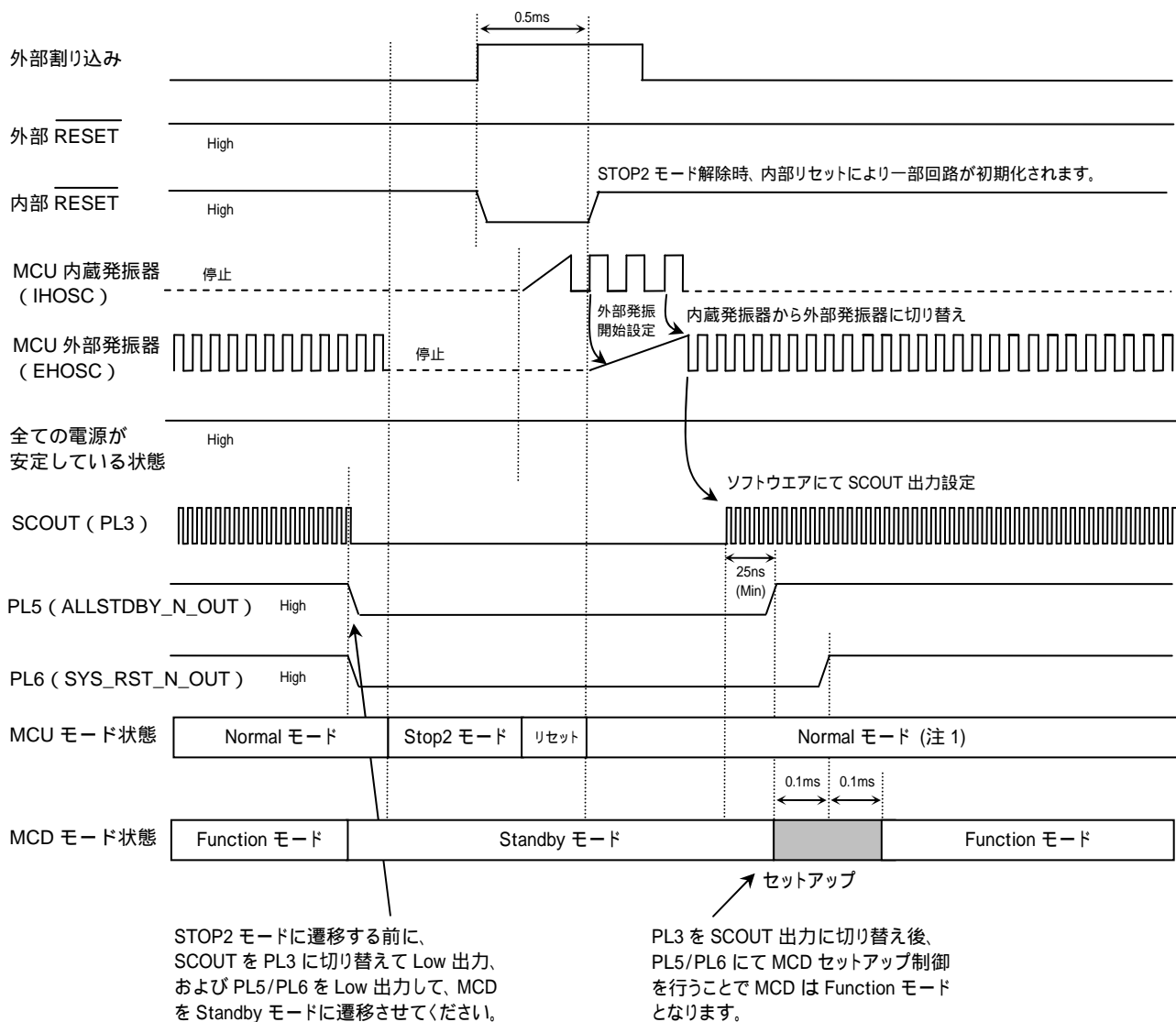
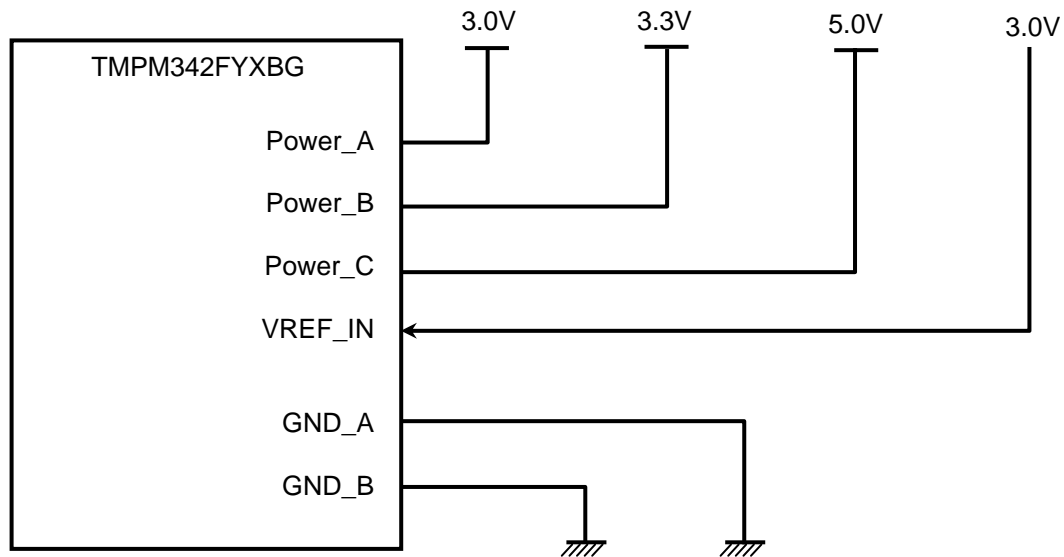


図 6.2.4 MCU が STOP2 モード遷移時の動作シーケンス

6.3 電源接続例

(Case 1)



(Case 2)

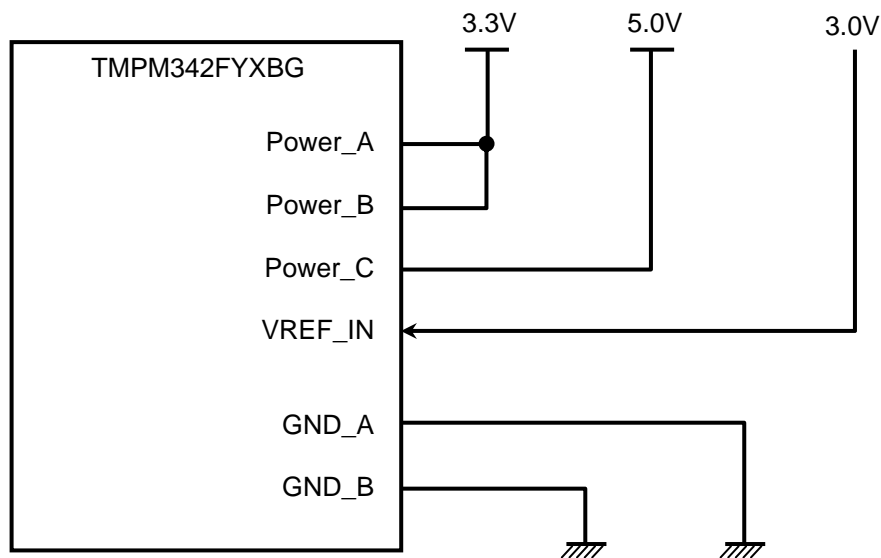


図 6.3.1 電源接続例

第7章 クロック / モード制御

7.1 特長

クロック / モード制御ブロックでは、クロックギアやプリスケラクロックの選択、PLL(逡倍回路) や発振器のウォーミングアップ等を設定することが可能です。

また、低消費電力モードがあり、モード遷移を行うことで電力の消費を抑えることが可能です。

本章では、クロックの制御および動作モードとモード遷移について説明します。

クロックに関連する機能としては以下のようなものがあります。

- システムクロックの制御
- プリスケラクロックの制御
- クロック逡倍回路 (PLL) の制御
- ウォーミングアップタイマの制御

また、動作モードとして NORMAL モードと各種低消費電力モードがあり、使用方法に応じて消費電力を抑えることができます。

7.2 レジスタ説明

7.2.1 レジスタ一覧

CG 関連のレジスタとアドレスを以下に示します。

Base Address = 0x400F _ 3000

レジスタ名		Address(Base+)
システムコントロールレジスタ	CGSYSCR	0x0000
発振コントロールレジスタ	CGOSCCR	0x0004
スタンバイコントロールレジスタ	CGSTBYCR	0x0008
PLL セレクトレジスタ	CGPLLSEL	0x000C
システムクロックセレクトレジスタ	CGCKSEL	0x0010
タイマクロック設定レジスタ	CGPWMGEAR	0x0014
Reserved	-	0x0038
プロテクトレジスタ	CGPROTECT	0x003C

注) "Reserved" 表記のアドレスにはアクセスしないでください。

7.2.2 CGSYSCR(システムコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	PSCSTOP	FCSTOP	-	-	SCOSEL	
リセット後	0	0	0	0	0	0	0	1
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	FPSEL	-	PRCK		
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	GEAR		
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-22	–	R	リードすると "0" が読めます。
21	PSCSTOP	R/W	PSC クロック選択 0: 動作 1: 停止 PSC へのクロック供給を制御します。
20	FCSTOP	R/W	SAR/ $\Delta\Sigma$ ADC クロック選択 0: 動作 1: 停止 SAR AD コンバータおよび AD コンバータへのクロック供給を停止させることが可能です。 リセット後は AD コンバータへのクロックは供給されています。 "1"(停止) に設定する場合は、必ず AD 変換が停止または終了していることを確認してから設定してください。
19-18	–	R	リードすると "0" が読めます。
17-16	SCOSEL[1:0]	R/W	SCOUT 出力選択 00: Reserved 01: fc/2 10: fc 11: Reserved SCOUT 端子から出力するクロックを設定します。MCD 用クロックに使用します。 SCOUT 出力の Duty は 50% です。SCOUT 出力を切り替える場合、MCD をスタンバイ状態 (PL5 が Low 出力状態) にして設定してください。
15-14	–	R	リードすると "0" が読めます。
13	–	R	リードすると "0" が読めます。
12	FPSEL	R/W	fperiph 選択 0: fgear 1: fc fperiph のソースクロックを選択します。 fc を選択した場合、クロックギアの切り替えに関係なく、fperiph を固定することが可能です。
11	–	R	リードすると "0" が読めます。
10-8	PRCK[2:0]	R/W	プリスケラック選択 000: fperiph 100: fperiph/16 001: fperiph/2 101: fperiph/32 010: fperiph/4 110: Reserved 011: fperiph/8 111: Reserved 周辺機能に供給するプリスケラックを選択します。
7-3	–	R	リードすると "0" が読めます。
2-0	GEAR[2:0]	R/W	高速クロック (fc) のギア選択 000: fc 100: fc/2 001: Reserved 101: fc/4 010: Reserved 110: fc/8 011: Reserved 111: fc/16

7.2.3 CGOSCCR(発振コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	WUODR							
リセット後	1	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	WUODR				HWUPSEL	EHOSCSEL	OSCSEL	XEN2
リセット後	0	0	0	0	0	0	0	1
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	XEN1
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	PLLON	WUEF	WUEON
リセット後	0	0	1	1	0	0	0	0

Bit	Bit Symbol	Type	機能
31-20	WUODR[11:0]	R/W	ウォーミングアップカウンタ設定値 16ビットのウォーミングアップタイムの、上位12ビットのカウント値を設定します。
19	HWUPSEL	R/W	高速ウォームアップクロック選択 0: 内部高速発振 (f_{IHOSC}) 1: 外部高速発振 (f_{EHOSC}) ウォーミングアップさせたい発振器のクロックを選択します。選択されたクロックでウォーミングアップタイムのカウントを行います。
18	EHOSCSEL	R/W	外部発振選択 0: 外部クロック入力 1: 発振子
17	OSCSEL	R/W	高速発振器選択 (注2) 0: 内部 1: 外部
16	XEN2	R/W	内部高速発振器の動作選択 0: 停止 1: 発振
15-12	-	R/W	"0" を書いてください。
11-10	-	R	リードすると "0" が読めます。
9	-	R/W	"0" を書いてください。
8	XEN1	R/W	外部高速発振器の動作選択 0: 停止 1: 発振
7-3	-	R/W	必ず "00000" を設定してください。
2	PLLON	R/W	PLL(逡倍回路) 動作の選択 (注3) 0: 停止 1: 発振
1	WUEF	R	ウォーミングアップタイムステータス 0: ウォーミングアップ終了 1: ウォーミングアップ中 ウォーミングアップタイムの状態を確認できます。
0	WUEON	W	ウォーミングアップタイム制御 0: don't care 1: ウォーミングアップスタート このビットをセットすることでウォーミングアップタイムがスタートします。 リードすると "0" が読めます。

注1) ウォーミングアップ時間の設定については「7.3.4 ウォーミングアップ機能」を参照してください。

-
- 注 2) 外部クロックを入力する時、<EHOSCSEL> でクロックを選択後、<OSCSEL> を選択してください。
(<OSCSEL> の設定変更と同時に <EHOSCSEL> の設定変更を行わないでください。)
 - 注 3) PLL 逡倍値設定後、PLL 初期化安定時間として 100 μ s 以上、CGOSCCR<<PLLON>="0" (PLL 停止) を保持する必要があります。
 - 注 4) CGOSCCR<PLLON>="1" に変更後、ウォーミングアップを実行した際に、CGPLLSEL<PLLSEL > = "1" に切り替えてください。
 - 注 5) STOP1/2 モードから復帰する際、内蔵高速発振器起動のため関係ビット <HWUPSEL>, <OSCSEL>, <XEN2>, <XEN1>, <PLLON> および CGPLLSEL<PLLSEL> は初期化され、内部高速発振で起動します。
 - 注 6) 内蔵高速発振器 (IHOSC) をシステムクロックとして使用する場合、PLL 逡倍の使用は禁止です。
 - 注 7) 内蔵高速発振器 (IHOSC) にを使用する場合、発振精度を要求するシステムクロックとしては使用しないでください。

7.2.4 CGSTBYCR(スタンバイコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	PTKEEP	DRVE
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	STBY		
リセット後	0	0	0	0	0	0	1	1

Bit	Bit Symbol	Type	機能
31-20	-	R	リードすると "0" が読めます。
19-18	-	R/W	"0" を書いてください。
17	PTKEEP	R/W	STOP2 モード中の I/O 制御信号を保持 0:Port による制御 1: 0->1 設定時の状態を保持
16	DRVE	R/W	STOP1 モード中の端子状態制御 0: STOP1 モード中端子をドライブしません 1: STOP1 モード中も端子をドライブします
15-3	-	R	リードすると "0" が読めます。
2-0	STBY[2:0]	R/W	低消費電力モード選択 000: Reserved 001: STOP1 010: Reserved 011: IDLE 100: Reserved 101: STOP2 110: Reserved 111: Reserved

7.2.5 CGPLLSEL(PLL セレクトレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	PLLSET							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PLLSET							PLLSEL
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	–	R	リードすると "0" が読めます。
15-1	PLLSET	R/W	PLL 通倍値設定 (下記以外は設定禁止) 0x303D: 16 通倍 0x281D: 8 通倍
0	PLLSEL	R/W	PLL 選択 0: fosc 使用 1: fPLL/4 使用 PLL にて通倍されたクロックの使用可否を選択します。 リセット解除後は "fosc(内部高速発振)" 選択ですので、PLL を使用する場合はこのビットの設定が必要です。

- 注 1) PLL 通倍数は表 7-2、表 7-3 の設定範囲で使用してください。
- 注 2) PLL 通倍値の設定は、CGOSCCR<PLLON> = "0"(PLL 停止)、MCD がスタンバイ (PL5 が Low 出力) の状態で行なってください。
- 注 3) PLL 通倍値設定後、PLL 初期化安定時間として 100 μ s 以上、CGOSCCR<PLLON>="0" (PLL 停止) を保持する必要があります。
- 注 4) STOP1/2 モードから復帰する際、CGOSCCR<HWUPSEL>, <OSCSEL>, <XEN2>, <XEN1>, <PLLON> および <PLLSEL> は初期化され、内部高速発振で起動します。
- 注 5) 内蔵高速発振器 (IHOSC) をシステムクロックとして使用する場合、PLL 通倍の使用は禁止です。

7.2.6 CGCKSEL (システムクロックセレクトレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	-	R	リードすると"0"が読めます。
1	-	R/W	"0"をライトしてください。
0	-	R	リードすると"0"が読めます。

7.2.7 CGPWMGEAR (タイマクロック設定レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TMRDBGEAR		TMRDAGEAR		-	-	TMRDB CLKEN	TMRDA CLKEN
After reset	1	0	1	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると "0" が読めます。
7-6	TMRDBGEAR [1:0]	R/W	TMRD(Unit B) ソースクロック選択 00 : fpll 01 : fpll / 2 10 : fpll / 4 11 : Reserved TMDR Unit B ブロックに入力するソースクロックを選択します。 .
5-4	TMRDAGEAR [1:0]	R/W	TMRD(Unit A) ソースクロック選択 00 : fpll 01 : fpll / 2 10 : fpll / 4 11 : Reserved TMDR Unit A ブロックに入力するソースクロックを選択します。 .
3-2	-	R	リードすると "0" が読めます。 .
1	TMRDBCLKEN	R/W	TMDR(Unit B) ソースクロック制御 0 : 停止 (OFF) 1 : 設定 (ON) TMDR(Unit B) への TMDRCLK 供給を設定します。
0	TMRDACLKEN	R/W	TMDR(Unit A) ソースクロック制御 0 : 停止 (OFF) 1 : 設定 (ON) TMDR(Unit A) への TMDRCLK 供給を設定します。

- 注 1) <PWMGEAR> と <TMDRCLKEN> を同時にセットしないでください。TMDR を使用する時には、初めにクロック提供停止 <TMDRCLKEN>="0" でソースクロックの選択 <PWMGEAR[1:0]> を行ってください。その後、<TMDRCLKEN>="1" に設定することで、クロック供給を行ってください。
- 注 2) <PWMGEAR[1:0]> を切り替える場合、TMDR を停止した状態 (<TMDRCLKEN>="0") で切り替えを行ってください。

7.2.8 CGPROTECT(プロテクトレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	CGPROTECT							
リセット後	1	1	0	0	0	0	0	1

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-0	CGPROTECT	R/W	レジスタ書き込み制御 0xC1: 許可 0xC1 以外: 禁止 初期状態は"0xC1"で書き込み許可となっています。"0xC1"以外の値を設定することでCG関連レジスタのうちCGPROTECT以外のレジスタへの書き込みができなくなります。

7.3 クロック制御

7.3.1 クロックの種類

クロックの一覧を以下に示します。

fosc	: 内部発振回路で生成されるクロック、X1、X2 端子より入力されるクロック
fpll	: PLL により逡倍 (16 逡倍 /8 逡倍) されたクロック
fc	: CGPLLSEL<PLLSEL> で選択されたクロック (高速クロック)
fgear	: CGSYSCR<GEAR[2:0]> で選択されたクロック
fsys	: fgear と同等のクロック (システムクロック)
fperiph	: CGSYSCR<FPSEL> で選択されたクロック
φT0	: CGSYSCR<PRCK[2:0]> で選択されたクロック (プリスケールクロック)

高速クロック fc、プリスケールクロック φT0、高分解能 PPG クロック f_{PLL} は以下のように分周することが可能です。

高速クロック	: fc, fc/2, fc/4, fc/8, fc/16
プリスケールクロック	: fperiph, fperiph/2, fperiph/4, fperiph/8, fperiph/16, fperiph/32
高分解能 PPG クロック	: fpll/2, fpll/4

7.3.2 リセット動作による初期値

リセット動作により、クロックの設定は下記のような状態に初期化されます。

内部高速発振器	: 発振
外部高速発振器	: 停止
PLL (逡倍回路)	: 停止
高速クロックギア	: fc (分周なし)

リセット動作によりすべてのクロックの設定が fosc と同じになります。

fc = fosc
fsys = fosc
φT0 = fosc

7.3.3 クロック系統図

クロック系統図を図 7-1 に示します。

セレクタに入力されるクロックのうち、矢印つきのものがリセット後の初期状態として選択されます。

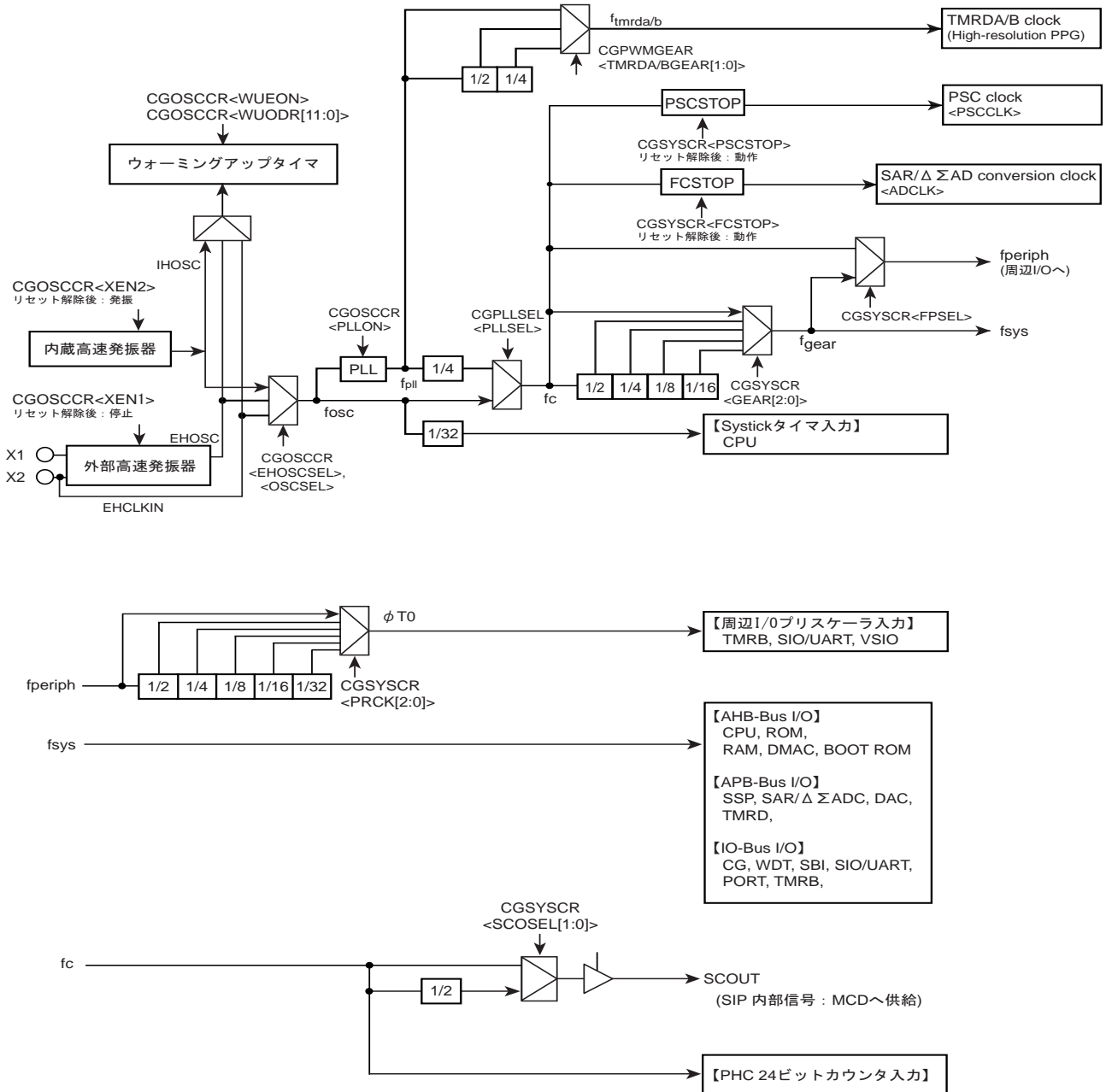


図 7-1 クロック系統図

7.3.4 ウォーミングアップ機能

ウォーミングアップ機能は、ウォーミングアップタイマを用いて発振子の発振安定時間や、PLLの安定時間を確保するための機能です。発振が安定している外部クロックなどを使用する場合にはウォーミングアップを行う必要はありません。

ウォーミングアップ機能はまた、STOP1 および STOP2 モードからの復帰の際にも使用されます。この場合には、低消費電力モードからの復帰割り込みが発生すると自動的にタイマがカウントを開始し、設定された時間のカウント終了後、システムクロックが出力され CPU が動作を開始します。

ウォーミングアップ機能の使用方法を説明します。

1. クロックの選択

ウォーミングアップカウンタのカウントアップクロックを CGOSCCR<HWUPSEL> で選択します。

2. ウォーミングアップカウンタ設定値の算出

CGOSCCR<WUODR[11:0]> の設定値は、以下の計算式から算出し、下位 4 ビットを切り捨てて <WUODR[11:0]> に設定します。

注) スタンバイモードへ遷移する場合、カウント値が CGOSCCR<WUDOR[11:0]> に反映されているのを確認してから WFI 命令を実行してください。

$$\text{ウォーミングアップサイクル数} = \frac{\text{ウォーミングアップ時間}}{\text{ウォームアップクロック周期}}$$

注) ウォーミングアップタイマは発振クロックで動作しているため、発振周波数に揺らぎがある場合は誤差を含みます。したがって概略時間として捉える必要があります。

高速発振子 8MHz 使用時、ウォーミングアップ時間 5ms を設定する場合は以下のようになります。

$$\frac{\text{ウォーミングアップ時間}}{\text{ウォームアップクロック周期}} = \frac{5\text{ms}}{1/8\text{MHz}} = 40,000\text{サイクル} = 0x9C40$$


下位 4 ビットを切り捨て、0x9C4 を CGOSCCR<WUODR[11:0]> に設定します。

3. ウォーミングアップの開始および終了確認

ソフトウェア (命令) によりウォーミングアップの開始および終了確認を行う場合、CGOSCCR<WUEON> に "1" を設定することでウォーミングアップを開始します。また、終了の確認は <WUEF> で行います。<WUEF> が "1" でウォーミングアップ中、"0" で終了を示します。

以下に、ウォーミングアップ機能の設定例を示します。

表 7-1 ウォーミングアップ機能設定例

	CGOSCCR<WUODR[11:0]> = "0x9C4"	: ウォーミングアップ時間設定
	CGOSCCR<WUODR[11:0]> リード	: ウォーミングアップ時間の反映確認 "0x9C4" がリードできるまで繰り返し。
	CGOSCCR<XEN2> = "1"	: 高速発振 (fosc) イネーブル
	CGOSCCR<WUEON> = "1"	: ウォーミングアップタイマ (WUP) スタート
	CGOSCCR<WUEF> リード	: "0" (WUP 終了) になるまでウェイト

- 注 1) 発振が安定している外部クロックなどを使用する場合はウォーミングアップを行う必要はありません。
- 注 2) ウォーミングアップタイマは発振クロックで動作しているため、発振周波数にゆらぎがある場合は誤差を含みます。従って概略時間としてとらえる必要があります。
- 注 3) CGOSCCR<WUDOR[11:0]> にウォーミングアップカウント値を設定後、カウント値が反映されているのを待ってから WFI 命令を実行してスタンバイモードへ遷移してください。
- 注 4) STOP1/STOP2 モードからの復帰時、内部高速発振起動のため関係ビット CGPLLSEL<PLLSEL> および CGOSCCR<HWUPSEL>、<OSCESEL>、<XEN">、<XEN1>、<PLLON> は初期化され、CGOSCCR<WUDOR[11:0]> は初期化されません。

7.3.5 クロック逡倍回路 (PLL)

高速発振器の出力クロック f_{osc} を 8 逡倍または 16 逡倍した f_{pll} クロックを出力する回路です。これにより、発振器への入力周波数は低く内部クロックは高速にすることが可能です。

7.3.5.1 使用方法

PLL はリセット解除後、ディセーブル状態です。PLL を使用するためには、MCD をスタンバイ状態、かつ $CGOSCCR<PLLON>$ が "0" の状態で $CGPLLSEL<PLLSET>$ の逡倍値の設定を行った後、 $<PLLON>$ を "1" に設定し、 $CGPLLSEL<PLLSEL>$ にて "1" を選択することにより、 f_{osc} を 16 逡倍または 8 逡倍した f_{pll} クロックを出力することができます。なお、PLL 動作が安定するまでの時間は、ウォーミングアップ機能等を用いて確保する必要があります。

- 注 1) PLL 動作開始による PLL 発振安定時間は、約 100 μ s 必要です。
- 注 2) 内部高速発振器 (IHOSC) を使用している時には、PLL を使用しないでください。
- 注 3) STOP1/2 モードに遷移する際、MCD をスタンバイ状態 (PL5 を Low 出力状態) にして、かつ $CGPLLSEL<PLLSEL>="0"$ (f_{osc} 選択; 逡倍クロックを使用しない設定) に切り替えた上で $<PLLON>="0"$ に設定してから遷移してください。

逡倍値は 8 逡倍または 16 逡倍から選択可能です。 $<PLLSET>$ の設定値は以下のとおりです。

逡倍数	$<PLLSET>$
8	0x281D
16	0x303D

PLL 動作開始および、逡倍値の変更の際には安定時間を確保する必要があります。詳細は次章を参照してください

7.3.5.2 安定時間

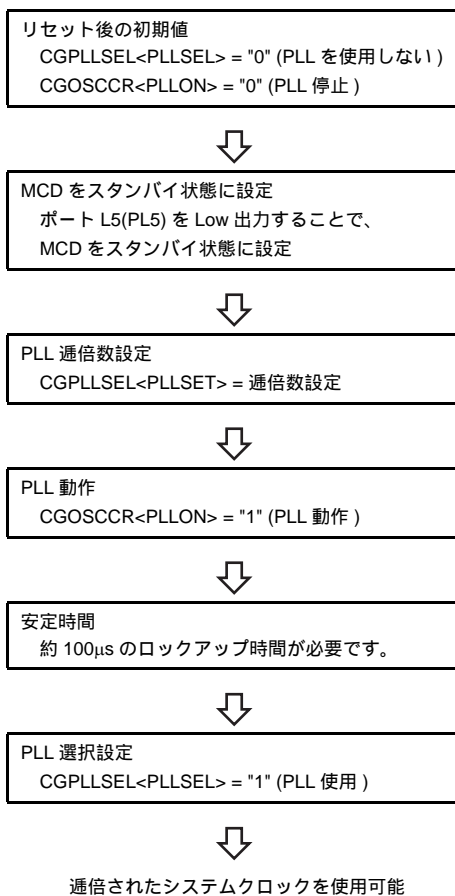
PLL 動作開始および、逡倍値の変更の際にはウォーミングアップ機能等を用いて安定時間を確保する必要があります。

動作を開始するときはロックアップ時間として約 100 μ s 必要です。

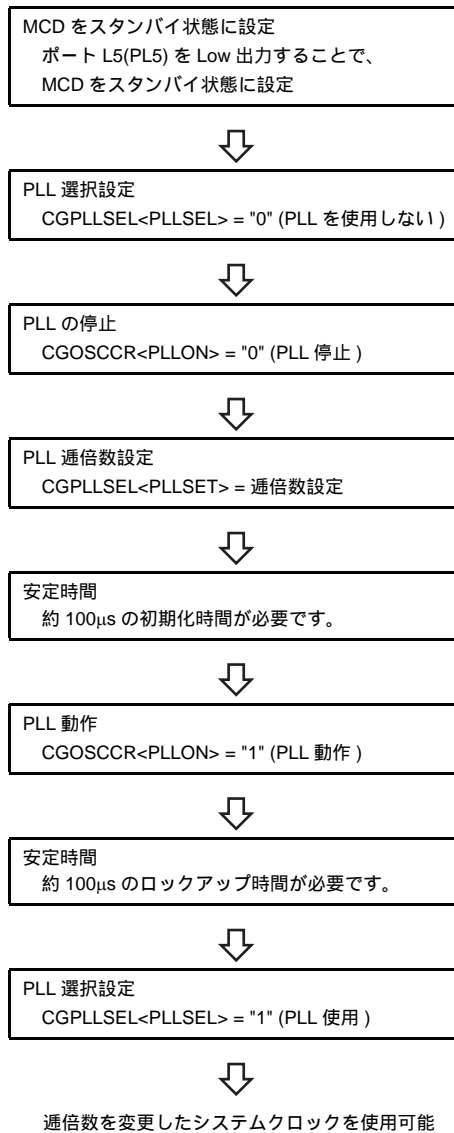
逡倍数の変更を行う場合、まず $CGPLLSEL<PLLSEL>="0"$ として逡倍クロックを使用しない設定に切り替えた上で $<PLLON>$ を "0" として PLL を停止します。 $<PLLSET>$ の逡倍値を変更し、PLL の初期化時間として約 100s 経過後に $<PLLON>$ を "1" として PLL の動作を開始します。その後、ロックアップ時間を確保してください。

以下に PLL 動作開始手順と逡倍数変更手順を示します。

(1) PLL 動作開始手順



(2) PLL 逡倍数変更手順



7.3.6 システムクロック

システムクロックの源振として、内部高速発振クロック、外部高速発振クロック（発振子接続またはクロック入力）が使用可能です。

内部高速発振は、発振周波数精度が要求される場合には使用しないでください。

外部高速発振クロックは PLL で逡倍して使用できます。

源振		周波数	PLL 使用
内部高速発振 (f_{IHOSC})		10MHz	不可
外部高速発振	発振子 (f_{EHOSC})	8 ~ 20MHz	8 または 16 逡倍
	クロック入力 ($f_{EHCLKIN}$)		

PLL で逡倍されたクロックは、高分解能 PPG 出力機能 (TMRD) で使用されます。また 4 分周したクロックをシステムクロック、SAR/ $\Delta\Sigma$ ADC 用クロックと PSC 用クロックして使用することができます。それぞれ使用可能な周波数は以下のとおりです。

	システムクロック	SAR/ $\Delta\Sigma$ ADC clock	PSC clock	高分解能 PPG
動作周波数 (MHz)	1 ~ 40	40 (Max.)	40 (Max.)	160 (Max.)

注) ADC の変換クロックは ADC 内部にて 2 分周され、最大変換クロックは 20MHz となります。

システムクロックは $CGSYSCR<GEAR>$ で分周が可能です。設定は動作中に変更可能ですが、実際にクロックが切り替わるまでに若干の時間を要します。

PLL、クロックギアの設定による動作周波数例を表 7-2 に示します。

表 7-2 PLL 8 逡倍 / 16 逡倍使用時の高周波数設定範囲例

外部発振子 (MHz)	外部クロック入力 (MHz)	PLL 逡倍数	最大動作周波数 (f_c) (MHz)	クロックギア (CG) PLL = ON 時					クロックギア (CG) PLL = OFF 時				
				1/1	1/2	1/4	1/8	1/16	1/1	1/2	1/4	1/8	1/16
8	8	16	32	32	16	8	4	2	8	4	2	1	-
9	9		36	36	18	9	4.5	2.25	9	4.5	2.25	1.125	-
10	10		40	40	20	10	5	2.5	10	5	2.5	1.25	-
16	16	8	32	32	16	8	4	2	16	8	4	2	1
18	18		36	36	18	9	4.5	2.25	18	9	4.5	2.25	1.13
20	20		40	40	20	10	5	2.5	20	10	5	2.5	1.25

↑ リセット後の初期値

高分解能 PPG 出力機能 (TMRD)、A/D コンバータ機能 (SAR/ΔΣADC)、MCD 機能 (SCOUT) およびフラッシュメモリを使用する場合、それぞれ使用可能な設定例を表 7-3 に示します。

表 7-3 PLL 8 通倍 /16 通倍使用時の周辺機能の設定例

外部発振子 (MHz)	外部クロック入力 (MHz)	PLL 通倍数	最大動作周波数 (fc) (MHz)	TMRD 最大動作周波数 (MHz)	SAR/ΔΣADC 最大動作周波数 (MHz)	MCD 用クロック最大動作周波数 (fc) (MHz)	MCD 用クロック最大動作周波数 (fc/2) (MHz)
8	8	16	32	128	32	設定禁止	16
9	9		36	144	36	設定禁止	18
10	10		40	160	40	設定禁止	20
11	11	8	22	88	22	22	設定禁止
12	12		24	96	24	24	設定禁止
12.5	12.5		25	100	25	25	設定禁止
13 ~ 15	13 ~ 15		26 ~ 30	104 ~ 120	26 ~ 30	設定禁止	設定禁止
16	16		32	128	32	設定禁止	16
17	17		34	136	34	設定禁止	設定禁止
18	18		36	144	36	設定禁止	18
19	19		38	152	38	設定禁止	設定禁止
20	20		40	160	40	設定禁止	20

注 1) TMRD(高分解能 PPG)の最大動作保証周波数は 160MHz です。

注 2) ADC(AD コンバータ)の最大動作保証周波数は 40MHz です。

注 3) SCOUT の設定は、16/18/20/22/24/25MHz 以外の設定範囲では使用しないでください。

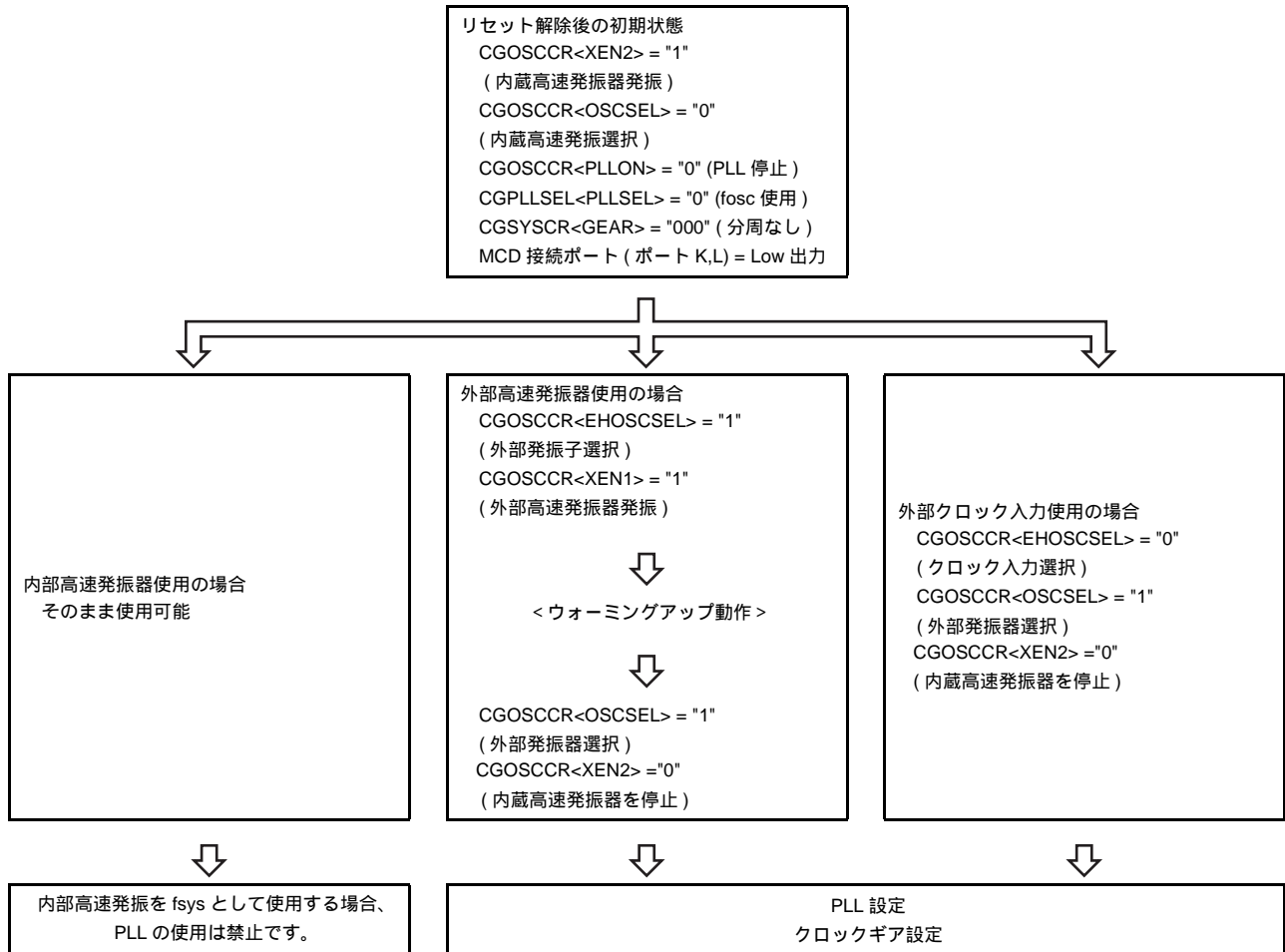
注 4) ΔΣADC の変換クロックは ΔΣADC 内部にて 2 分周され、最大変換クロックは 20MHz となります。

7.3.6.1 システムクロックの設定方法

システムクロックの選択はCGOSCCRで行います。クロック選択後、必要に応じてPLL設定をCGPLLSEL,CGOSCCRで、クロックギアの設定をCGSYSCRで行います。

以下にクロックの設定手順を示します。

クロック設定手順



7.3.6.2 外部高速発振器を使用する場合

本製品はリセット解除後、内蔵高速発振器からスタートします。外部高速発振器、PLL 逡倍回路を使用する場合、「7.3.5 クロック逡倍回路 (PLL)」および「7.3.6.1 システムクロックの設定方法」の手順にしたがって設定を行います。

以下の図は、外部高速発振器および PLL 逡倍回路を使用した場合の遷移を示します。

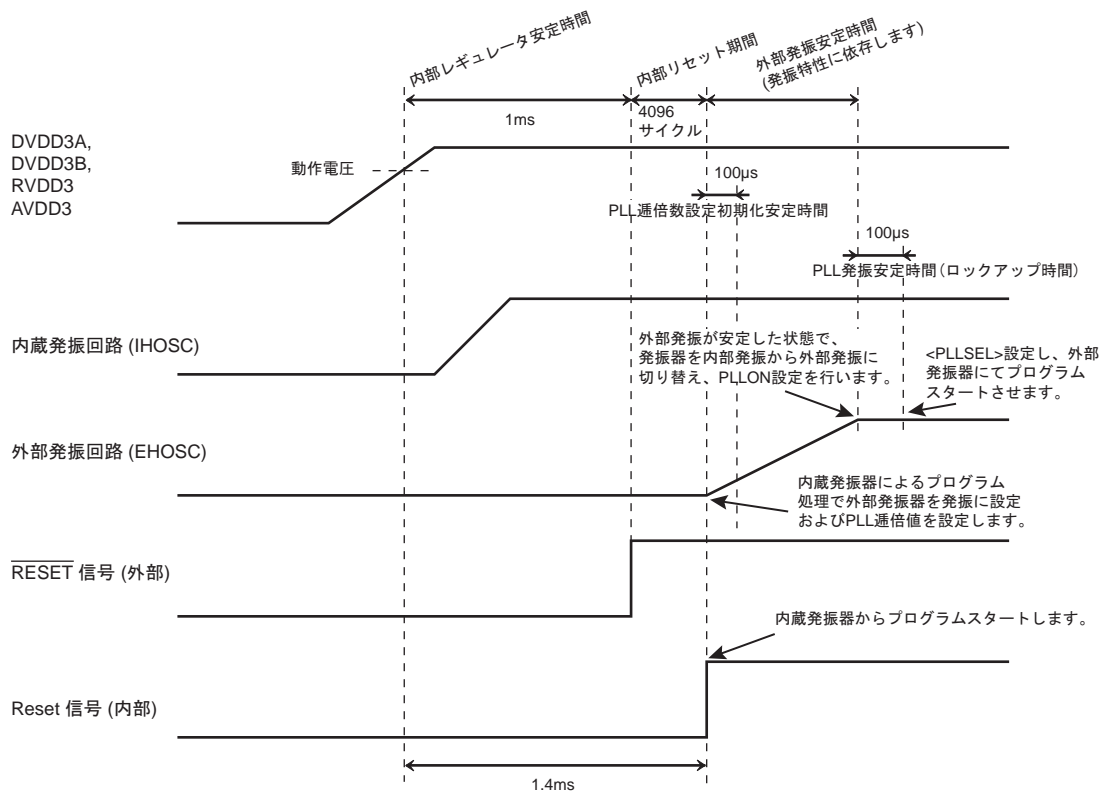


図 7-2 外部高速発振器を使用し PLL 逡倍回路を設定した場合の遷移

7.3.7 プリスケラクロック

周辺機能 (TMRB,SIO,SBI,VSIO,PHC) には、それぞれにクロックを分周するプリスケラがあります。これらのプリスケラへ入力するクロック $\phi T0$ は、CGSYSCR<FPSEL> から選択されたクロック f_{periph} をさらに CGSYSCR<PRCK[2:0]> にて分周することが可能です。リセット後の $\phi T0$ は $f_{periph}/1$ が選択されます。

注) クロックギアを使用する場合、周辺機能の各ブロックのプリスケラ出力 ϕTn は、 $\phi Tn \leq f_{sys}/2$ を満足するように時間設定 (ϕTn が f_{sys} よりも遅くなるように) してください。また、タイマカウンタなどの周辺機能の動作中にクロックギアを切り替えないようにしてください。

7.3.8 MCD クロック供給機能

MCU ブロックには、MCD ブロックが使用するクロックを供給することができます。供給クロックとして、 f_c 、 $f_c/2$ を選択し、MCD ブロックへ供給します。

注) SCOUT から出力されるシステムクロックは、内部クロックとの位相差 (AC タイミング) は保証できません。

ポート L 関連レジスタ PLCR<PL3C> = "1", PLFR1<PL3F1> = "1" に設定することにより、PL3 は SCOUT 出力端子になります。出力クロックの選択は CGSYSCR<SCOSEL[1:0]> によって設定します。

表 7-4 に PL3 端子を SCOUT 出力端子に設定した場合のモード別端子状態を示します。

表 7-4 モード別 SCOUT 出力状態

モード SCOUT 選択 CGSYSCR	NORMAL	低消費電力モード	
		IDLE	STOP1/STOP2 (注)
<SCOSEL[1:0]> = "00"	Reserved		
<SCOSEL[1:0]> = "01"	$f_c/2$ クロックを出力します		"0" または "1" に 固定されます
<SCOSEL[1:0]> = "10"	f_c クロックを出力します		
<SCOSEL[1:0]> = "11"	Reserved		

注 1) Reserved は設定禁止です

注 2) SCOUT 出力の Duty は 50% です。

注 3) ポート L ファンクションレジスタ PLFR1<PL3F1> の初期値によって、PL3 の初期状態はポート機能となります。このポート機能から SCOUT に切り替える場合、MCD をスタンバイ状態 (PL5 が Low 出力状態) にして設定してください。

注 4) SCOUT 出力を切り替える場合、MCD をスタンバイ状態 (PL5 が Low 出力状態) にして設定してください。

注 5) STOP2 モードへ遷移するために、最初に CGSTBYCR<PTKEEP> を "1" にセットしてポートの状態を保持してください。

7.4 動作モードとモード遷移

7.4.1 モード状態遷移

動作モードとして、システムクロックに高速クロックを使用する NORMAL モードがあります。

プロセッサコアの動作を停止して電力の消費を抑える低消費電力モードとして、IDLE モード、STOP1 モードがあります。

また、TMPM342FYXBG には、一部機能を保持してメイン電源を遮断することによって、大幅に電力の消費を抑える STOP2 モードがあります。

図 7-3 にモード状態遷移図を示します。

Sleep-on-exit については、"Cortex-M3 テクニカルリファレンスマニュアル" を参照してください。

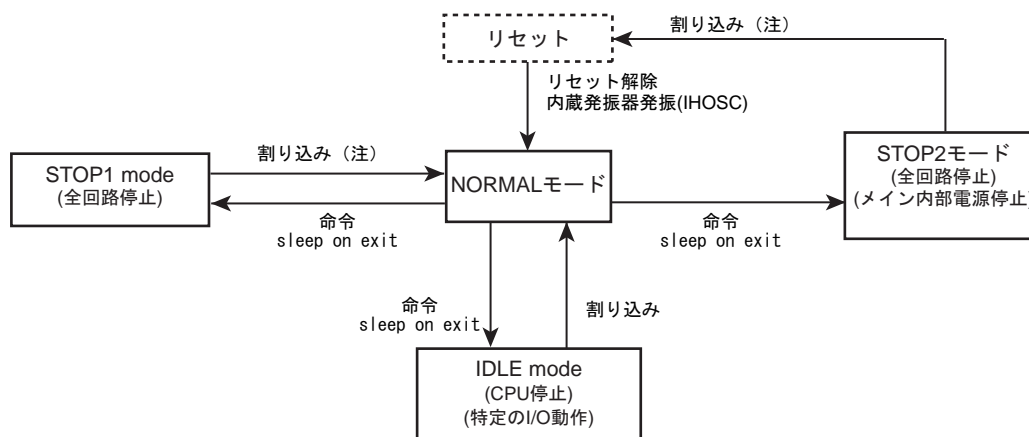


図 7-3 モード状態遷移図

- 注 1) STOP1、STOP2 モードからの復帰時、内蔵高速発振起動のため関係ビット CGPLLSEL<PLLSEL> および CGOSCCR<HWUPSEL>、<OSCSEL>、<XEN2>、<XEN1>、<PLLON> は初期化され、CGOSCCR<WUDOR[11:0]> は初期化されません。
- 注 2) STOP2 モードからの復帰時はリセットの割り込み処理ルーチンに分岐し、STOP1 モードからの復帰時は割り込み起動要因の処理ルーチンに分岐します。
- 注 3) STOP2 モードからの復帰時にウォーミングアップが必要となります。ウォーミングアップ時間の設定は STOP1、STOP2 モードに入る前のモード (NORMAL モード) にて設定する必要があります。ウォーミングアップ時間については、「7.3.4 ウォーミングアップ機能」を参照してください。

7.5 動作モード

7.5.1 NORMAL モード

CPU コアおよび周辺ハードウェアを高速クロックで動作させるモードです。リセット解除後は、NORMAL モードになります。

7.6 低消費電力モード

低消費電力モードには、IDLE, STOP1/2 モードがあります。低消費電力モードに移行するには、システムコントロールレジスタ CGSTBYCR<STBY[2:0]> にてモードを選択し、WFI(Wait For Interrupt) 命令を実行します。WFI 命令によって低消費電力モードへ移行した場合、低消費電力モードからの復帰はリセットまたは割り込み発生により行われます。割り込みで復帰する場合には、設定を行っておく必要があります。詳細は「例外」の章の「割り込み」を参照してください。

- 注 1) 本製品ではイベントによる復帰はサポートしていないため、WFE (Wait For Event) による低消費電力モードへの移行は行わないでください。
- 注 2) 本製品は、Cortex-M3 コアの SLEEPDEEP による低消費電力モードはサポートしていません。システム制御レジスタの <SLEEPDEEP> ビットは設定しないでください。

IDLE, STOP1, STOP2 モードの特長は次のとおりです。

7.6.1 IDLE モード

CPU が停止するモードです。周辺機能の一部は、各モジュールの中のレジスタに IDLE モード時の動作 / 停止設定レジスタを 1 ビット持ち、IDLE モードでの動作設定が可能です (PSC と DA コンバータには常にクロックが供給されます)。IDLE モード時に動作停止に設定された周辺機能は、IDLE モードへ遷移した時の状態で停止します。

以下に IDLE モードでの動作を設定できる周辺機能の一覧を示します。設定方法は、各機能の章を参照してください。

- 16 ビットタイマ / イベントカウンタ (TMRB)
- 高分解能 PPG 出力 (TMRD)
- シリアルチャネル (SIO/UART)
- シリアルバスインタフェース (I2C/SIO)
- 12 ビットアナログ / デジタルコンバータ (12bitADC)
- 16 ビット $\Delta\Sigma$ アナログ / デジタルコンバータ (16bit $\Delta\Sigma$ ADC)
- ウォッチドッグタイマ (WDT)

また、以下に周辺機能に関しては IDLE モード時の動作 / 停止設定レジスタビットを持っておりません。IDLE モード時に停止させたい周辺機能は、各モジュール内のイネーブルレジスタにて動作禁止設定を行った上で IDLE モードに遷移してください。設定方法は、各機能の章を参照してください。

- 2 相パルスカウンタ (PHCNT)
- 可変長シリアルインタフェース (VSIO)
- シンクロナスシリアルポート (SSP)
- 非同期シリアルインタフェース (UART)

注) IDLE モード中は CPU によるウォッチドッグタイマのクリアができませんので注意してください。

7.6.2 STOP1 モード

内部発振器も含めてすべての内部回路が停止するモードです。

STOP1 モードに遷移する前に、ポート L5(PL5) を Low 出力して MCD をスタンバイ状態にしてから STOP1 モードへ遷移 (WFI 命令実行) してください。

STOP1 モード中は CGSTBYCR<DRVE> の設定により端子のドライブ状態を保持することができます。STOP1 モード時の端子状態を表 7-5 に示します。

STOP1 モードが解除されると、内部高速発振器が発振を開始し、ウォーミングアップ時間経過後に NORMAL モードへ復帰します。

なお、CGPLLSEL<PLLSEL>およびCGOSCCR<HWUPSEL>、<OSCCSEL>、<XEN2>、<XEN1>、<PLLON> は初期化されますので、再設定が必要です。

注) STOP1 モードに遷移する前に必ず、CGSTBYCR<DRVE>="1" を設定してください。

7.6.3 STOP2 モード

一部の機能を保持して内部電源を遮断するモードです。STOP1 モードより大幅な電力の消費を抑えることができます。

STOP2 モードに移行する前に、ポート L5(PL5) を Low 出力して MCD をスタンバイ状態にし、CGSTBYCR<PTKEEP>="0"→"1" の設定を必ず行い各ポートの状態を保持してください。内部電源が遮断されても外部 IC との I/F を保持し、STOP2 解除要因割り込みを使用することができます。

STOP2 モードからの復帰には、対象の外部割り込み端子入力または、対象のシリアルクロック入力により復帰します。外部割り込み端子入力にて復帰する場合、対象割り込み制御レジスタ CGIMCGA、B のアクティブ要求を "立ち上がりエッジ" に設定し、"High" 幅が 500 μ s 以上のパルスを挿入することにより復帰します。シリアルクロック入力による復帰は、「シリアル受信応答回路」の章を参照ください。

STOP2 モードが解除されると、遮断ブロックに対して電源を投入し、内蔵発振器が発振を開始してリセットの割り込み処理ルーチンへ分岐し NORMAL モードへ復帰します。

注 1) 復帰時にウォーミングアップが必要となります。ウォーミングアップ時間の設定は STOP1、STOP2 モードに入る前のモード (NORMAL モード) にて設定する必要があります。ウォーミングアップ時間については、「7.3.4 ウォーミングアップ機能」を参照してください。

注 2) STOP1、STOP2 モードからの復帰時、内蔵高速発振器起動のため関係ビット CGPLLSEL<PLLSEL> および CGOSCCR<HWUPSEL>、<OSCCSEL>、<XEN2>、<XEN1>、<PLLON> は初期化され、CGOSCCR<WUDOR[11:0]> は初期化されません。

注 3) STOP2 モードは内部電源遮断を行うため、モード遷移から解除まで 50 μ s 以上の期間を確保してください。期間内に解除を行うと内部電源管理が正常に動作することができません。

表 7-5 STOP1/STOP2 モード時の MCU ブロック端子状態

機能	ピン名称	入出力	STOP1		STOP2	
			<DRVE> = 0	<DRVE> = 1	<PTKEEP> = 0	<PTKEEP> = 1
制御端子	RESET, MODE, FTEST3	入力	o	o	o	o
発振器	X1	入力	x	x	-	x
	X2	出力	"High" レベル出力		-	x
特殊端子	DAOUTA, DAOUTB	出力	x	x	-	x
ポート	PB3, PB6, PB7, PC3, PD3, PE0 ~ PE2, PM0, PM1 (INT3 ~ INT7, INT0 ~ INT2) (外部割り込み, PxFRn<PxmFn>="1" かつ PxIE<PxmiE>="1")	入力	o	o	-	o
	PC4 ~ PC7 (ENC0IN0/1, ENC1IN0/1) (2相パルス入力端子, PxFRn<PxmFn>="1" かつ PxIE<PxmiE>="1")	入力	o	o	-	o
	PH0 (SWDIO) (デバッグインタフェース設定 PHFR1<PH0F1>="1")	入力	PHIE<PH0IE> の状態による		-	PHIE<PH0IE> によって入力保持
		出力	データ有効な時に許可、データ無効なときは禁止		-	PHCR<PH0C> によって出力保持
	PH1 (SWCLK) (デバッグインタフェース設定 PHFR1<PH1F1>="1")	入力	PHIE<PH1IE> の状態による		-	PHIE<PH1IE> によって入力保持
	PH2 ~ PH4 (TRACECLK, TRACEDATA0/1) (デバッグインタフェース設定 PHFR1<PHmF1>="1")	出力	PHCR<PHmC> の状態による		-	PHCR<PHmC> によって出力保持
上記以外	入力	x	PxIE<PxmiE> による	-	PxIE<PxmiE> によって入力保持	
	出力	x	PxCR<Pxmc>] による	-	PxCR<Pxmc> によって出力保持	

o : 入力または出力が有効

x : 入力または出力が無効

- : STOP2 モード遷移時は、必ず遷移前に <PTKEEP>=1 を設定してください。

注) 「x」は該当ポート番号、「m」は該当ビット、「n」はファンクションレジスタ番号を示します。

7.6.4 低消費電力モードの選択

低消費電力モード選択は、CGSTBYCR<STBY[2:0]> の設定で選択されます。

表 7-6 に <STBY[2:0]> の設定より選択されるモードを示します。

表 7-6 低消費電力モードと設定

モード	CGSTBYCR <STBY[2:0]>
STOP1	001
IDLE	011
STOP2	101

注) 上記の設定以外は行わないでください。

7.6.5 各モードにおける動作状態

各モードにおける動作状態を表 7-7 に示します。

表 7-7 各動作モードにおける動作状態

Block	NORMAL 内蔵高速 発振器使用 (IHOSC)	NORMAL 外部高速 発振器使用 (EHOSC)	IDLE 内蔵高速 発振器使用 (IHOSC)	IDLE 外部高速 発振器使用 (EHOSC)	STOP1 (注 1)	STOP2 (注 1)
Processor core	o	o	-	-	-	x
PSC	o	o	Δ	Δ	-	x
DMAC	o	o	o	o	-	x
IO port	o	o	o	o	o(注 2)	Δ(注 3)
IO register	o	o	o	o	-	x
SIO/UART	o	o	Δ	Δ	-	x
I2C/SIO	o	o	Δ	Δ	-	x
VSIO	o	o	Δ	Δ	-	x
SSP	o	o	o	o	-	x
UART	o	o	o	o	-	x
シリアル受信応答回路	(注 6)					
TMRB	o	o	Δ	Δ	-	x
PHCNT	o	o	Δ	Δ	o	x
TMRD	o	o	Δ	Δ	-	x
WDT	o	o	Δ(注 5)	Δ(注 5)	-	x
12-bit SAR ADC	o	o	Δ	Δ	-	x
12-bit ADC	o	o	Δ	Δ	-	x
10-bit DAC	o	o	o	o	-	-
CG	o	o	o	o	o	o
PLL	o	o	Δ	Δ	-	x
外部高速発振器 (EHOSC)	Δ	o	Δ	o	-	x
内蔵高速発振器 (IHOSC)	o	o(注 4)	o	o(注 4)	-	x
メイン RAM	o	o	o	o	o	x
バックアップ RAM	o	o	o	o	o	o
PSD 用 Inst/Data RAM	o	o	o	o	o	x

o: 対象のモード中に動作が可能

-: 対象のモードに移行すると自動的にモジュールへのクロックが停止

Δ: 対象のモード中にソフトウェアにてモジュールの動作 / 停止の選択が可能

x: 対象のモードに移行すると自動的にモジュールへの供給電源が遮断

注 1) STOP1/2 モードに遷移する前に、“-”、“x” の周辺機能を停止させてから STOP1/2 モードに遷移してください。なお、AD コンバータや DA コンバータのリファレンス電源を OFF にすることによりリーク電流を抑えることができます。

注 2) CGSTBYCR<DRVE> の設定に依存します。

注 3) CGSTBYCR<PTKEEP> の設定に依存します。

注 4) リセット解除後および STOP モード解除後は内蔵発振器からクロックを供給します。

- 注 5) IDLE モード中は CPU によるウォッチドッグタイマのクリアができませんので注意してください。
- 注 6) シリアル受信応答回路は、STOP2 モード解除時に機能する回路のため、NORMAL/IDLE/STOP1 モード使用時にはシリアル受信応答回路イネーブルレジスタ (SIOREN) にて動作を禁止してください。

7.6.6 低消費電力モードの解除

低消費電力モードからの解除は、割り込み、マスク不能割り込み (NMI)、リセットによって行うことができます。使用できるスタンバイ解除ソースは、低消費電力モードにより決まります。詳細を表 7-8 に示します。

表 7-8 解除ソースと解除可能なモード

低消費電力モード		IDLE	STOP1	STOP2		
解除 ソース	割り込み	INT0 ~ A (注 2)	○	○	●(注 1)	
		INTTB0 ~ A	○	×	×	
		INTPSCSTOP, INTPSCBRK, INTPSCSTEP, INTPSCII, INTPSCIA	○	×	×	
		INTTDA0CMP0-4, INTTDA1CMP0-4, INTTDB0CMP0-4, INTTDB1CMP0-4	○	×	×	
		INTECn, INTECnOVF, INTECnDIR, INTECnDT0-3 (n=0,1)	○	○	×	
		INTRX0 ~ 3, INTTX0 ~ 3	○	×	×	
		INTS	○	×	×	
		INTI2C	○	×	×	
		INTSSP	○	×	×	
		INTVTX, INTVRX	○	×	×	
		INTADA, INTADB, INTADAHP, INTADBHP, INTADAM0 ~ 1, INTADBM 0 ~ 1	○	×	×	
		INTDSAD, INTSADHP	○	×	×	
		INTDMACATC, INTDMACBTC, INTDMACAERR, INTDMACBERR	○	×	×	
		マスク不能割り込み (INTWDT)		○	×	×
		RESET (RESET 端子)		○	○	○

- : 解除後、割り込み処理を開始します。(RESET は本製品を初期化します)
- : 解除後、リセットの割り込み処理ルーチンに分岐します。(RESET は本製品を初期化します)
- ×: 解除に使用できません

- 注 1) STOP2 モード解除後は内部電源遮断ブロックに対してリセット動作が行われます。ただし、バックアップモジュールに対して初期化はされません。
- 注 2) 低消費電力モードへ移行する場合は、CPU で復帰要因以外の割り込みを禁止してください。禁止していない場合、復帰要因以外の割り込みで解除が行われる場合があります。
- 注 3) STOP2 モード解除を行なう場合、対象割り込み制御レジスタ CGIMCGA,B,F のアクティブ要求を "立ち上がりエッジ" 設定にし、"High" 幅が 500 μs 以上のパルスを検知するとその対象割り込みの "立ち下がりエッジ" で STOP2 モードが解除されます。また、シリアル受信応答回路によって STOP2 モードを解除することも可能です。詳細は「シリアル受信応答回路」の章を参照してください。」を追加してください。
- 注 4) IDLE, STOP モードからレベルモードの割り込みによる解除を行う場合、割り込み処理が開始されるまでレベルを保持してください。それ以前でレベルを変化させた場合は、正しい割り込み処理を開始できません。

- 割り込み要求による解除

割り込みによって低消費電力モードを解除する場合、CPU で割り込みが検出されるよう準備しておく必要があります。STOP1, STOP2 モードの解除に使用する割り込みは、CPU の設定のほかにクロックジェネレータで割り込み検出の設定を行う必要があります。

- マスク不能割り込み (NMI) による解除

INTWDT は IDLE モードでのみ使用可能です。

- リセットによる解除

$\overline{\text{RESET}}$ 端子によるリセットですべての低消費電力モードからの解除を行うことができます。リセットで解除した場合には通常のリセット動作と同様になり、解除後は NORMAL モードですべてのレジスタが初期化された状態になります。

STOP1 モードの解除にリセットを使用する場合、自動ウォーミングアップが行われないため、発振器動作が安定するまでリセット信号を有効に保ってください。

STOP2 モードの解除にリセットを使用する場合、内蔵レギュレータ安定時間として 1ms が必要です。内蔵レギュレータが安定するための十分な時間、外部リセット端子に "Low" を入力する必要があります。

割り込みの詳細に関しては、「例外」の章の「割り込み」をご参照ください。

7.6.7 ウォーミングアップ

モード遷移時、内蔵発振器の安定のためウォーミングアップが必要な場合があります。STOP1、STOP2 モードから NORMAL モードへの遷移では、自動的に内蔵発振が選択されウォーミングアップ用カウンタが起動されます。ウォーミングアップ時間経過後にシステムクロックの出力が開始されます。このため、STOP1、STOP2 モードに移行する命令を実行する前に、CGOSCCR<WUDOR[11:0]> でウォーミングアップ時間の設定を行ってください。

注) STOP1/STOP2 モードからの復帰時、内蔵発振起動のため関係ビット CGPLLSEL<PLLSEL> および CGOSCCR<HWUPSEL>、<XEN2>、<XEN1>、<PLLON> は初期化されます。ただし、CGOSCCR<WUDOR[11:0]> は初期化されません。

各動作モード遷移時におけるウォーミングアップの有無を表 7-9 に示します。

表 7-9 各動作モード遷移時のウォーミングアップ設定

動作モード遷移	ウォーミングアップ設定
NORMAL → IDLE	不要
NORMAL → STOP1	不要
NORMAL → STOP2	不要
IDLE → NORMAL	不要
STOP1 → NORMAL	自動ウォーミングアップ(注)
STOP2 → NORMAL	自動ウォーミングアップ(注)

注) リセットで解除する場合には自動ウォーミングアップを行わないため、発振動作が安定するまでリセット信号を有効にしてください。

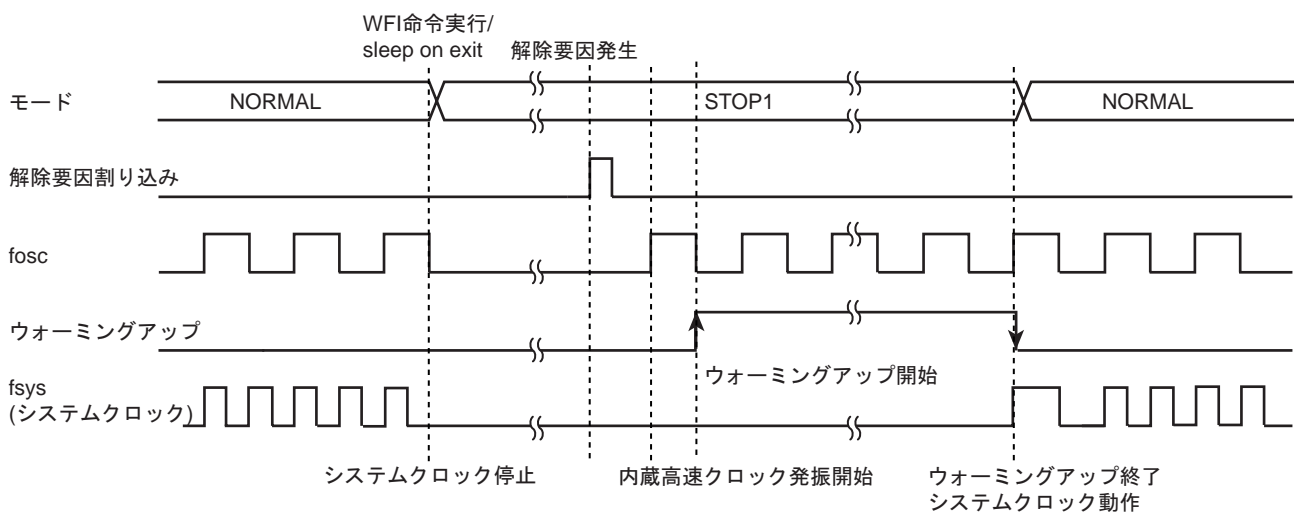
7.6.8 モード遷移によるクロック動作

モード遷移の際の、クロック動作について以下に示します。

7.6.8.1 NORMAL → STOP1 → NORMAL 動作モード遷移

STOP1 モードから NORMAL モードへ復帰する場合、ウォーミングアップは自動的に起動します。STOP1 モードへ遷移する前にウォーミングアップ時間を設定してください。

リセットで NORMAL モードへ復帰する場合はウォーミングアップは行われませんので、発振動作が安定するまでリセット信号を有効に保ってください。



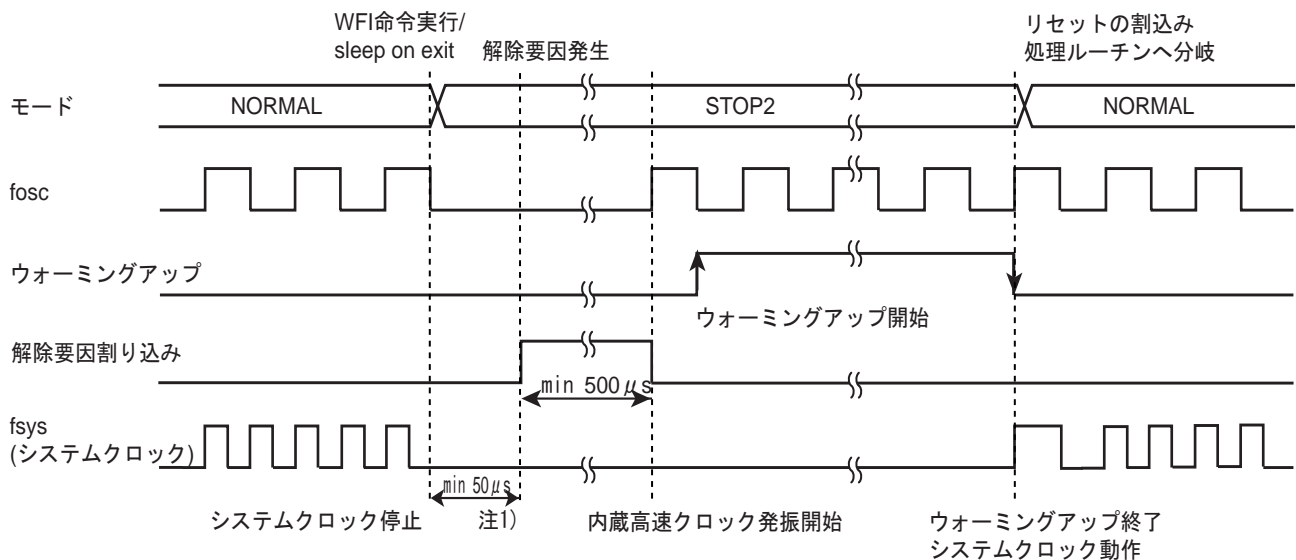
7.6.8.2 NORMAL → STOP2 → NORMAL 動作モード遷移

STOP2 モードから NORMAL モードへ復帰する場合、ウォーミングアップは自動的に起動します。STOP2 モードへ遷移する前にウォーミングアップ時間を設定してください。

外部割り込み要因で NORMAL モードへ復帰する場合には、対象の割り込み制御レジスタ CGIMGA,B のアクティブ要求を " 立ち上がりエッジ " に設定し、外部割り込み要因にて "High パルス幅" を $500\mu\text{s}$ 以上入力することによって STOP2 モードが解除されます。

リセットで NORMAL モードへ復帰する場合はウォーミングアップは行われませんので、発振動作が安定するまでリセット信号を有効に保ってください。

リセット以外で NORMAL モードへ復帰する場合でもリセットの割り込み処理ルーチンへ分岐します。STOP2 モード解除後は内部電源遮断ブロックに対してリセット動作が行われます。ただし、バックアップモジュールに対して初期化は行ないません。



注 1) STOP2 モード遷移から解除まで $50\mu\text{s}$ 以上の期間を確保してください。期間内に解除を行なうと内部電源管理が正常に動作することが出来ません。
なお、解除要因が $50\mu\text{s}$ 以内に発生する場合は、解除要因割り込みパルスを 1.5ms 以上挿入することによって、STOP2 モードを正常に解除することが可能です。

第 8 章 例外

この章では、例外の特長、種類、処理について概略を説明します。

例外は CPU のアーキテクチャと深くかかわる部分ですので、必要に応じて "Cortex-M3 テクニカルリファレンスマニュアル" もご覧ください。

8.1 概要

例外は CPU に対し現在実行中の処理を中断して別の処理に移ることを要求するものです。

例外には、何らかの異常な状態が起こったときや例外を発生する命令を実行したときに発生するものと、外部端子や周辺機能からの割り込み要求信号といった、ハードウェアによる要因で発生する割り込みがあります。

すべての例外は優先度にしたがって CPU 内にあるネスト型ベクタ割り込みコントローラ (NVIC) によって処理されます。例外が発生すると、CPU はそのときの状態をスタックに退避し、割り込み処理ルーチンへ分岐します。割り込み処理ルーチンの実行後、スタックに退避した情報は自動的に復帰されます。

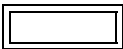
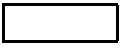
8.1.1 種類

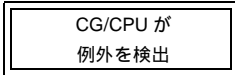
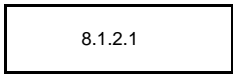
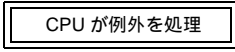
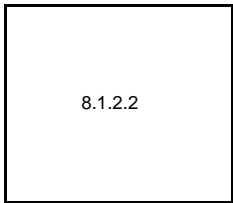
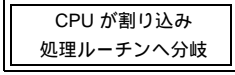
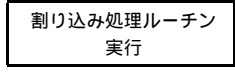
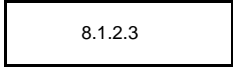

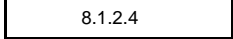
例外には以下のようなものがあります。

それぞれの例外の詳細な内容は、"Cortex-M3 テクニカルリファレンスマニュアル" をご覧ください。

- リセット
- マスク不能割り込み (NMI)
- ハードフォールト
- メモリ管理
- バスフォールト
- 用法フォールト
- SVCall (スーパーバイザコール)
- デバッグモニタ
- PendSV
- SysTick
- 外部割り込み

8.1.2 処理の流れ

例外 / 割り込みの処理の流れの概略を以下に示します。以下の説明で、 はハードウェアによる処理を、 はソフトウェアによる処理を示しています。それぞれの処理の内容について、後続の節で説明します。

処理	内容	説明
 CG/CPU が例外を検出	CG/CPU が例外要求を検出します。	 8.1.2.1 節
↓		
 CPU が例外を処理	CPU が例外処理を行います。	 8.1.2.2 節
↓		
 CPU が割り込み処理ルーチンへ分岐	検出した例外に応じた割り込み処理ルーチンへ分岐します。	
↓		
 割り込み処理ルーチン実行	必要な処理を行います。	 8.1.2.3 節
↓		
 例外からの復帰	別の割り込み処理ルーチンまたはもとのプログラムに復帰します。	 8.1.2.4 節

8.1.2.1 例外要求と検出

(1) 例外要求の発生

例外は、CPU の命令実行、メモリアクセス、外部割り込み端子や周辺機能からの割り込み要求などにより発生します。

CPU の命令実行による例外の要求は、例外が発生する命令の実行や、命令実行中の異常が要因で発生します。

メモリアクセスによる例外の要求は、実行不可領域からの命令フェッチや、フォールト領域へのアクセスにより発生します。

割り込みの要求は、外部割り込み端子からの信号入力や周辺機能から発生します。スタンバイ解除に使用する割り込みの場合、クロックジェネレータの設定も必要になります。詳細は「8.4 割り込み」の節で説明します。

(2) 例外の検出

複数の例外が同時に検出された場合には、CPU は優先度にしたがって最も優先度の高い例外を選択します。

各例外の優先度は以下のとおりです。"構成可能"と記載された例外は、優先度を設定することができます。また、メモリ管理、バスフォールト、用法フォールトは許可/禁止を選択することができます。禁止された例外が発生した場合にはハードフォールトとして扱われます。

表 8-1 例外の種類と優先度

番号	例外	優先度	要因
1	リセット	-3 (最高)	リセット端子, WDT, SYSRESETREQ
2	マスク不能割り込み	-2	WDT
3	ハードフォールト	-1	より優先度の高いフォールトの処理中、または禁止されているために発生できないフォールト
4	メモリ管理	構成可能	MPU (メモリ保護ユニット) からの例外 (注 1) 実行不可 (XN) (Execute Never) 領域からの命令フェッチ
5	バスフォールト	構成可能	メモリマップのハードフォールト領域に対するアクセス
6	用法フォールト	構成可能	未定義命令の実行や、命令実行によって発生するその他のエラー
7-10	予約	-	
11	SVCcall	構成可能	SVC 命令によるシステムサービスの呼び出し
12	デバッグモニタ	構成可能	CPU がフォールト中でないときのデバッグモニタ
13	予約	-	
14	PendSV	構成可能	保留可能なシステムサービスへの要求
15	SysTick	構成可能	システムタイマからの通知
16~	外部割り込み	構成可能	外部割り込み端子や周辺機能 (注 2)

注 1) 本製品は MPU を搭載していません。

注 2) 外部割り込みは、製品により要因と番号が異なります。具体的な要因と番号については、「8.4.1.5 要因一覧」を参照してください。

(3) 優先度の設定

• 優先度レベル

外部割り込みの優先度は、割り込み優先度レジスタで、それ以外の例外はシステムハンドラ優先度レジスタで該当する <PRI_n> ビットに設定します。

<PRI_n> は、構成を変更することが可能になっており、優先度設定のためのビット数は製品により 3 ビット ~ 8 ビットのいずれかになります。このため、設定できる優先度の範囲も製品により異なります。

8 ビットの構成の場合、優先度は 0 ~ 255 のレベルを設定できます。最も高い優先度は "0" です。複数の要因を同じ優先度に設定した場合、番号の小さい例外の優先度が高くなります。

注) 本製品では、<PRI_n> ビットは 3 ビットの構成になっています。

• 優先度のグループ化

優先度をグループ化することもできます。アプリケーション割り込みおよびリセット制御レジスタの <PRIGROUP> を設定することで、<PRI_n> を横取り優先度とサブ優先度に分割することができます。

優先度はまず横取り優先度で判定され、横取り優先度が同じ場合サブ優先度で判定されます。サブ優先度も同じ場合は例外番号の小さいほうが優先度が高くなります。

表 8-2 に優先度のグループ化の設定についてまとめます。表中の横取り優先度数、サブ優先度数は、<PRI_n> が 8 ビット構成の場合の数です。

表 8-2 優先度のグループ化設定

<PRIGROUP[2:0]> の設定	<PRI_n[7:0]>		横取り優先度数	サブ優先度数
	横取り フィールド	サブ優先度 フィールド		
000	[7:1]	[0]	128	2
001	[7:2]	[1:0]	64	4
010	[7:3]	[2:0]	32	8
011	[7:4]	[3:0]	16	16
100	[7:5]	[4:0]	8	32
101	[7:6]	[5:0]	4	64
110	[7]	[6:0]	2	128
111	なし	[7:0]	1	256

注) <PRI_n> の構成が 8 ビットより小さい場合、下位ビットは "0" となります。
たとえば、3 ビット構成の場合、<PRI_n[7:5]> で優先度が設定され、<PRI_n[4:0]> は "00000" になります。

8.1.2.2 例外の処理と割り込み処理ルーチンへの分岐 (横取り)

例外により、実行中の処理を中断して割り込み処理ルーチンへ分岐する動作を "横取り" と呼びます。

(1) レジスタの退避

例外を検出すると、CPU は 8 つのレジスタの内容を退避します。退避するレジスタと退避の順序は以下のとおりです。

- プログラムカウンタ (PC)
- プログラムステータスレジスタ (xPSR)
- r0 ~ r3
- r12
- リンクレジスタ (LR)

レジスタの退避が終了すると、SP は 8 ワード分減らされます。レジスタ退避終了後のスタックの状態は以下のようになっています。



(2) 割り込み処理ルーチンのフェッチ

レジスタの退避と同時に CPU は割り込み処理ルーチンの命令フェッチを行います。

各例外の割り込み処理ルーチンの先頭番地をベクタテーブルに準備しておきます。ベクタテーブルはリセット後、コード領域の 0x0000_0000 番地に置かれます。ベクタテーブルは、ベクタテーブルオフセットレジスタを設定することでコード空間または SRAM 空間の任意のアドレスに置くことができます。

ベクタテーブルにはまた、メインスタックの初期値を設定します。

(3) 後着

割り込み処理ルーチンの実行前に、検出した例外よりも優先度の高い例外を検出した場合、CPU は優先度の高い例外の処理に移行します。これを後着と呼びます。

後着の場合、CPU は新たに検出された例外の割り込み処理ルーチンのフェッチを改めて行い、分岐しますが、再度レジスタの内容を退避することはありません。

(4) ベクタテーブルの構成

ベクタテーブルの構成は以下のとおりです。

最初の4ワード(スタックの先頭アドレス、リセット、NMI、ハードフォールトの割り込み処理ルーチンアドレス)は必ず設定する必要があります。その他の例外の割り込み処理ルーチンアドレスは、必要に応じて準備します。

オフセット	例外	内容	備考
0x00	リセット	メインスタックの初期値	必須
0x04	リセット	割り込み処理ルーチンアドレス	必須
0x08	マスク不能割り込み	割り込み処理ルーチンアドレス	必須
0x0C	ハードフォールト	割り込み処理ルーチンアドレス	必須
0x10	メモリ管理	割り込み処理ルーチンアドレス	任意
0x14	バスフォールト	割り込み処理ルーチンアドレス	任意
0x18	用法フォールト	割り込み処理ルーチンアドレス	任意
0x1C ~ 0x28	予約		
0x2C	SVCall	割り込み処理ルーチンアドレス	任意
0x30	デバッグモニタ	割り込み処理ルーチンアドレス	任意
0x34	予約		
0x38	PendSV	割り込み処理ルーチンアドレス	任意
0x3C	SysTick	割り込み処理ルーチンアドレス	任意
0x40	外部割り込み	割り込み処理ルーチンアドレス	任意

8.1.2.3 割り込み処理ルーチンの発行

割り込み処理ルーチンでは、発生した例外に応じて必要な処理を行います。割り込み処理ルーチンはユーザが準備します。

割り込み処理ルーチンでは、通常の処理プログラムに戻ったときに再度同じ割り込みが発生しないよう、割り込み要求の取り下げなどの処理が必要になる場合があります。

割り込みについての詳細は「8.4 割り込み」の節で説明します。

割り込み処理ルーチンの実行中に現在処理中の例外よりも優先度の高い例外を検出した場合、CPU は現在実行中の割り込み処理ルーチンを中断し新たに検出された例外の処理を行います。

8.1.2.4 例外からの復帰

(1) 割り込み処理ルーチンからの復帰先

割り込み処理ルーチン終了時の状態により復帰先が決まります。

- テールチェイン

保留中の例外が存在し、中断されている例外処理がないかまたは中断されているどの例外よりも優先度が高い場合、保留中の例外の割り込み処理ルーチンへ復帰します。

このとき、スタックの退避と復帰は省略されます。この動作をテールチェインと呼びます。

- 処理が中断されている割り込み処理ルーチンへ復帰

保留中の例外がない場合、または存在しても処理が中断されている例外の優先度が高い場合、中断されている例外の割り込み処理ルーチンへ復帰します。

- 元のプログラムへ復帰

保留中の例外も処理が中断されている例外もない場合、元のプログラムへ復帰します。

(2) 復帰処理

CPU は、割り込み処理ルーチンから復帰する際に以下の処理を行います。

- レジスタの復帰

退避していた8つのレジスタ(PC, xPSR, r0~r3, r12, LR)を復帰しSPを調整します。

- 割り込み番号のロード

退避していた xPSR から現在有効な割り込み番号をロードします。この割り込み番号によって CPU はどの割り込みに復帰するかを制御します。

- SP の選択

例外 (ハンドラモード) へ復帰する場合、SP は SP_main です。スレッドモードへ復帰する場合、SP は SP_main または SP_process です。

8.2 リセット例外

リセット例外には、以下の3種類の要因があります。

リセットの要因を確認するためには、クロックジェネレータレジスタのCGRSTFLGを参照してください。

- 外部リセット端子

外部リセット端子を "Low" にしたのち、"High" にすることによりリセット例外が発生します。

- WDT によるリセット例外

WDT にリセットを発生する機能があります。詳細は「ウォッチドッグタイマ」の章をご覧ください。

- SYSRESETREQ によるリセット例外

NVIC レジスタの、アプリケーション割り込みおよびリセット制御レジスタの SYSRESETREQ ビットをセットすることで、リセットを発生させることができます。

8.3 SysTick

SysTick は、CPU の持つシステムタイマを使用した割り込み機能です。

SysTick リロード値レジスタに値を設定し、SysTick 制御およびステータスレジスタで機能をイネーブルにすると、リロード値レジスタに設定された値がカウンタへリロードされカウントダウンを開始します。カウンタが "0" になると SysTick 例外が発生します。また、例外を保留しフラグでタイマが "0" になったことを確認することもできます。

SysTick 較正值レジスタには、システムタイマで 10 ms を計測する際のリロード値が準備されています。製品により、カウントクロックの周期は異なるため、較正值レジスタに設定されている値も異なります。

注) 本製品では、システムタイマのカウントクロックとして X1 端子から入力されるクロックを 32 分周したクロックが使用されます。

8.4 割り込み

この節では、割り込みの伝わる経路、要因、必要な設定について説明します。

割り込みは、割り込み要因ごとの信号により CPU へ通知されます。

CPU は、優先順位付けを行い最も優先度の高い割り込みを発生します。

スタンバイ解除に使用する割り込み要因は、クロックジェネレータを経由して CPU に要因が伝わるため、クロックジェネレータの設定も必要です。

8.4.1 要因

8.4.1.1 経路

割り込み要求の経路を図 8-1 に示します。

周辺機能からの割り込み要求のうち、スタンバイ解除に使用されないものは直接 CPU に入力されます。(経路 ①)

スタンバイ解除に使用される周辺機能割り込み(経路 ②)および、外部割り込み端子からの割り込み(経路 ③)はクロックジェネレータに入力され、スタンバイ解除のロジックを経由して CPU に入力されます。(経路 ④)

外部割り込み端子からの割り込みは、スタンバイ解除に使用しない場合、スタンバイ解除ロジックを経由せずに CPU に入力されます。(経路 ⑤)

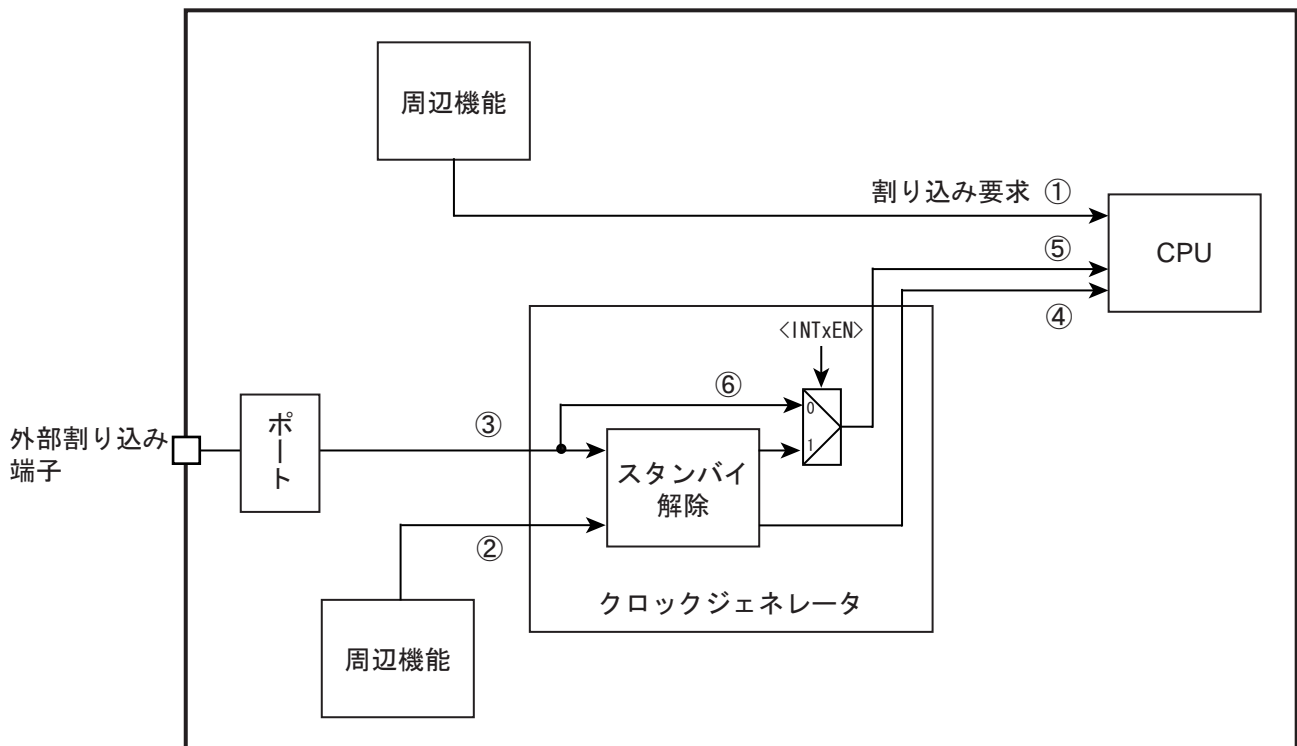


図 8-1 割り込みの経路

8.4.1.2 割り込み要因の発生

割り込み要求は、割り込み要因に割り当てられた外部端子、周辺機能、NVIC レジスタの割り込み保留セットレジスタの設定により発生します。

- 外部端子からの割り込み
外部割り込み端子を使用する場合、ポートの制御レジスタで端子を割り込み機能に設定します。
- 周辺機能の割り込み
周辺機能の割り込みを使用する場合、使用する周辺機能で割り込みが出力されるよう設定する必要があります。
詳細は各章をご覧ください。
- 割り込みの強制的な保留
割り込み保留セットレジスタの該当する割り込みのビットをセットすることで、割り込み要因を発生させることができます。

8.4.1.3 割り込み要因の伝達

外部端子 / 周辺機能から発生した割り込み要求のうち、スタンバイ解除要因にならないものは直接 CPU に接続されます。

スタンバイ解除要因として使用できる割り込みは、クロックジェネレータを経由して CPU に接続されるため、クロックジェネレータの設定が必要です。ただし、外部割り込みについてはスタンバイ解除要因として使用しない場合はクロックジェネレータの設定なしで使用することもできます。この場合、次項の注意事項に留意して使用してください。

8.4.1.4 外部割り込み端子を使用する際の注意

外部割り込みを使用する際には、予期しない割り込みが発生しないよう以下の点に留意してください。

外部割り込み端子からの入力信号は、入力ディセーブル (PxIE<PxmIE>="0") の場合 "High" となります。また、外部割り込みをスタンバイ解除要因として使用しない場合 (「図 8-1 割り込みの経路」の の経路) 外部割り込み端子からの入力信号がそのまま CPU に伝わります。CPU は "High" 入力を割り込みとして認識しますので、入力ディセーブルのまま CPU で該当する割り込みを有効にすると割り込みが発生します。

外部割り込みをスタンバイ解除要因とせずに使用する際には、割り込み端子入力を "Low" レベルとして入力イネーブルにし、その後 CPU で割り込み許可設定を行ってください。

8.4.1.5 要因一覧

割り込みの要因一覧を表 8-3 に示します。

表 8-3 割り込み要因一覧

番号	要因		アクティブレベル (スタンバイ解除)	CG 割り込みモード コントロールレジスタ
0	INT0	割り込み端子 0	任意	CGIMCGA
1	INT1	割り込み端子 1		
2	INT2	割り込み端子 2		
3	INT3	割り込み端子 3		
4	INT4	割り込み端子 4		
5	INT5	割り込み端子 5		
6	INT6	割り込み端子 6		CGIMCGB
7	INT7	割り込み端子 7		
8	INTPSCSTOP	PSC 終了割り込み		CGIMCGC
9	INTPSCBRK	PSC ブレーク割り込み		CGIMCGD
10	INTPSCSTEP	PSC ステップ割り込み		
11	INTPSCII	PSC 不当命令割り込み		
12	INTPSCIA	PSC 不当アドレス割り込み		
13	INTTB0	16-bit TMRB コンペア一致 (channel 0)		
14	INTTB1	16-bit TMRB コンペア一致 (channel 1)		
15	INTTB2	16-bit TMRB コンペア一致 (channel 2)		
16	INTTX0	シリアル送信 (channel0)		
17	INTRX0	シリアル受信 (channel0)		
18	INTTX1	シリアル送信 (channel1)		
19	INTRX1	シリアル受信 (channel1)		
20	INTTX2	シリアル送信 (channel2)		
21	INTRX2	シリアル受信 (channel2)		
22	INTTX3	シリアル送信 (channel3)		
23	INTS	UART 送受信割り込み		
24	INTADAHP	最優先 SAR AD 変換終了割り込み (unit A)		
25	INTADA	SAR AD 変換終了割り込み (unit A)		
26	INTADBHP	最優先 SAR AD 変換終了割り込み (unit B)		
27	INTADB	SAR AD 変換終了割り込み (unit B)		
28	INTDSADHP	最優先 AD 変換終了割り込み		
29	INTDSAD	AD 変換終了割り込み		
30	INTI2C	I2C 割り込み		
31	INTTB3	16-bit TMRB コンペア一致 (channel 3)		
32	INTTB4	16-bit TMRB コンペア一致 (channel 4)		
33	INTTB5	16-bit TMRB コンペア一致 (channel 5)		
34	INTTB6	16-bit TMRB コンペア一致 (channel 6)		

表 8-3 割り込み要因一覧

番号	要因		アクティブレベル (スタンバイ解除)	CG 割り込みモード コントロールレジスタ
35	INTTB7	16-bit TMRB コンペア一致 (channel 7)		
36	INTTB8	16-bit TMRB コンペア一致 (channel 8)		
37	INTTB9	16-bit TMRB コンペア一致 (channel 9)		
38	INTTDA0CMP0	16-bit TMRDA00 コンペア一致		
39	INTTDA0CMP1	16-bit TMRDA01 コンペア一致		
40	INTTDA0CMP2	16-bit TMRDA02 コンペア一致		
41	INTTDA0CMP3	16-bit TMRDA03 コンペア一致		
42	INTTDA0CMP4	16-bit TMRDA04 コンペア一致		
43	INTTDA1CMP0	16-bit TMRDA10 コンペア一致		
44	INTTDA1CMP1	16-bit TMRDA11 コンペア一致		
45	INTTDA1CMP2	16-bit TMRDA12 コンペア一致		
46	INTTDA1CMP3	16-bit TMRDA13 コンペア一致		
47	INTTDA1CMP4	16-bit TMRDA14 コンペア一致		
48	INTTDB0CMP0	16-bit TMRDB00 コンペア一致		
49	INTTDB0CMP1	16-bit TMRDB01 コンペア一致		
50	INTTDB0CMP2	16-bit TMRDB02 コンペア一致		
51	INTTDB0CMP3	16-bit TMRDB03 コンペア一致		
52	INTTDB0CMP4	16-bit TMRDB04 コンペア一致	CGIMCGF	
53	INTTDB1CMP0	16-bit TMRDB10 コンペア一致		
54	INTTDB1CMP1	16-bit TMRDB11 コンペア一致		
55	INTTDB1CMP2	16-bit TMRDB12 コンペア一致		
56	INTTDB1CMP3	16-bit TMRDB13 コンペア一致		
57	INTTDB1CMP4	16-bit TMRDB14 コンペア一致		CGIMCGG
58	INTPC0	PHC0 コンペア割り込み		
59	INTPC0OVF	PHC0 オーバーフロー割り込み		
60	INTPC0DIR	PHC0 位相エラー割り込み		
61	INTPC0DT0	PHC0 周期 0 割り込み		
62	INTPC0DT1	PHC0 周期 1 割り込み		
63	INTPC0DT2	PHC0 周期 2 割り込み		
64	INTPC0DT3	PHC0 周期 3 割り込み		
65	INTPC1	PHC1 コンペア割り込み		
66	INTPC1OVF	PHC1 オーバーフロー割り込み		
67	INTPC1DIR	PHC1 位相エラー割り込み		

表 8-3 割り込み要因一覧

番号	要因		アクティブレベル (スタンバイ解除)	CG 割り込みモード コントロールレジスタ		
68	INTPC1DT0	PHC1 周期 0 割り込み				
69	INTPC1DT1	PHC1 周期 1 割り込み				
70	INTPC1DT2	PHC1 周期 2 割り込み				
71	INTPC1DT3	PHC1 周期 3 割り込み				
72	INTADAM0	SAR AD 変換監視機能割り込み 0 (unit A)				
73	INTADAM1	SAR AD 変換監視機能割り込み 1 (unit A)				
74	INTADBM0	SAR AD 変換監視機能割り込み 0 (unit B)				
75	INTADBM1	SAR AD 変換監視機能割り込み 1 (unit B)				
76	INTDMACATC	DMAC 転送終了割り込み (unit A)				
77	INTDMACAERR	DMAC エラー割り込み (unit A)				
78	INTDMACBTC	DMAC 転送終了割り込み (unit B)				
79	INTDMACBERR	DMAC エラー割り込み (unit B)				
80	INTSSP	SSP 割り込み				
81	INTVTX	VSIO 送信割り込み				
82	INTVRX	VSIO 受信割り込み				
83	-	Reserved				
84	INT8	MO1 機能用割り込み			任意	CGIMCGC
85	INT9	MO2 機能用割り込み				
86	INTA	シリアル受信応答回路用割り込み				
87	-	Reserved				

8.4.1.6 アクティブレベル

アクティブレベルはどのような信号変化を割り込み要因と見なすかを示しています。CPU は割り込み信号の "High" を割り込み要因とみなします。各種周辺機能から CPU へ直接割り込み信号が伝わるものは、割り込み要求として "High" パルスを出力するようになっています。

スタンバイ解除要因となる割り込みについては、クロックジェネレータに設定するアクティブレベルは、周辺機能からの割り込み要求は立ち上がり (「↑」) エッジまたは立ち下がり (「↓」) エッジとなり、割り込み端子からの割り込み要求は "High" レベル、"Low" レベル、立ち上がり (「↑」) エッジ、立ち下がり (「↓」) エッジから選ぶことができます。

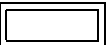

スタンバイ解除要因となる割り込みを使用するときにはクロックジェネレータレジスタの CGIMCG_x<INTxEN> を有効にし、CGIMCG_x<EMCGx[2:0]> にアクティブレベルを設定します。周辺機能からの割り込み要求のアクティブレベルは表 8-3 で指定されているとおりに設定してください。

クロックジェネレータで検出された割り込みは、"High" レベル信号で CPU に通知されます。

8.4.2 処理詳細

8.4.2.1 処理の流れ

割り込みの処理の流れを以下に示します。

以下の説明で、 はハードウェアによる処理を、 はソフトウェアによる処理を示しています。

処理	内容	説明
<div style="border: 1px solid black; padding: 5px; margin-bottom: 5px; text-align: center;">検出のための準備</div> <div style="border: 1px solid black; padding: 5px; text-align: center;">要因発生のための準備</div>	<p>割り込みを検出するための設定を、NVIC レジスタで行います。スタンバイ解除要因となる割り込みは、クロックジェネレータの設定も必要です。</p> <p>共通 NVIC レジスタの設定 スタンバイ解除の設定 クロックジェネレータの設定</p> <p>割り込みの要因発生のための設定を行います。割り込みの種類により設定内容が異なります。</p> <p>外部割り込み ポートの設定 各周辺機能からの割り込み 各周辺機能の設定（使用する周辺機能の章を参照ください）</p>	「8.4.2.2 準備」
↓		
<div style="border: 1px solid black; padding: 5px; text-align: center;">割り込み要因の発生</div>	割り込みの要因が発生します。	
	スタンバイ解除要因となる割り込みは、クロックジェネレータを経由して CPU に接続されています。	「8.4.2.3 検出 (クロックジェネレータ)」
↓		
<div style="border: 1px solid black; padding: 5px; text-align: center;">CPU が割り込みを検出</div>	<p>CPU が割り込みを検出します。</p> <p>複数の割り込み要因が存在する場合、優先順位に従って最も優先度の高い割り込み要因を検出します。</p>	「8.4.2.4 検出 (CPU)」
↓		
<div style="border: 1px solid black; padding: 5px; text-align: center;">CPU が割り込みを処理</div>	<p>CPU が割り込み処理を行います。</p> <p>スタックにレジスタの内容を退避し、割り込み処理ルーチンへ分岐します。</p>	「8.4.2.5 CPU の処理」
↓		
<div style="border: 1px solid black; padding: 5px; text-align: center;">割り込み サービスルーチン実行</div>	<p>必要な処理をプログラミングしてください。</p> <p>必要に応じて割り込み要因の取り下げを行ってください。</p>	「8.4.2.6 割り込み処理ルーチンでの処理 (要因の取り下げ)」
↓		
<div style="border: 1px solid black; padding: 5px; text-align: center;">元のプログラムへ復帰</div>	割り込み処理ルーチンから通常の処理プログラムに復帰します。	

8.4.2.2 準備

割り込みの準備を行うときには、設定途中で不要な割り込みの発生を防ぐために設定の順番に注意が必要です。

割り込みの使用開始、または設定変更のときの基本的な順序は、まず、CPU で割り込みを禁止し、次に割り込み経路で CPU から遠いところから設定を行い、最後に CPU で割り込みを許可します。

クロックジェネレータの設定を行うときには、条件の設定を行った後、不要な割り込みが発生しないよう、クロックジェネレータ内部の割り込み情報をクリアしてから割り込み許可の設定を行います。

以下に設定の手順と、手順ごとの具体的な設定方法を示します。

1. CPU 割り込み禁止
2. CPU 割り込み設定
3. 要因の準備 (1) (外部割り込み)
4. 要因の準備 (2) (周辺機能からの割り込み)
5. 要因の準備 (3) (割り込み保留セットレジスタ)
6. クロックジェネレータの設定
7. CPU 割り込み許可

(1) CPU 割り込み禁止

CPU を割り込み禁止状態にするには、PRIMASK レジスタに "1" をセットします。これにより、マスク不能割り込みとハードフォールト例外以外のすべての割り込みと例外がマスクされます。

このレジスタをセットするためには "MSR" 命令を使用します。

割り込みマスクレジスタ		
PRIMASK	←	"1" (割り込み禁止)

注 1) PRIMASK レジスタは、ユーザ・アクセス・レベルではセットできません。

注 2) PRIMASK レジスタに "1" がセットされているとき、フォールトが発生するとハードフォールトとして扱われます。

(2) CPU 割り込み設定

NVIC レジスタの割り込み優先度 レジスタで <PRI_n> に優先度の設定を行います。

このレジスタは、8 ビットごとに各割り込み要因に割り当てられていますが、製品ごとに構成するビット数が異なります。8 ビットの構成の場合「0」から「255」までの優先度を設定することができます。最も高い優先度は「0」です。複数の要因を同じ優先度に設定した場合、番号の小さい割り込みの優先度が高くなります。

グループ優先度を設定する場合にはアプリケーション割り込みおよびリセット制御レジスタの <PRIGROUP> も設定します。

NVIC レジスタ		
<PRI_n>	←	「優先度」
<PRIGROUP>	←	「グループ優先度」(必要に応じて設定してください)

注) 「n」は該当する例外 / 割り込みの番号を示します。
本製品では割り込み優先度レジスタの優先度設定領域は 3 ビットの構成になっています。

(3) 要因の準備 (1) (外部割り込み)

外部割り込みを使用する場合、該当する端子のポートの設定を行います。機能端子として使用するため、該当するポートのファンクションレジスタ PxFRn[m] を "1" に、ポートを入力として使用するために PxIE[m] を "1" に設定します。

ポートレジスタ		
PxFRn<PxmFn>	←	"1"
PxIE<PxmlE>	←	"1"

注) 「x」は該当ポート番号、「m」は該当ビット、「n」はファンクションレジスタ番号を示します。
STOP 以外のモードでは、PxIE で入力イネーブル設定であれば PxFR の設定によらず割り込みの入力が有効になります。割り込みの設定を行う際に、未使用の割り込みをイネーブルにしないようご注意ください。また、「8.4.1.4 外部割り込み端子を使用する際の注意」の記載事項に注意してください。

(4) 要因の準備 (2) (周辺機能からの割り込み)

周辺機能からの割り込みを使用する場合、設定方法は周辺機能によって異なります。各周辺機能の章をご覧ください。

(5) 要因の準備 (3) (割り込み保留セットレジスタ)

割り込み保留セットレジスタで割り込みを発生する場合、該当するビットに "1" をセットします。

NVIC レジスタ		
割り込み保留セット [m]	←	"1"

注) 「m」は該当ビットを示します。

(6) クロックジェネレータの設定

スタンバイ解除要因となる割り込みは、クロックジェネレータの CGIMCG レジスタでアクティブレベルと割り込み許可の設定を行います。CGIMCG レジスタは要因ごとの設定レジスタです。

割り込み許可の前に、不要な割り込み発生を防止するため割り込み要求のクリアをCGICRCGレジスタで行います。CGICRCGレジスタは、要因に対応した値を書き込むことで保持されていた割り込み要求をクリアすることができます。具体的な値は、「8.5.3.8 CGICRCG(CG 割り込み要求クリアレジスタ)」を参照してください。

割り込み端子からの割り込み要求をスタンバイ解除要因として使用しない場合、クロックジェネレータの設定を行わずに使用することもできます。ただし、CPUが割り込み要因として検出するためには、「High」パルスまたは「High」レベルの信号を入力する必要があります。また、「8.4.1.4 外部割り込み端子を使用する際の注意」の記載事項に注意してください。

クロックジェネレータレジスタ		
CGIMCGn<EMCGm>	←	アクティブレベル
CGICRCG<ICRCG>	←	使用する要因に対応する値
CGIMCGn<INTmEN>	←	"1"(割り込み許可)

注) 「n」はレジスタ番号、「m」は割り込み要因固有の番号を示します。

(7) CPU 割り込み許可

CPUの割り込み許可の設定をします。

割り込み保留クリアレジスタで保留状態の割り込みをクリアし、割り込みイネーブルセットレジスタで割り込みを許可します。これらのレジスタは1ビットずつ各割り込み要因に割り当てられています。

割り込み保留クリアレジスタの該当する割り込みのビットに"1"を書くことで保留されている要因をクリアすることができ、割り込みイネーブルセットレジスタの該当する割り込みのビットに"1"を書くことで割り込みを許可することができます。

ただし、割り込み保留セットレジスタの設定で割り込みが発生する場合、割り込み保留クリアを行うと割り込み要因そのものが失われるため、この操作は不要です。

最後に、PRIMASKレジスタを"0"にクリアします。

NVIC レジスタ		
割り込み保留クリア [m]	←	"1"
割り込みイネーブルセット [m]	←	"1"
割り込みマスクレジスタ		
PRIMASK	←	"0"

注 1) 「m」は該当ビットを示します。

注 2) PRIMASKレジスタは、ユーザ・アクセス・レベルではセットできません。

8.4.2.3 検出 (クロックジェネレータ)

スタンバイ解除要因となる割り込みは、クロックジェネレータに設定されたアクティブレベルにしたがって検出されCPUに伝えられます。

アクティブレベルが立ち上がりまたは立ち下がりエッジの割り込み要因は、検出された後クロックジェネレータで要因が保持されますが、"High" レベルまたは "Low" レベル設定の割り込み要因は、アクティブレベルから変化すると割り込み要因がなくなったとみなされるため、割り込み検出までレベルを保つ必要があります。

クロックジェネレータは割り込みを検出すると CG 割り込み要求クリアレジスタ (CGICRCG) で解除されるまで "High" レベルの割り込み信号を CPU に出力します。解除を行わずに復帰すると再度同じ割り込みが検出されますので、割り込み処理ルーチン内で割り込みの解除を行ってください。

8.4.2.4 検出 (CPU)

CPU は優先順位に従って最も優先度の高い割り込み要因を検出します。

8.4.2.5 CPU の処理

割り込みが検出されると、CPU はスタックへ PC, PSR, r0~r3, r12, LR を退避し、検出した割り込みの割り込み処理ルーチンへ分岐します。

8.4.2.6 割り込み処理ルーチンでの処理 (要因の取り下げ)

割り込み処理ルーチンではアプリケーションにより必要な内容をプログラミングしますが、ここでは推奨する処理と要因の取り下げについて説明します。

(1) 割り込み処理ルーチンでの処理

通常、割り込み処理ルーチンでは必要なレジスタの退避と割り込み処理を行います。Cortex-M3 コアは自動的に PC, PSR, r0~r3, r12, LR をスタックへ退避するため、これらのレジスタをユーザプログラムで退避する必要はありません。

その他のレジスタについては必要に応じて退避します。

割り込み処理ルーチン実行中でも、より高い優先度の割り込みや NMI などの例外は受け付けられます。そのため書き換わる可能性のある、汎用レジスタを退避することを推奨します。

(2) 割り込み要因の取り下げ

スタンバイ解除要因となる割り込みについては、CGICRCG レジスタで割り込み要求を解除する必要があります。

アクティブレベルがレベル検出の割り込みの場合、要因そのものを取り下げない限り割り込み要求は存在し続けるため、まず要因を取り下げる必要があります。レベル検出の場合は、要因が取り下げられるとクロックジェネレータからの割り込み要求信号は自動的に取り下げられます。

エッジ検出の場合は CGICRCG レジスタに該当する割り込みの値を設定することで要因は取り下げられ、再度有効なエッジが発生したときに改めて要因として認識されます。

8.5 例外 / 割り込み関連レジスタ

以下に、本章で説明したCPUのNVICレジスタとクロックジェネレータレジスタとアドレスを示します。

8.5.1 レジスタ一覧

NVIC レジスタ

Base Address = 0xE000 _ E000

レジスタ名	Address
SysTick 制御およびステータスレジスタ	0x0010
SysTick リロード値レジスタ	0x0014
SysTick 現在値レジスタ	0x0018
SysTick 較正值レジスタ	0x001C
割り込みイネーブルセットレジスタ 1	0x0100
割り込みイネーブルセットレジスタ 2	0x0104
割り込みイネーブルセットレジスタ 3	0x0108
割り込みイネーブルクリアレジスタ 1	0x0180
割り込みイネーブルクリアレジスタ 2	0x0184
割り込みイネーブルクリアレジスタ 3	0x0188
割り込み保留セットレジスタ 1	0x0200
割り込み保留セットレジスタ 2	0x0204
割り込み保留セットレジスタ 3	0x0208
割り込み保留クリアレジスタ 1	0x0280
割り込み保留クリアレジスタ 2	0x0284
割り込み保留クリアレジスタ 3	0x0288
割り込み優先度レジスタ	0x0400 ~ 0x0460
ベクタテーブルオフセットレジスタ	0x0D08
アプリケーション割り込みおよびリセット制御レジスタ	0x0D0C
システムハンドラ優先度レジスタ	0x0D18, 0x0D1C, 0x0D20
システムハンドラ制御および状態レジスタ	0x0D24

クロックジェネレータレジスタ

Base Address = 0x400F _ 3000

レジスタ名	Address
CG 割り込みモードコントロールレジスタ A	CGIMCGA 0x0040
CG 割り込みモードコントロールレジスタ B	CGIMCGB 0x0044
CG 割り込みモードコントロールレジスタ C	CGIMCGC 0x0048
CG 割り込みモードコントロールレジスタ D	CGIMCGD 0x004C
CG 割り込みモードコントロールレジスタ E	CGIMCGE 0x0050
CG 割り込みモードコントロールレジスタ F	CGIMCGF 0x0054
CG 割り込みモードコントロールレジスタ G	CGIMCGG 0x0058
CG 割り込み要求クリアレジスタ	CGICRCG 0x0060
リセットフラグレジスタ	CGRSTFLG 0x0064

8.5.2 NVIC レジスタ

8.5.2.1 SysTick 制御およびステータスレジスタ

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	COUNTFLAG
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	CLKSOURCE	TICKINT	ENABLE
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-17	-	R	リードすると "0" が読めます。
16	COUNTFLAG	R/W	0: タイマは 0 になっていない 1: タイマが 0 になった "1" の場合、最後の読み出しの後にタイマが "0" になったことを示します。 このレジスタのいずれかの部分を読み出すとこのビットはクリアされます。
15-3	-	R	リードすると "0" が読めます。
2	CLKSOURCE	R/W	0: 外部参照クロック (fosc/32) (注) 1: CPU クロック (fsys)
1	TICKINT	R/W	0: SysTick を保留しない 1: SysTick を保留する
0	ENABLE	R/W	0: ディセーブル 1: イネーブル "1" をセットするとリロード値レジスタの値をカウンタにロードし、動作を開始します。

注) 本製品では、カウントクロックとして X1 端子から入力されるクロックを 32 分周したクロックが使用されます。

8.5.2.2 SysTick リロード値レジスタ

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	RELOAD							
リセット後	不定							
	15	14	13	12	11	10	9	8
bit symbol	RELOAD							
リセット後	不定							
	7	6	5	4	3	2	1	0
bit symbol	RELOAD							
リセット後	不定							

Bit	Bit Symbol	Type	機能
31-24	-	R	リードすると "0" が読めます。
23-0	RELOAD	R/W	リロード値 タイマが "0" になったときに SysTick 現在値レジスタにロードする値を設定します。

8.5.2.3 SysTick 現在値レジスタ

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	CURRENT							
リセット後	不定							
	15	14	13	12	11	10	9	8
bit symbol	CURRENT							
リセット後	不定							
	7	6	5	4	3	2	1	0
bit symbol	CURRENT							
リセット後	不定							

Bit	Bit Symbol	Type	機能
31-24	-	R	リードすると "0" が読めます。
23-0	CURRENT	R/W	[リード] SysTick タイマ現在値 [ライト] クリア 任意の値を書き込むとタイマカウントがクリアされます。 このレジスタをクリアすることで、SysTick 制御およびステータスレジスタの <COUNTFLAG> もクリアされます。

8.5.2.4 SysTick 較正值レジスタ

	31	30	29	28	27	26	25	24
bit symbol	NOREF	SKEW	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	TENMS							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	TENMS							
リセット後	0	0	0	0	1	1	0	0
	7	6	5	4	3	2	1	0
bit symbol	TENMS							
リセット後	0	0	1	1	0	1	0	1

Bit	Bit Symbol	Type	機能
31	NOREF	R	0: 参照クロックあり 1: 参照クロックなし
30	SKEW	R	0: 較正值は 10 ms 1: 較正值は 10 ms でない
29-24	-	R	リードすると "0" が読めます。
23-0	TENMS	R	較正值 10 ms をカウントするために使用するリロード値 (0x0C35) です。(注)

注) マルチショットで使用する場合、この値を -1 して使用してください。

8.5.2.5 割り込みイネーブルセットレジスタ 1

	31	30	29	28	27	26	25	24
bit symbol	SETENA (割り込み 31)	SETENA (割り込み 30)	SETENA (割り込み 29)	SETENA (割り込み 28)	SETENA (割り込み 27)	SETENA (割り込み 26)	SETENA (割り込み 25)	SETENA (割り込み 24)
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	SETENA (割り込み 23)	SETENA (割り込み 22)	SETENA (割り込み 21)	SETENA (割り込み 20)	SETENA (割り込み 19)	SETENA (割り込み 18)	SETENA (割り込み 17)	SETENA (割り込み 16)
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	SETENA (割り込み 15)	SETENA (割り込み 14)	SETENA (割り込み 13)	SETENA (割り込み 12)	SETENA (割り込み 11)	SETENA (割り込み 10)	SETENA (割り込み 9)	SETENA (割り込み 8)
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SETENA (割り込み 7)	SETENA (割り込み 6)	SETENA (割り込み 5)	SETENA (割り込み 4)	SETENA (割り込み 3)	SETENA (割り込み 2)	SETENA (割り込み 1)	SETENA (割り込み 0)
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-0	SETENA	R/W	割り込み番号 [31:0] [ライト] 1: 許可 [リード] 0: 禁止 1: 許可 各ビットが指定された番号の割り込みに対応しています。 "1" をライトすることで該当する割り込みを許可します。"0" の書き込みは意味を持ちません。 リードの場合、該当する割り込みの許可 / 禁止状態が確認できます。

注) 割り込みの内容と割り込み番号については、「8.4.1.5 要因一覧」を参照してください。

8.5.2.6 割り込みイネーブルセットレジスタ 2

	31	30	29	28	27	26	25	24
bit symbol	SETENA (割り込み 63)	SETENA (割り込み 62)	SETENA (割り込み 61)	SETENA (割り込み 60)	SETENA (割り込み 59)	SETENA (割り込み 58)	SETENA (割り込み 57)	SETENA (割り込み 56)
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	SETENA (割り込み 55)	SETENA (割り込み 54)	SETENA (割り込み 53)	SETENA (割り込み 52)	SETENA (割り込み 51)	SETENA (割り込み 50)	SETENA (割り込み 49)	SETENA (割り込み 48)
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	SETENA (割り込み 47)	SETENA (割り込み 46)	SETENA (割り込み 45)	SETENA (割り込み 44)	SETENA (割り込み 43)	SETENA (割り込み 42)	SETENA (割り込み 41)	SETENA (割り込み 40)
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SETENA (割り込み 39)	SETENA (割り込み 38)	SETENA (割り込み 37)	SETENA (割り込み 36)	SETENA (割り込み 35)	SETENA (割り込み 34)	SETENA (割り込み 33)	SETENA (割り込み 32)
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-0	SETENA	R/W	割り込み番号 [63:32] [ライト] 1: 許可 [リード] 0: 禁止 1: 許可 各ビットが指定された番号の割り込みに対応しています。 "1" をライトすることで該当する割り込みを許可します。"0" の書き込みは意味を持ちません。 リードの場合、該当する割り込みの許可 / 禁止状態が確認できます。

注) 割り込みの内容と割り込み番号については、「8.4.1.5 要因一覧」を参照してください。

8.5.2.7 割り込みイネーブルセットレジスタ 3

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	SETENA (割り込み 86)	SETENA (割り込み 85)	SETENA (割り込み 84)	-	SETENA (割り込み 82)	SETENA (割り込み 81)	SETENA (割り込み 80)
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	SETENA (割り込み 79)	SETENA (割り込み 78)	SETENA (割り込み 77)	SETENA (割り込み 76)	SETENA (割り込み 75)	SETENA (割り込み 74)	SETENA (割り込み 73)	SETENA (割り込み 72)
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SETENA (割り込み 71)	SETENA (割り込み 70)	SETENA (割り込み 69)	SETENA (割り込み 68)	SETENA (割り込み 67)	SETENA (割り込み 66)	SETENA (割り込み 65)	SETENA (割り込み 64)
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-23	-	R/W	"0" をライトしてください。
22-20	SETENA	R/W	割り込み番号 [86:84] [ライト] 1: 許可 [リード] 0: 禁止 1: 許可 各ビットが指定された番号の割り込みに対応しています。 "1" をライトすることで該当する割り込みを許可します。"0" の書き込みは意味を持ちません。 リードの場合、該当する割り込みの許可 / 禁止状態が確認できます。
19	-	R/W	"0" をライトしてください。
18-0	SETENA	R/W	割り込み番号 [82:64] [ライト] 1: 許可 [リード] 0: 禁止 1: 許可 各ビットが指定された番号の割り込みに対応しています。 "1" をライトすることで該当する割り込みを許可します。"0" の書き込みは意味を持ちません。 リードの場合、該当する割り込みの許可 / 禁止状態が確認できます。

注) 割り込みの内容と割り込み番号については、「8.4.1.5 要因一覧」を参照してください。

8.5.2.8 割り込みイネーブルクリアレジスタ 1

	31	30	29	28	27	26	25	24
bit symbol	CLRENA (割り込み 31)	CLRENA (割り込み 30)	CLRENA (割り込み 29)	CLRENA (割り込み 28)	CLRENA (割り込み 27)	CLRENA (割り込み 26)	CLRENA (割り込み 25)	CLRENA (割り込み 24)
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	CLRENA (割り込み 23)	CLRENA (割り込み 22)	CLRENA (割り込み 21)	CLRENA (割り込み 20)	CLRENA (割り込み 19)	CLRENA (割り込み 18)	CLRENA (割り込み 17)	CLRENA (割り込み 16)
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	CLRENA (割り込み 15)	CLRENA (割り込み 14)	CLRENA (割り込み 13)	CLRENA (割り込み 12)	CLRENA (割り込み 11)	CLRENA (割り込み 10)	CLRENA (割り込み 9)	CLRENA (割り込み 8)
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	CLRENA (割り込み 7)	CLRENA (割り込み 6)	CLRENA (割り込み 5)	CLRENA (割り込み 4)	CLRENA (割り込み 3)	CLRENA (割り込み 2)	CLRENA (割り込み 1)	CLRENA (割り込み 0)
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-0	CLRENA	R/W	割り込み番号 [63:54] [ライト] 1: 禁止 [リード] 0: 禁止 1: 許可 各ビットが指定された番号の割り込みに対応しており、割り込みを禁止したり、禁止されているかどうかを確認できます。 "1" をライトすることで該当する割り込みを禁止します。"0" の書き込みは意味を持ちません。 リードの場合、該当する割り込みの許可 / 禁止の状態を確認できます。

注) 割り込みの内容と割り込み番号については、「8.4.1.5 要因一覧」を参照してください。

8.5.2.9 割り込みイネーブルクリアレジスタ 2

	31	30	29	28	27	26	25	24
bit symbol	CLRENA (割り込み 63)	CLRENA (割り込み 62)	CLRENA (割り込み 61)	CLRENA (割り込み 60)	CLRENA (割り込み 59)	CLRENA (割り込み 58)	CLRENA (割り込み 57)	CLRENA (割り込み 56)
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	CLRENA (割り込み 55)	CLRENA (割り込み 54)	CLRENA (割り込み 53)	CLRENA (割り込み 52)	CLRENA (割り込み 51)	CLRENA (割り込み 50)	CLRENA (割り込み 49)	CLRENA (割り込み 48)
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	CLRENA (割り込み 47)	CLRENA (割り込み 46)	CLRENA (割り込み 45)	CLRENA (割り込み 44)	CLRENA (割り込み 43)	CLRENA (割り込み 42)	CLRENA (割り込み 41)	CLRENA (割り込み 40)
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	CLRENA (割り込み 39)	CLRENA (割り込み 38)	CLRENA (割り込み 37)	CLRENA (割り込み 36)	CLRENA (割り込み 35)	CLRENA (割り込み 34)	CLRENA (割り込み 33)	CLRENA (割り込み 32)
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-0	CLRENA	R/W	割り込み番号 [63:32] [ライト] 1: 禁止 [リード] 0: 禁止 1: 許可 各ビットが指定された番号の割り込みに対応しており、割り込みを禁止したり、禁止されているかどうかを確認できます。 "1" をライトすることで該当する割り込みを禁止します。"0" の書き込みは意味を持ちません。 リードの場合、該当する割り込みの許可 / 禁止の状態を確認できます。

注) 割り込みの内容と割り込み番号については、「8.4.1.5 要因一覧」を参照してください。

8.5.2.10 割り込みイネーブルクリアレジスタ 3

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	CLRENA (割り込み 86)	CLRENA (割り込み 85)	CLRENA (割り込み 84)	-	CLRENA (割り込み 82)	CLRENA (割り込み 81)	CLRENA (割り込み 80)
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	CLRENA (割り込み 79)	CLRENA (割り込み 78)	CLRENA (割り込み 77)	CLRENA (割り込み 76)	CLRENA (割り込み 75)	CLRENA (割り込み 74)	CLRENA (割り込み 73)	CLRENA (割り込み 72)
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	CLRENA (割り込み 71)	CLRENA (割り込み 70)	CLRENA (割り込み 69)	CLRENA (割り込み 68)	CLRENA (割り込み 67)	CLRENA (割り込み 66)	CLRENA (割り込み 65)	CLRENA (割り込み 64)
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-23	-	R/W	"0" をライトしてください。
22-20	CLRENA	R/W	割り込み番号 [86:84] [ライト] 1: 禁止 [リード] 0: 禁止 1: 許可 各ビットが指定された番号の割り込みに対応しており、割り込みを禁止したり、禁止されているかどうかを確認できます。 "1" をライトすることで該当する割り込みを禁止します。"0" の書き込みは意味を持ちません。 リードの場合、該当する割り込みの許可 / 禁止の状態を確認できます。
19	-	R/W	"0" をライトしてください。
18-0	CLRENA	R/W	割り込み番号 [82:64] [ライト] 1: 禁止 [リード] 0: 禁止 1: 許可 各ビットが指定された番号の割り込みに対応しており、割り込みを禁止したり、禁止されているかどうかを確認できます。 "1" をライトすることで該当する割り込みを禁止します。"0" の書き込みは意味を持ちません。 リードの場合、該当する割り込みの許可 / 禁止の状態を確認できます。

注) 割り込みの内容と割り込み番号については、「8.4.1.5 要因一覧」を参照してください。

8.5.2.11 割り込み保留セットレジスタ 1

	31	30	29	28	27	26	25	24
bit symbol	SETPEND (割り込み 31)	SETPEND (割り込み 30)	SETPEND (割り込み 29)	SETPEND (割り込み 28)	SETPEND (割り込み 27)	SETPEND (割り込み 26)	SETPEND (割り込み 25)	SETPEND (割り込み 24)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	SETPEND (割り込み 23)	SETPEND (割り込み 22)	SETPEND (割り込み 21)	SETPEND (割り込み 20)	SETPEND (割り込み 19)	SETPEND (割り込み 18)	SETPEND (割り込み 17)	SETPEND (割り込み 16)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	SETPEND (割り込み 15)	SETPEND (割り込 14)	SETPEND (割り込み 13)	SETPEND (割り込み 12)	SETPEND (割り込み 11)	SETPEND (割り込み 10)	SETPEND (割り込み 9)	SETPEND (割り込み 8)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	SETPEND (割り込み 7)	SETPEND (割り込 6)	SETPEND (割り込み 5)	SETPEND (割り込み 4)	SETPEND (割り込み 3)	SETPEND (割り込み 2)	SETPEND (割り込み 1)	SETPEND (割り込み 0)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定

Bit	Bit Symbol	Type	機能
31-0	SETPEND	R/W	<p>割り込み番号 [31:0]</p> <p>[ライト] 1: 保留する</p> <p>[リード] 0: 保留なし 1: 保留あり</p> <p>各ビットが指定された番号の割り込みに対応しており、割り込みを強制的に保留したり、保留されているかどうかを確認できます。</p> <p>"1" をライトすることで該当する割り込みを保留します。ただし、すでに保留されている割り込みおよび禁止されている割り込みに対しては無効です。"0" の書き込みは意味を持ちません。</p> <p>リードの場合、該当する割り込みが保留されているかどうかを示します。</p> <p>このレジスタのビットをクリアするには、割り込み保留クリアレジスタの対応するビットに "1" をセットします。</p>

注) 割り込みの内容と割り込み番号については、「8.4.1.5 要因一覧」を参照してください。

8.5.2.12 割り込み保留セットレジスタ 2

	31	30	29	28	27	26	25	24
bit symbol	SETPEND (割り込み 63)	SETPEND (割り込み 62)	SETPEND (割り込み 61)	SETPEND (割り込み 60)	SETPEND (割り込み 59)	SETPEND (割り込み 58)	SETPEND (割り込み 57)	SETPEND (割り込み 56)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	SETPEND (割り込み 55)	SETPEND (割り込み 54)	SETPEND (割り込み 53)	SETPEND (割り込み 52)	SETPEND (割り込み 51)	SETPEND (割り込み 50)	SETPEND (割り込み 49)	SETPEND (割り込み 48)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	SETPEND (割り込み 47)	SETPEND (割り込み 46)	SETPEND (割り込み 45)	SETPEND (割り込み 44)	SETPEND (割り込み 43)	SETPEND (割り込み 42)	SETPEND (割り込み 41)	SETPEND (割り込み 40)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	SETPEND (割り込み 39)	SETPEND (割り込み 38)	SETPEND (割り込み 37)	SETPEND (割り込み 36)	SETPEND (割り込み 35)	SETPEND (割り込み 34)	SETPEND (割り込み 33)	SETPEND (割り込み 32)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定

Bit	Bit Symbol	Type	機能
31-0	SETPEND	R/W	割り込み番号 [63:32] [ライト] 1: 保留する [リード] 0: 保留なし 1: 保留あり 各ビットが指定された番号の割り込みに対応しており、割り込みを強制的に保留したり、保留されているかどうかを確認できます。 "1"をライトすることで該当する割り込みを保留します。ただし、すでに保留されている割り込みおよび禁止されている割り込みに対しては無効です。"0"の書き込みは意味を持ちません。 リードの場合、該当する割り込みが保留されているかどうかを示します。 このレジスタのビットをクリアするには、割り込み保留クリアレジスタの対応するビットに "1" をセットします。

注) 割り込みの内容と割り込み番号については、「8.4.1.5 要因一覧」を参照してください。

8.5.2.13 割り込み保留セットレジスタ 3

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	SETPEND (割り込み 86)	SETPEND (割り込み 85)	SETPEND (割り込み 84)	-	SETPEND (割り込み 82)	SETPEND (割り込み 81)	SETPEND (割り込み 80)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	SETPEND (割り込み 79)	SETPEND (割り込み 78)	SETPEND (割り込み 77)	SETPEND (割り込み 76)	SETPEND (割り込み 75)	SETPEND (割り込み 74)	SETPEND (割り込み 73)	SETPEND (割り込み 72)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	SETPEND (割り込み 71)	SETPEND (割り込み 70)	SETPEND (割り込み 69)	SETPEND (割り込み 68)	SETPEND (割り込み 67)	SETPEND (割り込み 66)	SETPEND (割り込み 65)	SETPEND (割り込み 64)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定

Bit	Bit Symbol	Type	機能
31-23	-	R/W	"0" をライトしてください。
22-20	SETPEND	R/W	<p>割り込み番号 [86:84] [ライト] 1: 保留する [リード] 0: 保留なし 1: 保留あり</p> <p>各ビットが指定された番号の割り込みに対応しており、割り込みを強制的に保留したり、保留されているかどうかを確認できます。</p> <p>"1" をライトすることで該当する割り込みを保留します。ただし、すでに保留されている割り込みおよび禁止されている割り込みに対しては無効です。"0" の書き込みは意味を持ちません。</p> <p>リードの場合、該当する割り込みが保留されているかどうかを示します。</p> <p>このレジスタのビットをクリアするには、割り込み保留クリアレジスタの対応するビットに "1" をセットします。</p>
19	-	R/W	"0" をライトしてください。
18-0	SETPEND	R/W	<p>割り込み番号 [82:64] [ライト] 1: 保留する [リード] 0: 保留なし 1: 保留あり</p> <p>各ビットが指定された番号の割り込みに対応しており、割り込みを強制的に保留したり、保留されているかどうかを確認できます。</p> <p>"1" をライトすることで該当する割り込みを保留します。ただし、すでに保留されている割り込みおよび禁止されている割り込みに対しては無効です。"0" の書き込みは意味を持ちません。</p> <p>リードの場合、該当する割り込みが保留されているかどうかを示します。</p> <p>このレジスタのビットをクリアするには、割り込み保留クリアレジスタの対応するビットに "1" をセットします。</p>

注) 割り込みの内容と割り込み番号については、「8.4.1.5 要因一覧」を参照してください。

8.5.2.14 割り込み保留クリアレジスタ 1

	31	30	29	28	27	26	25	24
bit symbol	CLRPEND (割り込み 31)	CLRPEND (割り込み 30)	CLRPEND (割り込み 29)	CLRPEND (割り込み 28)	CLRPEND (割り込み 27)	CLRPEND (割り込み 26)	CLRPEND (割り込み 25)	CLRPEND (割り込み 24)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	CLRPEND (割り込み 23)	CLRPEND (割り込み 22)	CLRPEND (割り込み 21)	CLRPEND (割り込み 20)	CLRPEND (割り込み 19)	CLRPEND (割り込み 18)	CLRPEND (割り込み 17)	CLRPEND (割り込み 16)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	CLRPEND (割り込み 15)	CLRPEND (割り込 14)	CLRPEND (割り込み 13)	CLRPEND (割り込み 12)	CLRPEND (割り込み 11)	CLRPEND (割り込み 10)	CLRPEND (割り込み 9)	CLRPEND (割り込み 8)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	CLRPEND (割り込み 7)	CLRPEND (割り込 6)	CLRPEND (割り込み 5)	CLRPEND (割り込み 4)	CLRPEND (割り込み 3)	CLRPEND (割り込み 2)	CLRPEND (割り込み 1)	CLRPEND (割り込み 0)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定

Bit	Bit Symbol	Type	機能
31-0	CLRPEND	R/W	割り込み番号 [31:0] [ライト] 1: 保留をクリアする [リード] 0: 保留なし 1: 保留あり 各ビットが指定された番号の割り込みに対応しており、保留された割り込みをクリアしたり、保留されているかどうかを確認できます。 "1" をライトすることで該当する保留された割り込みをクリアします。ただし、すでに処理が開始されている割り込みに対しては無効です。"0" の書き込みは意味を持ちません。 リードの場合、該当する割り込みが保留されているかどうかを示します。

注) 割り込みの内容と割り込み番号については、「8.4.1.5 要因一覧」を参照してください。

8.5.2.15 割り込み保留クリアレジスタ 2

	31	30	29	28	27	26	25	24
bit symbol	CLRPEND (割り込み 63)	CLRPEND (割り込み 62)	CLRPEND (割り込み 61)	CLRPEND (割り込み 60)	CLRPEND (割り込み 59)	CLRPEND (割り込み 58)	CLRPEND (割り込み 57)	CLRPEND (割り込み 56)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	CLRPEND (割り込み 55)	CLRPEND (割り込み 54)	CLRPEND (割り込み 53)	CLRPEND (割り込み 52)	CLRPEND (割り込み 51)	CLRPEND (割り込み 50)	CLRPEND (割り込み 49)	CLRPEND (割り込み 48)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	CLRPEND (割り込み 47)	CLRPEND (割り込み 46)	CLRPEND (割り込み 45)	CLRPEND (割り込み 44)	CLRPEND (割り込み 43)	CLRPEND (割り込み 42)	CLRPEND (割り込み 41)	CLRPEND (割り込み 40)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	CLRPEND (割り込み 39)	CLRPEND (割り込み 38)	CLRPEND (割り込み 37)	CLRPEND (割り込み 36)	CLRPEND (割り込み 35)	CLRPEND (割り込み 34)	CLRPEND (割り込み 33)	CLRPEND (割り込み 32)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定

Bit	Bit Symbol	Type	機能
31-0	CLRPEND	R/W	割り込み番号 [63:32] [ライト] 1: 保留をクリアする [リード] 0: 保留なし 1: 保留あり 各ビットが指定された番号の割り込みに対応しており、保留された割り込みをクリアしたり、保留されているかどうかを確認できます。 "1" をライトすることで該当する保留された割り込みをクリアします。ただし、すでに処理が開始されている割り込みに対しては無効です。"0" の書き込みは意味を持ちません。 リードの場合、該当する割り込みが保留されているかどうかを示します。

注) 割り込みの内容と割り込み番号については、「8.4.1.5 要因一覧」を参照してください。

8.5.2.16 割り込み保留クリアレジスタ 3

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	CLRPEND (割り込み 86)	CLRPEND (割り込み 85)	CLRPEND (割り込み 84)	-	CLRPEND (割り込み 82)	CLRPEND (割り込み 81)	CLRPEND (割り込み 80)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	CLRPEND (割り込み 79)	CLRPEND (割り込み 78)	CLRPEND (割り込み 77)	CLRPEND (割り込み 76)	CLRPEND (割り込み 75)	CLRPEND (割り込み 74)	CLRPEND (割り込み 73)	CLRPEND (割り込み 72)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	CLRPEND (割り込み 71)	CLRPEND (割り込み 70)	CLRPEND (割り込み 69)	CLRPEND (割り込み 68)	CLRPEND (割り込み 67)	CLRPEND (割り込み 66)	CLRPEND (割り込み 65)	CLRPEND (割り込み 64)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定

Bit	Bit Symbol	Type	機能
31-23	-	R/W	"0" をライトしてください。
22-20	CLRPEND	R/W	割り込み番号 [86:84] [ライト] 1: 保留をクリアする [リード] 0: 保留なし 1: 保留あり 各ビットが指定された番号の割り込みに対応しており、保留された割り込みをクリアしたり、保留されているかどうかを確認できます。 "1" をライトすることで該当する保留された割り込みをクリアします。ただし、すでに処理が開始されている割り込みに対しては無効です。"0" の書き込みは意味を持ちません。 リードの場合、該当する割り込みが保留されているかどうかを示します。
19	-	R/W	"0" をライトしてください。
18-0	CLRPEND	R/W	割り込み番号 [82:64] [ライト] 1: 保留をクリアする [リード] 0: 保留なし 1: 保留あり 各ビットが指定された番号の割り込みに対応しており、保留された割り込みをクリアしたり、保留されているかどうかを確認できます。 "1" をライトすることで該当する保留された割り込みをクリアします。ただし、すでに処理が開始されている割り込みに対しては無効です。"0" の書き込みは意味を持ちません。 リードの場合、該当する割り込みが保留されているかどうかを示します。

注) 割り込みの内容と割り込み番号については、「8.4.1.5 要因一覧」を参照してください。

8.5.2.17 割り込み優先度レジスタ

割り込み優先度レジスタは、各割り込みに対し 8 ビットごとの構成になっています。

割り込み番号と対応する割り込み優先度レジスタのアドレスは以下のとおりです。

	31	24	23	16	15	8	7	0
0xE000_E400		PRI_3		PRI_2		PRI_1		PRI_0
0xE000_E404		PRI_7		PRI_6		PRI_5		PRI_4
0xE000_E408		PRI_11		PRI_10		PRI_9		PRI_8
0xE000_E40C		PRI_15		PRI_14		PRI_13		PRI_12
0xE000_E410		PRI_19		PRI_18		PRI_17		PRI_16
0xE000_E414		PRI_23		PRI_22		PRI_21		PRI_20
0xE000_E418		PRI_27		PRI_26		PRI_25		PRI_24
0xE000_E41C		PRI_31		PRI_30		PRI_29		PRI_28
0xE000_E420		PRI_35		PRI_34		PRI_33		PRI_32
0xE000_E424		PRI_39		PRI_38		PRI_37		PRI_36
0xE000_E428		PRI_43		PRI_42		PRI_41		PRI_40
0xE000_E42C		PRI_47		PRI_46		PRI_45		PRI_44
0xE000_E430		PRI_51		PRI_50		PRI_49		PRI_48
0xE000_E434		PRI_55		PRI_54		PRI_52		PRI_52
0xE000_E438		PRI_59		PRI_58		PRI_57		PRI_56
0xE000_E43C		PRI_63		PRI_62		PRI_61		PRI_60
0xE000_E440		PRI_67		PRI_66		PRI_65		PRI_64
0xE000_E444		PRI_71		PRI_70		PRI_69		PRI_68
0xE000_E448		PRI_75		PRI_74		PRI_73		PRI_72
0xE000_E44C		PRI_79		PRI_78		PRI_77		PRI_76
0xE000_E450		Reserved		PRI_82		PRI_81		PRI_80
0xE000_E454		Reserved		PRI_86		PRI_85		PRI_84
0xE000_E458		Reserved		Reserved		Reserved		Reserved
0xE000_E45C		Reserved		Reserved		Reserved		Reserved
0xE000_E460		Reserved		Reserved		Reserved		Reserved
0xE000_E464		Reserved		Reserved		Reserved		Reserved
0xE000_E468		Reserved		Reserved		Reserved		Reserved
0xE000_E46C		Reserved		Reserved		Reserved		Reserved
0xE000_E470		Reserved		Reserved		Reserved		Reserved
0xE000_E474		Reserved		Reserved		Reserved		Reserved
0xE000_E478		Reserved		Reserved		Reserved		Reserved
0xE000_E47C		Reserved		Reserved		Reserved		Reserved

各割り込みに割り当てられている 8 ビットのうち何ビットを優先度の設定に使用できるかは製品により異なります。本製品では、3 ビットで優先度を設定することができます。

以下に、代表として割り込み番号 0~3 の割り込み優先度レジスタの構成を示します。未使用のビットはリードすると "0" が読め、ライトは無視されます。

	31	30	29	28	27	26	25	24
bit symbol	PRI_3			-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	PRI_2			-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	PRI_1			-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PRI_0			-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-29	PRI_3	R/W	割り込み番号3優先度
28-24	-	R	リードすると"0"が読めます。
23-21	PRI_2	R/W	割り込み番号2優先度
20-16	-	R	リードすると"0"が読めます。
15-13	PRI_1	R/W	割り込み番号1優先度
12-8	-	R	リードすると"0"が読めます。
7-5	PRI_0	R/W	割り込み番号0優先度
4-0	-	R	リードすると"0"が読めます。

8.5.2.18 ベクタテーブルオフセットレジスタ

	31	30	29	28	27	26	25	24
bit symbol	TBLOFF							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	TBLOFF							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	TBLOFF							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TBLOFF	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-7	TBLOFF	R/W	オフセット値 TBLBASE で指定した領域の先頭からのオフセット値を設定します。 オフセットはテーブルにある例外の数に基づいてアラインされる必要があります。16 個までの割り込みが使える、最小のアライメントは 32 ワードになります。割り込みの数がより多い場合は、次の 2 のべき乗まで切り上げて、アライメントを調整する必要があります。
6-0	-	R	リードすると "0" が読めます。

8.5.2.19 アプリケーション割り込みおよびリセット制御レジスタ

	31	30	29	28	27	26	25	24
bit symbol	VECTKEY/VECTKEYSTAT							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	VECTKEY/VECTKEYSTAT							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ENDIANESS	-	-	-	-	PRIGROUP		
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	SYSRESET REQ	VECTCLR ACTIVE	VECTRESET
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	VECTKEY (ライト) VECTKEYSTAT (リード)	R/W	レジスタキー [ライト]このレジスタへ書き込みを行うには、<VECTKEY> に "0x05FA" を書き込む必要があります。 [リード]リードすると "0xFA05" が読めます。
15	ENDIANESS	R/W	エンディアン形式ビット (注 1) 1: ビッグエンディアン 0: リトルエンディアン
14-11	-	R	リードすると "0" が読めます。
10-8	PRIGROUP	R/W	割り込み優先度グループ分け 000: 横取り優先度 7bit、サブ優先度 1bit 001: 横取り優先度 6bit、サブ優先度 2bit 010: 横取り優先度 5bit、サブ優先度 3bit 011: 横取り優先度 4bit、サブ優先度 4bit 100: 横取り優先度 3bit、サブ優先度 5bit 101: 横取り優先度 2bit、サブ優先度 6bit 110: 横取り優先度 1bit、サブ優先度 7bit 111: 横取り優先度 0bit、サブ優先度 8bit 割り込み優先度レジスタ <PRI_n> を、横取り優先度とサブ優先度分けする際のビット構成を設定します。
7-3	-	R	リードすると "0" が読めます。
2	SYSRESET REQ	R/W	システムリセットリクエスト "1" をセットすると CPU が SYSRESETREQ 信号を出力します。(注 2)
1	VECTCLR ACTIVE	R/W	アクティブなベクタのクリア 1: アクティブな NMI、フォールト、割り込みのすべての状態の情報をクリアします。 0: クリアしません。 このビットは自身の動作によりクリアされます。 スタックの再初期化はアプリケーションで行う必要があります。
0	VECTRESET	R/W	システムリセット 1: システムをリセットします。 0: システムをリセットしません。 "1" をセットするとデバッグコンポーネント (FPB,DWT,ITM) 以外の CPU 内部をリセットし、本ビットもクリアされます。

注 1) 本製品はリトルエンディアン固定です。(ビッグエンディアンには設定しないでください。)

注 2) 本製品では、SYSRESETREQ が出力されると CPU を含む全体回路リセットが発生します(デバッグコンポーネントはリセットされません)本リセットにより、<SYSRESETREQ> はクリアされます。尚、本製品は MCD チップを含む SiP 製品ですが、MCD チップに対してはリセットは発行されません。

8.5.2.20 システムハンドラ優先度レジスタ

システムハンドラ優先度レジスタは、各例外に対し 8 ビットごとの構成になっています。
例外と対応する割り込み優先度レジスタのアドレスは以下のとおりです。

	31	24	23	16	15	8	7	0
0xE000_ED18	PRI_7		PRI_6 (用法フォールト)		PRI_5 (バスフォールト)		PRI_4 (メモリ管理)	
0xE000_ED1C	PRI_11 (SVCall)		PRI_10		PRI_9		PRI_8	
0xE000_ED20	PRI_15 (SysTick)		PRI_14 (PendSV)		PRI_13		PRI_12 (デバッグモニタ)	

各割り込みに割り当てられている 8 ビットのうち何ビットを優先度の設定に使用できるかは製品により異なります。本製品では、3 ビットで優先度を設定することができます。

以下に、代表として割り込み番号 4~7 の割り込み優先度レジスタの構成を示します。未使用のビットはリードすると "0" が読め、ライトは無視されます。

	31	30	29	28	27	26	25	24
bit symbol	PRI_7			-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	PRI_6			-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	PRI_5			-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PRI_4			-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-29	PRI_7	R/W	予約
28-24	-	R	リードすると "0" が読めます。
23-21	PRI_6	R/W	用法フォールト 優先度
20-16	-	R	リードすると "0" が読めます。
15-13	PRI_5	R/W	バスフォールト 優先度
12-8	-	R	リードすると "0" が読めます。
7-5	PRI_4	R/W	メモリ管理 優先度
4-0	-	R	リードすると "0" が読めます。

8.5.2.21 システムハンドラ制御および状態レジスタ

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	USGFAULT ENA	BUSFAULT ENA	MEMFAULT ENA
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	SVCALL PENDEDED	BUSFAULT PENDEDED	MEMFAULT PENDEDED	USGFAULT PENDEDED	SYSTICKACT	PENDSVACT	-	MONITOR ACT
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SVCALLACT	-	-	-	USGFAULT ACT	-	BUSFAULT ACT	MEMFAULT ACT
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-19	–	R	リードすると "0" が読めます。
18	USGFAULT ENA	R/W	用法フォールト 0: 禁止 1: 許可
17	BUSFAULT TENA	R/W	バスフォールト 0: 禁止 1: 許可
16	MEMFAULT ENA	R/W	メモリ管理 0: 禁止 1: 許可
15	SVCALL PENDED	R/W	SVCall 0: 保留されていない 1: 保留されている
14	BUSFAULT PENDED	R/W	バスフォールト 0: 保留されていない 1: 保留されている
13	MEMFAULT PENDED	R/W	メモリ管理 0: 保留されていない 1: 保留されている
12	USGFAULT PENDED	R/W	用法フォールト 0: 保留されていない 1: 保留されている
11	SYSTICKACT	R/W	SysTick 0: アクティブでない 1: アクティブ
10	PENDSVACT	R/W	PendSV 0: アクティブでない 1: アクティブ
9	–	R	リードすると "0" が読めます。
8	MONITORACT	R/W	デバッグモニタ 0: アクティブでない 1: アクティブ
7	SVCALLACT	R/W	SVCall 0: アクティブでない 1: アクティブ
6-4	–	R	リードすると "0" が読めます。
3	USGFAULT ACT	R/W	用法フォールト 0: アクティブでない 1: アクティブ
2	–	R	リードすると "0" が読めます。
1	BUSFAULT ACT	R/W	バスフォールト 0: アクティブでない 1: アクティブ
0	MEMFAULT ACT	R/W	メモリ管理 0: アクティブでない 1: アクティブ

注) アクティブビットの書き換えは、スタックの内容の更新等行いませんので注意して行ってください。

8.5.3 クロックジェネレータレジスタ

8.5.3.1 CGIMCGA(CG 割り込みモードコントロールレジスタ A)

	31	30	29	28	27	26	25	24
bit symbol	-	EMCG3			EMST3		-	INT3EN
リセット後	0	0	1	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	EMCG2			EMST2		-	INT2EN
リセット後	0	0	1	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	EMCG1			EMST1		-	INT1EN
リセット後	0	0	1	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	EMCG0			EMST0		-	INT0EN
リセット後	0	0	1	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31	–	R	リードすると"0"が読めます。
30-28	EMCG3[2:0]	R/W	INT3 スタンバイ解除要求のアクティブ状態を設定 (101~111: 設定禁止) 000: "Low" レベル 001: "High" レベル 010: 立ち下がりエッジ 011: 立ち上がりエッジ 100: 両エッジ
27-26	EMST3[1:0]	R	INT3 スタンバイ解除要求のアクティブ状態 00: – 01: 立ち上がりエッジ 10: 立ち下がりエッジ 11: 両エッジ
25	–	R	リードすると不定値が読めます。
24	INT3EN	R/W	INT3 解除入力 0: ディセーブル 1: イネーブル
23	–	R	リードすると"0"が読めます。
22-20	EMCG2[2:0]	R/W	INT2 スタンバイ解除要求のアクティブ状態を設定 (101~111: 設定禁止) 000: "Low" レベル 001: "High" レベル 010: 立ち下がりエッジ 011: 立ち上がりエッジ 100: 両エッジ
19-18	EMST2[1:0]	R	INT2 スタンバイ解除要求のアクティブ状態 00: – 01: 立ち上がりエッジ 10: 立ち下がりエッジ 11: 両エッジ
17	–	R	リードすると不定値が読めます。
16	INT2EN	R/W	INT2 解除入力 0: ディセーブル 1: イネーブル
15	–	R	リードすると"0"が読めます。
14-12	EMCG1[2:0]	R/W	INT1 スタンバイ解除要求のアクティブ状態を設定 (101~111: 設定禁止) 000: "Low" レベル 001: "High" レベル 010: 立ち下がりエッジ 011: 立ち上がりエッジ 100: 両エッジ
11-10	EMST1[1:0]	R	INT1 スタンバイ解除要求のアクティブ状態 00: – 01: 立ち上がりエッジ 10: 立ち下がりエッジ 11: 両エッジ
9	–	R	リードすると不定値が読めます。
8	INT1EN	R/W	INT1 解除入力 0: ディセーブル 1: イネーブル
7	–	R	リードすると"0"が読めます。
6-4	EMCG0[2:0]	R/W	INT0 スタンバイ解除要求のアクティブ状態を設定 (101~111: 設定禁止) 000: "Low" レベル 001: "High" レベル 010: 立ち下がりエッジ 011: 立ち上がりエッジ 100: 両エッジ

Bit	Bit Symbol	Type	機能
3-2	EMST0[1:0]	R	INT0 スタンバイ解除要求のアクティブ状態 00: – 01: 立ち上がりエッジ 10: 立ち下がりエッジ 11: 両エッジ
1	–	R	リードすると不定値が読めます。
0	INT0EN	R/W	INT0 解除入力 0: ディセーブル 1: イネーブル

- 注 1) <EMSTx> は、<EMCGx[2:0]> が "100" の両エッジ設定のときのみ有効です。<EMSTx> を参照することにより、スタンバイ解除に使用されたアクティブ状態を確認することができます。CGICRCG レジスタで割り込みをクリアすると <EMSTx> もクリアされます。
- 注 2) エッジ設定と同時に <INTxEN> を設定しないでください。エッジ設定を行ってから <INTxEN> を設定してください。

8.5.3.2 CGIMCGB(CG 割り込みモードコントロールレジスタ B)

	31	30	29	28	27	26	25	24
bit symbol	-	EMCG7			EMST7		-	INT7EN
リセット後	0	0	1	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	EMCG6			EMST6		-	INT6EN
リセット後	0	0	1	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	EMCG5			EMST5		-	INT5EN
リセット後	0	0	1	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	EMCG4			EMST4		-	INT4EN
リセット後	0	0	1	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31	–	R	リードすると"0"が読めます。
30-28	EMCG7[2:0]	R/W	INT7スタンバイ解除要求のアクティブ状態を設定 (101~111: 設定禁止) 000: "Low" レベル 001: "High" レベル 010: 立ち下がりエッジ 011: 立ち上がりエッジ 100: 両エッジ
27-26	EMST7[1:0]	R	INT7スタンバイ解除要求のアクティブ状態 00: – 01: 立ち上がりエッジ 10: 立ち下がりエッジ 11: 両エッジ
25	–	R	リードすると不定値が読めます。
24	INT7EN	R/W	INT7解除入力 0: ディセーブル 1: イネーブル
23	–	R	リードすると"0"が読めます。
22-20	EMCG6[2:0]	R/W	INT6スタンバイ解除要求のアクティブ状態を設定 (101~111: 設定禁止) 000: "Low" レベル 001: "High" レベル 010: 立ち下がりエッジ 011: 立ち上がりエッジ 100: 両エッジ
19-18	EMST6[1:0]	R	INT6スタンバイ解除要求のアクティブ状態 00: – 01: 立ち上がりエッジ 10: 立ち下がりエッジ 11: 両エッジ
17	–	R	リードすると不定値が読めます。
16	INT6EN	R/W	INT6解除入力 0: ディセーブル 1: イネーブル
15	–	R	リードすると"0"が読めます。
14-12	EMCG5[2:0]	R/W	INT5スタンバイ解除要求のアクティブ状態を設定 (101~111: 設定禁止) 000: "Low" レベル 001: "High" レベル 010: 立ち下がりエッジ 011: 立ち上がりエッジ 100: 両エッジ
11-10	EMST5[1:0]	R	INT5スタンバイ解除要求のアクティブ状態 00: – 01: 立ち上がりエッジ 10: 立ち下がりエッジ 11: 両エッジ
9	–	R	リードすると不定値が読めます。
8	INT5EN	R/W	INT5解除入力 0: ディセーブル 1: イネーブル
7	–	R	リードすると"0"が読めます。
6-4	EMCG4[2:0]	R/W	INT4スタンバイ解除要求のアクティブ状態を設定 (101~111: 設定禁止) 000: "Low" レベル 001: "High" レベル 010: 立ち下がりエッジ 011: 立ち上がりエッジ 100: 両エッジ

Bit	Bit Symbol	Type	機能
3-2	EMST4[1:0]	R	INT4 スタンバイ解除要求のアクティブ状態 00: – 01: 立ち上がりエッジ 10: 立ち下がりエッジ 11: 両エッジ
1	–	R	リードすると不定値が読めます。
0	INT4EN	R/W	INT4 解除入力 0: ディセーブル 1: イネーブル

注 1) <EMSTx> は、<EMCGx[2:0]> が "100" の両エッジ設定のときのみ有効です。<EMSTx> を参照することにより、スタンバイ解除に使用されたアクティブ状態を確認することができます。CGICRCG レジスタで割り込みをクリアすると <EMSTx> もクリアされます。

注 2) エッジ設定と同時に <INTxEN> を設定しないでください。エッジ設定を行ってから <INTxEN> を設定してください。

8.5.3.3 CGIMCGC(CG 割り込みモードコントロールレジスタ C)

	31	30	29	28	27	26	25	24
bit symbol	-	EMCGB			EMSTB		-	INTBEN
リセット後	0	0	1	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	EMCGA			EMSTA		-	INTAEN
リセット後	0	0	1	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	EMCG9			EMST9		-	INT9EN
リセット後	0	0	1	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	EMCG8			EMST8		-	INT8EN
リセット後	0	0	1	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31	–	R	リードすると"0"が読めます。
30-28	EMCGB[2:0]	R/W	INTPSCSTOP スタンバイ解除要求のアクティブ状態を設定 (101~111: 設定禁止) 000: – 001: – 010: – 011: 立ち上がりエッジ 100: –
27-26	EMSTB[1:0]	R	INTPSCSTOP スタンバイ解除要求のアクティブ状態 00: – 01: 立ち上がりエッジ 10: – 11: –
25	–	R	リードすると不定値が読めます。
24	INTBEN	R/W	INTPSCSTOP 解除入力 0: ディセーブル 1: イネーブル
23	–	R	リードすると"0"が読めます。
22-20	EMCGA[2:0]	R/W	INTA スタンバイ解除要求のアクティブ状態を設定 (101~111: 設定禁止) 000: "Low" レベル 001: "High" レベル 010: 立ち下がりエッジ 011: 立ち上がりエッジ 100: 両エッジ
19-18	EMSTA[1:0]	R	INTA スタンバイ解除要求のアクティブ状態 00: – 01: 立ち上がりエッジ 10: 立ち下がりエッジ 11: 両エッジ
17	–	R	リードすると不定値が読まれます。
16	INTAEN	R/W	INTA 解除入力 0: ディセーブル 1: イネーブル
15	–	R	リードすると"0"が読めます。
14-12	EMCG9[2:0]	R/W	INT9 スタンバイ解除要求のアクティブ状態を設定 (101~111: 設定禁止) 000: "Low" レベル 001: "High" レベル 010: 立ち下がりエッジ 011: 立ち上がりエッジ 100: 両エッジ
11-10	EMST9[1:0]	R	INT9 スタンバイ解除要求のアクティブ状態 00: – 01: 立ち上がりエッジ 10: 立ち下がりエッジ 11: 両エッジ
9	–	R	リードすると不定値が読まれます。
8	INT9EN	R/W	INT9 解除入力 0: ディセーブル 1: イネーブル
7	–	R	リードすると"0"が読めます。
6-4	EMCG8[2:0]	R/W	INT8 スタンバイ解除要求のアクティブ状態を設定 (101~111: 設定禁止) 000: "Low" レベル 001: "High" レベル 010: 立ち下がりエッジ 011: 立ち上がりエッジ 100: 両エッジ

Bit	Bit Symbol	Type	機能
3-2	EMST8[1:0]	R	INT8 スタンバイ解除要求のアクティブ状態 00: - 01: 立ち上がりエッジ 10: 立ち下がりエッジ 11: 両エッジ
1	-	R	リードすると不定値が読めます。
0	INT8EN	R/W	INT8 解除入力 0: ディセーブル 1: イネーブル

注 1) <EMSTx> は、<EMCGx[2:0]> が "100" の両エッジ設定のときのみ有効です。<EMSTx> を参照することにより、スタンバイ解除に使用されたアクティブ状態を確認することができます。CGICRCG レジスタで割り込みをクリアすると <EMSTx> もクリアされます。

注 2) エッジ設定と同時に <INTxEN> を設定しないでください。エッジ設定を行ってから <INTxEN> を設定してください。

8.5.3.4 CGIMCGD(CG 割り込みモードコントロールレジスタ D)

	31	30	29	28	27	26	25	24
bit symbol	-	EMCGF			EMSTF		-	INTFEN
リセット後	0	0	1	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	EMCGE			EMSTE		-	INTEEN
リセット後	0	0	1	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	EMCGD			EMSTD		-	INTDEN
リセット後	0	0	1	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	EMCGC			EMSTC		-	INTCEN
リセット後	0	0	1	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31	–	R	リードすると "0" が読めます。
30-28	EMCGF[2:0]	R/W	INTPSCIA スタンバイ解除要求のアクティブ状態を設定 (101~111: 設定禁止) 000: – 001: – 010: – 011: 立ち上がりエッジ 100: –
27-26	EMSTF[1:0]	R	INTPSCIA スタンバイ解除要求のアクティブ状態 00: – 01: 立ち上がりエッジ 10: – 11: –
25	–	R	リードすると "0" が読めます。
24	INTFEN	R/W	INTPSCIA 解除入力 0: ディセーブル 1: イネーブル
23	–	R	リードすると "0" が読めます。
22-20	EMCGE[2:0]	R/W	INTPSCII スタンバイ解除要求のアクティブ状態を設定 (101~111: 設定禁止) 000: – 001: – 010: – 011: 立ち上がりエッジ 100: –
19-18	EMSTE[1:0]	R	INTPSCII スタンバイ解除要求のアクティブ状態 00: – 01: 立ち上がりエッジ 10: – 11: –
17	–	R	リードすると "0" が読まれます。
16	INTEEN	R/W	INTPSCII 解除入力 0: ディセーブル 1: イネーブル
15	–	R	リードすると "0" が読めます。
14-12	EMCGD[2:0]	R/W	INTPSCSTEP スタンバイ解除要求のアクティブ状態を設定 (101~111: 設定禁止) 000: – 001: – 010: – 011: 立ち上がりエッジ 100: –
11-10	EMSTD[1:0]	R	INTPSCSTEP スタンバイ解除要求のアクティブ状態 00: – 01: 立ち上がりエッジ 10: – 11: –
9	–	R	リードすると "0" が読まれます。
8	INTDEN	R/W	INTPSCSTEP 解除入力 0: ディセーブル 1: イネーブル
7	–	R	リードすると "0" が読めます。
6-4	EMCGC[2:0]	R/W	INTPSCBRK スタンバイ解除要求のアクティブ状態を設定 (101~111: 設定禁止) 000: – 001: – 010: – 011: 立ち上がりエッジ 100: –
3-2	EMSTC[1:0]	R	INTPSCBRK スタンバイ解除要求のアクティブ状態 00: – 01: 立ち上がりエッジ 10: – 11: –
1	–	R	リードすると "0" が読まれます。

Bit	Bit Symbol	Type	機能
0	INTCEN	R/W	INTPSCBRK 解除入力 0: ディセーブル 1: イネーブル

注 1) <EMSTx> は、<EMCGx[2:0]> が "100" の両エッジ設定のときのみ有効です。<EMSTx> を参照することにより、スタンバイ解除に使用されたアクティブ状態を確認することができます。CGICRCG レジスタで割り込みをクリアすると <EMSTx> もクリアされます。

注 2) エッジ設定と同時に <INTxEN> を設定しないでください。エッジ設定を行ってから <INTxEN> を設定してください。

8.5.3.5 CGIMCGE(CG 割り込みモードコントロールレジスタ E)

	31	30	29	28	27	26	25	24
bit symbol	-	EMCG13			EMST13		-	INT13EN
リセット後	0	0	1	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	EMCG12			EMST12		-	INTE12N
リセット後	0	0	1	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	EMCG11			EMST11		-	INT11EN
リセット後	0	0	1	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	EMCG10			EMST10		-	INT10EN
リセット後	0	0	1	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31	–	R	リードすると "0" が読めます。
30-28	EMCG13[2:0]	R/W	INTTDB0CMP3 スタンバイ解除要求のアクティブ状態を設定 (101~111: 設定禁止) 000: – 001: – 010: – 011: 立ち上がりエッジ 100: –
27-26	EMST13F[1:0]	R	INTTDB0CMP3 スタンバイ解除要求のアクティブ状態 00: – 01: 立ち上がりエッジ 10: – 11: –
25	–	R	リードすると "0" が読めます。
24	INT13EN	R/W	INTTDB0CMP3 解除入力 0: ディセーブル 1: イネーブル
23	–	R	リードすると "0" が読めます。
22-20	EMCG12[2:0]	R/W	INTTDB0CMP2 スタンバイ解除要求のアクティブ状態を設定 (101~111: 設定禁止) 000: – 001: – 010: – 011: 立ち上がりエッジ 100: –
19-18	EMST12[1:0]	R	INTTDB0CMP2 スタンバイ解除要求のアクティブ状態 00: – 01: 立ち上がりエッジ 10: – 11: –
17	–	R	リードすると "0" が読まれます。
16	INT12EN	R/W	INTTDB0CMP2 解除入力 0: ディセーブル 1: イネーブル
15	–	R	リードすると "0" が読めます。
14-12	EMCG11[2:0]	R/W	INTTDB0CMP1 スタンバイ解除要求のアクティブ状態を設定 (101~111: 設定禁止) 000: – 001: – 010: – 011: 立ち上がりエッジ 100: –
11-10	EMST11[1:0]	R	INTTDB0CMP1 スタンバイ解除要求のアクティブ状態 00: – 01: 立ち上がりエッジ 10: – 11: –
9	–	R	リードすると "0" が読まれます。
8	INT11EN	R/W	INTTDB0CMP1 解除入力 0: ディセーブル 1: イネーブル
7	–	R	リードすると "0" が読めます。
6-4	EMCG10[2:0]	R/W	INTTDB0CMP0 スタンバイ解除要求のアクティブ状態を設定 (101~111: 設定禁止) 000: – 001: – 010: – 011: 立ち上がりエッジ 100: –
3-2	EMST10[1:0]	R	INTTDB0CMP0 スタンバイ解除要求のアクティブ状態 00: – 01: 立ち上がりエッジ 10: – 11: –
1	–	R	リードすると "0" が読まれます。

Bit	Bit Symbol	Type	機能
0	INT10EN	R/W	INTTDB0CMP0 解除入力 0: ディセーブル 1: イネーブル

注 1) <EMSTx> は、<EMCGx[2:0]> が "100" の両エッジ設定のときのみ有効です。<EMSTx> を参照することにより、スタンバイ解除に使用されたアクティブ状態を確認することができます。CGICRCG レジスタで割り込みをクリアすると <EMSTx> もクリアされます。

注 2) エッジ設定と同時に <INTxEN> を設定しないでください。エッジ設定を行ってから <INTxEN> を設定してください。

8.5.3.6 CGIMCGF(CG 割り込みモードコントロールレジスタ F)

	31	30	29	28	27	26	25	24
bit symbol	-	EMCG17			EMST17		-	INT17EN
リセット後	0	0	1	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	EMCG16			EMST16		-	INTE16N
リセット後	0	0	1	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	EMCG15			EMST15		-	INT15EN
リセット後	0	0	1	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	EMCG14			EMST14		-	INT14EN
リセット後	0	0	1	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31	–	R	リードすると "0" が読めます。
30-28	EMCG17[2:0]	R/W	INTTDB1CMP2 スタンバイ解除要求のアクティブ状態を設定 (101~111: 設定禁止) 000: – 001: – 010: – 011: 立ち上がりエッジ 100: –
27-26	EMST17F[1:0]	R	INTTDB1CMP2 スタンバイ解除要求のアクティブ状態 00: – 01: 立ち上がりエッジ 10: – 11: –
25	–	R	リードすると "0" が読めます。
24	INT17EN	R/W	INTTDB1CMP2 解除入力 0: ディセーブル 1: イネーブル
23	–	R	リードすると "0" が読めます。
22-20	EMCG16[2:0]	R/W	INTTDB1CMP1 スタンバイ解除要求のアクティブ状態を設定 (101~111: 設定禁止) 000: – 001: – 010: – 011: 立ち上がりエッジ 100: –
19-18	EMST16[1:0]	R	INTTDB1CMP1 スタンバイ解除要求のアクティブ状態 00: – 01: 立ち上がりエッジ 10: – 11: –
17	–	R	リードすると "0" が読まれます。
16	INT16EN	R/W	INTTDB1CMP1 解除入力 0: ディセーブル 1: イネーブル
15	–	R	リードすると "0" が読めます。
14-12	EMCG15[2:0]	R/W	INTTDB1CMP0 スタンバイ解除要求のアクティブ状態を設定 (101~111: 設定禁止) 000: – 001: – 010: – 011: 立ち上がりエッジ 100: –
11-10	EMST15[1:0]	R	INTTDB1CMP0 スタンバイ解除要求のアクティブ状態 00: – 01: 立ち上がりエッジ 10: – 11: –
9	–	R	リードすると "0" が読まれます。
8	INT15EN	R/W	INTTDB1CMP0 解除入力 0: ディセーブル 1: イネーブル
7	–	R	リードすると "0" が読めます。
6-4	EMCG14[2:0]	R/W	INTTDB0CMP4 スタンバイ解除要求のアクティブ状態を設定 (101~111: 設定禁止) 000: – 001: – 010: – 011: 立ち上がりエッジ 100: –
3-2	EMST14[1:0]	R	INTTDB0CMP4 スタンバイ解除要求のアクティブ状態 00: – 01: 立ち上がりエッジ 10: – 11: –
1	–	R	リードすると "0" が読まれます。

Bit	Bit Symbol	Type	機能
0	INT14EN	R/W	INTTDB0CMP4 解除入力 0: ディセーブル 1: イネーブル

注 1) <EMSTx> は、<EMCGx[2:0]> が "100" の両エッジ設定のときのみ有効です。<EMSTx> を参照することにより、スタンバイ解除に使用されたアクティブ状態を確認することができます。CGICRCG レジスタで割り込みをクリアすると <EMSTx> もクリアされます。

注 2) エッジ設定と同時に <INTxEN> を設定しないでください。エッジ設定を行ってから <INTxEN> を設定してください。

8.5.3.7 CGIMCGG(CG 割り込みモードコントロールレジスタ G)

	31	30	29	28	27	26	25	24	
bit symbol	-	-	-	-	-	-	-	-	
リセット後	0	0	1	0	0	0	0	0	
	23	22	21	20	19	18	17	16	
bit symbol	-	-	-	-	-	-	-	-	
リセット後	0	0	1	0	0	0	0	0	
	15	14	13	12	11	10	9	8	
bit symbol	-	EMCG19			EMST19			-	INT19EN
リセット後	0	0	1	0	0	0	0	0	
	7	6	5	4	3	2	1	0	
bit symbol	-	EMCG18			EMST18			-	INT18EN
リセット後	0	0	1	0	0	0	0	0	

Bit	Bit Symbol	Type	機能
31-15	-	R	リードすると "0" が読めます。
14-12	EMCG19[2:0]	R/W	INTTDB1CMP4 スタンバイ解除要求のアクティブ状態を設定 (101~111: 設定禁止) 000: - 001: - 010: - 011: 立ち上がりエッジ 100: -
11-10	EMST19[1:0]	R	INTTDB1CMP4 スタンバイ解除要求のアクティブ状態 00: - 01: 立ち上がりエッジ 10: - 11: -
9	-	R	リードすると "0" が読まれます。
8	INT19EN	R/W	INTTDB1CMP4 解除入力 0: ディセーブル 1: イネーブル
7	-	R	リードすると "0" が読めます。
6-4	EMCG18[2:0]	R/W	INTTDB1CMP3 スタンバイ解除要求のアクティブ状態を設定 (101~111: 設定禁止) 000: - 001: - 010: - 011: 立ち上がりエッジ 100: -
3-2	EMST18[1:0]	R	INTTDB1CMP3 スタンバイ解除要求のアクティブ状態 00: - 01: 立ち上がりエッジ 10: - 11: -
1	-	R	リードすると "0" が読まれます。
0	INT18EN	R/W	INTTDB1CMP3 解除入力 0: ディセーブル 1: イネーブル

注 1) <EMSTx> は、<EMCGx[2:0]> が "100" の両エッジ設定のときのみ有効です。<EMSTx> を参照することにより、スタンバイ解除に使用されたアクティブ状態を確認することができます。CGICRCG レジスタで割り込みをクリアすると <EMSTx> もクリアされます。

注 2) エッジ設定と同時に <INTxEN> を設定しないでください。エッジ設定を行ってから <INTxEN> を設定してください。

8.5.3.8 CGICRCG(CG 割り込み要求クリアレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	ICRCG				
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-5	-	R	リードすると "0" が読めます。
4-0	ICRCG[4:0]	W	割り込み要求をクリア 0_0000: INT0 1_0000: INTTDB0CMP0 1_1010 ~ 1_1111: 設定禁止 0_0001: INT1 1_0001: INTTDB0CMP1 0_0010: INT2 1_0010: INTTDB0CMP2 0_0011: INT3 1_0011: INTTDB0CMP3 0_0100: INT4 1_0100: INTTDB0CMP4 0_0101: INT5 1_0101: INTTDB1CMP0 0_0101: INT6 1_0101: INTTDB1CMP1 0_0111: INT7 1_0111: INTTDB1CMP2 0_1000: INT8 1_1000: INTTDB1CMP3 0_1001: INT9 1_1001: INTTDB1CMP4 0_1010: INTA 0_1011: INTPSCSTOP 0_1100: INTPSCBRK 0_1101: INTPSCSTEP 0_1110: INTPSCII 0_1111: INTPSCIA リードすると "0" が読めます

8.5.3.9 CGRSTFLG(リセットフラグレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
端子リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
端子リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
端子リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	DBGRSTF	STOP2RSTF	WDTRSTF	-	PINRSTF
端子リセット後	0	0	0	0	0	0	不定	1

Bit	Bit Symbol	Type	機能
31-5	-	R	リードすると"0"が読めます。
4	DBGRSTF	R/W	デバッグリセットフラグ(注2) 0: 0ライト 1: <SYSRESETREQ> によるリセットフラグ
3	STOP2RSTF	R/W	STOP2 リセットフラグ 0: 0ライト 1: STOP2 モード解除によるリセットフラグ
2	WDTRSTF	R/W	WDT リセットフラグ 0: 0ライト 1: WDT によるリセットフラグ
1	-	R/W	"0"をライトしてください。 リードすると不定値が読めます。
0	PINRSTF	R/W	RESET 端子フラグ 0: 0ライト 1: RESET 端子によるリセットフラグ

注 1) CPU の NVIC 内にあるアプリケーション割り込みおよびリセット制御レジスタの <SYSRESETREQ> のセットにより発生したリセットであることを示します。

注 2) 本製品は外部リセットで初期化されます。

9 Programmable Servo Controller (PSC)

本製品では、モータ等のサーボ制御を行う演算器として PSC (Programmable Servo Controller) を内蔵しています。

9.1 概要

主な機能を以下に説明します。

表 9.1.1 機能概要

項目	機能	概要
リセット	PSC レジスタの初期化	
起動方法	CPU による起動	CPU が、START フラグをセットする事でプログラムポインタ(PG0)の示すアドレスから起動
	タイマによる周期起動	タイマのカウントアップで繰り返し処理ベクトルポインタ(VG0)の値を PG0 に移し、START フラグを自動セットして起動
レジスタ	演算用レジスタ	33bit (符号 1bit + 値 32bit)
	ポインタ類、制御レジスタ、フラグレジスタ	32bit
命令セット	転送命令	MOV, MVI, MVIL, LD, ST
	演算命令	MLSH, ADD, ADD3, SUB, CLAMP
	シフト命令	SRL, SRA, SLL, SLA
	論理命令 / 絶対値命令	AND, OR, XOR, NOT, ABS
	比較命令	CMP
	分岐命令	JMP, JO, JU, JZ, JNZ
	制御命令	NOP, STOP
デバッグ	ブレーク実行	ブレークポインタ(BR0) = プログラムポインタ(PG0) で、PSC ブレーク割り込み要求
	ステップ実行	1 命令実行し、PSC ステップ割り込み要求
Cache	なし	
割り込み制御機構	なし	CPU に対し割り込み要求を出力するのみ

9.2 ブロック図

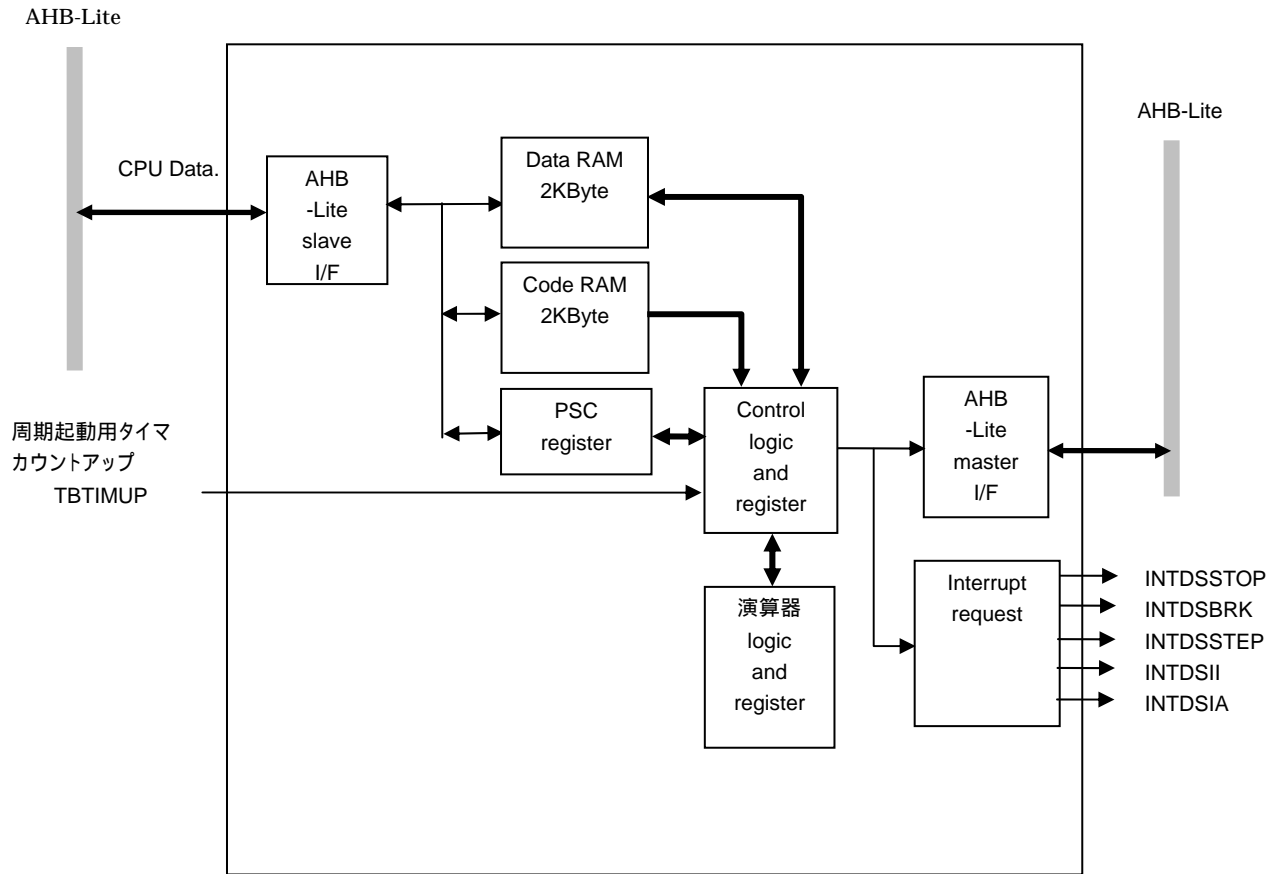


図 9.2.1 PSC ブロック図

9.3 PSC動作フロー

9.3.1 PSC通常動作フロー

1) PSC の起動

PSC の起動は「CPU からの起動(単発起動)」と「タイマー一致起動(周期起動)」の 2 種類から選択することが出来ます。

どちらも、PSC 回路内の START フラグを ON する事で動作を開始します。

Jump 命令と同様にプログラムポインタ(PG0)の示すアドレスから命令実行を開始します。

・CPU からの起動: プログラムポインタ(PG0)に実行する PSC プログラムの先頭アドレスを設定し、START フラグを ON する事で、PSC プログラムを 1 回実行する。

・タイマー一致起動: 繰り返し処理ベクトルポインタ(VG0)に実行する PSC プログラムの先頭アドレスを設定し、起動トリガーとなるタイマを周期起動させ、周期的に実行する。

(注意) PSC が STOP 状態以外(プログラム実行中)にタイマがカウントアップした場合は、起動要求は無視されます。

2) PSC の停止

PSC の停止は STOP 命令実行で停止し、次の起動を待ちます。

STOP 命令実行により、CPU に対して PSC 終了割り込み要求を出力し、演算用 Clock を停止する。PSC 終了状態でも、CPU からの PSC レジスタの R/W は可能。PG0 は STOP 命令の次の命令を示すが、起動時に再設定される。

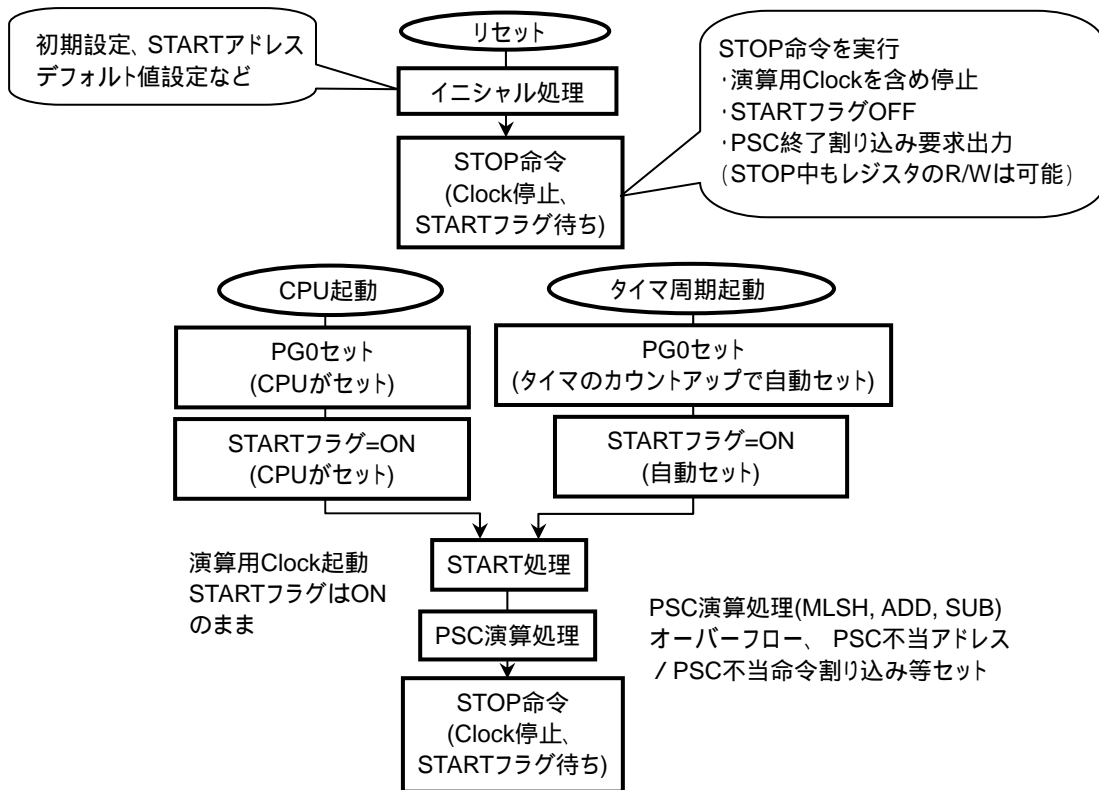


図 9.3.1 通常起動フロー

9.4 メモリ、レジスタマップ

PSC には、プログラムの実行と Data を保存する専用の RAM があります。

各々、2kB の空間が準備されており、0x4000_C000 – 0x4000_C7FF に 2KByte にコード RAM 領域、0x4000_D000 – 0x4000_D7FF に 2KByte にデータ RAM 領域が割り付けられています。

同様に、レジスタの領域としては、0x4000_DC00 – 0x4000_DFFF の 1KByte 空間が割り付けられています。RAM、及びレジスタが実装されていない領域は、PSC 用の予約領域です。この領域へのアクセスは禁止です。

9.4.1 PSCコードRAM (Code RAM)(0x4000_C000 0x4000_C7FF)

PSC コード RAM 領域として 2KByte 内蔵しており、CPU からは PSC の AHB-Lite slave I/F を介して R/W 可能ですが、PSC は専用バスを通じて Read のみが可能です。

PSC コード RAM 領域へのアクセスは、全て 32bit 単位で実行されます。

CPU による PSC コード RAM 領域の書き換えは PSC 停止中のみ実行可能です。リセット後のイニシャル処理か、STOP 中であることを確認して書き換えを行ってください。

(PSC 動作中の書き込みは禁止です)

PSC が、PSC コード RAM 領域以外から命令フェッチを行うと、PSC 不当アドレス割り込み要求が出力されます。

9.4.2 PSCデータRAM (Data RAM)(0x4000_D000 0x4000_D7FF)

PSC データ RAM 領域として 2KByte 内蔵しており、CPU からは PSC の AHB-Lite slave I/F を介して R/W 可能であり、PSC からは専用バスを介して R/W が可能です。

PSC データ RAM 領域への R/W は全て 32bit 単位で実行されます。

PSC データ RAM 領域は、CPU とのデータ受け渡しとして利用する領域として使用可能です。

図 10.4.1 に、使用例を示します。CPU の書き込み、PSC の読み出しを専用領域として定義し(本例では 128Byte)、また、CPU の読み出し、PSC の書き込みを専用領域として定義し(本例では、64Byte)て利用する事が可能です。

PSC が、PSC 用領域内の PSC データ RAM 領域以外に R/W を行った場合、PSC 不当アドレス割り込み要求が出力されます。

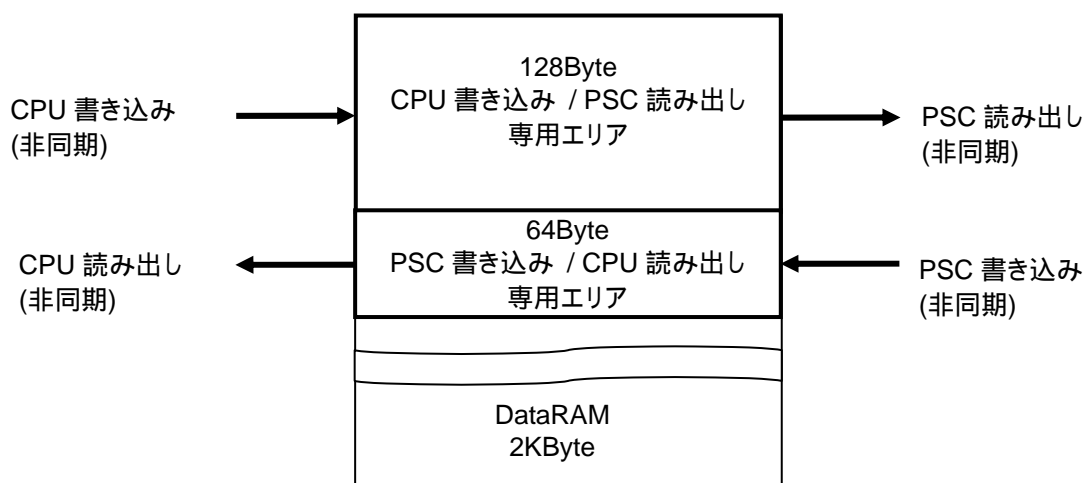


図 9.4.1 CPU / PSC 間、非同期データ受け渡しエリア

9.5 レジスタ説明

PSC は、各種レジスタを具備しています。

- 1) 演算等に使用する、符号を含む 33bit の汎用レジスタ
- 2) アドレスを指定する、32bit アドレスポインタ
- 3) 動作を制御する 32bit コントロールレジスタ
- 4) 内部の状態を示す、32bit フラグレジスタ

一部の制約を除き、CPU からのアクセス、PSC からのアクセスが可能ですが、一部見え方やアクセス方法が異なります。

9.5.1 PSCレジスタ一覧 (CPUから見たレジスタ)

CPU から見た SFR のリストと機能を以下に示します。

表 9.5.1 PSC レジスタ一覧表

Base Address = 0x4000_DC00

Register Name	Address (base+)	Description
UA0	0x0000	アキュムレータ (32bit レジスタ)
UM0	0x0004	乗数レジスタ (32bit レジスタ)
UM1	0x0008	シフト数レジスタ (32bit レジスタ)
UL0	0x000C	リミット上限値レジスタ (32bit レジスタ)
UL1	0x0010	リミット下限値レジスタ (32bit レジスタ)
UR0	0x0014	加減算値レジスタ 0 (32bit レジスタ)
UR1	0x0018	加減算値レジスタ 1 (32bit レジスタ)
SGN	0x001C	演算パラメータ符号レジスタ (32bit レジスタの内 7bit が意味を持つ)
AP0	0x0020	アドレスポインタ 0 (32bit レジスタ)
AP1	0x0024	アドレスポインタ 1 (32bit レジスタ)
AP2	0x0028	アドレスポインタ 2 (32bit レジスタ)
BR0	0x002C	ブレークポインタ (32bit レジスタ)
PG0	0x0030	プログラムポインタ (32bit レジスタ)
VG0	0x0034	繰り返し処理ベクトルポインタ (32bit レジスタ)
	:	reserved
PSCCNT	0x0100	制御レジスタ (32bit レジスタの内 4bit が意味を持つ)
PSCFLG	0x0104	フラグレジスタ (32bit レジスタの内 3bit が意味を持つ)
	:	reserved

9.5.2 PSCレジスタ一覧 (PSCから見たレジスタ)

PSC から見た SFR のリストと機能を以下に示します。

表 9.5.2 PSC レジスタ一覧表

Register Name	Address (PSC 命令フィールド 上の記述)	Description
A0	Rm=0	アキュムレータ(SA0 + UA0) (33bit レジスタ)
M0	Rm=1	乗数レジスタ(SM0 + UM0) (33bit レジスタ)
M1	Rm=2	シフト数レジスタ(SM1 + UM1) (33bit レジスタ)
L0	Rm=3	リミット上限値レジスタ(SL0 + UL0) (33bit レジスタ)
L1	Rm=4	リミット下限値レジスタ(SL1 + UL1) (33bit レジスタ)
R0	Rm=5	加減算値レジスタ 0(SR0 + UR0) (33bit レジスタ)
R1	Rm=6	加減算値レジスタ 1(SR1 + UR1) (33bit レジスタ)
-	Rm=7	reserved (PSC CMP 内部処理に使用) (33bit レジスタ)
AP0	APn=0	アドレスポインタ 0 (32bit レジスタ)
AP1	APn=1	アドレスポインタ 1 (32bit レジスタ)
AP2	APn=2	アドレスポインタ 2 (32bit レジスタ)
BR0	-	ブレークポインタ (PSC 命令ではアクセス不可)
PG0	-	プログラムポインタ (PSC 命令ではアクセス不可)
VG0	-	繰り返し処理ベクトルポインタ (PSC 命令ではアクセス不可)
PSCCNT	-	制御レジスタ (PSC 命令ではアクセス不可)
PSCFLG	-	フラグレジスタ (PSC 命令ではアクセス不可)

9.5.3 レジスタ詳細説明

PSC 内のレジスタの詳細を説明しています。

各々のレジスタは、サイン(符号)を含む 33bit レジスタ(Rm)、とサイン(符号)を含まない 32bit のアドレスポインタ(APn)、及び、内部の状態を示す 32bit のフラグレジスタ、動作を制御する 32bit 制御レジスタに大別されます。

PSC と CPU、2 種類の^{注)}バスマスタからのアクセスには、一部条件と制約があります。

各々のレジスタ毎に、記載しています。

注) 本製品では、CPU,PSC の他にバスマスタ(DMA コントローラ)が存在しますが、CPU、PSC 以外からのアクセスは、サポートしていません。アクセスしないで下さい。

Total bit 数	1bit	32bit	内容	CPU		PSC		初期値
				R	W	R	W	
33	SA0	UA0	アキュムレータ			-		0x00000000

演算結果が格納されるレジスタ。(SA0 + UA0 = A0)

Total bit 数	1bit	32bit	内容	CPU		PSC		初期値
				R	W	R	W	
33	SM0	UM0	乗数レジスタ			-		0x00000000
33	SM1	UM1	シフト数レジスタ			-		0x00000000

MLSH命令で使用されるレジスタ。(A0 × M0) M1の値分算術右シフトに使用。

(SM0 + UM0 = M0, SM1 + UM1 = M1)

M0/M1は、論理命令、シフト命令等、汎用的にも使用される。

Total bit 数	1bit	32bit	内容	CPU		PSC		初期値
				R	W	R	W	
33	SL0	UL0	リミット上限値レジスタ			-		0x00000000
33	SL1	UL1	リミット下限値レジスタ			-		0x00000000

CLAMP命令で使用されるレジスタ。L1 A0 L0 のチェックに使用。

(SL0 + UL0 = L0, SL1 + UL1 = L1)

L0/L1は、論理命令、シフト命令等、汎用的にも使用される。

Total bit 数	1bit	32bit	内容	CPU		PSC		初期値
				R	W	R	W	
33	SR0	UR0	加減算値レジスタ 0			-		0x00000000
33	SR1	UR1	加減算値レジスタ 1			-		0x00000000

ADD/ADD3/SUB命令で使用されるレジスタ。A0 + R0、A0 + R0 + R1、A0 - R0 に使用。

(SR0 + UR0 = R0, SR1 + UR1 = R1)

R0/R1は、論理命令、シフト命令等、汎用的にも使用される。

Total bit 数	32bit	内容	CPU		PSC		初期値
			R	W	R	W	
7	SGN	演算パラメータ符号レジスタ			-	1	0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	09	08	07	06	05	04	03	02	01	00		
									SR1	SR0	SL1	SL0	SM1	SMD	SA0																		

1 33bit 値の MSB として取得

33bitレジスタの符号bitのみを纏めたレジスタ。
CPU命令でR/W可能。

Total bit 数	32bit	内容	CPU		PSC		初期値
			R	W	R	W	
32	AP0	アドレスポインタ 0					PSC データ RAM 領域先頭
32	AP1	アドレスポインタ 1					PSC データ RAM 領域先頭
32	AP2	アドレスポインタ 2					PSC データ RAM 領域先頭

ST、LD命令で使用されるレジスタ。 データメモリのアドレスを示す。
CPU命令でR/W可能。

Total bit 数	32bit	内容	CPU		PSC		初期値
			R	W	R	W	
32	BR0	ブレークポインタ			-	-	0x00000000

ブレーク機能イネーブル時に使用されるレジスタ。 ブレークポイントを設定。ブレークポイントとしては実行後に止めたい命令の先頭アドレスを設定。
CPU命令でのみR/W可能。PSC命令では、R/W不可。

Total bit 数	32bit	内容	CPU		PSC		初期値
			R	W	R	W	
32	PG0	プログラムポインタ			-	-	PSC コード RAM 領域先頭

CPUに依る起動時に、CPU命令で値をセットして起動。 STOP (STARTフラグOFF) 期間にのみCPU命令でセット可能。 PSCのPCとして使用、PSC命令実行ごとに変化。
PSCで意図的に変更できるのは、Jump命令のみ。
CPU命令でのみR/W可能。
PSC命令では、R/W不可。

Total bit 数	32bit	内容	CPU		PSC		初期値
			R	W	R	W	
32	VG0	繰り返し処理 ベクトルポインタ			-	-	PSC コード RAM 領域先頭

タイマに依る繰り返し処理イネーブル(TENB=1)時に、使用されるレジスタ。
 STOP (STARTフラグOFF) 期間にタイマのカウントアップが発生した場合には、このVG0 の値を
 PG0 にコピーする。(プログラム実行中は、TENB=1でも、タイマのカウントアップを無視する。)
 CPU命令でのみR/W可能。
 PSC命令では、R/W不可。

2 状態によってビットがセット/クリアされる

Total bit 数	32bit	内容	CPU		PSC		初期値
			R	W	R	W	
32	PSC CNT	制御レジスタ			-	2	0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	09	08	07	06	05	04	03	02	01	00
						BRK	STEP							TENB	START																

PSC の制御用レジスタ。CPU 命令で R/W 可能。一部 PSC 処理の結果を反映するが、PSC 命令では R/W 不可

BRK: ブレーク機能イネーブル (CPUがセット/クリア)

0:ブレーク機能 OFF

1:ブレーク機能 ON

(PG0 が BR0 に一致した場合に一致したアドレスの命令を実行後にプログラムを停止し、CPUにPSCブレーク割り込み要求を出力。TENBをクリア、PG0は次のアドレスを示して停止)

STEP: ステップ機能イネーブル (CPUがセット/クリア)

0:ステップ機能 OFF

1:ステップ機能 ON(プログラムを1命令実行して停止する。)

CPUにPSCステップ割り込み要求を出力

TENBをクリア。PG0は次のアドレスを示して停止。

ステップ機能はデバッグ機能の1つであり、PSCの起動/停止はSTARTビットで制御する。

TENB: 繰り返し処理イネーブル (CPUがセット/クリア、PSCがクリア)

0:タイマによるプログラム実行OFF

1:タイマによるプログラム実行ON

PSC終了(STOP命令)以外の割り込み要求出力時に、PSCがTENBを0クリアする。

また、PSCプログラム実行中は、TENB=1でも、タイマのカウントアップを無視する。

START: プログラム実行 (CPU、PSCがセット/クリア)

0:プログラムを停止

1:プログラムを実行

下記起動条件が成立するとSTARTビットがセットされ、PG0 からプログラムが実行される。プログラムは下記停止条件が成立すると停止しSTARTビットがクリアされる。

起動条件 CPUからSTARTビットをセットしたとき

タイマによるプログラム実行ON(TENB=1)で、プログラム停止中にタイマ・カウント・アップ時

停止条件 STOP命令を実行した場合

(PSC終了割り込み(intdsstop))

ブレーク機能ON時に、PG0=BR0となった場合

(PSCブレーク割り込み(intdsbrk))

シングルステップ割り込みが発生した場合

(PSCステップ割り込み(intdsstep))

未定義の命令を実行したとき

(PSC不当命令割り込み(intdsii))

未定義アドレスにアクセスしたとき

(PSC不当アドレス割り込み(intdsia))

CPUからSTARTビットをクリアしたとき

これらの割り込み要因が起きた場合、プログラムポインタ(PG0)は、次に実行予定の命令アドレスを示します。

Total bit 数 32	32bit	内容	CPU		PSC		初期値 0x00000000
	PSC FLG	フラグレジスタ	R	W	R	W	

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	09	08	07	06	05	04	03	02	01	00
ZERO								UNDER				OVER																			

PSCのフラグレジスタ。CPU命令でR/W可能。PSCの演算処理の結果でセット/クリア(4)、条件 Jumpで参照(3)するが、PSC命令で直接のR/Wは不可。

ZERO: ゼロフラグ (PSCの演算処理の結果でセット/クリア)
 0: 演算結果がゼロと異なる、またはCMP結果が等しくない場合
 1: 演算結果がゼロ、またはCMP結果が等しい場合
 (ただし、転送命令でレジスタにゼロを転送してもゼロフラグは変化しない。)

UNDER: アンダーフローフラグ (PSCの演算処理の結果でセット/クリア)
 0: 演算結果が正常 (アンダーフローしていない場合)
 1: 演算結果がアンダーフロー

OVER: オーバーフローフラグ (PSCの演算処理の結果でセット/クリア)
 0: 演算結果正常 (オーバーフローしていない場合)
 1: 演算結果オーバーフロー

表 9.5.3 フラグ変化一覧表

命令	命令実行後のフラグ変化		
	ZERO	UNDER	OVER
ADD			
ADD3			
SUB			
CLAMP			
MLSH			
SRL			-
SRA			-
SLL		-	
SLA		-	
ST Rm, (APn)	-		
ST Rm, (APn+)	-		
ST Rm, (APn-)	-		
ST Rm, (APn ± xx)	-		
AND		-	-
OR		-	-
XOR		-	-
ABS		-	-
NOT		-	-
CMP		-	-

表中に無い命令では、フラグは変化しません。
 : セットまたはクリア
 - : 変化しない

9.6 PSCレジスタ転送命令の説明

9.6.1 PSCレジスタ及びPSC用データRAM間の転送

1) 基本動作・概念

PSCによる、PSC内レジスタ PSC用データRAM間の転送は、PSCの専用バスを介してPSCが持つ転送命令(LD、ST)で転送を行います。

CPUからのPSC内レジスタのR/Wは、AHB-Lite slave I/F を介して32bit単位でのみ行う為、32bit+1bitに分割されたレジスタとして見えます。また、33bit目は符号bitですので、その符号bitのみを集めたSGNレジスタからも見る事が出来ます。

2) PSCの転送命令と動き

PSC内の転送は、以下の5つの動きに大別されます。

:33bitの各種レジスタ間の移動	MOV (33bit 33bit)
:即値をAPnに格納	MVI/MVIL(32/16bit 32/16bit)
:各種レジスタを、APメモリにWrite	ST (33bit 32bit)
:APメモリから、33bit各種レジスタにRead	LD (32bit 33bit)
:33bitレジスタと32bitレジスタ間移動	MOV (33bit 32bit or 32bit 33bit)

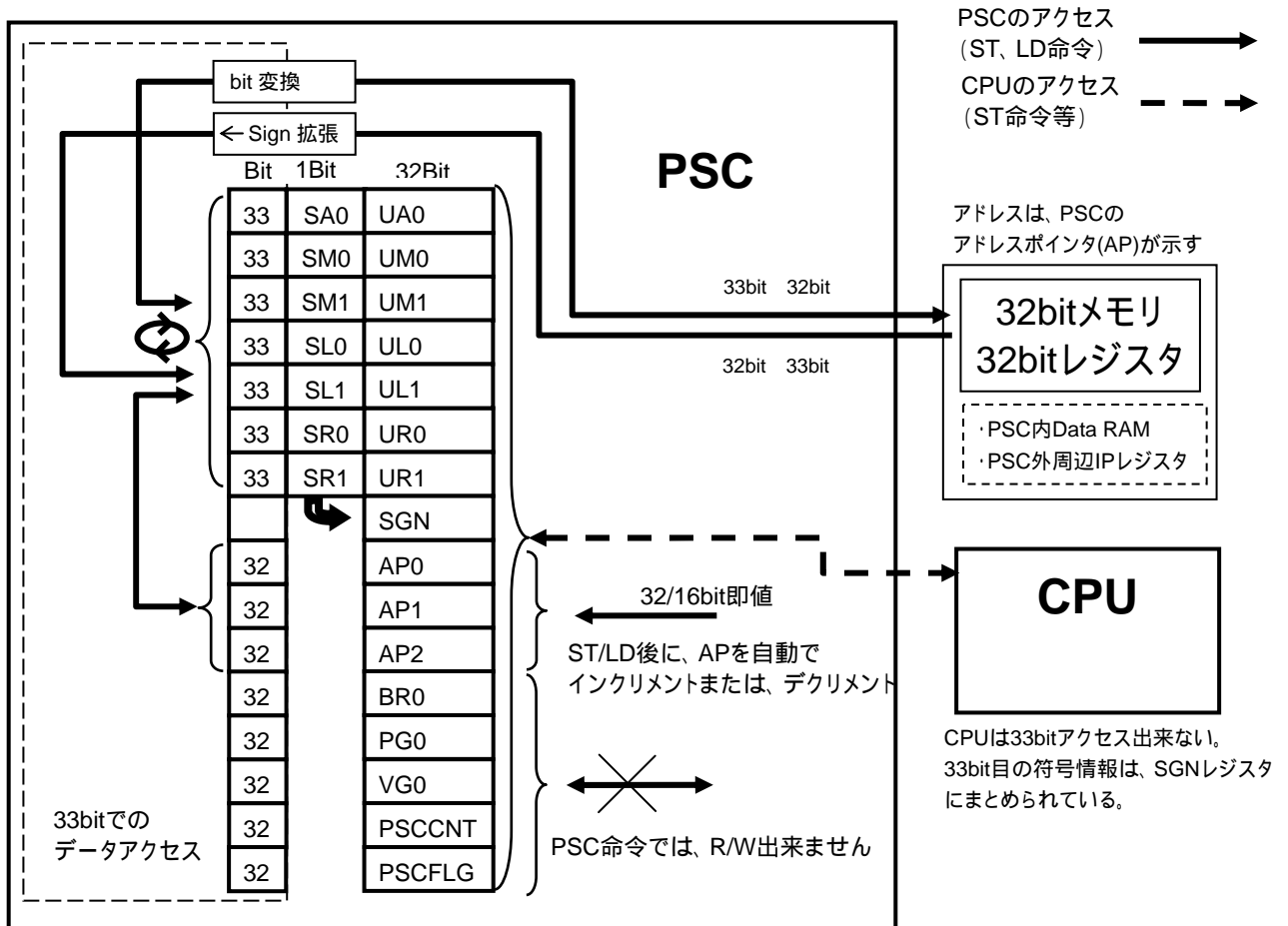


図 9.6.1 PSC レジスタアクセス概念図

9.6.2 PSCデバッグ処理動作フロー

デバッグ機能として、ブレーク実行とステップ実行をサポートしています。

PSC用の専用ICEは存在せず、CPUデバッグ環境上で、CPUの周辺回路と同様にPSC内部のレジスタをモニタすることが出来ます。

・ブレーク

PSCとしてはブレーク機能イネーブル(BRK=1)状態で、PG0がブレークポインタ(BR0)の内容と一致した場合、一致したアドレスの命令を実行後、CPUにPSCブレーク割り込み要求を出力しTENBをクリアします。PG0は次に実行するアドレスを示した状態でPSCは停止します。

この状態で、CPU(のデバッグ)を使用してPSCレジスタの内容を見ながらデバッグを行う。デバッグ処理においてもPSCの起動/停止はSTARTビットで制御する。

・ステップ

PSCとしてはステップ機能イネーブル(STEP=1)状態で、プログラムを1命令実行後、CPUにPSCステップ割り込み要求を出力し、TENBをクリアします。PG0は次に実行するアドレスを示して停止する。

この状態で、CPU(のデバッグ)を使用してPSCレジスタの内容をR/Wしてもらいデバッグを行う。デバッグ処理においてもPSCの起動/停止はSTARTビットで制御する。

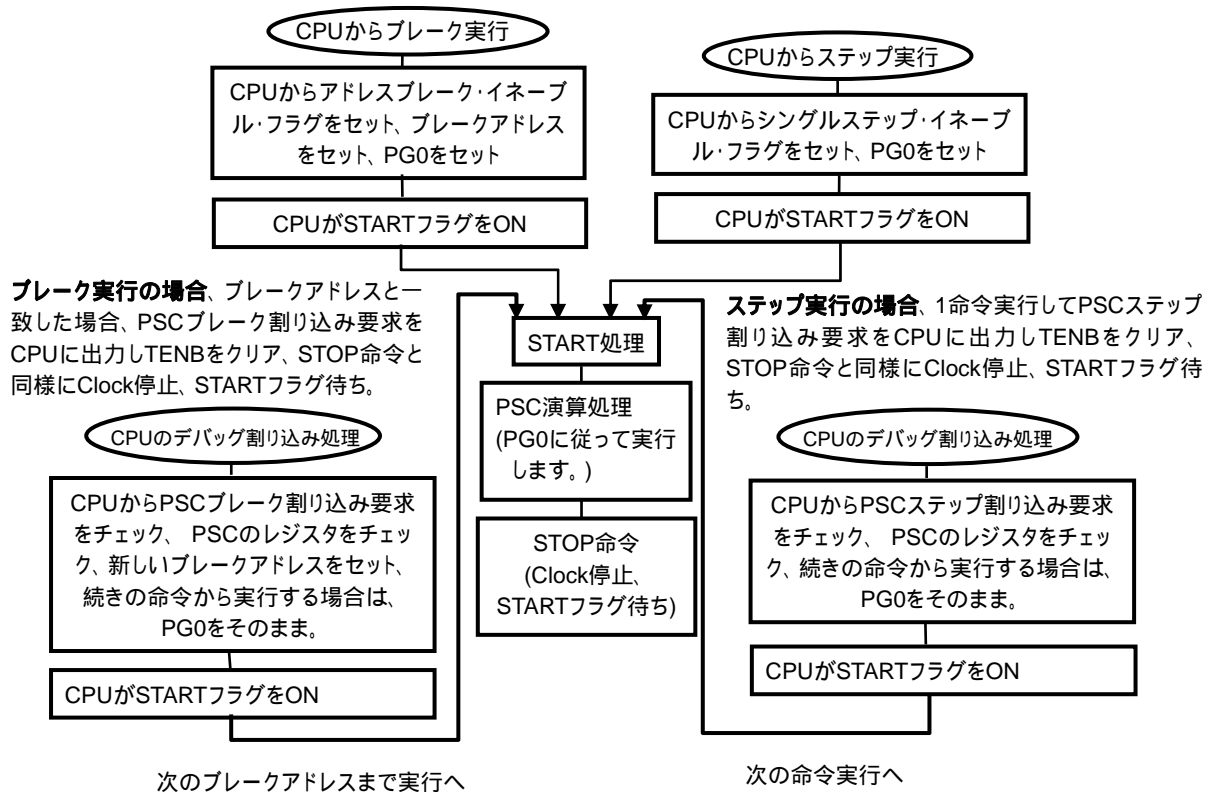


図 9.6.2 デバッグ処理フロー

9.7 割り込み

9.7.1 割り込み処理

PSC は、自身に割り込み処理機能はありません。

9.7.2 割り込み要求

PSC は、CPU に対して、5 種類の割り込み要求を発生させます

PSC は、割り込み要求出力で、TENB をクリアし、PG0 に次に実行するアドレスを示した状態で、自己の動作 Clock を止めて停止します。ただし、PSC 終了割り込み時だけは、次回要求を受け付ける必要がある為、TENB をクリアしません。

以下割り込みの種類と発生条件です。

1) PSC終了割り込み(intdsstop)

・STOP命令を実行した場合

2) PSCブレーク割り込み(intdsbrk)

・ブレーク機能ON時に、PG0=BR0となった場合

3) PSCステップ割り込み(intdsstep)

・ステップ機能イネーブル(STEP=1)状態で、プログラムを1命令実行した場合

4) PSC不当命令割り込み(intdsii): 未定義の命令を実行した場合

(この場合、フラグ、レジスタの値は更新されない)

・CLAMP命令をL1(リミット下限値レジスタ)の値 > L0(リミット上限値レジスタ)の値 の設定で、実行した場合

・MLSH命令を、M1の値が 0 (M1) 33 の範囲外で実行した場合

・予約命令(未定義オペコード命令)を実行した場合

APn、及びRs、Rdとして存在しないレジスタ名を設定した場合は、アセンブラのコンパイラ・エラーになる。もしPSC命令コードのAPnフィールド、及びRmフィールドに直接未定義の数字を設定した場合、その動作は保証されない。

5) PSC不当アドレス割り込み(intdsia): 未定義アドレスにアクセスした場合

・AHB-Liteバスマトリクスからバスサイクルのエラーを受け取った場合

・PSC用領域内のPSCデータRAM領域以外にR/Wを行った場合

・PSCコードRAM 以外の場所に命令フェッチを行った場合

・ST/LD命令、及び CMP命令で使用中のAPnの示すアドレスのBit1,0が00で無い場合

・JMP Imm16で、飛び先アドレスのLSBが0で無い場合

ST/LD 命令のデータメモリアクセスで不当アドレス割り込みが発生した場合は、APn とフラグは演算結果に従って更新されるが、Rm レジスタは更新されない。

9.8 命令セット

9.8.1 命令概略

転送命令(下記13種類) (Rm, Rd, Rs=A0, M0, M1, L0, L1, R0, R1 APn=AP0, AP1, AP2)

MOV	Rd,Rs: (Move Register to Register) Rsの内容をRd(各種レジスタ)に移動 -
MOV	APn,Rs: (Move Register to APn) Rsの内容をAPnに移動 -
MOV	Rd,APn: (Move APn to Register) APnの内容をRdに移動 -
MVI	APn,Imm32: (Move Immediate32) 32bit即値をAPnに格納 -
MVIL	APn,Imm16: (Move Immediate ApnLow) 16bit即値をAPnの下位16bitに格納 -
ST	Rm,(APn): (Store Register to Memory) Rmの内容をAPnの示すメモリ(32bit)に移動し, APnの値は変化しない-
ST	Rm,(APn+): (同上) Rmの内容をAPnの示すメモリ(32bit)に移動し, APnの値を4インクリメントして再格納 -
ST	Rm, (APn-): (同上) Rmの内容をAPnの示すメモリ(32bit)に移動し, APnの値を4デクリメントして再格納 -
ST	Rm,(APn±XX): (同上) Rmの内容をAPnの示すメモリ(32bit)に移動し, APnをXX増減して再格納 -
LD	Rm,(APn): (Load Memory to Register) APnの示すメモリ(32bit)の内容を、各種レジスタに移動し, APnの値は変化しない -
LD	Rm,(APn+): (同上) APnの示すメモリ(32bit)の内容を、各種レジスタに移動し,APnの値を4インクリメントして再格納 -
LD	Rm,(APn-): (同上) APnの示すメモリ(32bit)の内容を、各種レジスタに移動し,APnの値を4デクリメントして再格納 -
LD	Rm,(APn±XX): (同上) APnの示すメモリ(32bit)の内容を、各種レジスタに移動し,APnの値をXX増減して再格納 -

算術命令

MLSH	Rd A0 の値と乗数レジスタの値の積を算出し、シフト数レジスタの値分右シフト後 上下限值チェック後 Rd に格納
ADD	Rd A0 の値と加減算値レジスタ 0 の値を加算し、上下限值チェック後 Rd に格納
ADD3	Rd A0 の値と加減算値レジスタ 0 及び加減算値レジスタ 1 の値を加算し、上下限值チェック後 Rd に格納
SUB	Rd A0 の値から、加減算値レジスタ 0 の値を減算し、上下限值チェック後 Rd に格納
CLAMP	Rd A0 の値を、下限値レジスタ以上であるか、リミット上限値レジスタ以下であるかを チェックし、範囲外の場合は、上下限値を Rd に格納

シフト命令

SRL	Rm,Imm6 Imm6 ビット分、Rm を論理右シフトし、Rm に再格納
SRA	Rm,Imm6 Imm6 ビット分、Rm を算術右シフトし、Rm に再格納
SLL	Rm,Imm6 Imm6 ビット分、Rm を論理左シフトし、Rm に再格納
SLA	Rm,Imm6 Imm6 ビット分、Rm を算術左シフトし、Rm に再格納

論理命令 / 絶対値命令 (33bit 演算)

OR	Rd, Rs Rs(各種レジスタ)と Rd の論理和を Rd に再格納
AND	Rd, Rs Rs(各種レジスタ)と Rd の論理積を Rd に再格納
XOR	Rd, Rs Rs(各種レジスタ)と Rd の排他的論理和を Rd に再格納
NOT	Rd Rd の 1 の補数を Rd に再格納
ABS	Rd Rd の絶対値を Rd に再格納

比較命令	
CMP	Rm,(APn) Rm の値と APn の示すメモリの値(32bit)を 33bit にサイン拡張し比較、等しい場合ゼロフラグをセット、それ以外、ゼロフラグをクリア
分岐命令	
JMP	Imm16 (Jump Immediate16)無条件ジャンプ
条件分岐命令 (フラグレジスタの各フラグの状態でジャンプ)	
JO	2xOffset10 (Jump Overflow) ジャンプ・オーバーフロー
JU	2xOffset10 (Jump Underflow) ジャンプ・アンダーフロー
JZ	2xOffset10 (Jump Zero) ジャンプ・ゼロ
JNZ	2xOffset10 (Jump Not Zero) ジャンプ・NOT・ゼロ
制御命令	
NOP	No Operation
STOP	PSC 処理停止 (演算用 Clock 停止)、START フラグ OFF、CPU に対して PSC 終了割り込み要求を出力

外部モジュールアクセスは、PSC の AHB-Lite master I/F を介して転送命令(ST A0,(APn)等)で行う。外部モジュールへの R/W は 32bit 単位でのみ行われる。

9.8.2 命令オペコード・マップ

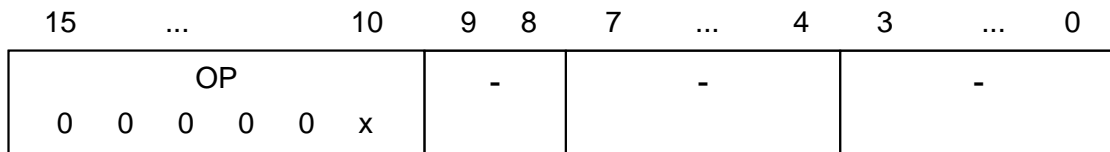
Bit12,11,10 Bit15,14,13	0	1	2	3	4	5	6	7
0	NOP	STOP		ADD Rd	ADD3 Rd	SUB Rd	CLAMP Rd	MLSH Rd
1	SRL Rm,Imm6	SRA Rm,Imm6	SLL Rm,Imm6	SLA Rm,Imm6	JO	JU	JZ	JNZ
2	MOV Rd,Rs	ST Rm,(APn)	LD Rm,(APn)	AND Rd,Rs	OR Rd,Rs	XOR Rd,Rs	ABS Rd	NOT Rd
3	CMP Rm,(APn)	MVI APn,Imm32	MVIL APn,Imm16		JMP Imm16		MOV APn,Rs	MOV Rm,APn
4								
5								
6								
7								

9.8.3 命令クロック数 (内蔵RAM、及び PSCレジスタ アクセス時)

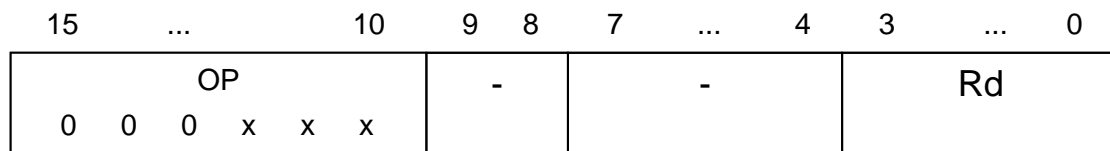
PSC 命令	レイテンシー (クロック)	スループット (クロック)
NOP,STOP,ADD,ADD3,SUB,CLAMP SRL,SRA,SLL,SLA,OR,AND,XOR,NOT,ABS	5	1
MLSH	6	2
CMP	7	3
JO,JU,JZ,JNZ (Jump 条件不成立時)	5	1
JO,JU,JZ,JNZ (Jump 時)	5	2
JMP Imm16 (命令が 32bit 境界内)	5	2
JMP Imm16 (命令が 32bit 境界を跨ぐ場合)	6	3
LD, ST, MOV 系 (Immediate 以外)	5	1
MVI Imm32	6	2
MVIL Imm16 (命令が 32bit 境界内)	5	1
MVIL Imm16 (命令が 32bit 境界を跨ぐ場合)	6	2

9.8.4 命令フォーマット

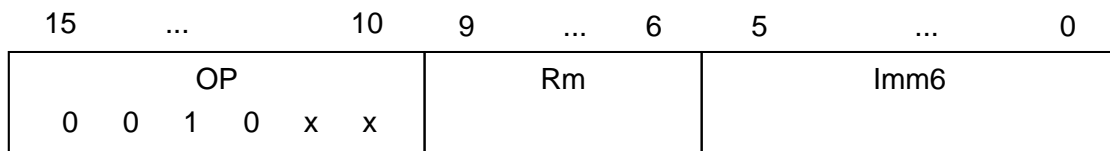
NOP, STOP命令



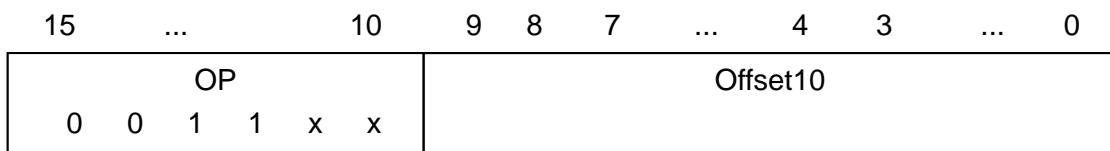
ADD, ADD3, SUB, CLAMP, MLSH命令

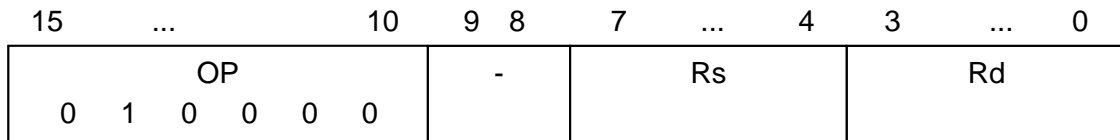
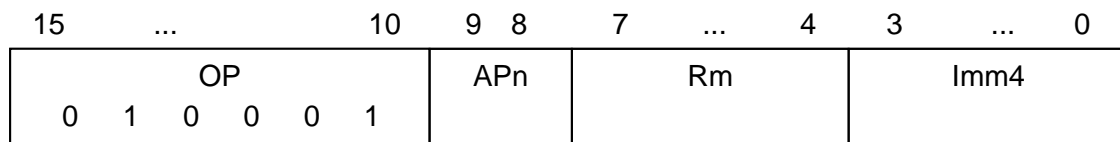
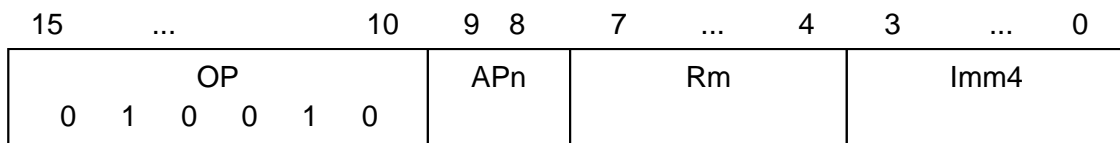
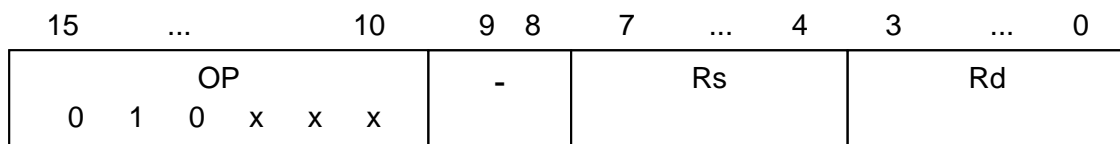
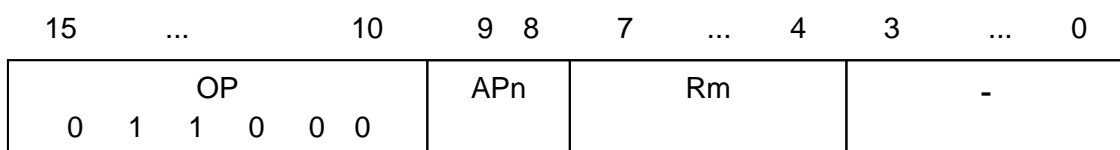


SRL, SRA, SLL, SLA命令

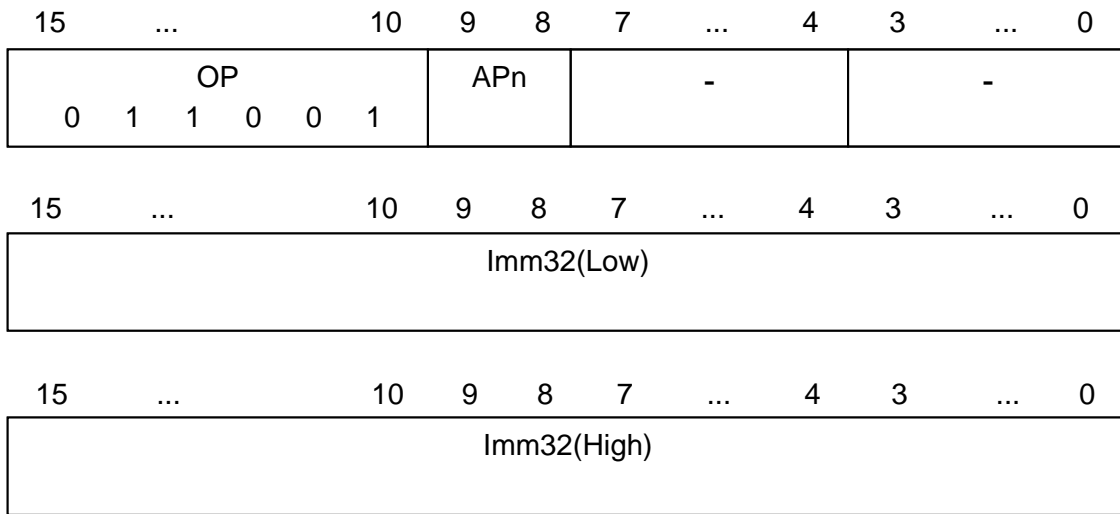


JO, JU, JZ, JNZ命令



MOV Rd, Rs 命令**ST Rm,(APn)命令****LD Rm,(APn)命令****AND, OR, XOR, ABS, NOT命令****CMP命令**

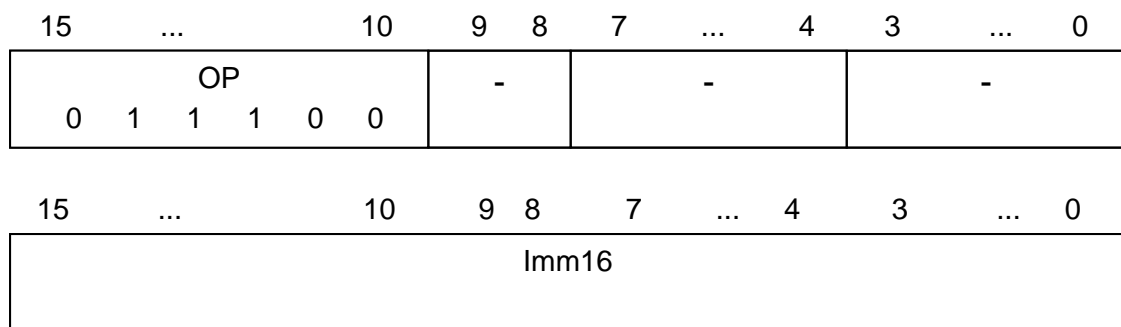
MVI APn,IMM32 命令



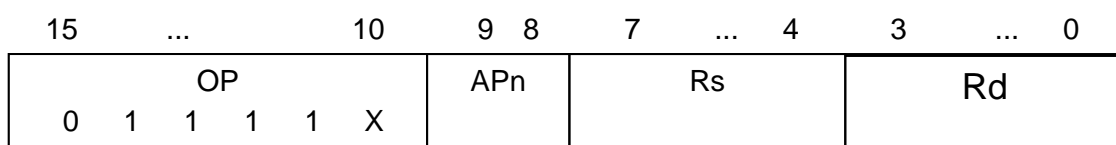
MVIL APn,Imm16 命令



JMP Imm16命令



MOV APn,Rm, MOV Rm,APn命令



9.9 命令セット詳細

NOP: No Operation

15	...	10	9	8	7	...	4	3	...	0
OP			-							
0 0 0 0 0 0										

命令形式: NOP

Program Counter: 2byte Increment

フラグ変化 Z: - U: - O: -

動作説明:

PCのインクリメント以外の処理は無し。

STOP: STOP Operation

15	...	10	9	8	7	...	4	3	...	0
OP			-							
0 0 0 0 0 1										

命令形式: STOP

Program Counter: 2byte Increment

フラグ変化 Z: - U: - O: -

動作説明:

- ・STARTフラグのOFF
- ・PSC終了割り込みの要求
- ・PSC回路内のClockを停止

CPU及び、タイマ起動からのSTARTフラグのON待ち状態にする。

ADD: ADD Operation

15	...	10	9	8	7	...	4	3	...	0
OP			-		-		Rd			
0 0 0 0 1 1										

命令形式: ADD Rd

Program Counter: 2byte Increment

フラグ変化 Z: U: O:

動作説明:

Rd A0 + R0

- ・R0:加減算値レジスタ0
 - ・演算結果が、Rd=0ならば、ゼロフラグをセットします。
 - ・演算結果を、符号付33bitに対して上下限をチェックします
 - 1) オーバーフロー時は、オーバーフローフラグセットし、33bitの最大値をRdに格納。
 - 2) アンダーフロー時は、アンダーフローフラグセットし、33bitの最小値をRdに格納。
- (Rd=A0, M0, M1, L0, L1, R0, R1)

ADD3: ADD3 Operation (3値の加算)

15	...	10	9	8	7	...	4	3	...	0
OP			-		-		Rd			
0 0 0 1 0 0										

命令形式: ADD3 Rd

Program Counter: 2byte Increment

フラグ変化 Z: U: O:

動作説明:

Rd A0 + R0 + R1

- ・R0:加減算値レジスタ0
 - ・R1:加減算値レジスタ1
 - ・演算結果が、Rd=0ならば、ゼロフラグをセットします。
 - ・演算結果、符号付33bitに対して上下限をチェックします
 - 1) オーバーフロー時は、オーバーフローフラグセットし、33bitの最大値をRdに格納。
 - 2) アンダーフロー時は、アンダーフローフラグセットし、33bitの最小値をRdに格納。
- (Rd=A0, M0, M1, L0, L1, R0, R1)

SUB: Subtract Operation

15	...	10	9	8	7	...	4	3	...	0
OP			-	-			Rd			
0 0 0 1 0 1										

命令形式: SUB Rd

Program Counter: 2byte Increment

フラグ変化 Z: U: O:

動作説明:

Rd A0 - R0

- ・R0: 加減算値レジスタ
 - ・演算結果が、Rd=0ならば、ゼロフラグをセットします。
 - ・演算結果を、符号付33bitに対して上下限をチェックします
 - 1) オーバーフロー時は、オーバーフローフラグセットし、33bitの最大値をRdに格納。
 - 2) アンダーフロー時は、アンダーフローフラグセットし、33bitの最小値をRdに格納。
- (Rd=A0, M0, M1, L0, L1, R0, R1)

CLAMP: Clamp Operation

15	...	10	9	8	7	...	4	3	...	0
OP			-	-			Rd			
0 0 0 1 1 0										

命令形式: CLAMP Rd

Program Counter: 2byte Increment

フラグ変化 Z: U: O:

動作説明:

Rd L1 A0 L0 (A0の値をチェックして、結果をRdにセットします)

- ・L1: リミット下限値レジスタ
 - ・L0: リミット上限値レジスタ
 - ・結果が、Rd=0ならば、ゼロフラグをセットします。
 - ・結果が範囲外の場合は、
 - 1) オーバーフロー時は、オーバーフローフラグセットし、L0レジスタの値をRdに格納。
 - 2) アンダーフロー時は、アンダーフローフラグセットし、L1レジスタの値をRdに格納。
 - ・L1>L0の値の設定で、CLAMPを実行した場合、不当命令割り込みを要求。
- (Rd=A0, M0, M1, L0, L1, R0, R1)

MLSH: Multiply & Shift Operation

15	...	10	9	8	7	...	4	3	...	0
OP			-		-		Rd			
0	0	0	1	1	1					

命令形式: MLSH Rd

Program Counter: 2byte Increment

フラグ変化 Z: U: O:

動作説明:

内部66bitレジスタ A0 x M0

Rd 内部66bitレジスタを、M1の値分算術右シフト

- ・M0: 乗数レジスタ
- ・M1: シフト数レジスタ
- ・演算結果が、Rd=0ならば、ゼロフラグをセットします。
- ・演算結果を、符号付33bitに対して上下限をチェックします
 - 1) オーバーフロー時は、オーバーフローフラグセットし、33bitの最大値をRdに格納。
 - 2) アンダーフロー時は、アンダーフローフラグセットし、33bitの最小値をRdに格納。
- ・M1(シフト数レジスタ)は、MLSH命令で使用する場合、0 (M1) 33 の範囲で設定要。
この範囲外の設定でMLSHを実行した場合、不当命令割り込み要求。
(Rd=A0, M0, M1, L0, L1, R0, R1)

SRL: Shift Right Logical

15	...	10	9	...	6	5	...	0
OP			Rm			Imm6		
0	0	1	0	0	0			

命令形式: SRL Rm,Imm6

Program Counter: 2byte Increment

フラグ変化 Z: U: O: -

動作説明:

Rm Rmの値をImm6の示すビット数分、論理右シフト

- ・演算結果が、A0=0ならば、ゼロフラグをセットします。
- ・シフトアウトされる最終bitの値をアンダーフローフラグにセット
(Imm6=0の場合はアンダーフローフラグは変化せず。
Imm6 33で設定、Imm6>33でコンパイルエラーにする。)
(Rm=A0, M0, M1, L0, L1, R0, R1)

SRA: Shift Right Arithmetic

15	...	10	9	...	6	5	...	0
OP			Rm			Imm6		
0	0	1	0	0	1			

命令形式: SRA Rm,Imm6

Program Counter: 2byte Increment

フラグ変化 Z: U: O: -

動作説明:

Rm Rmの値をImm6の示すビット数分、算術右シフト

- ・演算結果が、Rm=0ならば、ゼロフラグをセットします。
- ・シフトアウトされる最終bitの値をアンダーフローフラグにセット
(Imm6=0の場合はアンダーフローフラグは変化せず。
Imm6 33で設定、Imm6>33でコンパイルエラーにする。)
(Rm=A0, M0, M1, L0, L1, R0, R1)

SLL: Shift Left Logical

15	...	10	9	...	6	5	...	0
OP			Rm			Imm6		
0 0 1 0 1 0								

命令形式: SLL Rm,Imm6

Program Counter: 2byte Increment

フラグ変化 Z: U: - O:

動作説明:

Rm Rmの値をImm6の示すビット数分、論理左シフト

- ・演算結果が、Rm=0ならば、ゼロフラグをセットします。
- ・シフトアウトされる最終bitの値をオーバーフローフラグにセット
(Imm6=0の場合はオーバーフローフラグは変化せず)
(Rm=A0 M0 M1 L0 L1 R0 R1)

SLA: Shift Left Arithmetic

15	...	10	9	...	6	5	...	0
OP			Rm			Imm6		
0 0 1 0 1 1								

命令形式: SLA Rm,Imm6

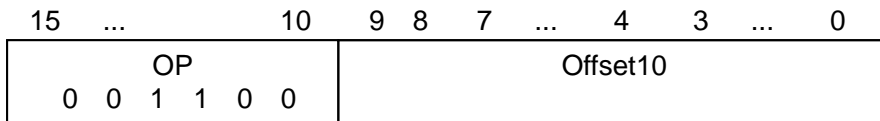
Program Counter: 2byte Increment

フラグ変化 Z: U: - O:

動作説明:

Rm Rmの値をImm6の示すビット数分、算術左シフト

- ・演算結果が、Rm=0ならば、ゼロフラグをセットします。
- ・シフトアウトされる最終bitの値をオーバーフローフラグにセット
(Imm6=0の場合はオーバーフローフラグは変化せず。
Imm6 33で設定、Imm6>33でコンパイルエラーにする。)
(Rm=A0, M0, M1, L0, L1, R0, R1)

JO: Jump Overflow

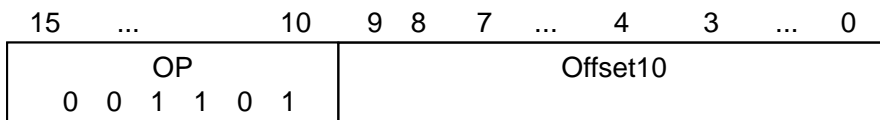
命令形式: JO 2xOffset10

Program Counter: 2byte Increment (Overflow Flag=0)

フラグ変化 Z: - U: - O: -

動作説明:

- ・Overflow Flag=1 で符号拡張されたOffset10 x 2 の示すアドレス分相対JUMP。
- ・(JUMP PC + (Offset10 x 2) = (PC -1024 ~ PC+1022)
Offsetの10bitは、PCからの相対的Jump量で、符号を含むA10 ~ A1を示す

JU: Jump Underflow

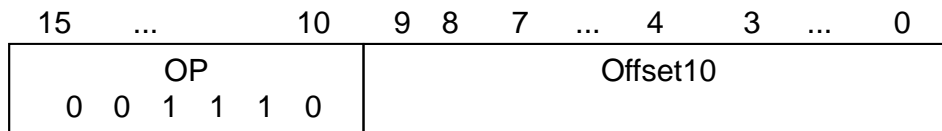
命令形式: JU 2xOffset10

Program Counter: 2byte Increment (Underflow Flag=0)

フラグ変化 Z: - U: - O: -

動作説明:

- ・Underflow Flag=1 で符号拡張されたOffset10 x 2 の示すアドレス分相対JUMP。
- ・(JUMP PC + (Offset10 x 2) = (PC -1024 ~ PC+1022)
Offsetの10bitは、PCからの相対的Jump量で、符号を含むA10 ~ A1を示す

JZ: Jump Zero

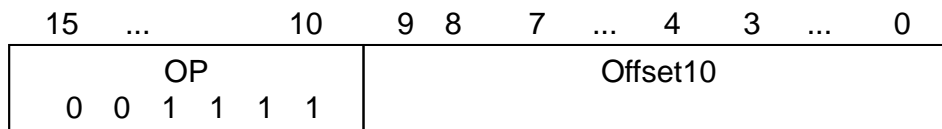
命令形式: JZ 2xOffset10

Program Counter: 2byte Increment (Zero Flag=0)

フラグ変化 Z: - U: - O: -

動作説明:

- ・Zero Flag=1 で符号拡張されたOffset10 x 2 の示すアドレス分相対JUMP。
- ・(JUMP PC + (Offset10 x 2) = (PC -1024 ~ PC+1022)
Offsetの10bitは、PCからの相対的Jump量で、符号を含むA10 ~ A1を示す

JNZ: Jump Not Zero

命令形式: JNZ 2xOffset10

Program Counter: 2byte Increment (Zero Flag=1)

フラグ変化 Z: - U: - O: -

動作説明:

- ・Zero Flag=0 で符号拡張されたOffset10 x 2 の示すアドレス分相対JUMP。
- ・(JUMP PC + (Offset10 x 2) = (PC -1024 ~ PC+1022)
Offsetの10bitは、PCからの相対的Jump量で、符号を含むA10 ~ A1を示す

MOV Rd,Rs Move Register to Register

15	...	10	9	8	7	...	4	3	...	0
OP			-	Rs				Rd		
0	1	0	0	0	0					0

命令形式: MOV Rd,Rs

Program Counter: 2byte Increment

フラグ変化 Z: - U: - O: -

動作説明:

Rd(33bit) Rs(33bit)

・RsからRdの33bitレジスタのみへの転送。32bitレジスタへは転送不可。
 (Rd, Rs =A0, M0, M1, L0, L1, R0, R1)

ST Rm,(APn) Store Register to Memory

15	...	10	9	8	7	...	4	3	...	0
OP			APn		Rm			0 0 0 0		
0	1	0	0	0	0	1				

命令形式: ST Rm,(APn)

Program Counter: 2byte Increment

フラグ変化 Z: - U: O:

動作説明:

- ・Rm(33bit)を APn の示すメモリに Write
- ・Rm は 33bit の符号付 Data の為、32bit メモリへ変換後、Write される。
- ・APn は変化なし

以下変換例

1. Rm > 0x0_7FFF_FFFF の場合
32bit の最大値である 0x7FFF_FFFF をセットし、
同時にオーバーフローフラグセット。(例:0x0_8000_0012)
2. 0x1_8000_0000 Rm 0x0_7FFF_FFFF の場合
0x8000_0000 32bit メモリ 0x7FFF_FFFF
3. Rm < 0x1_8000_0000 の場合
32bit の最小値である 0x8000_0000 をセットし、
同時にアンダーフローフラグをセット。(例:0x1_7FFF_0000)

(APn=AP0, AP1, AP2),(Rm =A0, M0, M1, L0, L1, R0, R1)

ST Rm,(APn+) Store Register to Memory and APn increment

15	...	10	9	8	7	...	4	3	...	0
OP			APn		Rm			0 0 0 1		
0	1	0	0	0	0	1				

Program Counter: 2byte Increment

フラグ変化 Z: - U: O:

動作説明:

- ・Rm(33bit)を APn の示すメモリに Write
- ・Rm は 33bit の符号付 Data の為、32bit メモリへ変換後、Write される。
- ・APn は 4 バイトインクリメント

以下変換例

1. Rm > 0x0_7FFF_FFFF の場合
32bit の最大値である 0x7FFF_FFFF をセットし、
同時にオーバーフローフラグセット。(例:0x0_8000_0012)
2. 0x1_8000_0000 Rm 0x0_7FFF_FFFF の場合
0x8000_0000 32bit メモリ 0x7FFF_FFFF
3. Rm < 0x1_8000_0000 の場合
32bit の最小値である 0x8000_0000 をセットし、
同時にアンダーフローフラグをセット。(例:0x1_7FFF_0000)

(APn=AP0, AP1, AP2),(Rm =A0, M0, M1, L0, L1, R0, R1)

ST Rm,(APn-) Store Register to Memory and APn decrement

15	...	10	9	8	7	...	4	3	...	0
OP			APn		Rm			1 1 1 1		
0	1	0	0	0	0	1				

命令形式: ST Rm,(APn-)

Program Counter: 2byte Increment

フラグ変化 Z: - U: O:

動作説明:

- ・Rm(33bit)を APn の示すメモリに Write
- ・Rm は 33bit の符号付 Data の為、32bit メモリへ変換後、Write される。
- ・APn は 4 バイトデクリメント

以下変換例

1. Rm > 0x0_7FFF_FFFF の場合
32bit の最大値である 0x7FFF_FFFF をセットし、
同時にオーバーフローフラグセット。(例:0x0_8000_0012)
2. 0x1_8000_0000 Rm 0x0_7FFF_FFFF の場合
0x8000_0000 32bit メモリ 0x7FFF_FFFF
3. Rm < 0x1_8000_0000 の場合
32bit の最小値である 0x8000_0000 をセットし、
同時にアンダーフローフラグをセット。(例:0x1_7FFF_0000)

(APn=AP0, AP1, AP2),(Rm =A0, M0, M1, L0, L1, R0, R1)

ST Rm,(APn ± XX) Store Register to Memory and APn increment/decrement

15	...	10	9	8	7	...	4	3	...	0
OP			APn		Rm			Imm4		
0	1	0	0	0	0	1				

命令形式: ST Rm,(APnXX)

Program Counter: 2byte Increment

フラグ変化 Z: - U: O:

動作説明:

- ・Rm(33bit)を APn の示すメモリに Write
- ・Rm は 33bit の符号付 Data の為、32bit メモリへ変換後 Write される。
- ・APn は Imm4 を 4 倍して、インクリメントまたはデクリメント
Imm4: -8 ±XX/4 7
- XXには、Imm4の4倍の値(実際の加減数)を記述する。

以下変換例

1. Rm > 0x0_7FFF_FFFF の場合
32bit の最大値である 0x7FFF_FFFF をセットし、
同時にオーバーフローフラグセット。(例:0x0_8000_0012)
2. 0x1_8000_0000 Rm 0x0_7FFF_FFFF の場合
0x8000_0000 32bit メモリ 0x7FFF_FFFF
3. Rm < 0x1_8000_0000 の場合
32bit の最小値である 0x8000_0000 をセットし、
同時にアンダーフローフラグをセット。(例:0x1_7FFF_0000)

(APn=AP0, AP1, AP2),(Rm =A0, M0, M1, L0, L1, R0, R1)

LD Rm,(APn) Load Memory to Register

15	...	10	9	8	7	...	4	3	...	0
OP		APn			Rm			0 0 0 0		
0	1	0	0	1	0					

命令形式: LD Rm,(APn)

Program Counter: 2byte Increment

フラグ変化 Z: - U: - O: -

動作説明:

Rm APn の示すメモリのデータ

- ・32bit メモリのデータは、単純にサイン拡張され、33bit の Rm に格納。
(32bit 目の Data を、33bit 目にコピーする)
- ・APn は変化なし

以下変換例

1. 32bit メモリ=0x8000_0000 の場合
Rm の値は、0x1_8000_0000
2. 32bit メモリ=0x7FFF_FFFF の場合
Rm の値は、0x0_7FFF_FFFF
3. 32bit メモリ=0x8FFF_FFFF の場合
Rm の値は、0x1_8FFF_FFFF
4. 32bit メモリ=0x0000_1234 の場合
Rm の値は、0x0_0000_1234

(APn=AP0, AP1, AP2),(Rm =A0, M0, M1, L0, L1, R0, R1)

LD Rm,(APn+) Load Memory to Register and APn increment

15	...	10	9	8	7	...	4	3	...	0
OP		APn			Rm			0 0 0 1		
0	1	0	0	1	0					

命令形式: LD Rm,(APn+)

Program Counter: 2byte Increment

フラグ変化 Z: - U: - O: -

動作説明:

Rm APn の示すメモリのデータ

- ・32bit メモリのデータは、単純にサイン拡張され、33bit の Rm に格納。
(32bit 目の Data を、33bit 目にコピーする)
- ・APn は 4 バイトインクリメント

以下変換例

1. 32bit メモリ=0x8000_0000 の場合
Rm の値は、0x1_8000_0000
2. 32bit メモリ=0x7FFF_FFFF の場合
Rm の値は、0x0_7FFF_FFFF
3. 32bit メモリ=0x8FFF_FFFF の場合
Rm の値は、0x1_8FFF_FFFF
4. 32bit メモリ=0x0000_1234 の場合
Rm の値は、0x0_0000_1234

(APn=AP0, AP1, AP2),(Rm =A0, M0, M1, L0, L1, R0, R1)

LD Rm,(APn-) Load Memory to Register and APn decrement

15	...	10	9	8	7	...	4	3	...	0
OP			APn		Rm			1 1 1 1		
0	1	0	0	1	0					

命令形式: LD Rm,(APn-)

Program Counter: 2byte Increment

フラグ変化 Z: - U: - O: -

動作説明:

Rm APn の示すメモリのデータ

- ・32bit メモリのデータは、単純にサイン拡張され、33bit の Rm に格納。(32bit 目の Data を、33bit 目にコピーする)
- ・APn は 4 バイトデクリメント

以下変換例

1. 32bit メモリ=0x8000_0000 の場合
Rm の値は、0x1_8000_0000
2. 32bit メモリ=0x7FFF_FFFF の場合
Rm の値は、0x0_7FFF_FFFF
3. 32bit メモリ=0x8FFF_FFFF の場合
Rm の値は、0x1_8FFF_FFFF
4. 32bit メモリ=0x0000_1234 の場合
Rm の値は、0x0_0000_1234

(APn=AP0, AP1, AP2),(Rm =A0, M0, M1, L0, L1, R0, R1)

LD Rm,(APnXX) Load Memory to Register and APn increment/decrement XX

15	...	10	9	8	7	...	4	3	...	0
OP			APn		Rm			Imm4		
0	1	0	0	1	0					

命令形式: LD Rm,(APnXX)

Program Counter: 2byte Increment

フラグ変化 Z: - U: - O: -

動作説明:

Rm APn の示すメモリのデータ

- ・32bit メモリのデータは、単純にサイン拡張され、33bit の Rm に格納。(32bit 目の Data を、33bit 目にコピーする)
- ・APn は Imm4 を 4 倍して、インクリメントまたはデクリメント
Imm4: -8 XX/4 7
XXには、Imm4の4倍の値(実際の加減数)を記述する。

以下変換例

1. 32bit メモリ=0x8000_0000 の場合
Rm の値は、0x1_8000_0000
2. 32bit メモリ=0x7FFF_FFFF の場合
Rm の値は、0x0_7FFF_FFFF
3. 32bit メモリ=0x8FFF_FFFF の場合
Rm の値は、0x1_8FFF_FFFF
4. 32bit メモリ=0x0000_1234 の場合
Rm の値は、0x0_0000_1234

(APn=AP0, AP1, AP2).(Rm =A0, M0, M1, L0, L1, R0, R1)

AND

15	...	10	9	8	7	...	4	3	...	0
OP					-	Rs			Rd	
0	1	0	0	1	1					

命令形式: AND Rd,Rs

Program Counter: 2byte Increment

フラグ変化 Z: U: - O: -

動作説明:

Rd Rd と Rs の論理積 (AND)

・演算結果が、Rd=0 ならば、ゼロフラグをセットします。

(Rd, Rs=A0, M0, M1, L0, L1, R0, R1)

OR

15	...	10	9	8	7	...	4	3	...	0
OP					-	Rs			Rd	
0	1	0	1	0	0					

命令形式: OR Rd,Rs

Program Counter: 2byte Increment

フラグ変化 Z: U: - O: -

動作説明:

Rd Rd と Rs の論理和 (OR)

・演算結果が、Rd=0 ならば、ゼロフラグをセットします。

(Rd, Rs=A0, M0, M1, L0, L1, R0, R1)

XOR

15	...	10	9	8	7	...	4	3	...	0	
OP						-	Rs			Rd	
0	1	0	1	0	1						

命令形式: XOR Rd, Rs

Program Counter: 2byte Increment

フラグ変化 Z: U: - O: -

動作説明:

Rd Rd と Rs の排他的論理和 (XOR)

・演算結果が、Rd=0 ならば、ゼロフラグをセットします。
 (Rd, Rs=A0, M0, M1, L0, L1, R0, R1)

ABS

15	...	10	9	8	7	...	4	3	...	0
OP						-	-		Rd	
0	1	0	1	1	0					

命令形式: ABS Rd

Program Counter: 2byte Increment

フラグ変化 Z: U: - O: -

動作説明:

Rd Rd の絶対値 (|Rd|)

・演算結果が、Rd=0 ならば、ゼロフラグをセットします。
 (Rd, Rs=A0, M0, M1, L0, L1, R0, R1)

NOT

15	...	10	9	8	7	...	4	3	...	0
OP			-		-			Rd		
0	1	0	1	1	1					

命令形式: NOT Rd

Program Counter: 2byte Increment

フラグ変化 Z: U: - O: -

動作説明

Rd Rd の 1 の補数 (Not)

・演算結果が、Rd=0 ならば、ゼロフラグをセットします。

(Rd=A0, M0, M1, L0, L1, R0, R1)

CMP Compare

15	...	10	9	8	7	...	4	3	...	0
OP			APn		Rm			-		
0	1	1	0	0	0					

命令形式: CMP Rm,(APn)

Program Counter: 2byte Increment

フラグ変化 Z: U: - O: -

動作説明

Rm と APn の示すメモリのデータの比較

・32bit メモリのデータは、単純にサイン拡張されます。

(32bit 目の Data を、33bit 目にコピーする)

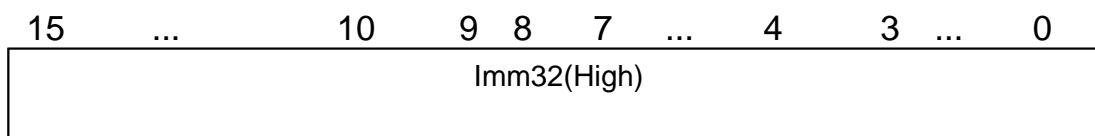
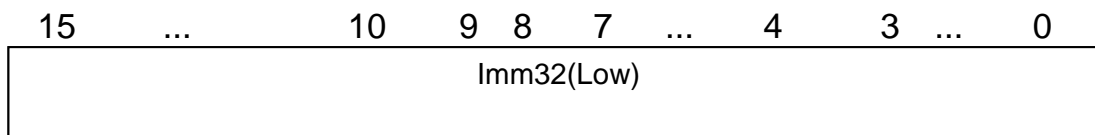
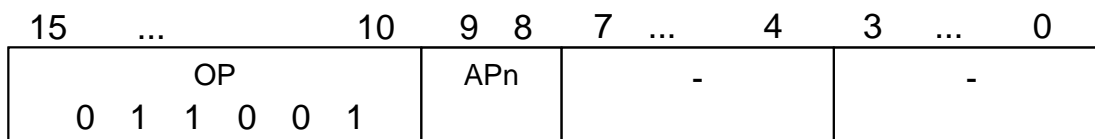
・Rm 内の 33bitData と比較され、等しい場合のみ、ゼロフラグをセットし、

それ以外の場合はゼロフラグをクリアします。Rm の内容は変化しません。

以下変換例

- 32bit メモリ=0x8000_0000 の場合
Rm の値は、0x1_8000_0000 にサイン拡張され比較されます。
- 32bit メモリ=0x7FFF_FFFF の場合
Rm の値は、0x0_7FFF_FFFF にサイン拡張され比較されます。
- 32bit メモリ=0x8FFF_FFFF の場合
Rm の値は、0x1_8FFF_FFFF にサイン拡張され比較されます。
- 32bit メモリ=0x0000_1234 の場合
Rm の値は、0x0_0000_1234 にサイン拡張され比較されます。

(APn=AP0, AP1, AP2),(Rm =A0, M0, M1, L0, L1, R0, R1)

MVI Move Immediate32

命令形式: MVI Apn,Imm32
Program Counter: 6byte Increment
フラグ変化 Z: - U: - O: -

動作説明

APn 32bit 即値(Imm32)

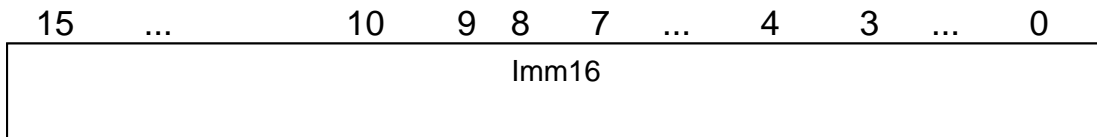
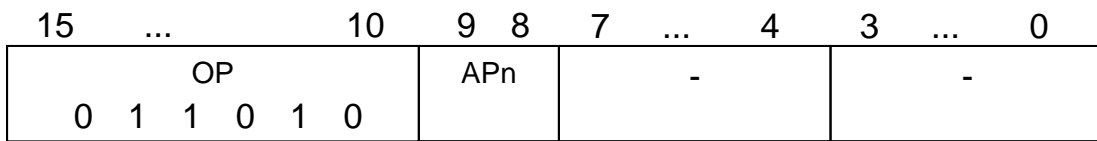
・アドレスポインタを設定します

・**LSB の 2bit、(Imm32(Low)の bit1 と bit0)には"0"をセットしてください。**

(本命令自体は、任意(00以外)に設定可能ですが、LD、ST等、で使用中のAPnの示すアドレスが、Bit1,0が00で無い場合、PSC不当アドレス割り込み要求をCPUに対して出力します)

(APn=AP0, AP1, AP2)

MVIL Move Immediate APnLow

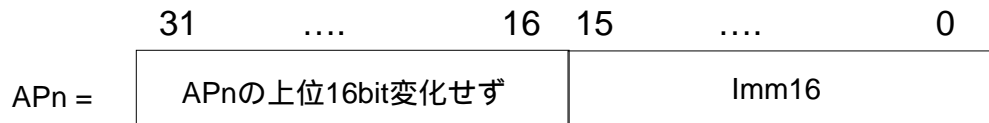


命令形式: MVIL APn,Imm16
 Program Counter: 4byte Increment
 フラグ変化 Z: - U: - O: -

動作説明

APn 16bit 即値(Imm16)

- ・アドレスポインタの下位 16bit を設定します
- ・**LSB の 2bit、(Imm16(Low)の bit1 と bit0)には"0"をセットしてください。**
 (本命令自体は、任意(00以外)に設定可能ですが、LD、ST等、で使用中のAPnの示すアドレスが、Bit1,0が00で無い場合、PSC不当アドレス割り込み要求をCPUに対して出力します)
 (APn=AP0, AP1, AP2)



JMP Jump Immediate16

命令形式: JMP Imm16 (またはラベル)

Program Counter: 4byte Increment

フラグ変化 Z: - U: - O: -

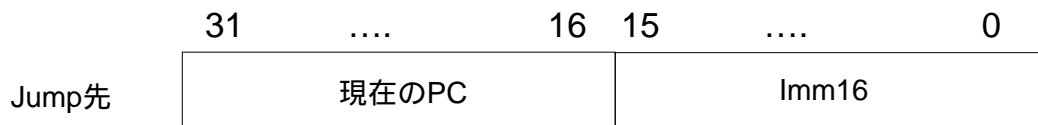
動作説明

無条件ジャンプ

・上位 16bit は、PC の値そのまま、下位 16bit は即値(Imm16)を使用して、Jump 先の 32bit アドレスを生成します。

・**LSB (Imm16(Low)の bit0)には"0"をセットしてください。**

(Bit0が0で無い場合、PSC不当アドレス割り込み要求をCPUに対して出力します)



MOV APn,Rs Move Rs to APn

15	...	10	9	8	7	...	4	3	...	0
OP					APn	Rs			-	
0	1	1	1	1	0					

命令形式: MOV APn,Rs
 Program Counter: 2byte Increment
 フラグ変化 Z: - U: - O: -

動作説明

APn Rs

・Rs の MSB(33bit 目: サインビット)を削除した値を APn にセットします。
 (APn=AP0, AP1, AP2),(Rs =A0, M0, M1, L0, L1, R0, R1)

MOV Rd,APn Move APn to Rd

15	...	10	9	8	7	...	4	3	...	0
OP					APn	-			Rd	
0	1	1	1	1	1					

命令形式: MOV Rd,APn
 Program Counter: 2byte Increment
 フラグ変化 Z: - U: - O: -

動作説明

Rd APn

・32bit の APn は、単純にサイン拡張されます。
 (32bit 目の Data を、33bit 目にコピーする)

以下変換例

1. APn=0x8000_0000 の場合
Rd の値は、0x1_8000_0000
2. APn=0x7FFF_FFFF の場合
Rd の値は、0x0_7FFF_FFFF
3. APn=0x8FFF_FFFF の場合
Rd の値は、0x1_8FFF_FFFF
4. APn=0x0000_1234 の場合
Rd の値は、0x0_0000_1234

(APn=AP0, AP1, AP2),(Rd =A0, M0, M1, L0, L1, R0, R1)

第 10 章 DMA コントローラ (DMAC)

10.1 概要

主な機能を以下に説明します。

表 10-1 DMA 概要

項目	機能		概要
チャンネル数	4ch(2 ユニット)		DMACA × 2ch , DMACB × 2ch
スタートトリガ	ハードウェアでスタート		周辺 IP の DMA 要求に対応
	ソフトウェアでスタート		DMACSoftBReq レジスタへのライトで起動
バスマスタ	32bit × 1 (AHB)		
プライオリティ	(高)DMACA ch0 > DMACA ch1 > DMACB ch0 > DMACB ch1(低)		ハードウェア固定
FIFO	DMACA:4word × 2ch DMACB:4word × 2ch		
バス幅	8/16/32bit		転送元側、転送先側で別々に設定可能
バーストサイズ	1/4/8/16/32/64/128/256		
転送回数	~4095 回		
アドレス	転送元アドレス	incr / no-incr	Source と Destination のアドレスは increment するか No-increment (固定) かを選択できます。(アドレス wrapping は非サポート)
	転送先アドレス	incr / no-incr	
エンディアン	リトルエンディアンのみサポート		
転送タイプ	周辺回路 (レジスタ) → メモリ メモリ → 周辺回路 (レジスタ) メモリ → メモリ 周辺回路 (レジスタ) → 周辺回路 (レジスタ)		メモリ → メモリを選択した場合、DMA 起動のハードウェアスタートはサポートしていません。 詳細は DMACCxConfiguration レジスタを参照してください。
割込み機能	転送終了割込み (INTDMACATC, INTDMACBTC) エラー割込み (INTDMACAERR, INTDMACBERR)		
特殊機能	Scatter/gather 機能		

注) 1 word = 32bit

10.2 DMA 転送タイプ

表 10-2 DMA 転送タイプ

	DMA 転送方向	DMA 要求を出す回路	使用可能の DMA 要求 (注 3)	説明		
1	メモリ → 周辺回路	周辺回路	バースト要求	1) 全てバースト要求を使用 2) 転送はシングル要求時、DMAC のバーストを 1 に設定してください		
2	周辺回路 → メモリ	周辺回路	バースト要求 / シングル要求 (注 1)	データ転送量がバーストサイズの整数倍ではない時、バーストおよびシングル両方を使います。 • 残る転送データの量 ≥ バーストサイズ: バースト転送を使用 • 残る転送データの量 < バーストサイズ: シングル転送を使用		
3	メモリ → メモリ	DMAC	None	開始条件: DMAC の要求は必要なく、DMAC を Enable するとデータ転送が開始します。 停止条件: • 全て転送データが転送完了 • DMAC チャンネルを Disable(注 2)		
4	周辺回路 → 周辺回路	ソース 周辺回路	バースト要求 / シングル要求 (注 1)	転送サイズ	ソース側	デスティネーション側
		デスティネーション 周辺回路	バースト要求	バーストの整数倍	バースト要求	バースト要求
				シングル転送	シングル要求	
				バーストの整数倍でない	バースト要求 / シングル要求	

注 1) シングル要求が対応する周辺回路: SSP

注 2) 推奨: メモリ メモリを使用して、(大量) データを転送する場合、低い Priority のチャンネル (DMAC1) を使用することによって、転送途中でも他の AHB マスタがバス権を取ることが可能です。DMAC1 以外のチャンネルを使用する場合は転送終了まで待つ必要があります。

注 3) 使用可能の DMA 要求: 表 10-3 参照

周辺回路 → 周辺回路の DMA 転送が対応する周辺回路を下記に示します。

ソースアドレス		デスティネーションアドレス	ソースアドレス		デスティネーションアドレス	
IO	~	IO				
IO	~	SCxBUF	SCxBUF	~	IO	
IO	~	ADREGx	ADREGx	~	IO	(x=00~15)
IO	~	ADREGSP	ADREGSP	~	IO	
IO	~	ADCMP0/1	ADCMP0/1	~	IO	
IO	~	TBxREG0/1	TBxREG0/1	~	IO	(x=0~9)
IO	~	TBxCP0/1	TBxCP0/1	~	IO	(x=0~9)
IO	~	TDxRG0/1/2/3/4	TDxRG0/1/2/3/4	~	IO	(x=0,1)
IO	~	TD0RG5	TD0RG5	~	IO	

10.3 ブロック図

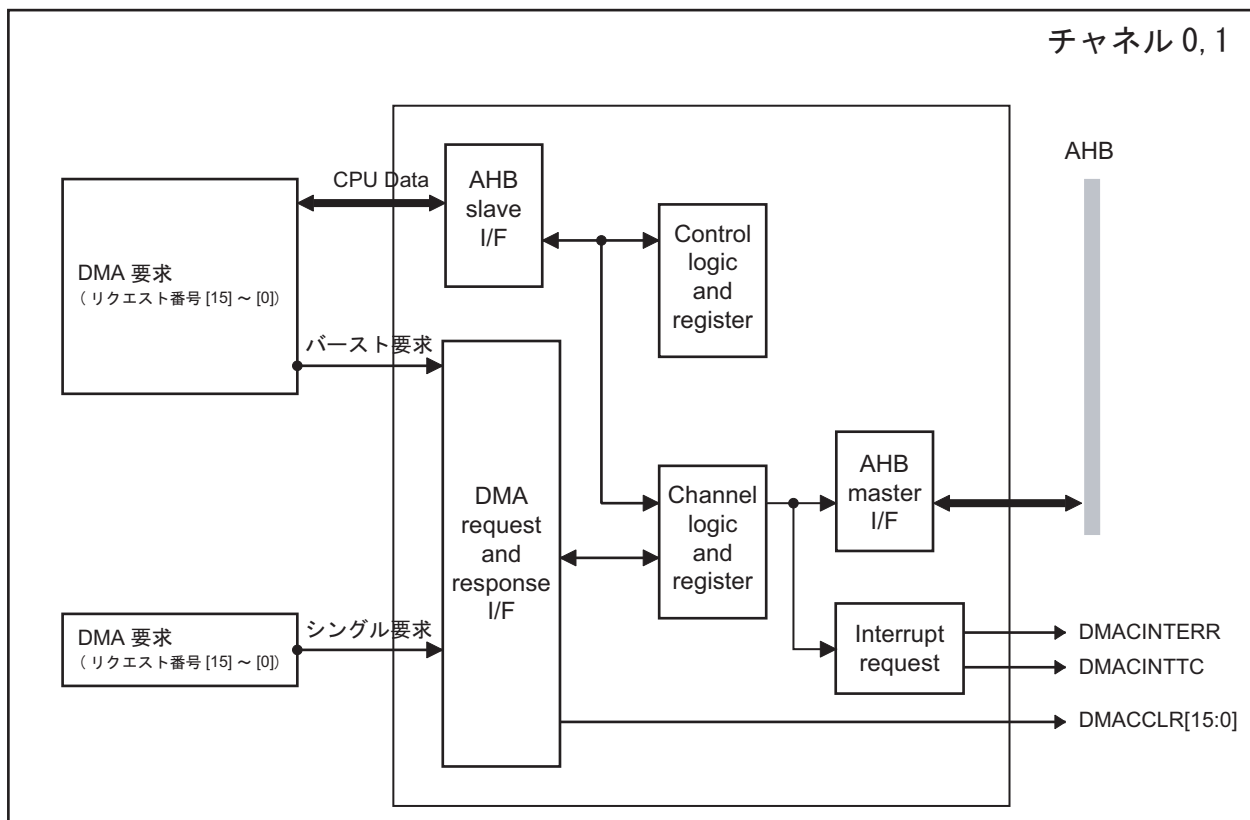


図 10-1 DMAC ブロック図

表 10-3 DMA リクエスト番号

DMA リクエスト 番号	対応するペリフェラル			
	ユニット A (DMACA ch0,ch1)		ユニット B (DMACB ch0,ch1)	
	バースト	シングル	バースト	シングル
0	UART 受信	UART 受信	SIO0/UART0 受信	-
1	UART 送信	UART 送信	SIO0/UART0 送信	-
2	SIO1/UART1 受信	-	SIO2/UART2 受信	-
3	SIO1/UART1 送信	-	SIO2/UART2 送信	-
4	TMRD UnitB コンパレータ 00 一致	-	TMRD UnitA コンパレータ 00 一致	-
5	TMRD UnitB コンパレータ 10 一致	-	TMRD UnitA コンパレータ 10 一致	-
6	通常 12bitAD 変換終了 (unitA)	-	通常 12bitAD 変換終了 (unitB)	-
7	最優先 12bitAD 変換終了 (unitA)	-	最優先 12bitAD 変換終了 (unitB)	-
8	2 相パルスカウンタ 0(PHC0) 周期 0	-	2 相パルスカウンタ 1(PHC1) 周期 0	-
9	2 相パルスカウンタ 0(PHC0) 周期 1	-	2 相パルスカウンタ 1(PHC1) 周期 1	-
10	2 相パルスカウンタ 0(PHC0) 周期 2	-	2 相パルスカウンタ 1(PHC1) 周期 2	-
11	2 相パルスカウンタ 0(PHC0) 周期 3	-	2 相パルスカウンタ 1(PHC1) 周期 3	-
12	TMRB4 コンペアレジスタ 1 一致	-	通常 $\Sigma\Delta$ AD 変換終了	-
13	TMRB6 コンペアレジスタ 1 一致	-	最優先 $\Sigma\Delta$ AD 変換終了	-
14	可変長 SIO(VSIO) 受信	-	SSP 送信	SSP 送信
15	可変長 SIO(VSIO) 送信	-	SSP 受信	SSP 受信

10.4 レジスタの説明

10.4.1 DMAC レジスタ一覧

SFR のリストと機能を以下に示します。

Unit x	Base Address
ユニット A	0x4000 _ 0000
ユニット B	0x4000 _ 1000

レジスタ名		Address(Base+)
DMAC Interrupt Status Register	DMACxIntStaus	0x0000
DMAC Interrupt Terminal Count Status Register	DMACxIntTCStatus	0x0004
DMAC Interrupt Terminal Count Clear Register	DMACxIntTCClear	0x0008
DMAC Interrupt Error Status Register	DMACxIntErrorStatus	0x000C
DMAC Interrupt Error Clear Register	DMACxIntErrClr	0x0010
DMAC Raw Interrupt Terminal Count Status Register	DMACxRawIntTCStatus	0x0014
DMAC Raw Error Interrupt Status Register	DMACxRawIntErrorStatus	0x0018
DMAC Enabled Channel Register	DMACxEnbldChns	0x001C
DMAC Software Burst Request Register	DMACxSoftBReq	0x0020
DMAC Software Single Request Register	DMACxSoftSReq	0x0024
Reserved	-	0x0028
Reserved	-	0x002C
DMAC Configuration Register	DMACxConfiguration	0x0030
Reserved	-	0x0034
DMAC Channel0 Source Address Register	DMACxC0SrcAddr	0x0100
DMAC Channel0 Destination Address Register	DMACxC0DestAddr	0x0104
DMAC Channel0 Linked List Item Register	DMACxC0LLI	0x0108
DMAC Channel0 Control Register	DMACxC0Control	0x010C
DMAC Channel0 Configuration Register	DMACxC0Configuration	0x0110
DMAC Channel1 Source Address Register	DMACxC1SrcAddr	0x0120
DMAC Channel1 Destination Address Register	DMACxC1DestAddr	0x0124
DMAC Channel1 Linked List Item Register	DMACxC1LLI	0x0128
DMAC Channel1 Control Register	DMACxC1Control	0x012C
DMAC Channel 1 Configuration Register	DMACxC1Configuration	0x0130

注 1) 上記レジスタはワード (32bit) アクセスのみとなります。

注 2) "Reserved" 表記のアドレスにはアクセスしないでください。

注 3) チャンネルごとにレジスタが用意されているものに関しては、チャンネルの構造が同じ場合、レジスタ詳細説明において、ユニット名をあらわす部分を "x"、チャンネル番号をあらわす部分を "n" で表現しています。

10.4.2 DMACxIntStatus (DMAC Interrupt Status Register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	IntStatus1	IntStatus0
リセット後	不定	不定	不定	不定	不定	不定	0	0

Bit	Bit Symbol	Type	機能
31-2	-	W	"0" をライトしてください。
1	IntStatus1	R	DMAC チャンネル 1 の割込み発生状態 0: 割込み要求無し 1: 割込み要求有り 転送終了割込み許可レジスタおよびエラー割込み許可レジスタを経由した後の DMAC 割込み発生状態を示します。転送エラー、カウンタ終了のどちらでも割込み要求が発生します。
0	IntStatus0	R	DMAC チャンネル 0 の割込み発生状態 0: 割込み要求無し 1: 割込み要求有り 転送終了割込み許可レジスタおよびエラー割込み許可レジスタを経由した後の DMAC 割込み発生状態を示します。転送エラーか、カウンタ終了か、どちらでも割込み要求が発生します。

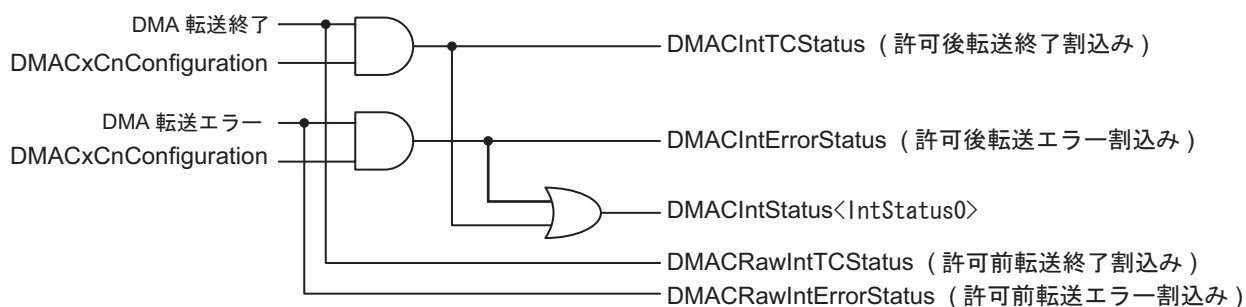


図 10-2 割込み関連ブロック図

10.4.3 DMACxIntTCStatus (DMAC Interrupt Terminal Count Status Register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	IntTCStatus1	IntTCStatus0
リセット後	不定	不定	不定	不定	不定	不定	0	0

Bit	Bit Symbol	Type	機能
31-2	-	W	"0" をライトしてください。
1	IntTCStatus1	R	DMAC チャンネル 1 の転送終了割り込み発生状態 0: 割り込み要求無し 1: 割り込み要求有り 許可後の転送終了割り込み発生状態を示します。
0	IntTCStatus0	R	DMAC チャンネル 0 の転送終了割り込み発生状態 0: 割り込み要求無し 1: 割り込み要求有り 許可後の転送終了割り込み発生状態を示します。

10.4.4 DMACxIntTCClear (DMAC Interrupt Terminal Count Clear Register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	IntTCClear1	IntTCClear0
リセット後	不定	不定	不定	不定	不定	不定	0	0

Bit	Bit Symbol	Type	機能
31-2	-	W	"0" をライトしてください。
1	IntTCClear1	W	DMAC チャンネル 1 の転送終了割込みクリア 0: 無効 1: クリア "1" をライトすると DMACIntTCStatus<IntTCStatus1> がクリアされます。
0	IntTCClear0	W	DMAC チャンネル 0 の転送終了割込みクリア 0: 無効 1: クリア "1" をライトすると DMACIntTCStatus<IntTCStatus0> がクリアされます。

10.4.5 DMACxIntErrorStatus (DMAC Interrupt Error Status Register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	IntErrStatus1	IntErrStatus0
リセット後	不定	不定	不定	不定	不定	不定	0	0

Bit	Bit Symbol	Type	機能
31-2	-	W	"0" をライトしてください。
1	IntErrStatus1	R	DMAC チャンネル 1 のエラー割込み発生状態 0: 割込み要求無し 1: 割込み要求有り 許可後のエラー割込み発生状態を示します。
0	IntErrStatus0	R	DMAC チャンネル 0 のエラー割込み発生状態 0: 割込み要求無し 1: 割込み要求有り 許可後のエラー割込み発生状態を示します。

10.4.6 DMACxIntErrClr (DMAC Interrupt Error Clear Register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	IntErrClr1	IntErrClr0
リセット後	不定	不定	不定	不定	不定	不定	0	0

Bit	Bit Symbol	Type	機能
31-2	-	W	"0" をライトしてください。
1	IntErrClr1	W	DMAC チャンネル 1 のエラー割込みクリア 0: 無効 1: クリア "1" をライトすると DMACIntErrorStatus<IntErrStatus1> がクリアされます。
0	IntErrClr0	W	DMAC チャンネル 0 のエラー割込みクリア 0: 無効 1: クリア "1" をライトすると DMACIntErrorStatus<IntErrStatus0> がクリアされます。

10.4.7 DMACxRawIntTCStatus (DMAC Raw Interrupt Terminal Count Status Register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	RawIntTCS1	RawIntTCS0
リセット後	不定	不定	不定	不定	不定	不定	0	0

Bit	Bit Symbol	Type	機能
31-2	-	W	"0" をライトしてください。
1	RawIntTCS1	R	DMAC チャンネル 1 の許可前転送終了割り込み発生状態 0: 割り込み要求無し 1: 割り込み要求有り 許可前の転送終了割り込み発生状態を示します。
0	RawIntTCS0	R	DMAC チャンネル 0 の許可前転送終了割り込み発生状態 0: 割り込み要求無し 1: 割り込み要求有り 許可前の転送終了割り込み発生状態を示します。

10.4.8 DMACxRawIntErrorStatus (DMAC Raw Error Interrupt Status Register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	RawIntErrS1	RawIntErrS0
リセット後	不定	不定	不定	不定	不定	不定	0	0

Bit	Bit Symbol	Type	機能
31-2	-	W	"0" をライトしてください。
1	RawIntErrS1	R	DMAC チャンネル 1 の許可前エラー割込み発生状態 0: 割込み要求無し 1: 割込み要求有り
0	RawIntErrS0	R	DMAC チャンネル 0 の許可前エラー割込み発生状態 0: 割込み要求無し 1: 割込み要求有り

10.4.9 DMACxEnblDChns (DMAC Enabled Channel Register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	EnabledCH1	EnabledCH0
リセット後	不定	不定	不定	不定	不定	不定	0	0

Bit	Bit Symbol	Type	機能
31-2	-	W	"0" をライトしてください。
1	EnabledCH1	R	DMAC チャンネル 1 の許可状態 0: DMA 転送終了時クリア 1: チャンネル 1 許可状態
0	EnabledCH0	R	DMAC チャンネル 0 の許可状態 0: DMA 転送終了時クリア 1: チャンネル 0 許可状態

10.4.10 DMACxSoftBReq (DMAC Software Burst Request Register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	SoftBReq15	SoftBReq14	SoftBReq13	SoftBReq12	SoftBReq11	SoftBReq10	SoftBReq9	SoftBReq8
リセット後	0	不定	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SoftBReq7	SoftBReq6	SoftBReq5	SoftBReq4	SoftBReq3	SoftBReq2	SoftBReq1	SoftBReq0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	W	"0" をライトしてください。
15	SoftBReq15	R/W	ソフトウェアによる DMA バースト要求 (リクエスト番号 [15]) の発生 リード時 0: DMA バースト停止中 1: DMA バースト実行中 ライト時 0: 無効 1: DMA バースト要求の発生
14	SoftBReq14	R/W	ソフトウェアによる DMA バースト要求 (リクエスト番号 [14]) の発生 リード時 0: DMA バースト停止中 1: DMA バースト実行中 ライト時 0: 無効 1: DMA バースト要求の発生
13	SoftBReq13	R/W	ソフトウェアによる DMA バースト要求 (リクエスト番号 [13]) の発生 リード時 0: DMA バースト停止中 1: DMA バースト実行中 ライト時 0: 無効 1: DMA バースト要求の発生
12	SoftBReq12	R/W	ソフトウェアによる DMA バースト要求 (リクエスト番号 [12]) の発生 リード時 0: DMA バースト停止中 1: DMA バースト実行中 ライト時 0: 無効 1: DMA バースト要求の発生
11	SoftBReq11	R/W	ソフトウェアによる DMA バースト要求 (リクエスト番号 [11]) の発生 リード時 0: DMA バースト停止中 1: DMA バースト実行中 ライト時 0: 無効 1: DMA バースト要求の発生
10	SoftBReq10	R/W	ソフトウェアによる DMA バースト要求 (リクエスト番号 [10]) の発生 リード時 0: DMA バースト停止中 1: DMA バースト実行中 ライト時 0: 無効 1: DMA バースト要求の発生
9	SoftBReq9	R/W	ソフトウェアによる DMA バースト要求 (リクエスト番号 [9]) の発生 リード時 0: DMA バースト停止中 1: DMA バースト実行中

Bit	Bit Symbol	Type	機能
			ライト時 0:無効 1:DMA バースト要求の発生
8	SoftBReq8	R/W	ソフトウェアによる DMA バースト要求 (リクエスト番号 [8]) の発生 リード時 0:DMA バースト停止中 1:DMA バースト実行中 ライト時 0:無効 1:DMA バースト要求の発生
7	SoftBReq7	R/W	ソフトウェアによる DMA バースト要求 (リクエスト番号 [7]) の発生 リード時 0:DMA バースト停止中 1:DMA バースト実行中 ライト時 0:無効 1:DMA バースト要求の発生
6	SoftBReq6	R/W	ソフトウェアによる DMA バースト要求 (リクエスト番号 [6]) の発生 リード時 0:DMA バースト停止中 1:DMA バースト実行中 ライト時 0:無効 1:DMA バースト要求の発生
5	SoftBReq5	R/W	ソフトウェアによる DMA バースト要求 (リクエスト番号 [5]) の発生 リード時 0:DMA バースト停止中 1:DMA バースト実行中 ライト時 0:無効 1:DMA バースト要求の発生
4	SoftBReq4	R/W	ソフトウェアによる DMA バースト要求 (リクエスト番号 [4]) の発生 リード時 0:DMA バースト停止中 1:DMA バースト実行中 ライト時 0:無効 1:DMA バースト要求の発生
3	SoftBReq3	R/W	ソフトウェアによる DMA バースト要求 (リクエスト番号 [3]) の発生 リード時 0:DMA バースト停止中 1:DMA バースト実行中 ライト時 0:無効 1:DMA バースト要求の発生
2	SoftBReq2	R/W	ソフトウェアによる DMA バースト要求 (リクエスト番号 [2]) の発生 リード時 0:DMA バースト停止中 1:DMA バースト実行中 ライト時 0:無効 1:DMA バースト要求の発生
1	SoftBReq1	R/W	ソフトウェアによる DMA バースト要求 (リクエスト番号 [1]) の発生 リード時 0:DMA バースト停止中 1:DMA バースト実行中 ライト時 0:無効 1:DMA バースト要求の発生
0	SoftBReq0	R/W	ソフトウェアによる DMA バースト要求 (リクエスト番号 [0]) の発生 リード時 0:DMA バースト停止中 1:DMA バースト実行中 ライト時 0:無効 1:DMA バースト要求の発生

ソフトウェアによる DMA バースト転送要求を設定します。ソフトウェアによる DMA バースト転送が終了すると該当ビットがクリアされます。

注 1) 同時にソフトウェアとハードウェアペリフェラルによる DMA 要求を実施しないでください。

注 2) DMA のリクエスト番号は「表 10-3 DMA リクエスト番号」を参照してください。

10.4.11 DMACxSoftSReq (DMAC Software Single Request Register)

x = A の場合

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	SoftSReq1	SoftAReq0
リセット後	不定	不定	不定	不定	不定	不定	0	0

Bit	Bit Symbol	Type	機能
31-2	-	W	"0" をライトしてください。
1	SoftSReq1	R/W	ソフトウェアによる DMA シングル要求 (リクエスト番号 [1]) の発生 リード時 0: DMA シングル停止中 1: DMA シングル実行中 ライト時 0: 無効 1: DMA シングル要求の発生
0	SoftSReq0	R/W	ソフトウェアによる DMA シングル要求 (リクエスト番号 [0]) の発生 リード時 0: DMA シングル停止中 1: DMA シングル実行中 ライト時 0: 無効 1: DMA シングル要求の発生

x = B の場合

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	SoftSReq15	SoftSReq14	-	-	-	-	-	-
リセット後	0	0	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定

Bit	Bit Symbol	Type	機能
31-16	-	W	"0" をライトしてください。
15	SoftSReq15	R/W	ソフトウェアによる DMA シングル要求 (リクエスト番号 [15]) の発生 リード時 0: DMA シングル停止中 1: DMA シングル実行中 ライト時 0: 無効 1: DMA シングル要求の発生
14	SoftSReq14	R/W	ソフトウェアによる DMA シングル要求 (リクエスト番号 [14]) の発生 リード時 0: DMA シングル停止中 1: DMA シングル実行中 ライト時 0: 無効 1: DMA シングル要求の発生
13-0	-	W	"0" をライトしてください。

ソフトウェアによる DMA シングル転送要求を設定します。ソフトウェアによる DMA シングル転送が終了すると該当ビットがクリアされます。

- 注 1) 同時にソフトウェアとハードウェアペリフェラルによる DMA 要求を実施しないでください。
注 2) DMA のリクエスト番号は「表 10-3 DMA リクエスト番号」を参照してください。

10.4.12 DMACxConfiguration (DMAC Configuration Register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	M	E
リセット後	不定	不定	不定	不定	不定	不定	0	0

Bit	Bit Symbol	Type	機能
31-2	-	W	"0" をライトしてください。
1	M	R/W	DMA エンディアンコンフィギュレーション 0: リトルエンディアン 1: Reserved
0	E	R/W	DMA 回路制御 0: 停止 1: 動作 DMA 回路が停止している場合、DMA 回路のレジスタへの書き込み、読み出しはできません。DMA を動作させる場合には常に <E>="1" を設定してください。

10.4.13 DMACxCnSrcAddr (DMAC Channeln Source Address Register)

	31	30	29	28	27	26	25	24
bit symbol	SrcAddr							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	SrcAddr							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	SrcAddr							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SrcAddr							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能								
31-0	SrcAddr[31:0]	R/W	<p>DMA 転送元アドレスの設定 設定する前には転送元のメモリや IP レジスタのビット幅と、アドレスを確認してください。 転送元のビット幅の設定により、以下の制約があります。</p> <table border="1"> <thead> <tr> <th>転送元のビット幅 DMACxCnControl<Swidth[2:0]></th> <th>最下位アドレスの設定</th> </tr> </thead> <tbody> <tr> <td>000 : バイト (8 ビット)</td> <td>制約なし</td> </tr> <tr> <td>001 : ハーフワード (16 ビット)</td> <td>2 の倍数 (0x0,0x02,0x4,0x06,0x8,0xA,0xC●●) になるように設定</td> </tr> <tr> <td>010 : ワード (32 ビット)</td> <td>4 の倍数 (0x0,0x4,0x8,0xC●●) になるように設定</td> </tr> </tbody> </table>	転送元のビット幅 DMACxCnControl<Swidth[2:0]>	最下位アドレスの設定	000 : バイト (8 ビット)	制約なし	001 : ハーフワード (16 ビット)	2 の倍数 (0x0,0x02,0x4,0x06,0x8,0xA,0xC●●) になるように設定	010 : ワード (32 ビット)	4 の倍数 (0x0,0x4,0x8,0xC●●) になるように設定
転送元のビット幅 DMACxCnControl<Swidth[2:0]>	最下位アドレスの設定										
000 : バイト (8 ビット)	制約なし										
001 : ハーフワード (16 ビット)	2 の倍数 (0x0,0x02,0x4,0x06,0x8,0xA,0xC●●) になるように設定										
010 : ワード (32 ビット)	4 の倍数 (0x0,0x4,0x8,0xC●●) になるように設定										

チャンネル n を許可 (DMACxCnConfiguration<E>="1") すると、レジスタに記述された内容が更新されますので、チャンネルを許可する前に DMACxCnSrcAddr を設定してください。

DMA が動作中の場合、DMACxCnSrcAddr レジスタの値は逐次変化するため、リード値は固定ではありません。

また、転送中に DMACxCnSrcAddr をアップデートしないでください。DMACxCnSrcAddr を変更する場合には必ずチャンネル n を禁止 (DMACxCnConfiguration<E>="0") に設定後、変更してください。

10.4.14 DMACxCnDestAddr (DMAC Channeln Destination Address Register)

	31	30	29	28	27	26	25	24
bit symbol	DestAddr							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	DestAddr							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	DestAddr							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	DestAddr							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能								
31-0	DestAddr[31:0]	R/W	<p>DMA 転送先アドレスの設定 設定する前には転送先のメモリや IP レジスタのビット幅と、アドレスを確認してください。 転送先のビット幅の設定により、以下の制約があります。</p> <table border="1"> <thead> <tr> <th>転送先のビット幅 DMACxCControl<Dwidth[2:0]></th> <th>最下位アドレスの設定</th> </tr> </thead> <tbody> <tr> <td>000 : バイト (8 ビット)</td> <td>制約なし</td> </tr> <tr> <td>001 : ハーフワード (16 ビット)</td> <td>2 の倍数 (0x0,0x02,0x4,0x06,0x8,0xA,0xC●●) になるように設定</td> </tr> <tr> <td>010 : ワード (32 ビット)</td> <td>4 の倍数 (0x0,0x4,0x8,0xC●●) になるように設定</td> </tr> </tbody> </table>	転送先のビット幅 DMACxCControl<Dwidth[2:0]>	最下位アドレスの設定	000 : バイト (8 ビット)	制約なし	001 : ハーフワード (16 ビット)	2 の倍数 (0x0,0x02,0x4,0x06,0x8,0xA,0xC●●) になるように設定	010 : ワード (32 ビット)	4 の倍数 (0x0,0x4,0x8,0xC●●) になるように設定
転送先のビット幅 DMACxCControl<Dwidth[2:0]>	最下位アドレスの設定										
000 : バイト (8 ビット)	制約なし										
001 : ハーフワード (16 ビット)	2 の倍数 (0x0,0x02,0x4,0x06,0x8,0xA,0xC●●) になるように設定										
010 : ワード (32 ビット)	4 の倍数 (0x0,0x4,0x8,0xC●●) になるように設定										

転送中に DMACxCnDestAddr をアップデートしないでください。DMACxCnDestAddr を変更する場合には必ずチャンネルを禁止 (DMACxCnConfiguration<E>="0") に設定後、変更してください。

10.4.15 DMACxLnLLI (DMAC Channelx Linked List Item Register)

	31	30	29	28	27	26	25	24
bit symbol	LLI							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	LLI							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	LLI							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	LLI						-	-
リセット後	0	0	0	0	0	0	不定	不定

Bit	Bit Symbol	Type	機能
31-2	LLI[29:0]	R/W	次の転送情報の先頭アドレスを設定 設定値は 0xFFFF_FFF0 以内で設定してください。 <LLI>="0" のとき、LLI が最後のチェーンであり、DMA 転送終了後、DMA チャンネルが禁止になります。
1-0	-	W	"0" をライトしてください。

<LLI> 動作の詳細については「10.5 特殊機能」を参照してください。

10.4.16 DMACxCnControl (DMAC Channeln Control Register)

	31	30	29	28	27	26	25	24
bit symbol	I	-	-	-	DI	SI	-	-
リセット後	0	不定	不定	不定	0	0	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	Dwidth			Swidth			DBSize	
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	DBSize	SBSIZE			TransferSize			
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TransferSize							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能								
31	I	R/W	転送割り込み許可ビット (Scatter/gather 機能使用時に有効) 0: 禁止 1: 許可 <I>="1" かつ DMACxConfiguration<ITC>="1" の設定で、転送終了割り込みが発生します。Scatter/gather 機能使用時に、最終転送の DMAC 設定フロー内で、本ビットを '1' にすることで、最終転送時にのみ転送終了割り込みが発生することが可能になります。通常転送時に割り込みを発生させたいときには、本ビットも "1" に設定し Enable 状態にする必要があります。								
30-28	-	W	"0" をライトしてください。								
27	DI	R/W	転送先アドレスインクリメント 0: アドレス固定 1: インクリメント								
26	SI	R/W	転送元アドレスインクリメント 0: アドレス固定 1: インクリメント								
25-24	-	W	"0" をライトしてください。								
23-21	Dwidth[2:0]	R/W	転送先ビット幅 000: バイト (8 ビット) 001: ハーフワード (16 ビット) 010: ワード (32 ビット) 上記以外: Reserved								
20-18	Swidth[2:0]	R/W	転送元ビット幅 000: バイト (8 ビット) 001: ハーフワード (16 ビット) 010: ワード (32 ビット) 上記以外: Reserved								
17-15	DBSize[2:0]	R/W	転送先バーストサイズ (注 1) <table style="width: 100%; border: none;"> <tr> <td style="width: 50%;">000: 1 ビート</td> <td style="width: 50%;">100: 32 ビート</td> </tr> <tr> <td>001: 4 ビート</td> <td>101: 64 ビート</td> </tr> <tr> <td>010: 8 ビート</td> <td>110: 128 ビート</td> </tr> <tr> <td>011: 16 ビート</td> <td>111: 256 ビート</td> </tr> </table>	000: 1 ビート	100: 32 ビート	001: 4 ビート	101: 64 ビート	010: 8 ビート	110: 128 ビート	011: 16 ビート	111: 256 ビート
000: 1 ビート	100: 32 ビート										
001: 4 ビート	101: 64 ビート										
010: 8 ビート	110: 128 ビート										
011: 16 ビート	111: 256 ビート										
14-12	SBSIZE[2:0]	R/W	転送元バーストサイズ (注 1) <table style="width: 100%; border: none;"> <tr> <td style="width: 50%;">000: 1 ビート</td> <td style="width: 50%;">100: 32 ビート</td> </tr> <tr> <td>001: 4 ビート</td> <td>101: 64 ビート</td> </tr> <tr> <td>010: 8 ビート</td> <td>110: 128 ビート</td> </tr> <tr> <td>011: 16 ビート</td> <td>111: 256 ビート</td> </tr> </table>	000: 1 ビート	100: 32 ビート	001: 4 ビート	101: 64 ビート	010: 8 ビート	110: 128 ビート	011: 16 ビート	111: 256 ビート
000: 1 ビート	100: 32 ビート										
001: 4 ビート	101: 64 ビート										
010: 8 ビート	110: 128 ビート										
011: 16 ビート	111: 256 ビート										
11-0	TransferSize [11:0]	R/W	総転送回数の設定 (注 2) 転送元ビット幅で定義された幅 (4byte/2byte/1byte) 単位のデータの、転送したい総回数を設定します。バーストサイズは、内部動作の DMA 要求毎に一度に転送されるデータ量のみを示していますので、転送元ビット幅と、総転送回数を変えない限り、どんなバーストサイズに設定しても、総転送されるデータ量は変化しません。 この値は DMAC 転送の実施に伴い、"0" までデクリメントします。 転送実行時はリードすると未転送回数が読み出され、転送停止時は "0" が読み出されます。 総転送回数は転送元ビット幅の単位になります。 例えば、 <Swidth>="000" (8bit) の場合、転送回数は byte 単位 <Swidth>="001" (16bit) の場合、転送回数は half word 単位 <Swidth>="010" (32bit) の場合、転送回数は word 単位								

<Dwidth[2:0]> / <Swidth[2:0]>	<p>以下の計算式を満たすように設定してください。 $\text{転送元ビット幅} \times \text{総転送回数} = \text{転送先ビット幅} \times N$ (N : 整数)</p> <p>(例 1) 転送元ビット幅 :8 ビット、転送先ビット幅 :32 ビット、総転送回数 :25 回の場合 $8 \text{ ビット} \times 25 \text{ 回} = 200 \text{ ビット (25 バイト)}$ $N = 200 \div 32 = 6.25 \text{ ワード}$ 6.25 は整数でないことから、上記設定は出来ません。 転送元ビット幅が転送先ビット幅よりも小さい場合は、総転送回数を設定する場合に注意が必要です。</p> <p>(例 2) 転送元ビット幅 :32 ビット、転送先ビット幅 :16 ビット、総転送回数 :13 回の場合 $32 \text{ ビット} \times 13 \text{ 回} = 416 \text{ ビット (13 ワード)}$ $N = 416 \div 16 = 26 \text{ ハーフワード}$ 26 は整数の為、問題ありません。</p>
<DBSize[2:0]> / <SBSize[2:0]>	<p>「周辺回路 メモリ」や、「メモリ 周辺回路」の転送の場合、周辺回路は転送準備が整った事を示す DMA 要求信号を発生し、この信号をトリガに複数回実行されます (「メモリ メモリ」転送の場合は、ソフトスタートのみです)。 周辺回路からの、DMA 要求信号ごとに転送されるデータ量を、バーストサイズで設定し、FIFO_Buffer などの複数のデータを格納できる周辺回路の場合に使用します。</p>

注 1) DBsize および SBsize で設定するバーストサイズは AHB バスの HBURST とは関係ありません。

注 2) SIO/UART(ch=0,2) 送信の DMACB バースト要求の場合、総転送回数 <TransferSize> の設定は 1 回にしてください。

10.4.17 DMACxCnConfiguration (DMAC Channel Configuration Register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	Halt	Active	Lock
リセット後	不定	不定	不定	不定	不定	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ITC	IE	FlowCntrl			-	DestPeripheral	
リセット後	0	0	0	0	0	不定	0	0
	7	6	5	4	3	2	1	0
bit symbol	DestPeripheral		-	SrcPeripheral				E
リセット後	0	0	不定	0	0	0	0	0

Bit	Bit Symbol	Type	機能												
31-19	-	W	"0" をライトしてください。												
18	Halt	R/W	DMA 要求受付制御 0: DMA 要求 受付 1: DMA 要求 無視												
17	Active	R	チャンネル FIFO 内のデータの有無 0: FIFO 内にデータなし 1: FIFO 内にデータあり												
16	Lock	R/W	ロック転送設定 (不分割転送) 0: ロック転送 禁止 1: ロック転送 許可 ロック転送を許可するとバスを解放せずに指定バースト数を連続転送します。詳細動作は、「10.5 特殊機能」をご参照ください												
15	ITC	R/W	転送終了割り込み許可 0: 割り込み禁止 1: 割り込み許可 <ITC> = 1 かつ、DMACCxControl Register<I> = 1、の設定で、転送終了割り込みが発生します。												
14	IE	R/W	エラー割り込み許可 0: 割り込み禁止 1: 割り込み許可												
13-11	FlowCntrl[2:0]	R/W	転送方式設定ビット (注 1) <table border="1" style="margin-left: 20px;"> <thead> <tr> <th><FlowCntrl[2:0]> の設定値</th> <th>転送方式</th> </tr> </thead> <tbody> <tr> <td>000:</td> <td>メモリ → メモリ</td> </tr> <tr> <td>001:</td> <td>メモリ → 周辺回路</td> </tr> <tr> <td>010:</td> <td>周辺回路 → メモリ</td> </tr> <tr> <td>011:</td> <td>周辺回路 → 周辺回路</td> </tr> <tr> <td>100~111:</td> <td>Reserved</td> </tr> </tbody> </table>	<FlowCntrl[2:0]> の設定値	転送方式	000:	メモリ → メモリ	001:	メモリ → 周辺回路	010:	周辺回路 → メモリ	011:	周辺回路 → 周辺回路	100~111:	Reserved
<FlowCntrl[2:0]> の設定値	転送方式														
000:	メモリ → メモリ														
001:	メモリ → 周辺回路														
010:	周辺回路 → メモリ														
011:	周辺回路 → 周辺回路														
100~111:	Reserved														
10	-	W	"0" をライトしてください。												
9-6	DestPeripheral [3:0]	R/W	転送先ペリフェラル設定 (注 2) 0000 ~ 1111 DMA リクエストのペリフェラル番号、2 進数で表現。 転送先が Memory の場合はこの設定は無視されます。												
5	-	W	"0" をライトしてください。												
4-1	SrcPeripheral [3:0]	R/W	転送元ペリフェラル設定 (注 2) 0000 ~ 1111 DMA リクエストのペリフェラル番号、2 進数で表現。 転送元が Memory の場合はこの設定は無視されます。												
0	E	R/W	チャンネルイネーブル 0: 禁止 1: 許可 このビットでチャンネルを Enable/Disable できます。(メモリ → メモリを選択している場合、転送開始ビットとして動作します。) DMACCxControl レジスタの総転送回数を全て、転送 (値が 0 になる) 終了すると、対象のチャンネルは自動的にクリアされます。 転送中に Disable を実行すると、チャンネル FIFO のデータが消失してしまいますので、再スタートする場合はチャンネルをすべて初期化して、スタートしてください。 もし、一時的に停止したい場合は、<Halt> ビットで DMA 要求を停止して、<Active> ビットを "0" になるまでポーリングした後、<E> ビットでチャンネルを Disable してください。												

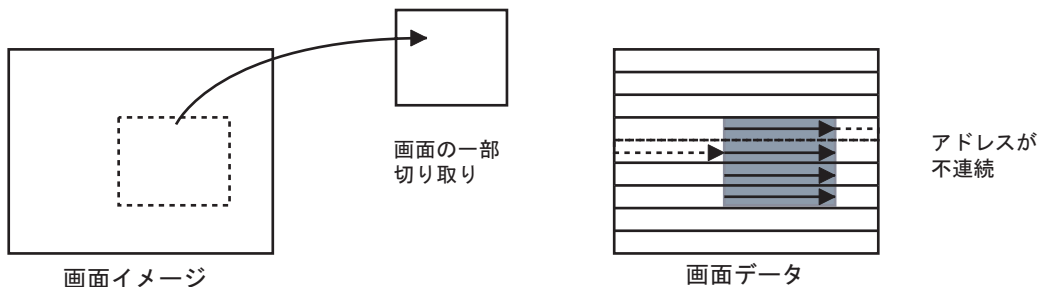
注 1) メモリ → メモリを選択した場合、DMA 起動のハードウェアスタートはサポートしていません。<E>= 1 をライトすることで転送を開始します。

注 2) DMA リクエストのペリフェラル番号は表 10-3 を参照してください。

10.5 特殊機能

10.5.1 Scatter/gather 機能

画像データの一部を切り取ってデータを転送するような場合、画像データはすべて連続データとしては扱えず、特定の規則に従ってアドレスが大きく変化します。そのため、常に連続のアドレスでしか転送出来ないDMAでは、アドレスが変化する箇所で、その都度再設定が必要になります。



Scatter/gather 機能とは、あらかじめ設定された "Linked list" を通じて、CPU がその動作の制御を行う必要なく、DMA の各種設定 (転送元アドレス、転送先アドレス、転送回数、転送バス幅) を、指定された DMA 回数を終了毎に再ロードして、連続動作することが出来る機能です。

DMACCxLLI レジスタに "Linked list" のアドレスをセットすることで動作の許可 / 停止を制御します。

Linked List で設定出来る項目は、以下の 4word で構成されています。

1. DMACxCnSrcAddr
2. DMACxCnDestAddr
3. DMACxCnLLI
4. DMACxCnControl

割り込み動作との併用も可能です。

DMACxCnControl<I>=1、かつ、DMACxCnConfiguration<ITC>=1 の設定で、DMA 転送終了割り込みが発生します。

Scatter/gather 機能使用時、DMA 最終転送の時のみ、終了割り込みを発生させたい場合は、DMACxCnControl<I>=0、かつ、DMACxCnConfiguration<ITC>=1 にて転送を開始し、最終回の DMA 転送設定フロー内で、<I>=1 にすることで、最終転送でのみ転送終了割り込みを発生することが可能になります。このビットを利用することで、LLI を使った転送中でも、条件を追加し分岐処理などの動作が可能です。割り込みをクリアするためには、DMACxIntTCClear レジスタの対応ビットを制御します。

10.5.2 Linked list 動作

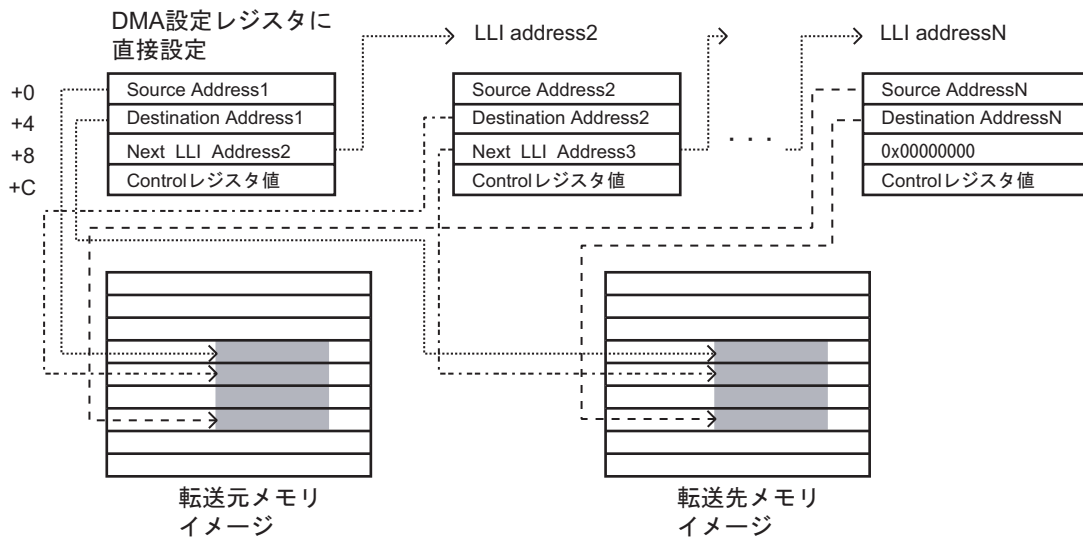
Scatter/gather 機能を動作させるには、まず一連の Linked List を作成し、転送元と転送先のデータエリアを定義する必要があります。

各々の設定を LLI (LinkedList) と呼びます。

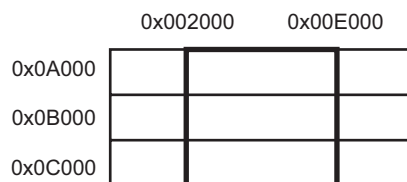
LLI は、1 ブロック分のデータ転送を制御しています。1 回の LLI は通常の DMA 設定を示し、連続データの転送制御を行っています。1 回の DMA 転送が終了するたびに、次の LLI 設定をロードし、DMA 動作の継続 (Daisy Chain) をすることが出来ます。

以下に、設定例を示します。

1. 1 番最初の DMA 転送設定は、DMA のレジスタに直接設定します。
2. 2 番目の DMA 転送以降は、"next LLI AddressX" に設定されたメモリのアドレスに書き込みます。
3. N 番目の DMA 転送で終了させる場合は、"next LLI AddressX" を 0x0000_0000 と設定します。

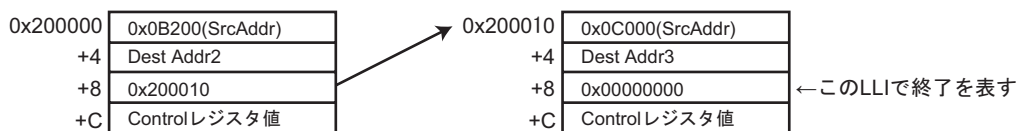


転送元メモリエージの四角で囲まれたエリアを転送する場合



設定レジスタ	設定項目
+0 DMACxCnSrcAddr	:0x0A200
+4 DMACxCnDestAddr	:転送先アドレス 1
+8 DMACxCnLL	:0x200000
+C DMACxCnControl	:バースト転送回数, 転送回数などを設定

Linked List



第 11 章 入出力ポート

11.1 ポート機能

11.1.1 機能一覧

TMPM342FYXBG には 63 のポートがあり、ポート機能のほかに内蔵する周辺機能に対する入出力端子としても使用されます。

表 11-1 にポート機能の一覧を示します。

表 11-1 ポート機能一覧

ポート	端子名	入出力	プログラマブル Pull-up Pull-down	Schmitt 入力	ノイズ フィルタ	プログラ マブル Open- drain	機能端子名
ポート A							
	PA0	入出力	Pull-up	o	-	o	TDA0OUT0, TB4OUT
	PA1	入出力	Pull-up	o	-	o	TDA0OUT1, TB5OUT
	PA2	入出力	Pull-up	o	-	o	TDA1OUT0, TB6OUT
	PA3	入出力	Pull-up	o	-	o	TDA1OUT1, TB7OUT
	PA4	入出力	Pull-up	o	-	o	TDB0OUT0, CIN
	PA5	入出力	Pull-up	o	-	o	TDB0OUT1, DIN
	PA6	入出力	Pull-up	o	-	o	TDB1OUT0, EIN
	PA7	入出力	Pull-up	o	-	o	TDB1OUT1, FIN
ポート B							
	PB0	入出力	Pull-up	o	-	o	TXD0
	PB1	入出力	Pull-up	o	-	o	RXD0, MO1_OUT
	PB2	入出力	Pull-up	o	-	o	SCLK0, MO2_OUT, $\overline{CTS0}$
	PB3	入出力	Pull-up	o	o	o	INT3
	PB4	入出力	Pull-up	o	-	o	SCL0
	PB5	入出力	Pull-up	o	-	o	SDA0
	PB6	入出力	Pull-up	o	o	o	INT4
	PB7	入出力	Pull-up	o	o	o	INT5
ポート C							
	PC0	入出力	Pull-up	o	-	o	TXD1, U0TXD
	PC1	入出力	Pull-up	o	-	o	RXD1, U0RXD
	PC2	入出力	Pull-up	o	-	o	SCLK1, $\overline{U0CTS}$, $\overline{CTS1}$
	PC3	入出力	Pull-up	o	o	o	INT6, $\overline{U0RTS}$
	PC4	入出力	Pull-up	o	-	o	PHC0IN0
	PC5	入出力	Pull-up	o	-	o	PHC0IN1
	PC6	入出力	Pull-up	o	-	o	PHC1IN0
	PC7	入出力	Pull-up	o	-	o	PHC1IN1

o: あり

-: なし

表 11-1 ポート機能一覧

ポート	端子名	入出力	プログラマブル Pull-up Pull-down	Schmitt 入力	ノイズ フィルタ	プログラ マブル Open- drain	機能端子名
ポート D							
	PD0	入出力	Pull-up	o	-	o	TXD2, VSIOTXD
	PD1	入出力	Pull-up	o	-	o	RXD2, VSIORXD
	PD2	入出力	Pull-up	o	-	o	SCLK2, VSIOSCK, $\overline{\text{CTS2}}$
	PD3	入出力	Pull-up	o	o	o	INT7, VSIOSCS0
	PD4	入出力	Pull-up	o	-	o	SP0DO, TB1OUT
	PD5	入出力	Pull-up	-	-	o	SP0DI, TB2OUT
	PD6	入出力	Pull-up	o	-	o	SP0CLK, TB3OUT
	PD7	入出力	Pull-up	o	-	o	SP0FSS, VSIOSCS1
ポート E							
	PE0	入出力	Pull-up	o	o	o	INT0
	PE1	入出力	Pull-up	o	o	o	INT1
	PE2	入出力	Pull-up	o	o	o	INT2, TB8OUT
	PE3	入出力	Pull-up	o	-	o	TB9OUT
	PE4	入出力	Pull-up	o	-	o	TB0OUT
ポート F							
	PF0	入力	Pull-up	o	-	-	AINA0
	PF1	入力	Pull-up	o	-	-	AINA1
	PF2	入力	Pull-up	o	-	-	AINA2
	PF3	入力	Pull-up	o	-	-	AINA3
	PF4	入力	Pull-up	o	-	-	AINA4
	PF5	入力	Pull-up	o	-	-	AINA5
	PF6	入力	Pull-up	o	-	-	AINA6
	PF7	入力	Pull-up	o	-	-	AINA7
ポート G							
	PG0	入力	Pull-up	o	-	-	AINB0
	PG1	入力	Pull-up	o	-	-	AINB1
	PG2	入力	Pull-up	o	-	-	AINB2
	PG3	入力	Pull-up	o	-	-	AINB3
ポート H							
	PH0	入出力	Pull-up	o	-	-	SWDIO
	PH1	入出力	Pull-down	o	-	-	SWCLK
	PH2	入出力	Pull-up	o	-	-	TRACECLK
	PH3	入出力	Pull-up	o	-	-	TRACEDATA0 / SWV
	PH4	入出力	Pull-up	o	-	-	TRACEDATA1
	PH5	入出力	Pull-up	o	-	-	$\overline{\text{BOOT}}$
ポート J							

o: あり

-: なし

表 11-1 ポート機能一覧

ポート	端子名	入出力	プログラマブル Pull-up Pull-down	Schmitt 入力	ノイズ フィルタ	プログラ マブル Open- drain	機能端子名
	PJ0	入力	Pull-up	o	-	-	AINC2P
	PJ1	入力	Pull-up	o	-	-	AINC2N
	PJ2	入力	Pull-up	o	-	-	AINC3P
	PJ3	入力	Pull-up	o	-	-	AINC3N
	PJ4	入力	Pull-up	o	-	-	AINC4P
	PJ5	入力	Pull-up	o	-	-	AINC4N
	PJ6	入力	Pull-up	o	-	-	AINC5P
	PJ7	入力	Pull-up	o	-	-	AINC5N
ポート K							
	PK0	出力	-	-	-	-	TDA0OUT0, TB4OUT, CIN_OUT
	PK1	出力	-	-	-	-	TDA0OUT1, TB5OUT, DIN_OUT
	PK2	出力	-	-	-	-	TDA1OUT0, TB6OUT, EIN_OUT
	PK3	出力	-	-	-	-	TDA1OUT1, TB7OUT, FIN_OUT
	PK4	出力	-	-	-	-	TDB0OUT0
	PK5	出力	-	-	-	-	TDB0OUT1
	PK6	出力	-	-	-	-	TDB1OUT0
	PK7	出力	-	-	-	-	TDB1OUT1, TB9OUT
ポート L							
	PL0	出力	-	-	-	-	TXD3_OUT
	PL1	出力	-	-	-	-	SCLK3_OUT
	PL2	出力	-	-	-	-	(LOAD_OUT)
	PL3	出力	-	-	-	-	SCOUT
	PL4	出力	-	-	-	-	(CON_TEST_OUT)
	PL5	出力	-	-	-	-	(ALLSTDBY_N_OUT)
	PL6	出力	-	-	-	-	(SYS_RST_N_OUT)
ポート M							
	PM0	入力	Pull-up	o	o	-	INT8, MO1_IN
	PM1	入力	Pull-up	o	o	-	INT9, MO2_IN

o: あり

-: なし

注) ノイズフィルタのノイズ除去幅は、Typ. 条件で約 30ns です。

11.1.2 ポートレジスタ概略説明

ポートを使用するには以下のレジスタを設定する必要があります。

- PxDATA: ポート x データレジスタ
ポートのデータ読み込み、データ書き込みを行います。
- PxCR: ポート x 出力コントロールレジスタ
出力の制御を行います。
入力の制御は PxIE で設定してください。
- PxFRn: ポート x ファンクションレジスタ n
機能設定を行いません。
"1" をセットすることにより割り当てられている機能を使用できるようになります。
- PxOD: ポート x オープンドレインコントロールレジスタ
プログラマブルオープンドレインの制御を行います。
プログラマブルオープンドレインは、PxOD の設定により、出力データが "1" の場合に出力バッファをディセーブルにし、擬似的にオープンドレインを実現する機能です。
- PxPUP: ポート x プルアップコントロールレジスタ
プログラマブルプルアップを制御します。
- PxPDN: ポート x プルダウンコントロールレジスタ
プログラマブルプルダウンを制御します。
- PxIE: ポート x 入力コントロールレジスタ
入力の制御を行いません。
貫通電流対策のため、初期状態は入力禁止になっています。

11.1.3 STOP モード中のポート状態

STOP1 モード中の入力と出力の状態を、クロック / モード制御部の CGSTBYCR<DRVE> で制御することができます。また、STOP2 モード中の入力と出力の状態を、同様に CGSTBYCR<PTKEEP> で制御することができます。

PxIE, PxCR が許可で、<DRVE>="1" または <PTKEEP>="0" → "1" に設定した場合、STOP1/STOP2 モード中も入力, 出力が許可となります。<DRVE> を "0" に設定した場合、一部のポートを除き、PxIE, PxCR が許可であっても STOP1 モード中は入力, 出力が禁止になります。また、ノーマルモードから STOP2 モードへの移行では、<PTKEEP> ビットを "0" → "1" に必ず設定を行ない各ポートの状態を保持してください。

STOP モード時の端子状態を表 11-2 に示します。

表 11-2 STOP モード時の MCU ブロック端子状態

機能	ピン名称	入出力	STOP1		STOP2	
			<DRVE> = 0	<DRVE> = 1	<PTKEEP> = 0	<PTKEEP> = 1
制御端子	RESET, MODE, FTEST3	入力	o	o	o	o
発振器	X1	入力	x	x	-	x
	X2	出力	"High" レベル 出力	"High" レベル 出力	-	x
特殊端子	DAOUTA, DAOUTB	出力	x	x	-	x
ポート	PB3, PB6, PB7, PC3, PD3, PE0 to PE2, PM0, PM1 (INT3 to INT7, INT0 to INT2) (外部割り込み, PxFRn<PxmFn>="1" かつ PxIE<PxmiE>="1")	入力	o	o	-	o
	PC4 to PC7 (PHC0IN0/1, PHC1IN0/1) (2相パルス入力端子, PxFRn<PxmFn>="1" かつ PxIE<PxmiE>="1")	入力	o	o	-	o
	PH0 (SWDIO) (デバッグインタフェース設定 PHFR1<PH0F1>="1")	入力	PHIE<PH0IE> の状態による		-	PHIE<PH0IE> によって入力 保持
		出力	データ有効な時に許可、 データ無効なときは禁止		-	PHCR<PH0C> によって出力 保持
	PH1 (SWCLK) (デバッグインタフェース設定 PHFR1<PH1F1>="1")	入力	PHIE<PH1IE> の状態による		-	PHIE<PH1IE> によって入力 保持
	PH2 to PH4 (TRACECLK, TRACEDATA0/1) (デバッグインタフェース設定 PHFR1<PHmF1>="1")	出力	PHCR<PHmC> の状態による		-	PHCR<PHmC> によって出力 保持
	上記以外	入力	x	PxIE<PxmiE> による	-	PxIE<PxmiE> によって入力 保持
出力		x	PxCR<PxmcC> による	-	PxCR<PxmcC> によって出力 保持	

o: 入力または出力が有効
x: 入力または出力が無効
-: STOP2 モード遷移時は、必ず遷移前に <PTKEEP>=1 を設定してください。

注) 「x」は該当ポート番号、「m」は該当ビット、「n」はファンクションレジスタ番号を示します。

11.1.4 STOP1/STOP2 モード遷移の際の注意

PH1 が SWCLK のデバッグ機能設定のまま STOP1/STOP2 モードに遷移すると十分な低消費電力効果が得られません。デバッグ機能を使用しないときは、PH1 をポート設定にしてください。

11.2 ポート機能詳細

本章では、各ポートのレジスタの詳細について説明します。

回路構成については、本章では「回路タイプ」のみ記載しています。具体的な回路図は「11.3 ポート回路図」に記載していますので、そちらを参照してください。

11.2.1 ポート A (PA0~PA7)

ポート A はビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。汎用入出力ポート機能以外に高分解能 PPG 出力、タイマ出力、MCD 駆動パルス入力機能があります。

リセット後は汎用ポートとなり、入力・出力・プルアップは禁止となります。

11.2.1.1 ポート A レジスタ一覧

Base Address = 0x400C _ 0000

レジスタ名		Address (Base+)
ポート A データレジスタ	PADATA	0x0000
ポート A 出力コントロールレジスタ	PACR	0x0004
ポート A ファンクションレジスタ 1	PAFR1	0x0008
ポート A ファンクションレジスタ 2	PAFR2	0x000C
Reserved	-	0x0010
Reserved	-	0x0014
Reserved	-	0x0018
Reserved	-	0x001C
Reserved	-	0x0020
Reserved	-	0x0024
ポート A オープンドレインコントロールレジスタ	PAOD	0x0028
ポート A プルアップコントロールレジスタ	PAPUP	0x002C
Reserved	-	0x0030
Reserved	-	0x0034
ポート A 入力コントロールレジスタ	PAIE	0x0038

注) "Reserved" 表記のアドレスにはアクセスしないでください。

11.2.1.2 PADATA (ポート A データレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PA7	PA6	PA5	PA4	PA3	PA2	PA1	PA0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると "0" が読めます。
7-0	PA7-PA0	R/W	ポート A データレジスタ

11.2.1.3 PACR (ポート A 出力コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PA7C	PA6C	PA5C	PA4C	PA3C	PA2C	PA1C	PA0C
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると "0" が読めます。
7-0	PA7C-PA0C	R/W	出力 0: 禁止 1: 許可

11.2.1.4 PAFR1 (ポート A ファンクションレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PA7F1	PA6F1	PA5F1	PA4F1	PA3F1	PA2F1	PA1F1	PA0F1
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると "0" が読めます。
7	PA7F1	R/W	0: PORT 1: TDB1OUT1
6	PA6F1	R/W	0: PORT 1: TDB1OUT0
5	PA5F1	R/W	0: PORT 1: TDB0OUT1
4	PA4F1	R/W	0: PORT 1: TDB0OUT0
3	PA3F1	R/W	0: PORT 1: TDA1OUT1
2	PA2F1	R/W	0: PORT 1: TDA1OUT0
1	PA1F1	R/W	0: PORT 1: TDA0OUT1
0	PA0F1	R/W	0: PORT 1: TDA0OUT0

11.2.1.5 PAFR2 (ポート A ファンクションレジスタ 2)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PA7F2	PA6F2	PA5F2	PA4F2	PA3F2	PA2F2	PA1F2	PA0F2
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると "0" が読めます。
7	PA7F2	R/W	0: PORT 1: FIN
6	PA6F2	R/W	0: PORT 1: EIN
5	PA5F2	R/W	0: PORT 1: DIN
4	PA4F2	R/W	0: PORT 1: CIN
3	PA3F2	R/W	0: PORT 1: TB7OUT
2	PA2F2	R/W	0: PORT 1: TB6OUT
1	PA1F2	R/W	0: PORT 1: TB5OUT
0	PA0F2	R/W	0: PORT 1: TB4OUT

11.2.1.6 PAOD (ポート A オープンドレインコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PA7OD	PA6OD	PA5OD	PA4OD	PA3OD	PA2OD	PA1OD	PA0OD
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると "0" が読めます。
7-0	PA7OD-PA0OD	R/W	0: CMOS 1: オープンドレイン

11.2.1.7 PAPUP (ポート A ブルアップコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PA7UP	PA6UP	PA5UP	PA4UP	PA3UP	PA2UP	PA1UP	PA0UP
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると "0" が読めます。
7-0	PA7UP-PA0UP	R/W	ブルアップ 0: 禁止 1: 許可

11.2.1.8 PAIE (ポート A 入力コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PA7IE	PA6IE	PA5IE	PA4IE	PA3IE	PA2IE	PA1IE	PA0IE
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると "0" が読めます。
7-0	PA7IE-PA0IE	R/W	入力 0: 禁止 1: 許可

11.2.2 ポート B (PB0~PB7)

ポート B はビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。汎用入出力ポート機能以外にシリアルインターフェース、シリアルバスインターフェース、外部割り込み入力、 μ STEP モニタ出力機能があります。

また、入力は 5V トレラント入力機能となります。

リセットによりファンクションレジスタは汎用ポートとなり、入力・出力・プルアップは禁止状態になります。

11.2.2.1 ポート B レジスタ一覧

Base Address = 0x400C _ 0100

レジスタ名		Address (Base+)
ポート B データレジスタ	PBDATA	0x0000
ポート B 出力コントロールレジスタ	PBCR	0x0004
ポート B ファンクションレジスタ 1	PBFR1	0x0008
ポート B ファンクションレジスタ 2	PBFR2	0x000C
ポート B ファンクションレジスタ 3	PBFR3	0x0010
Reserved	-	0x0014
Reserved	-	0x0018
Reserved	-	0x001C
Reserved	-	0x0020
Reserved	-	0x0024
ポート B オープンドレインコントロールレジスタ	PBOD	0x0028
ポート B プルアップコントロールレジスタ	PBPUP	0x002C
Reserved	-	0x0030
Reserved	-	0x0034
ポート B 入力コントロールレジスタ	PBIE	0x0038

注) "Reserved" 表記のアドレスにはアクセスしないでください。

11.2.2.2 PBDATA (ポート B データレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PB7	PB6	PB5	PB4	PB3	PB2	PB1	PB0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると "0" が読めます。
7-0	PB7-PB0	R/W	ポート B データレジスタ

11.2.2.3 PBCR (ポート B 出力コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PB7C	PB6C	PB5C	PB4C	PB3C	PB2C	PB1C	PB0C
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると "0" が読めます。
7-0	PB7C-PB0C	R/W	出力 0: 禁止 1: 許可

11.2.2.4 PBFR1 (ポート B ファンクションレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PB7F1	PB6F1	PB5F1	PB4F1	PB3F1	PB2F1	PB1F1	PB0F1
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると "0" が読めます。
7	PB7F1	R/W	0: PORT 1: INT5
6	PB6F1	R/W	0: PORT 1: INT4
5	PB5F1	R/W	0: PORT 1: SDA0
4	PB4F1	R/W	0: PORT 1: SCL0
3	PB3F1	R/W	0: PORT 1: INT3
2	PB2F1	R/W	0: PORT 1: SCLK0
1	PB1F1	R/W	0: PORT 1: RXD0
0	PB0F1	R/W	0: PORT 1: TXD0

11.2.2.5 PBFR2 (ポート B ファンクションレジスタ 2)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	PB2F2	PB1F2	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-3	-	R	リードすると "0" が読めます。
2	PB2F2	R/W	0: PORT 1: MO2_OUT
1	PB1F2	R/W	0: PORT 1: MO1_OUT
0	-	R	リードすると "0" が読めます。

11.2.2.6 PBFR3 (ポート B ファンクションレジスタ 3)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	PB2F3	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-3	-	R	リードすると "0" が読めます。
2	PB2F3	R/W	0: PORT 1: CTS0
1-0	-	R	リードすると "0" が読めます。

11.2.2.7 PBOD (ポート B オープンドレインコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PB7OD	PB6OD	PB5OD	PB4OD	PB3OD	PB2OD	PB1OD	PB0OD
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると "0" が読めます。
7-0	PB7OD- PB0OD	R/W	0: CMOS 1: オープンドレイン

11.2.2.8 PBPUP (ポート B ブルアップコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PB7UP	PB6UP	PB5UP	PB4UP	PB3UP	PB2UP	PB1UP	PB0UP
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると "0" が読めます。
7-0	PB7UP-PB0UP	R/W	ブルアップ 0: 禁止 1: 許可

11.2.2.9 PBIE (ポート B 入力コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PB7IE	PB6IE	PB5IE	PB4IE	PB3IE	PB2IE	PB1IE	PB0IE
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると "0" が読めます。
7-0	PB7IE-PB0IE	R/W	入力 0: 禁止 1: 許可

11.2.3 ポート C (PC0~PC7)

ポート C はビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。汎用入出力ポート機能以外に汎用シリアルインターフェース、非同期シリアルインターフェース、2 相パルスカウンタ、外部割込み入力機能があります。また、PC0 ~ PC3 の入力は 5V トレラント入力機能となります。

リセットによりファンクションレジスタは汎用ポートとなり、入力・出力・プルアップは禁止状態になります。

11.2.3.1 ポート C レジスタ一覧

Base Address = 0x400C _ 0200

レジスタ名		Address (Base+)
ポート C データレジスタ	PCDATA	0x0000
ポート C 出力コントロールレジスタ	PCCR	0x0004
ポート C ファンクションレジスタ 1	PCFR1	0x0008
ポート C ファンクションレジスタ 2	PCFR2	0x000C
ポート C ファンクションレジスタ 3	PCFR3	0x0010
Reserved	-	0x0014
Reserved	-	0x0018
Reserved	-	0x001C
Reserved	-	0x0020
Reserved	-	0x0024
ポート C オープンドレインコントロールレジスタ	PCOD	0x0028
ポート C プルアップコントロールレジスタ	PCPUP	0x002C
Reserved	-	0x0030
Reserved	-	0x0034
ポート C 入力コントロールレジスタ	PCIE	0x0038

注) "Reserved" 表記のアドレスにはアクセスしないでください。

11.2.3.2 PCDATA (ポート C データレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PC7	PC6	PC5	PC4	PC3	PC2	PC1	PC0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると "0" が読めます。
7-0	PC7-PC0	R/W	ポート C データレジスタ

11.2.3.3 PCCR (ポート C 出力コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PC7C	PC6C	PC5C	PC4C	PC3C	PC2C	PC1C	PC0C
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると "0" が読めます。
7-0	PC7C-PC0C	R/W	出力 0: 禁止 1: 許可

11.2.3.4 PCFR1 (ポートC ファンクションレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PC7F1	PC6F1	PC5F1	PC4F1	PC3F1	PC2F1	PC1F1	PC0F1
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	—	R	リードすると "0" が読めます。
7	PC7F1	R/W	0: PORT 1: PHC1IN1
6	PC6F1	R/W	0: PORT 1: PHC1IN0
5	PC5F1	R/W	0: PORT 1: PHC0IN1
4	PC4F1	R/W	0: PORT 1: PHC0IN0
3	PC3F1	R/W	0: PORT 1: INT6
2	PC2F1	R/W	0: PORT 1: SCLK1
1	PC1F1	R/W	0: PORT 1: RXD1
0	PC0F1	R/W	0: PORT 1: TXD1

11.2.3.5 PCFR2 (ポート C ファンクションレジスタ 2)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	PC3F2	PC2F2	PC1F2	PC0F2
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-4	-	R	リードすると "0" が読めます。
3	PC3F2	R/W	0: PORT 1: U0RTS
2	PC2F2	R/W	0: PORT 1: U0CTS
1	PC1F2	R/W	0: PORT 1: U0RXD
0	PC0F2	R/W	0: PORT 1: U0TXD

11.2.3.6 PCFR3 (ポート C ファンクションレジスタ 3)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-(注)	PC2F3	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-3	-	R	リードすると "0" が読めます。
2	PC2F3	R/W	0: PORT 1: CTS1
1-0	-	R	リードすると "0" が読めます。

11.2.3.7 PCOD (ポート C オープンドレインコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PC7OD	PC6OD	PC5OD	PC4OD	PC3OD	PC2OD	PC1OD	PC0OD
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると "0" が読めます。
7-0	PC7OD- PC0OD	R/W	0: CMOS 1: オープンドレイン

11.2.3.8 PCPUP (ポート C プルアップコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PC7UP	PC6UP	PC5UP	PC4UP	PC3UP	PC2UP	PC1UP	PC0UP
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると "0" が読めます。
7-0	PC7UP-PC0UP	R/W	プルアップ 0: 禁止 1: 許可

11.2.3.9 PCIE (ポート C 入力コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PC7IE	PC6IE	PC5IE	PC4IE	PC3IE	PC2IE	PC1IE	PC0IE
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると "0" が読めます。
7-0	PC7IE-PC0IE	R/W	入力 0: 禁止 1: 許可

11.2.4 ポート D (PD0~PD7)

ポート D はビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。汎用入出力ポート機能以外にシリアルバスインターフェース、データ可変長シリアルインターフェース、シンクロナスシリアルポート、タイマ出力、外部割り込み入力機能があります。

リセットによりファンクションレジスタは汎用ポートとなり、入力・出力・プルアップは禁止となります。

11.2.4.1 ポート D レジスタ一覧

Base Address = 0x400C _ 0300

レジスタ名		Address (Base+)
ポート D データレジスタ	PDDATA	0x0000
ポート D 出力コントロールレジスタ	PDCCR	0x0004
ポート D ファンクションレジスタ 1	PDFR1	0x0008
ポート D ファンクションレジスタ 2	PDFR2	0x000C
ポート D ファンクションレジスタ 3	PDFR3	0x0010
Reserved	-	0x0014
Reserved	-	0x0018
Reserved	-	0x001C
Reserved	-	0x0020
Reserved	-	0x0024
ポート D オープンドレインコントロールレジスタ	PDOD	0x0028
ポート D プルアップコントロールレジスタ	PDPUP	0x002C
Reserved	-	0x0030
Reserved	-	0x0034
ポート D 入力コントロールレジスタ	PDIE	0x0038

注) "Reserved" 表記のアドレスにはアクセスしないでください。

11.2.4.2 PDDATA (ポート D データレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PD7	PD6	PD5	PD4	PD3	PD2	PD1	PD0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると "0" が読めます。
7-0	PD7-PD0	R/W	ポート D データレジスタ

11.2.4.3 PDCR (ポート D 出力コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PD7C	PD6C	PD5C	PD4C	PD3C	PD2C	PD1C	PD0C
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると "0" が読めます。
7-0	PD7C-PD0C	R/W	出力 0: 禁止 1: 許可

11.2.4.4 PDFR1 (ポートD ファンクションレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PD7F1	PD6F1	PD5F1	PD4F1	PD3F1	PD2F1	PD1F1	PD0F1
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると "0" が読めます。
7	PD7F1	R/W	0: PORT 1: SP0FSS
6	PD6F1	R/W	0: PORT 1: SP0CLK
5	PD5F1	R/W	0: PORT 1: SP0DI
4	PD4F1	R/W	0: PORT 1: SP0DO
3	PD3F1	R/W	0: PORT 1: INT7
2	PD2F1	R/W	0: PORT 1: SCLK2
1	PD1F1	R/W	0: PORT 1: RXD2
0	PD0F1	R/W	0: PORT 1: TXD2

11.2.4.5 PDFR2 (ポート D ファンクションレジスタ 2)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PD7F2	PD6F2	PD5F2	PD4F2	PD3F2	PD2F2	PD1F2	PD0F2
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると "0" が読めます。
7	PD7F2	R/W	0: PORT 1: VSIOCS1
6	PD6F2	R/W	0: PORT 1: TB3OUT
5	PD5F2	R/W	0: PORT 1: TB2OUT
4	PD4F2	R/W	0: PORT 1: TB1OUT
3	PD3F2	R/W	0: PORT 1: VSIOCS0
2	PD2F2	R/W	0: PORT 1: VSIOCK
1	PD1F2	R/W	0: PORT 1: VSIOFXD
0	PD0F2	R/W	0: PORT 1: VSIOFXD

11.2.4.6 PDFR3 (ポート D ファンクションレジスタ 3)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	PD2F3	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-3	-	R	リードすると "0" が読めます。
2	PD2F3	R/W	0: PORT 1: CTS2
0	-	R	リードすると "0" が読めます。

11.2.4.7 PDOD (ポート D オープンドレインコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PD7OD	PD6OD	PD5OD	PD4OD	PD3OD	PD2OD	PD1OD	PD0OD
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると "0" が読めます。
7-0	PD7OD- PD0OD	R/W	0: CMOS 1: オープンドレイン

11.2.4.8 PDPUP (ポート D プルアップコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PD7UP	PD6UP	PD5UP	PD4UP	PD3UP	PD2UP	PD1UP	PD0UP
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると "0" が読めます。
7-0	PD7UP- PD0UP	R/W	プルアップ 0: 禁止 1: 許可

11.2.4.9 PDIE (ポート D 入力コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PD7IE	PD6IE	PD5IE	PD4IE	PD3IE	PD2IE	PD1IE	PD0IE
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると "0" が読めます。
7-0	PD7IE-PD0IE	R/W	入力 0: 禁止 1: 許可

11.2.5 ポート E (PE0~PE4)

ポート E はビット単位で入出力の指定ができる 5 ビットの汎用入出力ポートです。汎用入出力ポート機能以外にタイマ出力、外部割り込み入力機能があります。

リセットによりファンクションレジスタは汎用ポートとなり、入力・出力・プルアップは禁止となります。

11.2.5.1 ポート E レジスタ一覧

Base Address = 0x400C _ 0400

レジスタ名		Address (Base+)
ポート E データレジスタ	PEDATA	0x0000
ポート E 出力コントロールレジスタ	PECR	0x0004
ポート E ファンクションレジスタ 1	PEFR1	0x0008
ポート E ファンクションレジスタ 2	PEFR2	0x000C
Reserved	-	0x0010
Reserved	-	0x0014
Reserved	-	0x0018
Reserved	-	0x001C
Reserved	-	0x0020
Reserved	-	0x0024
ポート E オープンドレインコントロールレジスタ	PEOD	0x0028
ポート E プルアップコントロールレジスタ	PEPUP	0x002C
Reserved	-	0x0030
Reserved	-	0x0034
ポート E 入力コントロールレジスタ	PEIE	0x0038

注) "Reserved" 表記のアドレスにはアクセスしないでください。

11.2.5.2 PEDATA (ポート E データレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	PE4	PE3	PE2	PE1	PE0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-5	-	R	リードすると "0" が読めます。
4-0	PE4-PE0	R/W	ポート E データレジスタ

11.2.5.3 PECR (ポート E 出力コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	PE4C	PE3C	PE2C	PE1C	PE0C
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-5	-	R	リードすると "0" が読めます。
4-0	PE4C-PE0C	R/W	出力 0: 禁止 1: 許可

11.2.5.4 PEFR1 (ポート E ファンクションレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	PE2F1	PE1F1	PE0F1
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-3	-	R	リードすると "0" が読めます。
2	PE2F1	R/W	0: PORT 1: INT2
1	PE1F1	R/W	0: PORT 1: INT1
0	PE0F1	R/W	0: PORT 1: INT0

11.2.5.5 PEFR2 (ポート E ファンクションレジスタ 2)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	PE4F2	PE3F2	PE2F2	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-5	-	R	リードすると "0" が読めます。
4	PE4F2	R/W	0: PORT 1: TB0OUT
3	PE3F2	R/W	0: PORT 1: TB9OUT
2	PE2F2	R/W	0: PORT 1: TB8OUT
1-0	-	R	リードすると "0" が読めます。

11.2.5.6 PEOD (ポート E オープンドレインコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	PE4OD	PE3OD	PE2OD	PE1OD	PE0OD
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-5	-	R	リードすると "0" が読めます。
4-0	PE4OD- PE0OD	R/W	0: CMOS 1: オープンドレイン

11.2.5.7 PEPUP (ポート E プルアップコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	PE4UP	PE3UP	PE2UP	PE1UP	PE0UP
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-5	-	R	リードすると "0" が読めます。
4-0	PE4UP-PE0UP	R/W	プルアップ 0: 禁止 1: 許可

11.2.5.8 PEIE (ポート E 入力コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	PE4IE	PE3IE	PE2IE	PE1IE	PE0IE
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-5	-	R	リードすると "0" が読めます。
4-0	PE4IE-PE0IE	R/W	入力 0: 禁止 1: 許可

11.2.6 ポート F (PF0~PF7)

ポート F は 8 ビットの入力専用ポートです。汎用入力ポート機能以外に SAR 12bit AD コンバータのアナログ入力機能があります。

リセットによりすべてのビットは汎用ポートとなり、入力・プルアップは禁止となります。

SAR 12bit AD コンバータのアナログ入力として使用する場合、PFIE レジスタは入力禁止、PFPUP レジスタはプルアップ禁止にしてください。

入力ポートとして使用する場合は、PFIE レジスタを入力許可状態にしてください。

なお、コントロールレジスタ、ファンクションレジスタは設定不要のため存在しません。

注) ポート F/G/J を、アナログ入力とそれ以外の機能で混在して使用した場合、AD 変換精度が悪化する場合があります。必ずご使用になるシステム上で問題のないことを確認してください。

11.2.6.1 ポート F レジスタ一覧

Base Address = 0x400C _ 0500

レジスタ名		Address (Base+)
ポート F データレジスタ	PFDATA	0x0000
Reserved	-	0x0004
Reserved	-	0x0008
Reserved	-	0x000C
Reserved	-	0x0010
Reserved	-	0x0014
Reserved	-	0x0018
Reserved	-	0x001C
Reserved	-	0x0020
Reserved	-	0x0024
Reserved	-	0x0028
ポート F プルアップコントロールレジスタ	PFPUP	0x002C
Reserved	-	0x0030
Reserved	-	0x0034
ポート F 入力コントロールレジスタ	PFIE	0x0038

注) "Reserved" 表記のアドレスにはアクセスしないでください。

11.2.6.2 PFDATA (ポートF データレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PF7	PF6	PF5	PF4	PF3	PF2	PF1	PF0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると "0" が読めます。
7-0	PF7-PF0	R/W	ポートF データレジスタ

11.2.6.3 PFPUP (ポートF プルアップコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PF7UP	PF6UP	PF5UP	PF4UP	PF3UP	PF2UP	PF1UP	PF0UP
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると "0" が読めます。
7-0	PF7UP-PF0UP	R/W	プルアップ 0: 禁止 1: 許可

11.2.6.4 PFIE (ポート F 入力コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PF7IE	PF6IE	PF5IE	PF4IE	PF3IE	PF2IE	PF1IE	PF0IE
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると "0" が読めます。
7-0	PF7IE-PF0IE	R/W	入力 0: 禁止 1: 許可

11.2.7 ポート G (PG0~PG3)

ポート G は 4 ビットの入力専用ポートです。汎用入力ポート機能以外に SAR 12bit AD コンバータのアナログ入力機能があります。

リセットによりすべてのビットは汎用ポートとなり、入力・プルアップは禁止となります。

SAR 12bit AD コンバータのアナログ入力として使用する場合、PGIE レジスタは入力禁止、PGPUP レジスタはプルアップ禁止にしてください。

入力ポートとして使用する場合は、PGIE レジスタを入力許可状態にしてください。

なお、コントロールレジスタ、ファンクションレジスタは設定不要のため存在しません。

注) ポート F/G/J を、アナログ入力とそれ以外の機能で混在して使用した場合、AD 変換精度が悪化する場合があります。必ずご使用になるシステム上で問題のないことを確認してください。

11.2.7.1 ポート G レジスタ一覧

Base Address = 0x400C _ 0600

レジスタ名		Address (Base+)
ポート G データレジスタ	PGDATA	0x0000
Reserved	-	0x0004
Reserved	-	0x0008
Reserved	-	0x000C
Reserved	-	0x0010
Reserved	-	0x0014
Reserved	-	0x0018
Reserved	-	0x001C
Reserved	-	0x0020
Reserved	-	0x0024
Reserved	-	0x0028
ポート G プルアップコントロールレジスタ	PGPUP	0x002C
Reserved	-	0x0030
Reserved	-	0x0034
ポート G 入力コントロールレジスタ	PGIE	0x0038

注) "Reserved" 表記のアドレスにはアクセスしないでください。

11.2.7.2 PGDATA (ポート G データレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	PG3	PG2	PG1	PG0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-4	-	R	リードすると "0" が読めます。
3-0	PG3-PG0	R/W	ポート G データレジスタ

11.2.7.3 PGPUP (ポート G プルアップコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	PG3UP	PG2UP	PG1UP	PG0UP
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-4	-	R	リードすると "0" が読めます。
3-0	PG3UP- PG0UP	R/W	プルアップ 0: 禁止 1: 許可

11.2.7.4 PGIE (ポート G 入力コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	PG3IE	PG2IE	PG1IE	PG0IE
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-4	-	R	リードすると "0" が読めます。
3-0	PG3IE-PG0IE	R/W	入力 0: 禁止 1: 許可

11.2.8 ポート H (PH0~PH5)

ポート H はビット単位で入出力の指定ができる 5 ビットの汎用入出力ポートと 1 ビットの出専用ポートです。汎用ポート機能以外にデバッグ通信機能、動作モード設定機能があります。

リセットによりファンクションレジスタは汎用ポートとなり、PH0 ~ PH4 の入力・出力・プルアップ、PH5 の出力は禁止となります。

動作モード設定機能では、リセットが "0" の期間、PH5($\overline{\text{BOOT}}$) は BOOT モード入力とプルアップがイネーブルとなっており、リセット信号の立ち上がりで PH5 が "1" の場合、シングルモードとなって内蔵 Flash メモリから起動し、PH5(BOOT) が "0" の場合、シングル BOOT モードとなって内蔵 BOOT ROM から起動します。シングル BOOT モードの説明は、『Flash 動作説明』を参照してください。

11.2.8.1 ポート H レジスタ一覧

Base Address = 0x400C _ 0700

レジスタ名		Address (Base+)
ポート H データレジスタ	PHDATA	0x0000
ポート H 出力コントロールレジスタ	PHCR	0x0004
ポート H ファンクションレジスタ 1	PHFR1	0x0008
Reserved	-	0x000C
Reserved	-	0x0010
Reserved	-	0x0014
Reserved	-	0x0018
Reserved	-	0x001C
Reserved	-	0x0020
Reserved	-	0x0024
Reserved	-	0x0028
ポート H プルアップコントロールレジスタ	PHPUP	0x002C
ポート H プルダウンコントロールレジスタ	PHPDN	0x0030
Reserved	-	0x0034
ポート H 入力コントロールレジスタ	PHIE	0x0038

注) "Reserved" 表記のアドレスにはアクセスしないでください。

11.2.8.2 PHDATA (ポートHデータレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	PH5	PH4	PH3	PH2	PH1	PH0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-6	-	R	リードすると"0"が読めます。
5-0	PH5-PH0	R/W	ポートHデータレジスタ

11.2.8.3 PHCR (ポートH出力コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	PH5C	PH4C	PH3C	PH2C	PH1C	PH0C
リセット後	0	0	0	0	0	0	0	1

Bit	Bit Symbol	Type	機能
31-6	-	R	リードすると"0"が読めます。
5-0	PH5C-PH0C	R/W	出力 0: 禁止 1: 許可

11.2.8.4 PHFR1 (ポートHファンクションレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	PH5F1	PH4F1	PH3F1	PH2F1	PH1F1	PH0F1
リセット後	0	0	0	0	0	0	1 (注)	1 (注)

Bit	Bit Symbol	Type	機能
31-6	-	R	リードすると"0"が読めます。
5	PH5F1	R/W	0: PORT 1: -
4	PH4F1	R/W	0: PORT 1: TRACEDATA1
3	PH3F1	R/W	0: PORT 1: TRACEDATA0/SWV
2	PH2F1	R/W	0: PORT 1: TRACECLK
1	PH1F1	R/W	0: PORT 1: SWCLK
0	PH0F1	R/W	0: PORT 1: SWDIO

注) デバックインターフェース時は必ず"1"に設定してください。

11.2.8.5 PHPUP (ポート H プルアップコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	PH5UP	PH4UP	PH3UP	PH2UP	-	PH0UP
リセット後	0	0	0	0	0	0	0	1(注)

Bit	Bit Symbol	Type	機能
31-6	-	R	リードすると "0" が読めます。
5-2	PH5UP- PH2UP	R/W	プルアップ 0: 禁止 1: 許可
1	-	R	リードすると "0" が読めます。
0	PH0UP	R/W	プルアップ 0: 禁止 1: 許可

11.2.8.6 PHPDN (ポート H プルダウンコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	PH1DN	-
リセット後	0	0	0	0	0	0	1(注)	0

Bit	Bit Symbol	Type	機能
31-2	-	R	リードすると "0" が読めます。
1	PH1DN	R/W	プルダウン 0: 禁止 1: 許可
0	-	R	リードすると "0" が読めます。

注) デバックインターフェース時は必ず "1" に設定してください。

11.2.8.7 PHIE (ポート H 入力コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	PH5IE	PH4IE	PH3IE	PH2IE	PH1IE	PH0IE
リセット後	0	0	0	0	0	0	1 (注)	1 (注)

Bit	Bit Symbol	Type	機能
31-7	-	R	リードすると "0" が読めます。
5-0	PH5IE-PH0IE	R/W	入力 0: 禁止 1: 許可

注) デバックインターフェース時は必ず "1" に設定してください。

11.2.9 ポート J (PJ0~PJ7)

ポート J は 8 ビットの入力専用ポートです。汎用入力ポート機能以外に $\Delta\Sigma$ 型 16bit AD コンバータのアナログ入力機能があります。

リセットによりすべてのビットは汎用ポートとなり、入力・プルアップは禁止となります。

$\Delta\Sigma$ 型 16bit AD コンバータのアナログ入力として使用する場合、PJIE レジスタは入力禁止、PJPUP レジスタはプルアップ禁止にしてください。

入力ポートとして使用する場合は、PJIE レジスタを入力許可状態にしてください。

なお、コントロールレジスタ、ファンクションレジスタは設定不要のため存在しません。

注) ポート F/G/J を、アナログ入力とそれ以外の機能で混在して使用した場合、AD 変換精度が悪化する場合があります。必ずご使用になるシステム上で問題のないことを確認してください。

11.2.9.1 ポート J レジスタ一覧

Base Address = 0x400C _ 0900

レジスタ名		Address (Base+)
ポート J データレジスタ	PJDATA	0x0000
Reserved	-	0x0004
Reserved	-	0x0008
Reserved	-	0x000C
Reserved	-	0x0010
Reserved	-	0x0014
Reserved	-	0x0018
Reserved	-	0x001C
Reserved	-	0x0020
Reserved	-	0x0024
Reserved	-	0x0028
ポート J プルアップコントロールレジスタ	PJPUP	0x002C
Reserved	-	0x0030
Reserved	-	0x0034
ポート J 入力コントロールレジスタ	PJIE	0x0038

注) "Reserved" 表記のアドレスにはアクセスしないでください。

11.2.9.2 PJDATA (ポート J データレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PJ7	PJ6	PJ5	PJ4	PJ3	PJ2	PJ1	PJ0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると "0" が読めます。
7-0	PJ7-PJ0	R/W	ポート J データレジスタ

11.2.9.3 PJPUP (ポート J プルアップコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PJ7UP	PJ6UP	PJ5UP	PJ4UP	PJ3UP	PJ2UP	PJ1UP	PJ0UP
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると "0" が読めます。
7-0	PJ7UP-PJ0UP	R/W	プルアップ 0: 禁止 1: 許可

11.2.9.4 PJIE (ポート J 入力コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PJ7IE	PJ6IE	PJ5IE	PJ4IE	PJ3IE	PJ2IE	PJ1IE	PJ0IE
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると "0" が読めます。
7-0	PJ7IE-PJ0IE	R/W	入力 0: 禁止 1: 許可

11.2.10 ポート K (PK0~PK7)

ポート K は MCD と接続される 8 ビットの出力専用ポートです。汎用出力ポート機能以外に高分解能 PPG 出力、タイマ出力、MCD 駆動用パルス出力機能があります。

リセットによりファンクションレジスタは汎用ポートとなります。

注) PKCR レジスタは初期値の状態から書き換えないでください。

11.2.10.1 ポート K レジスタ一覧

Base Address = 0x400C _ 0A00

レジスタ名		Address (Base+)
ポート K データレジスタ	PKDATA	0x0000
ポート K 出力コントロールレジスタ	PKCR	0x0004
ポート K ファンクションレジスタ 1	PKFR1	0x0008
ポート K ファンクションレジスタ 2	PKFR2	0x000C
ポート K ファンクションレジスタ 3	PKFR3	0x0010
Reserved	-	0x0014
Reserved	-	0x0018
Reserved	-	0x001C
Reserved	-	0x0020
Reserved	-	0x0024
Reserved	-	0x0028
Reserved	-	0x002C
Reserved	-	0x0030
Reserved	-	0x0034
Reserved	-	0x0038

注) "Reserved" 表記のアドレスにはアクセスしないでください。

11.2.10.2 PKDATA (ポート K データレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PK7	PK6	PK5	PK4	PK3	PK2	PK1	PK0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると "0" が読めます。
7-0	PK7-PK0	R/W	ポート K データレジスタ

11.2.10.3 PKCR (ポート K 出力コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PK7C	PK6C	PK5C	PK4C	PK3C	PK2C	PK1C	PK0C
リセット後	1	1	1	1	1	1	1	1

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると "0" が読めます。
7-0	PK7C-PK0C	R/W	出力 0: 禁止 1: 許可

注) PKCR レジスタは初期値の状態から書き換えないでください。

11.2.10.4 PKFR1 (ポート K ファンクションレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PK7F1	PK6F1	PK5F1	PK4F1	PK3F1	PK2F1	PK1F1	PK0F1
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると "0" が読めます。
7	PK7F1	R/W	0: PORT 1: TDB1OUT1
6	PK6F1	R/W	0: PORT 1: TDB1OUT0
5	PK5F1	R/W	0: PORT 1: TDB0OUT1
4	PK4F1	R/W	0: PORT 1: TDB0OUT0
3	PK3F1	R/W	0: PORT 1: TDA1OUT1
2	PK2F1	R/W	0: PORT 1: TDA1OUT0
1	PK1F1	R/W	0: PORT 1: TDA0OUT1
0	PK0F1	R/W	0: PORT 1: TDA0OUT0

11.2.10.5 PKFR2 (ポート K ファンクションレジスタ 2)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PK7F2	-	-	-	PK3F2	PK2F2	PK1F2	PK0F2
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると "0" が読めます。
7	PK7F2	R/W	0: PORT 1: TB9OUT
6-4	-	R	リードすると "0" が読めます。
3	PK3F2	R/W	0: PORT 1: TB7OUT
2	PK2F2	R/W	0: PORT 1: TB6OUT
1	PK1F2	R/W	0: PORT 1: TB5OUT
0	PK0F2	R/W	0: PORT 1: TB4OUT

11.2.10.6 PKFR3 (ポート K ファンクションレジスタ 3)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	PK3F3	PK2F3	PK1F3	PK0F3
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-4	-	R	リードすると "0" が読めます。
3	PK3F3	R/W	0: PORT 1: FIN_OUT
2	PK2F3	R/W	0: PORT 1: EIN_OUT
1	PK1F3	R/W	0: PORT 1: DIN_OUT
0	PK0F3	R/W	0: PORT 1: CIN_OUT

11.2.11 ポート L (PL0~PL6)

ポート L は MCD と接続される 7 ビットの出力専用ポートです。汎用出力ポート機能以外に MCD コマンド送信用シリアルインターフェース、MCD 用クロック出力、MCD 用システムリセット出力、MCD 用スタンバイ制御機能があります。

リセット解除後、MCD はスタンバイ状態となります。MCD のスタンバイ状態を解除するには、PL5(ALLSTDBY _N _OUT)と PL6(SYS _RST _N _OUT)をソフトウェアで制御する必要があります。詳細は、「4 章 電源制御」の章を参照してください。

注) PLCR レジスタは初期値の状態から書き換えないでください。

11.2.11.1 ポート L レジスタ一覧

Base Address = 0x400C _ 0B00

レジスタ名		Address (Base+)
ポート L データレジスタ	PLDATA	0x0000
ポート L 出力コントロールレジスタ	PLCR	0x0004
ポート L ファンクションレジスタ 1	PLFR1	0x0008
Reserved	-	0x000C
Reserved	-	0x0010
Reserved	-	0x0014
Reserved	-	0x0018
Reserved	-	0x001C
Reserved	-	0x0020
Reserved	-	0x0024
Reserved	-	0x0028
Reserved	-	0x002C
Reserved	-	0x0030
Reserved	-	0x0034
Reserved	-	0x0038

注) "Reserved" 表記のアドレスにはアクセスしないでください。

11.2.11.2 PLDATA (ポート L データレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	PL6	PL5	PL4	PL3	PL2	PL1	PL0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-7	-	R	リードすると "0" が読めます。
6-0	PL6-PL0	R/W	ポート L データレジスタ

11.2.11.3 PLCR (ポート L 出力コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	PL6C	PL5C	PL4C	PL3C	PL2C	PL1C	PL0C
リセット後	0	1	1	1	1	1	1	1

Bit	Bit Symbol	Type	機能
31-7	-	R	リードすると "0" が読めます。
6-0	PL6C-PL0C	R/W	出力 0: 禁止 1: 許可

注) PLCR レジスタは初期値の状態から書き換えないでください。

11.2.11.4 PLFR1 (ポートLファンクションレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	PL6F1	PL5F1	PL4F1	PL3F1	PL2F1	PL1F1	PL0F1
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-7	-	R	リードすると"0"が読めます。
6	PL6F1	R/W	0: PORT (SYS_RST_N_OUT) 1: -
5	PL5F1	R/W	0: PORT (ALLSTDBY_N_OUT) 1: -
4	PL4F1	R/W	0: PORT (CON_TEST_OUT) 1: -
3	PL3F1	R/W	0: PORT 1: SCOUT
2	PL2F1	R/W	0: PORT (LOAD_OUT) 1: -
1	PL1F1	R/W	0: PORT 1: SCLK3_OUT
0	PL0F1	R/W	0: PORT 1: TXD3_OUT

11.2.12 ポート M (PM0~PM1)

ポート M は MCD の μ Step 波形をモニタする 2 ビットの入力専用ポートです。 μ STEP モニタ入力の立ち上がり、立ち下がりエッジに外部割り込み (INT8, INT9) を発生することができます。

リセットによりすべてのビットは汎用ポートとなり、入力・プルアップは禁止となります。

リセット解除後、 μ STEP モニタ入力は入力禁止となります。 μ STEP モニタ入力を行う場合、PMIE レジスタを入力許可設定にしてください。

注) PMFR1 レジスタは初期値の状態から書き換えないでください。

11.2.12.1 ポート M レジスタ一覧

Base Address = 0x400C_0C00

レジスタ名		Address (Base+)
ポート M データレジスタ	PMDATA	0x0000
Reserved	-	0x0004
ポート M ファンクションレジスタ 1	PMFR1	0x0008
ポート M ファンクションレジスタ 2	PMFR2	0x000C
Reserved	-	0x0010
Reserved	-	0x0014
Reserved	-	0x0018
Reserved	-	0x001C
Reserved	-	0x0020
Reserved	-	0x0024
Reserved	-	0x0028
ポート M プルアップコントロールレジスタ	PMPUP	0x002C
Reserved	-	0x0030
Reserved	-	0x0034
ポート M 入力コントロールレジスタ	PMIE	0x0038

注) "Reserved" 表記のアドレスにはアクセスしないでください。

11.2.12.2 PMDATA (ポート M データレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	PM1	PM0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	-	R	リードすると "0" が読めます。
1-0	PM1-PM0	R/W	ポート M データレジスタ

11.2.12.3 PMFR1 (ポート M ファンクションレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	PM1F1	PM0F1
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	-	R	リードすると "0" が読めます。
1	PM1F1	R/W	0: PORT 1: INT9
0	PM0F1	R/W	0: PORT 1: INT8

注) PMFR1 レジスタは初期値の状態から書き換えしないでください。

11.2.12.4 PMFR2 (ポート M ファンクションレジスタ 2)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	PM1F2	PM0F2
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	-	R	リードすると "0" が読めます。
1	PM1F2	R/W	0: PORT 1: MO2_IN
0	PM0F2	R/W	0: PORT 1: MO1_IN

11.2.12.5 PMPUP (ポート M ブルアップコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	PM1UP	PM0UP
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	-	R	リードすると "0" が読めます。
1-0	PM1UP- PM0UP	R/W	ブルアップ 0: 禁止 1: 許可

11.2.12.6 PMIE (ポート M 入力コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	PM1IE	PM0IE
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	-	R	リードすると "0" が読めます。
1-0	PM1IE-PM0IE	R/W	入力 0: 禁止 1: 許可

11.3 ポート回路図

11.3.1 ポートタイプ一覧

ポートには、以下のタイプがあります。それぞれの回路図を次ページから示します。図中の点線は「ポート部等価回路図」で記されている等価回路の範囲を示します。

表 11-3 機能一覧

Type	汎用ポート	機能	アナログ	Pull-up	Pull-down	プログラマブルオープンドレイン	備考
FT1	入出力	入出力	-	R	-	o	
FT2	入出力	入出力	-	NoR	NoR	o	機能出力にイネーブル付き
FT3	入出力	入出力	-	R	-	o	機能出力にイネーブル付き
FT4	入出力	入力 (int)	-	R	-	o	ノイズフィルタ付き
FT5	入力	入力	o	R	-	-	
FT6	出力	出力	-	NoR	-	o	リセット中 $\overline{\text{BOOT}}$ 入力イネーブル

int: 割り込み入力

-: なし

o: 有り

R: リセット中は強制的に禁止

NoR: リセットでは制御されない

11.3.2 タイプ FT1

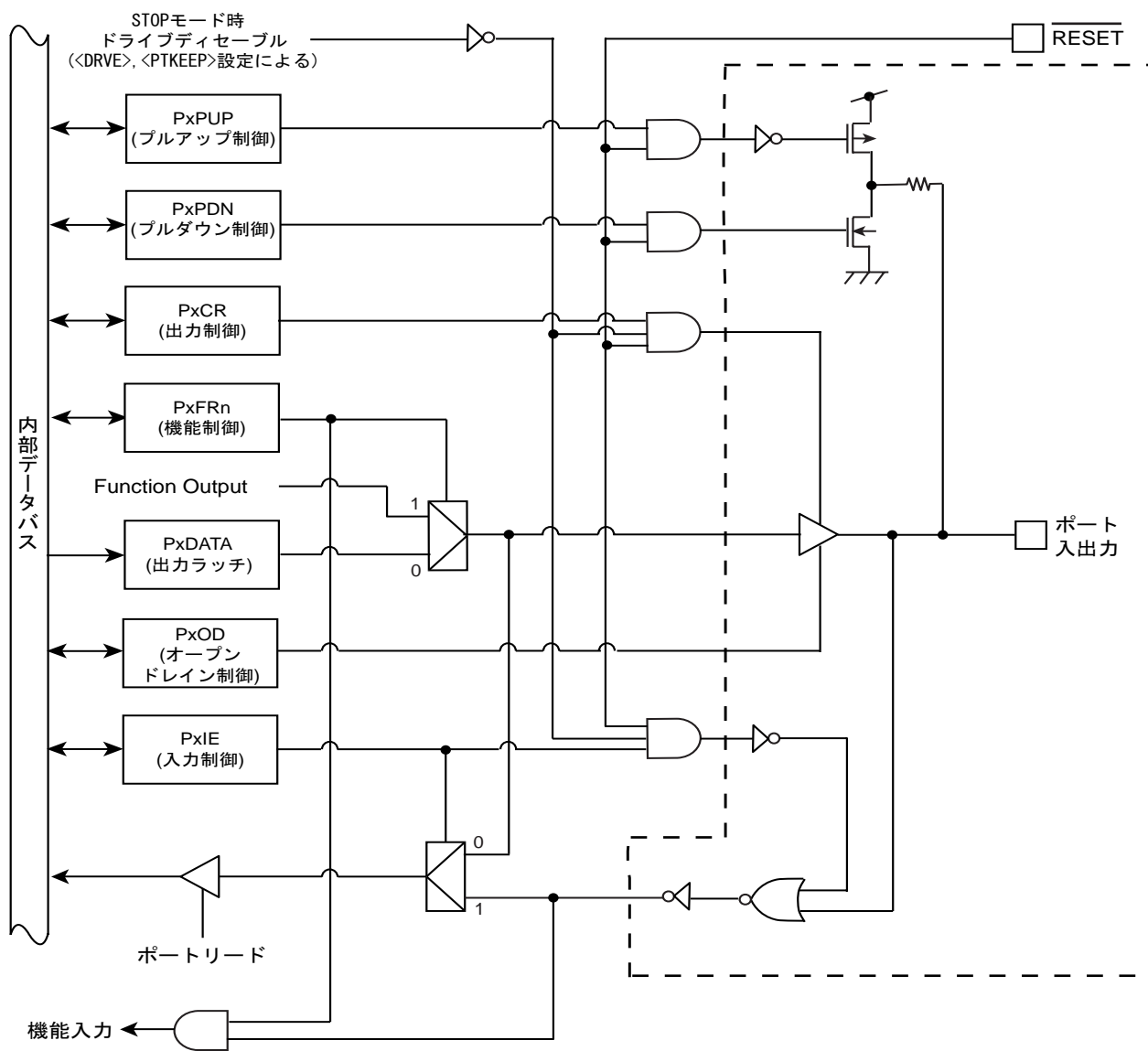


図 11-1 ポートタイプ FT1

11.3.3 タイプ FT2

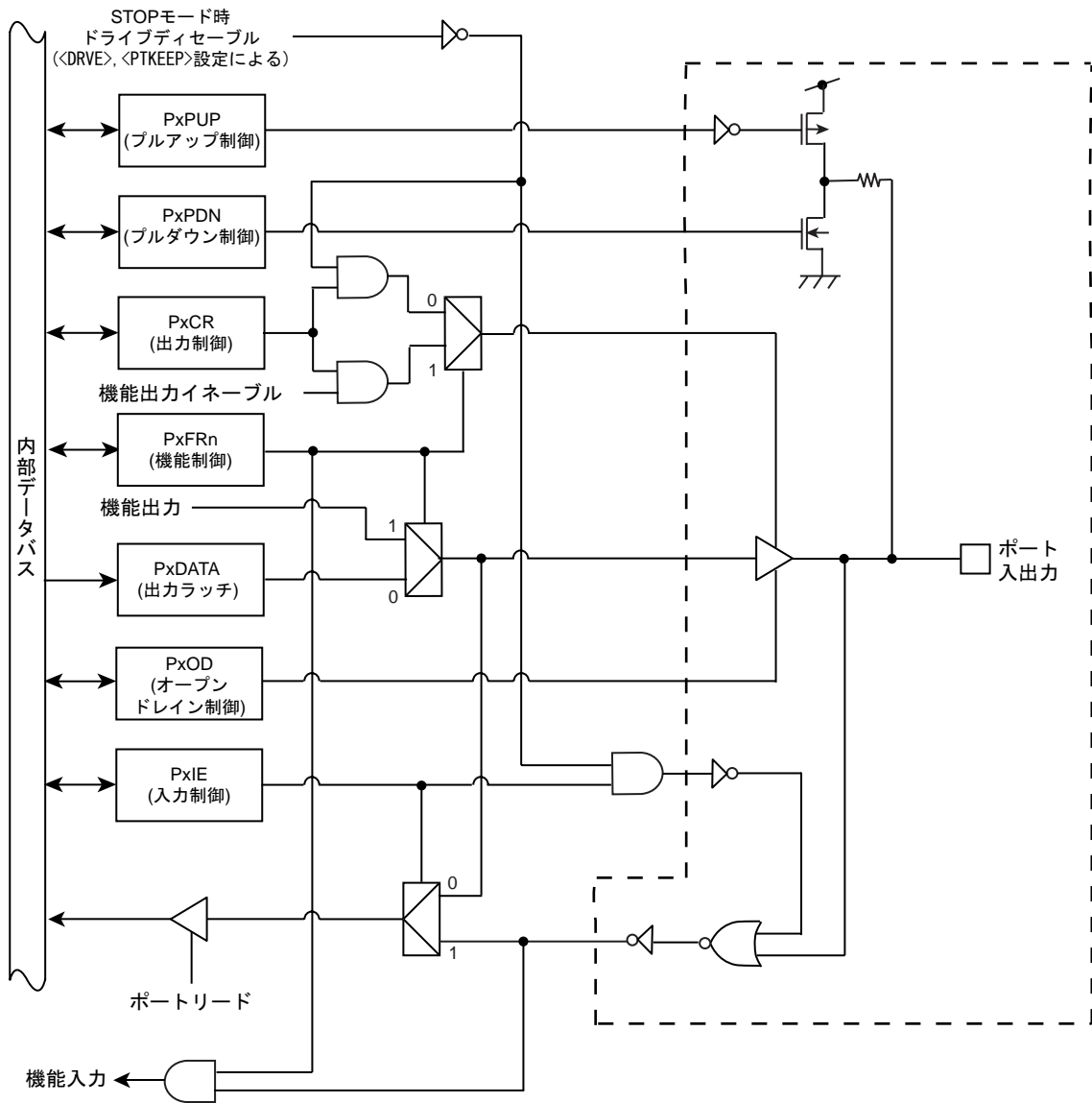


図 11-2 ポートタイプ FT2

11.3.4 タイプ FT3

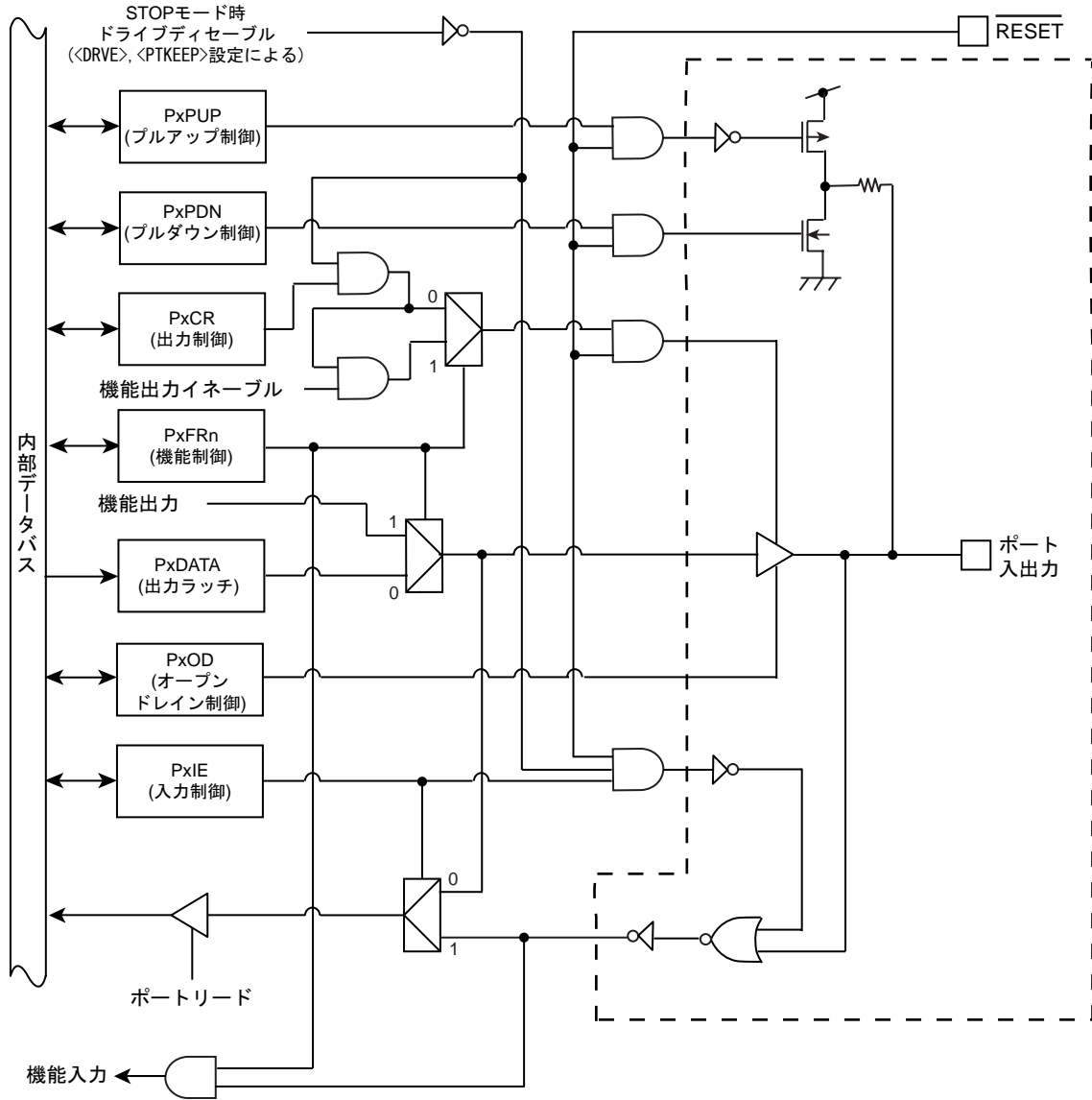


図 11-3 ポートタイプ FT3

11.3.5 タイプ FT4

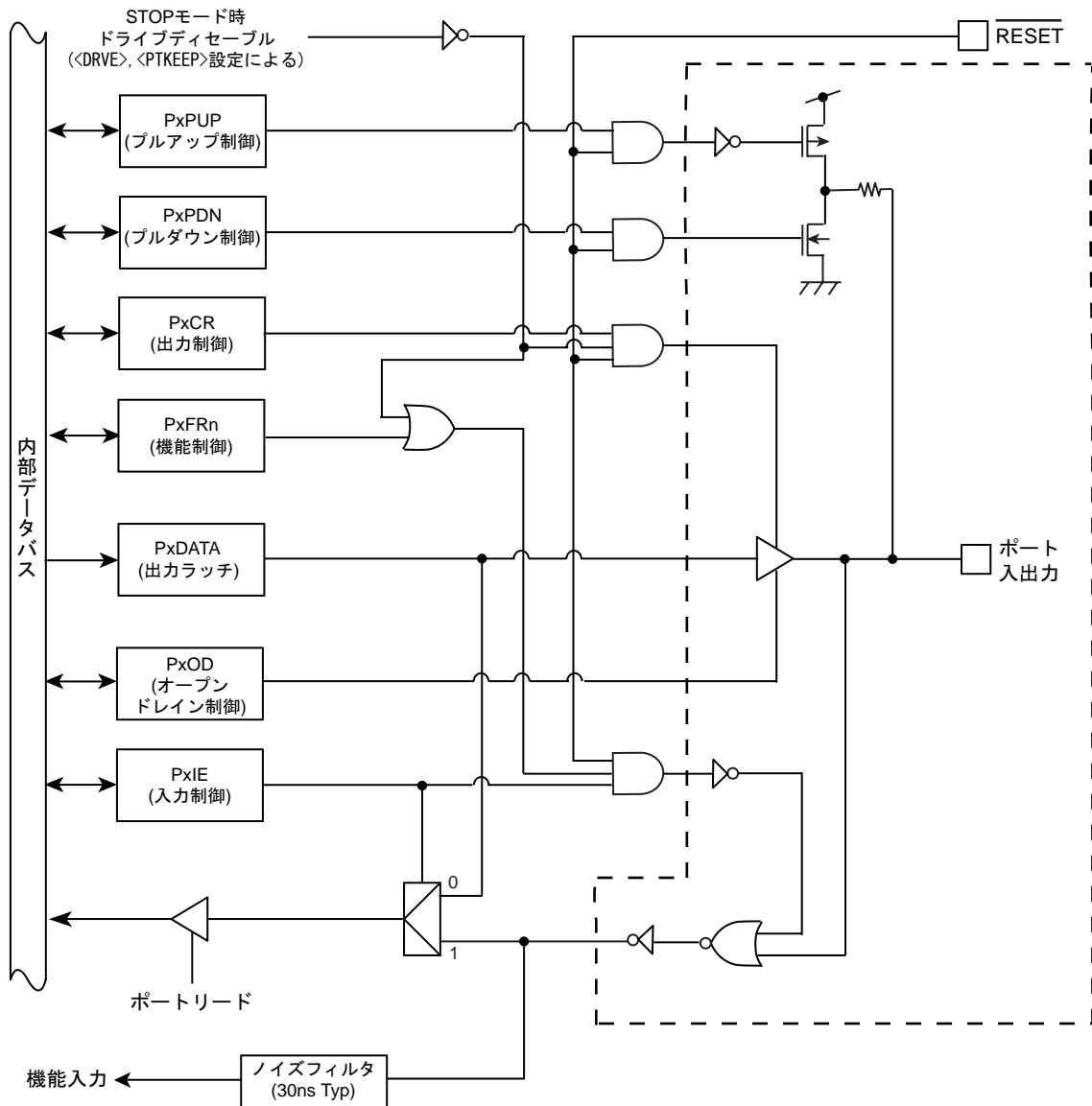


図 11-4 ポートタイプ FT4

11.3.6 タイプ FT5

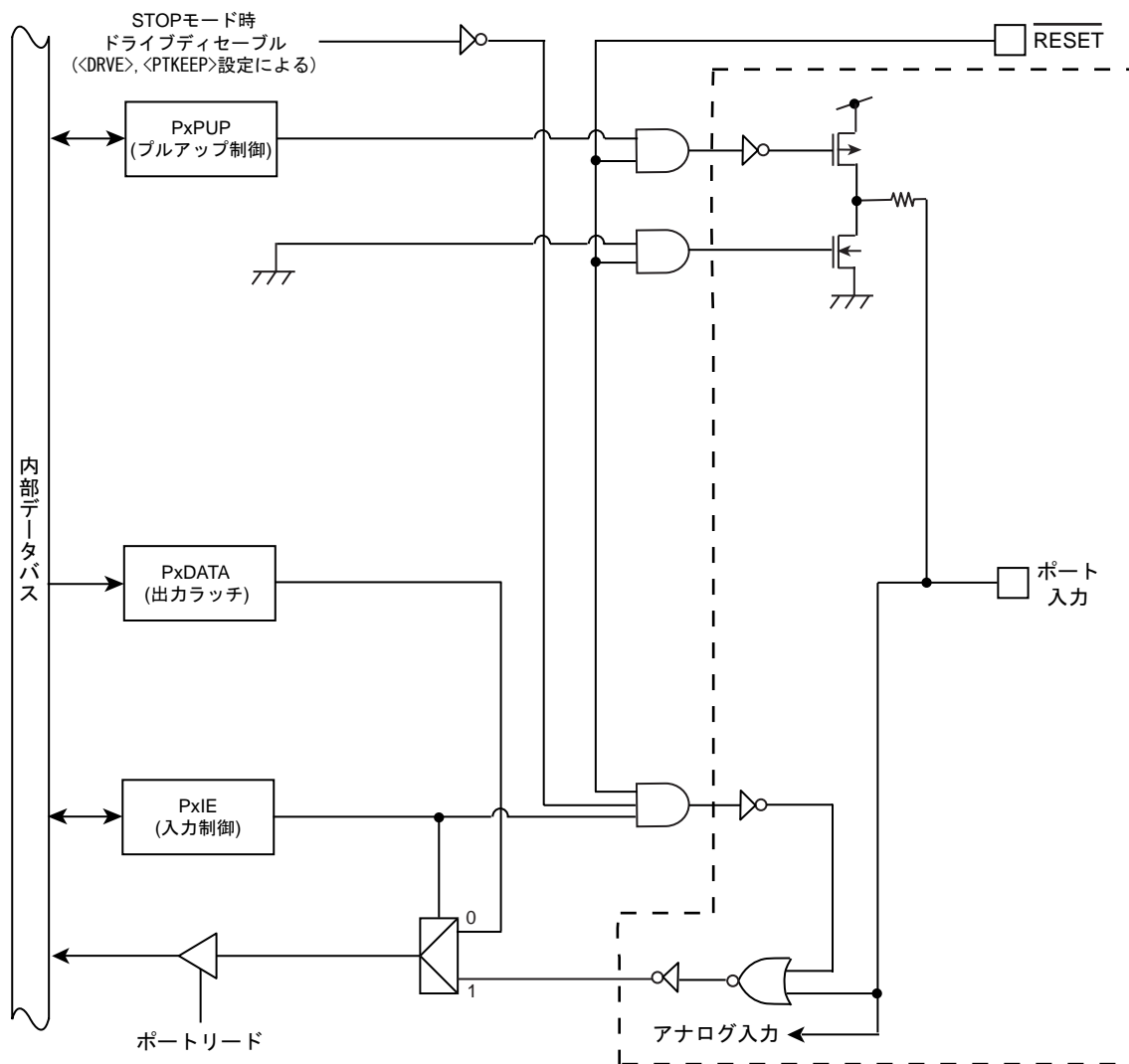


図 11-5 ポートタイプ FT5

11.3.7 タイプ FT6

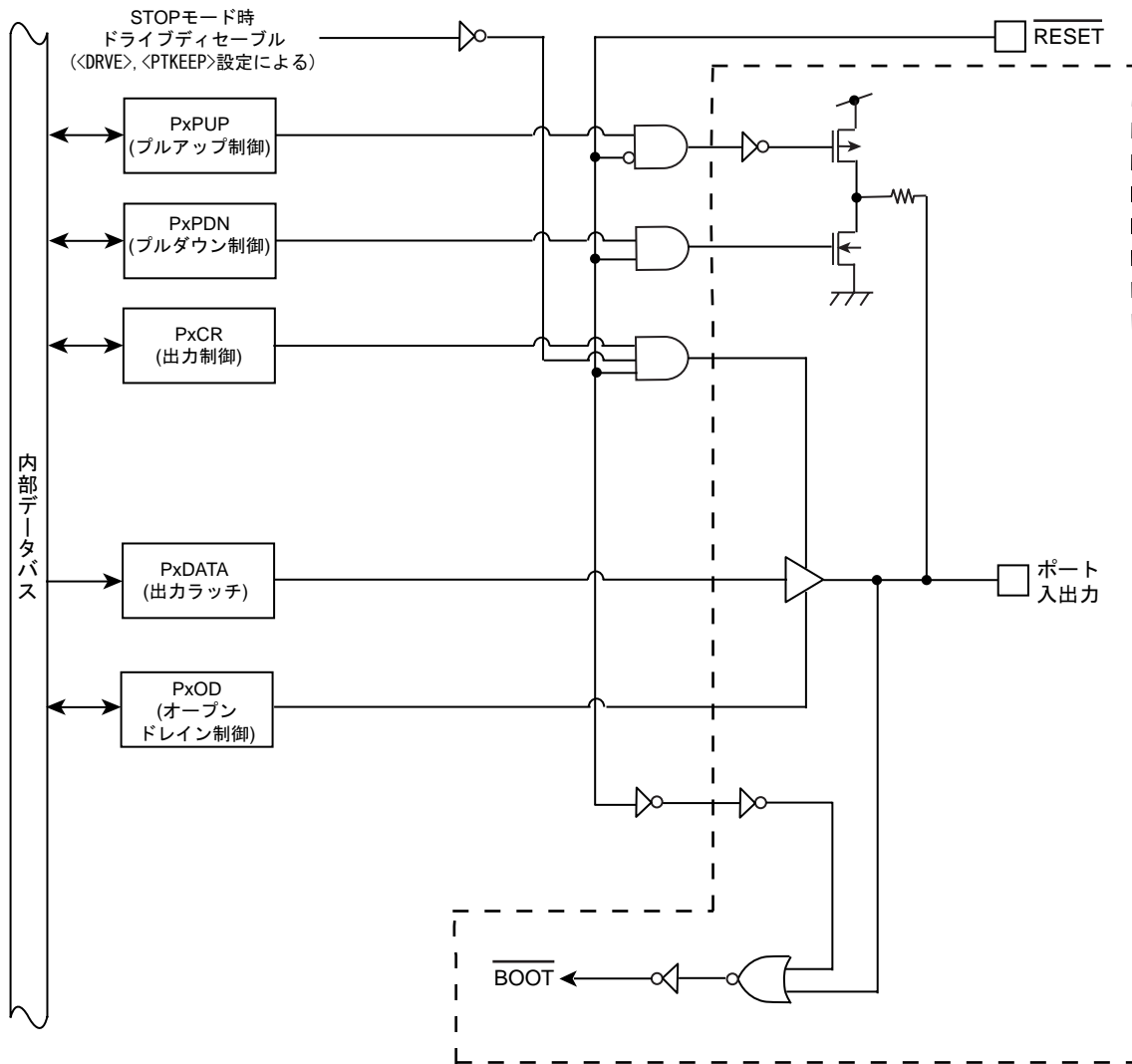


図 11-6 ポートタイプ FT6

11.4 付録 (ポート設定一覧)

機能ごとのレジスタ設定一覧を以下に示します。

初期設定欄に「・」のないポートの初期設定は、すべてのレジスタ設定が "0" となっています。"x" のビット設定は任意に行なってください。

11.4.1 ポート A 設定

表 11-4 ポート設定一覧 (ポート A)

端子名	ポート タイプ	機能	初期 設定	PACR	PAFR1	PAFR2	PAOD	PAPUP	PAIE
PA0	FT1	入力ポート		0	0	0	x	x	1
		出力ポート		1	0	0	x	x	0
	FT1	TDA0OUT0(出力)		1	1	0	x	x	0
	FT1	TB4OUT(出力)		1	0	1	x	x	0
PA1	FT1	入力ポート		0	0	0	x	x	1
		出力ポート		1	0	0	x	x	0
	FT1	TDA0OUT1(出力)		1	1	0	x	x	0
	FT1	TB5OUT(出力)		1	0	1	x	x	0
PA2	FT1	入力ポート		0	0	0	x	x	1
		出力ポート		1	0	0	x	x	0
	FT1	TDA1OUT0(出力)		1	1	0	x	x	0
	FT1	TB6OUT(出力)		1	0	1	x	x	0
PA3	FT1	入力ポート		0	0	0	x	x	1
		出力ポート		1	0	0	x	x	0
	FT1	TDA1OUT1(出力)		1	1	0	x	x	0
	FT1	TB7OUT(出力)		1	0	1	x	x	0
PA4	FT1	入力ポート		0	0	0	x	x	1
		出力ポート		1	0	0	x	x	0
	FT1	TDB0OUT0(出力)		1	1	0	x	x	0
	FT1	CIN(入力)		0	0	1	x	x	1
PA5	FT1	入力ポート		0	0	0	x	x	1
		出力ポート		1	0	0	x	x	0
	FT1	TDB0OUT1(出力)		1	1	0	x	x	0
	FT1	DIN(入力)		0	0	1	x	x	1
PA6	FT1	入力ポート		0	0	0	x	x	1
		出力ポート		1	0	0	x	x	0
	FT1	TDB1OUT0(出力)		1	1	0	x	x	0
	FT1	EIN(入力)		0	0	1	x	x	1
PA7	FT1	入力ポート		0	0	0	x	x	1
		出力ポート		1	0	0	x	x	0
	FT1	TDB1OUT1(出力)		1	1	0	x	x	0
	FT1	FIN(入力)		0	0	1	x	x	1

11.4.2 ポート B 設定

表 11-5 ポート設定一覧 (ポート B)

端子名	ポート タイプ	機能	初期 設定	PBCR	PBFR1	FBFR2	FBFR3	PBOD	PBPUP	PBIE
PB0	FT1	入力ポート		0	0	0	0	x	x	1
		出力ポート		1	0	0	0	x	x	0
	FT1	TXD0(出力)		1	1	0	0	x	x	0
PB1	FT1	入力ポート		0	0	0	0	x	x	1
		出力ポート		1	0	0	0	x	x	0
	FT1	RXD0(入力)		0	1	0	0	x	x	1
	FT1	MO1_OUT(出力)		1	0	1	0	x	x	0
PB2	FT1	入力ポート		0	0	0	0	x	x	1
		出力ポート		1	0	0	0	x	x	0
	FT1	SCLK0(入力)		0	1	0	0	x	x	1
	FT1	MO2_OUT(出力)		1	0	1	0	x	x	0
	FT1	CTS0(入力)		0	0	0	1	0	x	1
PB3	FT1	入力ポート		0	0	0	0	x	x	1
		出力ポート		1	0	0	0	x	x	0
	FT4	INT3(入力)		0	1	0	0	0	x	1
PB4	FT1	入力ポート		0	0	0	0	x	x	1
		出力ポート		1	0	0	0	x	x	0
	FT1	SCL0(入出力)		1	1	0	0	1	x	1
PB5	FT1	入力ポート		0	0	0	0	x	x	1
		出力ポート		1	0	0	0	x	x	0
	FT1	SDA0(入出力)		1	1	0	0	1	x	1
PB6	FT1	入力ポート		0	0	0	0	x	x	1
		出力ポート		1	0	0	0	x	x	0
	FT4	INT4(入力)		0	1	0	0	0	x	1
PB7	FT1	入力ポート		0	0	0	0	x	x	1
		出力ポート		1	0	0	0	x	x	0
	FT4	INT5(入力)		0	1	0	0	0	x	1

注) ポート B<7:0> は 5V トレラント入力端子として使用できます。

11.4.3 ポート C 設定

表 11-6 ポート設定一覧 (ポート C)

端子名	ポート タイプ	機能	初期 設定	PCCR	PCFR1	PCFR2	PCFR3	PCOD	PCPUP	PCIE
PC0	FT1	入力ポート		0	0	0	0	x	x	1
		出力ポート		1	0	0	0	x	x	0
	FT1	TXD1(出力)		1	1	0	0	x	x	0
	FT1	U0TXD(出力)		1	0	1	0	x	x	0
PC1	FT1	入力ポート		0	0	0	0	x	x	1
		出力ポート		1	0	0	0	x	x	0
	FT1	RXD1(入力)		0	1	0	0	0	x	1
	FT1	U0RXD(入力)		0	0	1	0	0	x	1
PC2	FT1	入力ポート		0	0	0	0	x	x	1
		出力ポート		1	0	0	0	x	x	0
	FT1	SCLK1(入力)		0	1	0	0	0	x	1
		SCLK1(出力)		1	1	0	0	x	x	0
	FT1	$\overline{U0CTS}$ (入力)		0	0	1	0	0	x	1
	FT1	$\overline{CTS1}$ (入力)		0	0	0	1	0	x	1
PC3	FT1	入力ポート		0	0	0	0	x	x	1
		出力ポート		1	0	0	0	x	x	0
	FT4	INT6(入力)		0	1	0	0	0	x	1
	FT1	$\overline{U0RTS}$ (入力)		0	0	1	0	0	x	1
PC4	FT1	入力ポート		0	0	0	0	x	x	1
		出力ポート		1	0	0	0	x	x	0
	FT1	PHC0IN0(入力)		0	1	0	0	0	x	1
PC5	FT1	入力ポート		0	0	0	0	x	x	1
		出力ポート		1	0	0	0	x	x	0
	FT1	PHC0IN1(入力)		0	1	0	0	0	x	1
PC6	FT1	入力ポート		0	0	0	0	x	x	1
		出力ポート		1	0	0	0	x	x	0
	FT1	PHC1IN0(入力)		0	1	0	0	0	x	1
PC7	FT1	入力ポート		0	0	0	0	x	x	1
		出力ポート		1	0	0	0	x	x	0
	FT1	PHC1IN1(入力)		0	1	0	0	0	x	1

注) ポート C<3:0> は 5V トレラント入力端子として使用できます。

11.4.4 ポート D 設定

表 11-7 ポート設定一覧 (ポート D)

端子名	ポート タイプ	機能	初期 設定	PDCR	PDFR1	PDFR2	PDFR3	PDOD	PDPUP	PDIE
PD0	FT1	入力ポート		0	0	0	0	x	x	1
		出力ポート		1	0	0	0	x	x	0
	FT1	TXD2(出力)		1	1	0	0	0	x	0
	FT1	VSIOTXD(出力)		1	0	1	0	0	x	0
PD1	FT1	入力ポート		0	0	0	0	x	x	1
		出力ポート		1	0	0	0	x	x	0
	FT1	RXD2(入力)		0	1	0	0	0	x	1
	FT1	VSIORXD(入力)		0	0	1	0	0	x	1
PD2	FT1	入力ポート		0	0	0	0	x	x	1
		出力ポート		1	0	0	0	x	x	0
	FT1	SCK2(入力)		0	1	0	0	0	x	1
		SCK2(出力)		1	1	0	0	x	x	0
	FT1	VSIOSCK(入力)		0	0	1	0	0	x	1
		VSIOSCK(出力)		1	0	1	0	0	x	0
FT1	$\overline{\text{CTS2}}$ (入力)		0	0	0	1	0	x	1	
PD3	FT1	入力ポート		0	0	0	0	x	x	1
		出力ポート		1	0	0	0	x	x	0
	FT4	INT7(入力)		0	1	0	0	0	x	1
	FT1	VSIICS0(出力)		1	0	1	0	x	x	0
PD4	FT1	入力ポート		0	0	0	0	x	x	1
		出力ポート		1	0	0	0	x	x	0
	FT3	SP0DO(出力)		1	1	0	0	x	x	0
	FT1	TB1OUT(出力)		1	0	1	0	x	x	0
PD5	FT1	入力ポート		0	0	0	0	x	x	1
		出力ポート		1	0	0	0	x	x	0
	FT3	SP0DI(入力)		0	1	0	0	x	x	1
	FT1	TB2OUT(出力)		1	0	1	0	x	x	0
PD6	FT1	入力ポート		0	0	0	0	x	x	1
		出力ポート		1	0	0	0	x	x	0
	FT3	SP0CLK(入力)		0	1	0	0	0	x	1
		SP0CLK(出力)		1	1	0	0	x	x	0
	FT1	TB3OUT(出力)		1	0	1	0	x	x	0
PD7	FT1	入力ポート		0	0	0	0	x	x	1
		出力ポート		1	0	0	0	x	x	0
	FT3	SP0FSS(入力)		0	1	0	0	0	x	1
		SP0FSS(出力)		1	1	0	0	x	x	0
	FT1	VSIICS1(出力)		1	0	1	0	x	x	0

11.4.5 ポート E 設定

表 11-8 ポート設定一覧 (ポート E)

端子名	ポート タイプ	機能	初期 設定	PECR	PEFR1	PEFR2	PEOD	PEPUP	PEIE
PE0	FT1	入力ポート		0	0	0	x	x	1
		出力ポート		1	0	0	x	x	0
	FT4	INT0(入力)		0	1	0	0	x	1
PE1	FT1	入力ポート		0	0	0	x	x	1
		出力ポート		1	0	0	x	x	0
	FT4	INT1(入力)		0	1	0	0	x	1
PE2	FT1	入力ポート		0	0	0	x	x	1
		出力ポート		1	0	0	x	x	0
	FT4	INT2(入力)		0	1	0	0	x	1
	FT1	TB8OUT(出力)		1	0	1	x	x	0
PE3	FT1	入力ポート		0	0	0	0	x	1
		出力ポート		1	0	0	x	x	0
	FT1	TB9OUT(出力)		1	0	1	x	x	0
PE4	FT1	入力ポート		0	0	0	x	x	1
		出力ポート		1	0	0	x	x	0
	FT1	TB0OUT(出力)		1	0	1	x	x	0

11.4.6 ポート F 設定

表 11-9 ポート設定一覧 (ポート F)

端子名	ポート タイプ	機能	初期 設定	PFPUP	PFIE
PF0	FT5	入力ポート		x	1
		AINA0(入力)		0	0
PF1	FT5	入力ポート		x	1
		AINA1(入力)		0	0
PF2	FT5	入力ポート		x	1
		AINA2(入力)		0	0
PF3	FT5	入力ポート		x	1
		AINA3(入力)		0	0
PF4	FT5	入力ポート		x	1
		AINA4(入力)		0	0
PF5	FT5	入力ポート		x	1
		AINA5(入力)		0	0
PF6	FT5	入力ポート		x	1
		AINA6(入力)		0	0
PF7	FT5	入力ポート		x	1
		AINA7(入力)		0	0

11.4.7 ポート G 設定

表 11-10 ポート設定一覧 (ポート G)

端子名	ポート タイプ	機能	初期 設定	PGPUP	PGIE
PG0	FT5	入力ポート		x	1
		AINB0(入力)		0	0
PG1	FT5	入力ポート		x	1
		AINB1(入力)		0	0
PG2	FT5	入力ポート		x	1
		AINB2(入力)		0	0
PG3	FT5	入力ポート		x	1
		AINB3(入力)		0	0

11.4.8 ポート H 設定

表 11-11 ポート設定一覧 (ポート H)

端子名	ポート タイプ	機能	初期 設定	PHCR	PHFR1	PHPUP	PHPDN	PHIE
PH0	FT1	入力ポート		0	0	x	x	1
		出力ポート		1	0	x	x	0
	FT2	SWDIO(入出力)	.	1	1	1	0	1
PH1	FT1	入力ポート		0	0	x	x	1
		出力ポート		1	0	x	x	0
	FT2	SWCLK(入力)	.	0	1	0	1	1
PH2	FT1	入力ポート		0	0	x	x	1
		出力ポート		1	0	x	x	0
	FT1	TRACECLK(出力)		1	1	0	0	0
PH3	FT1	入力ポート		0	0	x	x	1
		出力ポート		1	0	x	x	0
	FT1	TRACEDATA0 /SWV(出力)		1	1	0	0	0
PH4	FT1	入力ポート		0	0	x	x	1
		出力ポート		1	0	x	x	0
	FT1	TRACEDATA1(出力)		1	1	0	0	0
PH5	FT6	出力ポート		1	0	x	x	0

注) PH5 は $\overline{\text{RESET}}$ が "Low" の間 Pull-up と入力が許可になっており、 $\overline{\text{BOOT}}$ 入力端子として機能します。

11.4.9 ポート J 設定

表 11-12 ポート設定一覧 (ポート J)

端子名	ポート タイプ	機能	初期 設定	PJPUP	PJIE
PJ0	FT5	入力ポート		x	1
		AINC2P(入力)		0	0
PJ1	FT5	入力ポート		x	1
		AINC2N(入力)		0	0
PJ2	FT5	入力ポート		x	1
		AINC3P(入力)		0	0
PJ3	FT5	入力ポート		x	1
		AINC3N(入力)		0	0
PJ4	FT5	入力ポート		x	1
		AINC4P(入力)		0	0
PJ5	FT5	入力ポート		x	1
		AINC4N(入力)		0	0
PJ6	FT5	入力ポート		x	1
		AINC5P(入力)		0	0
PJ7	FT5	入力ポート		x	1
		AINC5N(入力)		0	0

11.4.10 ポート K 設定

表 11-13 ポート設定一覧 (ポート K)

端子名	ポート タイプ	機能	初期 設定	PKCR	PKFR1	PKFR2	PKFR3
PK0		出力ポート		1	0	0	0
		TDA0OUT0(出力)		1	1	0	0
		TB4OUT(出力)		1	0	1	0
		CINOUT(出力)		1	0	0	1
PK1		出力ポート		1	0	0	0
		TDA0OUT1(出力)		1	1	0	0
		TB5OUT(出力)		1	0	1	0
		DINOUT(出力)		1	0	0	1
PK2		出力ポート		1	0	0	0
		TDA1OUT0(出力)		1	1	0	0
		TB6OUT(出力)		1	0	1	0
		EINOUT(出力)		1	0	0	1
PK3		出力ポート		1	0	0	0
		TDA1OUT1(出力)		1	1	0	0
		TB7OUT(出力)		1	0	1	0
		FINOUT(出力)		1	0	0	1
PK4		出力ポート		1	0	0	0
		TDB0OUT0(出力)		1	1	0	0
PK5		出力ポート		1	0	0	0
		TDB0OUT1(出力)		1	1	0	0
PK6		出力ポート		1	0	0	0
		TDB1OUT0(出力)		1	1	0	0
PK7		出力ポート		1	0	0	0
		TDB1OUT1(出力)		1	1	0	0
		TB9OUT(出力)		1	0	1	0

11.4.11 ポート L 設定

表 11-14 ポート設定一覧 (ポート L)

端子名	ポート タイプ	機能	初期 設定	PLCR	PLFR1
PL0		出力ポート		1	0
		TXD3_OUT(出力)		1	1
PL1		出力ポート		1	0
		SCLK3-OUT(出力)		1	1
PL2		出力ポート (LOAD_OUT)		1	0
PL3		出力ポート		1	0
		SCOUT(出力)		1	1
PL4		出力ポート (CON_TEST_OUT)		1	0
PL5		出力ポート (ALLSTDBY_N_OUT)		1	0
PL6		出力ポート (SYS_RST_N_OUT)		1	0

11.4.12 ポート M 設定

表 11-15 ポート設定一覧 (ポート M)

端子名	ポート タイプ	機能	初期 設定	PMFR1	PMFR2	PMPUP	PMIE
PM0		入力ポート		0	0	x	1
		INT8(入力)		1	0	x	1
		MO1_IN(入力)		0	1	x	1
PM1		入力ポート		0	0	x	1
		INT9(入力)		1	0	x	1
		MO2_IN(入力)		0	1	x	1

第 12 章 16 ビットタイマ / イベントカウンタ (TMRB)

12.1 概要

TMRB は、次の 4 つの動作モードをもっています。

- 16 ビットインターバルタイマモード
- 16 ビットプログラマブル矩形波出力 (PPG) モード
- タイマ同期モード
- インターバルタイマモードによる PSC 起動
- インターバルタイマモードによる DMAC 起動

以下の説明中、"x" はチャンネル番号を表します。

12.2 チャンネル別仕様相違点

TMPM342FYXBG は、10 チャンネルの TMRB を内蔵しています。

各チャンネルはそれぞれ独立に動作します。いずれのチャンネルも表 12-1 に示される仕様相違点を除いて同一の動作をします。

また、一部のチャンネルから他のチャンネルへ同期トリガをかけることができます。

1. タイマ同期モードのスタートトリガ (TBxRUN を使用)
 - TMRB0 → TMRB0, 1, 2, 3 を同時スタート
 - TMRB4 → TMRB4, 5, 6, 7 を同時スタート
2. タイマプリスケアラ同期スタートトリガ (TBxPRUN を使用)
 - TMRB0 → TMRB0, 1, 2, 3 を同時スタート
 - TMRB4 → TMRB4, 5, 6, 7 を同時スタート

表 12-1 TMRB のチャンネル別仕様相違点

仕様	外部端子	タイム間トリガ機能	割り込み	内部接続							
				DMA リクエスト	PSC	SAR 型 ADC 最優先 変換開始	SAR 型 ADC 通常 変換開始	$\Delta\Sigma$ 型 ADC 最優先 変換開始	$\Delta\Sigma$ 型 ADC 通常 変換開始	タイム フリップ フロップ 出力 TBxOUT から SIO/UART(TXTRG: 転送 クロック)	タイム フリップ フロップ 出力 TBxOUT から MCD Micro Step 接続
TMRB0	TB0OUT	-	INTTB0	-	TB0RG1 一致	-	-	-	-	-	-
TMRB1	TB1OUT	TB0PRUN, TB0RUN	INTTB1	-	-	-	TB1RG0 一致 UnitA (INTTB1)	-	-	-	-
TMRB2	TB2OUT	TB0PRUN, TB0RUN	INTTB2	-	-	-	TB2RG0 一致 UnitB (INTTB2)	-	TB2RG0 一致 (INTTB2)	-	-
TMRB3	TB3OUT	TB0PRUN, TB0RUN	INTTB3	-	-	TB3RG0 一致 UnitB (INTTB3)	-	TB3RG0 一致 (INTTB3)	-	-	-
TMRB4	TB4OUT	-	INTTB4	UnitA (INTTB4)	-	-	-	-	-	-	chC 駆動 (TB4OUT)
TMRB5	TB5OUT	TB4PRUN, TB4RUN	INTTB5	-	-	-	-	-	-	-	chD 駆動 (TB5OUT)
TMRB6	TB6OUT	TB4PRUN, TB4RUN	INTTB6	UnitA (INTTB6)	-	-	-	-	-	-	chE 駆動 (TB6OUT)
TMRB7	TB7OUT	TB4PRUN, TB4RUN	INTTB7	-	-	-	-	-	-	SIO0, SIO1, SIO2	chF 駆動 (TB7OUT)
TMRB8	TB8OUT	-	INTTB8	-	-	TB8RG0 一致 UnitA (INTTB8)	-	-	-	-	-
TMRB9	TB9OUT	-	INTTB9	-	-	-	-	-	-	-	chG 駆動 (TB9OUT)

12.3 構成

各チャンネルは、主に16ビットアップカウンタ、16ビットタイマレジスタ2本(ダブルバッファ構造)、コンパレータ、および、タイマフリップフロップとその制御回路で構成されています。タイマの動作モードやタイマフリップフロップはレジスタで制御されます。

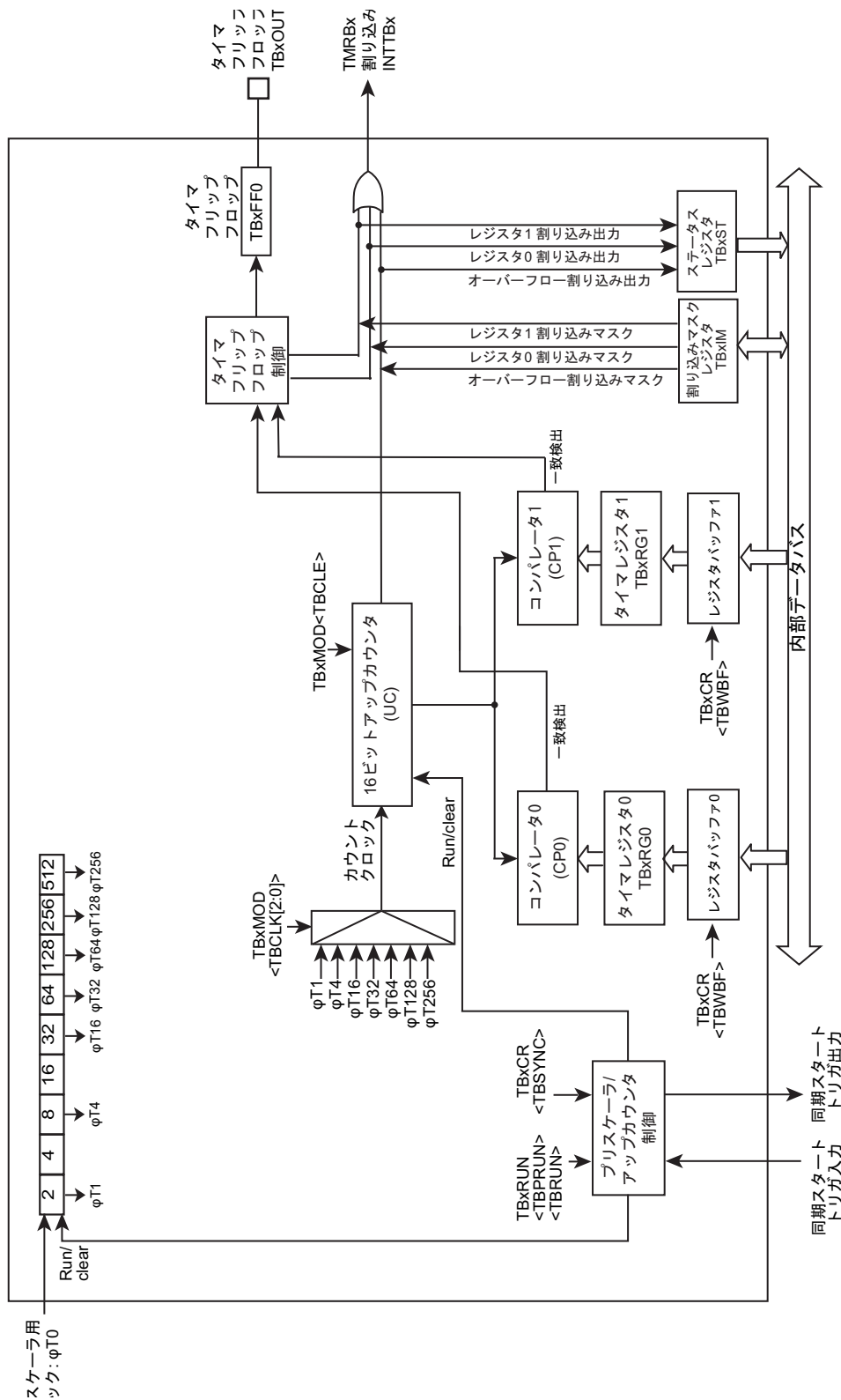


図 12-1 TMRBx ブロック図 (x= 0~9)

12.4 レジスタ説明

12.4.1 チャネル別レジスタ一覧

各チャネルのレジスタとアドレスを以下に示します。

Channel x	Base Address
Channel0	0x400C _ 4000
Channel1	0x400C _ 4100
Channel2	0x400C _ 4200
Channel3	0x400C _ 4300
Channel4	0x400C _ 4400
Channel5	0x400C _ 4500
Channel6	0x400C _ 4600
Channel7	0x400C _ 4700
Channel8	0x400C _ 4800
Channel9	0x400C _ 4900

レジスタ名 (x=0-9)		Address(Base+)
イネーブルレジスタ	TBxEN	0x0000
RUN レジスタ	TBxRUN	0x0004
コントロールレジスタ	TBxCR	0x0008
モードレジスタ	TBxMOD	0x000C
フリップフロップコントロールレジスタ	TBxFFCR	0x0010
ステータスレジスタ	TBxST	0x0014
割り込みマスクレジスタ	TBxIM	0x0018
Reserved	-	0x001C
タイマレジスタ 0	TBxRG0	0x0020
タイマレジスタ 1	TBxRG1	0x0024
Reserved	-	0x0028
Reserved	-	0x002C
DMA 要求許可レジスタ	TBxDMA	0x0030

注) タイマ動作中に、タイマコントロールレジスタ、タイマモードレジスタ、タイマフリップフロップコントロールレジスタの変更はできません。タイマを停止後に、上記レジスタの変更を実施して下さい。

12.4.2 TBxEN(イネーブルレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TBEN	TBHALT	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると "0" が読めます。
7	TBEN	R/W	<p>TMRBx 動作</p> <p>0: 禁止 1: 許可</p> <p>TMRB の動作を指定します。動作禁止の状態では TMRB モジュールの他のレジスタへクロックが供給されませんので消費電力の低減が可能です (この状態では、TBxEN レジスタ以外のレジスタへのリード、ライトはできません)。 TMRB を使用する場合は、TMRB モジュールの各レジスタを設定する前に TMRB 動作許可 ("1") にしてください。TMRB をいったん動作させた後に、動作禁止した場合は各レジスタの設定は保持されます。</p>
6	TBHALT	R/W	<p>デバッグ HALT 中のクロック動作</p> <p>0: 動作 1: 停止</p> <p>デバッグツール使用時に HALT モードに遷移した場合、TMRB クロック動作 / 停止の設定を行いません。</p>
5-0	-	R	リードすると "0" が読めます。

12.4.3 TBxRUN(RUN レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	TBPRUN	-	TBRUN
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-3	-	R	リードすると "0" が読めます。
2	TBPRUN	R/W	ブリスケラ動作 0: 停止 & クリア 1: カウント
1	-	R	リードすると "0" が読めます。
0	TBRUN	R/W	カウンタ動作 0: 停止 & クリア 1: カウント

12.4.4 TBxCR(コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TBWBFB	-	TBSYNC	-	I2TB	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると "0" が読めます。
7	TBWBFB	R/W	ダブルバッファ 0: 禁止 1: 許可
6	-	R/W	"0" をライトしてください。
5	TBSYNC	R/W	同期モード切替 0: 個別動作 (チャンネルごと) 1: 同期動作
4	-	R	リードすると "0" が読めます。
3	I2TB	R/W	IDLE 時の動作 0: 停止 1: 動作
2-0	-	R/W	"0" をライトしてください。

12.4.5 TBxMOD(モードレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-		TBCLE	TBCLK		
リセット後	0	1	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると "0" が読めます。
7	-	R/W	"0" をライトしてください。
6	-	W	"1" をライトしてください。 リードすると "1" が読めます。
5-4	-	R/W	"00" をライトしてください。
3	TBCLE	R/W	アップカウンタ制御 0: クリアディセーブル 1: クリアイネーブル アップカウンタのクリア制御を行います。 "0" でクリア禁止、"1" でタイムレジスタ 1 (TBxRG1) との一致時にクリアします。
2-0	TBCLK[2:0]	R/W	TMRBx のソースクロック選択 000: 設定禁止 001: φT1 010: φT4 011: φT16 100: φT32 101: φT64 110: φT128 111: φT256

12.4.6 TBxFFCR(フリップフロップコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	TBE1T1	TBE0T1	TBFF0C	
リセット後	1	1	0	0	0	0	1	1

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると "0" が読めます。
7-6	-	R	リードすると "1" が読めます。
5-4	-	R/W	"0" をライトしてください。
3	TBE1T1	R/W	アップカウンタと TBxRG1 との一致時の TBxFF0 反転トリガ 0: トリガディセーブル 1: トリガイネーブル "1" をセットすると、アップカウンタとタイマレジスタ 1 (TBxRG1) との一致時にタイマフリップフロップを反転します。
2	TBE0T1	R/W	アップカウンタと TBxRG0 との一致時の TBxFF0 反転トリガ 0: トリガディセーブル 1: トリガイネーブル "1" をセットすると、アップカウンタとタイマレジスタ 0 (TBxRG0) との一致時にタイマフリップフロップを反転します。
1-0	TBFF0C[1:0]	R/W	TBxFF0 の制御 00: Invert TBxFF0 の値を反転 (ソフト反転) します。 01: Set TBxFF0 を "1" にセットします。 10: Clear TBxFF0 を "0" にクリアします。 11: Don't care リードすると "11" が読めます。

12.4.7 TBxST(ステータスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	INTTBOF	INTTB1	INTTB0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-3	-	R	リードすると "0" が読めます。
2	INTTBOF	R	オーバフローフラグ 0: オーバフローは発生していない 1: オーバフローが発生 アップカウンタのオーバフローが発生すると "1" がセットされます。
1	INTTB1	R	一致フラグ (TBxRG1) 0: 一致検出していない 1: TBxRG1 との一致を検出した タイマレジスタ 1 (TBxRG1) との一致を検出すると "1" がセットされます。
0	INTTB0	R	一致フラグ (TBxRG0) 0: 一致検出していない 1: TBxRG0 との一致を検出した タイマレジスタ 0 (TBxRG0) との一致を検出すると "1" がセットされます。

- 注 1) TBxIM でマスク設定されていない要因のみ、CPU に対し割り込み要求が出力されます。
マスク設定されていても、フラグはセットされます。
- 注 2) フラグは自動的にクリアされません。クリアするためには本レジスタをリードしてください。
- 注 3) TBxIM レジスタのマスクが有効な場合でも TBxST レジスタへ状態がセットされます。

12.4.8 TBxIM(割り込みマスクレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	TBIMOF	TBIM1	TBIM0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-3	-	R	リードすると "0" が読めます。
2	TBIMOF	R/W	オーバーフロー割り込みマスク 0: 割り込みをマスクしない 1: 割り込みをマスクする アップカウンタのオーバーフロー割り込みをマスクする / しないを設定します。
1	TBIM1	R/W	一致割り込みマスク (TBxRG1) 0: 割り込みをマスクしない 1: 割り込みをマスクする タイマレジスタ 1 (TBxRG1) との一致割り込みをマスクする / しないを設定します。
0	TBIM0	R/W	一致割り込みマスク (TBxRG0) 0: 割り込みをマスクしない 1: 割り込みをマスクする タイマレジスタ 0 (TBxRG0) との一致割り込みをマスクする / しないを設定します。

注) TBxIM レジスタのマスクが有効な場合でも TBxST レジスタへ状態がセットされます。

12.4.9 TBxRG0(タイマレジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	TBRG0							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TBRG0							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると "0" が読めます。
15-0	TBRG0[15:0]	R/W	アップカウンタと比較する値を設定します。

12.4.10 TBxRG1(タイマレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	TBRG1							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TBRG1							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると "0" が読めます。
15-0	TBRG1[15:0]	R/W	アップカウンタと比較する値を設定します。

12.4.11 TBxDMA(DMA 要求許可レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	TBDMAEN2	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-3	-	R	リードすると "0" が読めます。
2	TBDMAEN2	R/W	DMA 要求選択 : コンペアー致 0: 禁止 1: 許可
1-0	-	R/W	"0" をライトしてください。

注) TBxIM レジスタでマスク設定している場合、DMA 要求許可しても DMA 要求は発生しません。

注) DMA 要求要因の割り当ては TMRB0~9 のチャンネル毎に異なります。詳細は「DMAC の章」を参照願います。

12.5 回路別の動作説明

各チャンネルは表 12-1 に示される仕様相違点を除いて同一の動作をします。

12.5.1 プリスケータ

アップカウンタ UC のソースクロックを生成する 4 ビットのプリスケータです。

プリスケータへの入力クロック $\phi T0$ は CG 部の CGSYSCR<PRCK[2:0]> にて選択した fperiph/1, fperiph/2, fperiph/4, fperiph/8, fperiph/16, fperiph/32 のいずれかのクロックです。このペリフェラルクロック fperiph は CG 部の CGSYSCR<FPSEL> で選択したクロック fgear またはクロックギア分周前のクロック fc のいずれかのクロックです。

プリスケータは TBxRUN<TBPRUN> により動作 / 停止の設定をします。"1" をライトするとカウント開始し "0" をライトするとクリアされ停止します。プリスケータ出力クロックの分解能を、表 12-2, 表 12-3 に示します。

表 12-2 プリスケーラ出力クロック分解能 (fc = 40MHz)

ペリフェラル クロック選択 CGSYSCR <FPSEL>	クロックギア値 CGSYSCR <GEAR[2:0]>	プリスケーラ クロック選択 CGSYSCR <PRCK[2:0]>	プリスケーラ出力クロック機能		
			$\phi T1$	$\phi T4$	$\phi T16$
0 (fgear)	000 (fc)	000 (fperiph/1)	$fc/2^1$ (0.05 μs)	$fc/2^3$ (0.2 μs)	$fc/2^5$ (0.8 μs)
		001 (fperiph/2)	$fc/2^2$ (0.1 μs)	$fc/2^4$ (0.4 μs)	$fc/2^6$ (1.6 μs)
		010 (fperiph/4)	$fc/2^3$ (0.2 μs)	$fc/2^5$ (0.8 μs)	$fc/2^7$ (3.2 μs)
		011 (fperiph/8)	$fc/2^4$ (0.4 μs)	$fc/2^6$ (1.6 μs)	$fc/2^8$ (6.4 μs)
		100 (fperiph/16)	$fc/2^5$ (0.8 μs)	$fc/2^7$ (3.2 μs)	$fc/2^9$ (12.8 μs)
		101 (fperiph/32)	$fc/2^6$ (1.6 μs)	$fc/2^8$ (6.4 μs)	$fc/2^{10}$ (25.6 μs)
	100 (fc/2)	000 (fperiph/1)	$fc/2^2$ (0.1 μs)	$fc/2^4$ (0.4 μs)	$fc/2^6$ (1.6 μs)
		001 (fperiph/2)	$fc/2^3$ (0.2 μs)	$fc/2^5$ (0.8 μs)	$fc/2^7$ (3.2 μs)
		010 (fperiph/4)	$fc/2^4$ (0.4 μs)	$fc/2^6$ (1.6 μs)	$fc/2^8$ (6.4 μs)
		011 (fperiph/8)	$fc/2^5$ (0.8 μs)	$fc/2^7$ (3.2 μs)	$fc/2^9$ (12.8 μs)
		100 (fperiph/16)	$fc/2^6$ (1.6 μs)	$fc/2^8$ (6.4 μs)	$fc/2^{10}$ (25.6 μs)
		101 (fperiph/32)	$fc/2^7$ (3.2 μs)	$fc/2^9$ (12.8 μs)	$fc/2^{11}$ (51.2 μs)
	101 (fc/4)	000 (fperiph/1)	$fc/2^3$ (0.2 μs)	$fc/2^5$ (0.8 μs)	$fc/2^7$ (3.2 μs)
		001 (fperiph/2)	$fc/2^4$ (0.4 μs)	$fc/2^6$ (1.6 μs)	$fc/2^8$ (6.4 μs)
		010 (fperiph/4)	$fc/2^5$ (0.8 μs)	$fc/2^7$ (3.2 μs)	$fc/2^9$ (12.8 μs)
		011 (fperiph/8)	$fc/2^6$ (1.6 μs)	$fc/2^8$ (6.4 μs)	$fc/2^{10}$ (25.6 μs)
		100 (fperiph/16)	$fc/2^7$ (3.2 μs)	$fc/2^9$ (12.8 μs)	$fc/2^{11}$ (51.2 μs)
		101 (fperiph/32)	$fc/2^8$ (6.4 μs)	$fc/2^{10}$ (25.6 μs)	$fc/2^{12}$ (102.4 μs)
	110 (fc/8)	000 (fperiph/1)	$fc/2^4$ (0.4 μs)	$fc/2^6$ (1.6 μs)	$fc/2^8$ (6.4 μs)
		001 (fperiph/2)	$fc/2^5$ (0.8 μs)	$fc/2^7$ (3.2 μs)	$fc/2^9$ (12.8 μs)
		010 (fperiph/4)	$fc/2^6$ (1.6 μs)	$fc/2^8$ (6.4 μs)	$fc/2^{10}$ (25.6 μs)
		011 (fperiph/8)	$fc/2^7$ (3.2 μs)	$fc/2^9$ (12.8 μs)	$fc/2^{11}$ (51.2 μs)
		100 (fperiph/16)	$fc/2^8$ (6.4 μs)	$fc/2^{10}$ (25.6 μs)	$fc/2^{12}$ (102.4 μs)
		101 (fperiph/32)	$fc/2^9$ (12.8 μs)	$fc/2^{11}$ (51.2 μs)	$fc/2^{13}$ (204.8 μs)
111 (fc/16)	000 (fperiph/1)	$fc/2^5$ (0.8 μs)	$fc/2^7$ (3.2 μs)	$fc/2^9$ (12.8 μs)	
	001 (fperiph/2)	$fc/2^6$ (1.6 μs)	$fc/2^8$ (6.4 μs)	$fc/2^{10}$ (25.6 μs)	
	010 (fperiph/4)	$fc/2^7$ (3.2 μs)	$fc/2^9$ (12.8 μs)	$fc/2^{11}$ (51.2 μs)	
	011 (fperiph/8)	$fc/2^8$ (6.4 μs)	$fc/2^{10}$ (25.6 μs)	$fc/2^{12}$ (102.4 μs)	
	100 (fperiph/16)	$fc/2^9$ (12.8 μs)	$fc/2^{11}$ (51.2 μs)	$fc/2^{13}$ (204.8 μs)	
	101 (fperiph/32)	$fc/2^{10}$ (25.6 μs)	$fc/2^{12}$ (102.4 μs)	$fc/2^{14}$ (409.6 μs)	

表 12-2 プリスケアラ出力クロック分解能 (fc = 40MHz)

パリアフェラル クロック選択 CGSYSCR <FPSEL>	クロックギア値 CGSYSCR <GEAR[2:0]>	プリスケアラ クロック選択 CGSYSCR <PRCK[2:0]>	プリスケアラ出力クロック機能		
			$\phi T1$	$\phi T4$	$\phi T16$
1 (fc)	000 (fc)	000 (fperiph/1)	$fc/2^1$ (0.05 μs)	$fc/2^3$ (0.2 μs)	$fc/2^5$ (0.8 μs)
		001 (fperiph/2)	$fc/2^2$ (0.1 μs)	$fc/2^4$ (0.4 μs)	$fc/2^6$ (1.6 μs)
		010 (fperiph/4)	$fc/2^3$ (0.2 μs)	$fc/2^5$ (0.8 μs)	$fc/2^7$ (3.2 μs)
		011 (fperiph/8)	$fc/2^4$ (0.4 μs)	$fc/2^6$ (1.6 μs)	$fc/2^8$ (6.4 μs)
		100 (fperiph/16)	$fc/2^5$ (0.8 μs)	$fc/2^7$ (3.2 μs)	$fc/2^9$ (12.8 μs)
		101 (fperiph/32)	$fc/2^6$ (1.6 μs)	$fc/2^8$ (6.4 μs)	$fc/2^{10}$ (25.6 μs)
	100 (fc/2)	000 (fperiph/1)	–	$fc/2^3$ (0.2 μs)	$fc/2^5$ (0.8 μs)
		001 (fperiph/2)	$fc/2^2$ (0.1 μs)	$fc/2^4$ (0.4 μs)	$fc/2^6$ (1.6 μs)
		010 (fperiph/4)	$fc/2^3$ (0.2 μs)	$fc/2^5$ (0.8 μs)	$fc/2^7$ (3.2 μs)
		011 (fperiph/8)	$fc/2^4$ (0.4 μs)	$fc/2^6$ (1.6 μs)	$fc/2^8$ (6.4 μs)
		100 (fperiph/16)	$fc/2^5$ (0.8 μs)	$fc/2^7$ (3.2 μs)	$fc/2^9$ (12.8 μs)
		101 (fperiph/32)	$fc/2^6$ (1.6 μs)	$fc/2^8$ (6.4 μs)	$fc/2^{10}$ (25.6 μs)
	101 (fc/4)	000 (fperiph/1)	–	$fc/2^3$ (0.2 μs)	$fc/2^5$ (0.8 μs)
		001 (fperiph/2)	–	$fc/2^4$ (0.4 μs)	$fc/2^6$ (1.6 μs)
		010 (fperiph/4)	$fc/2^3$ (0.2 μs)	$fc/2^5$ (0.8 μs)	$fc/2^7$ (3.2 μs)
		011 (fperiph/8)	$fc/2^4$ (0.4 μs)	$fc/2^6$ (1.6 μs)	$fc/2^8$ (6.4 μs)
		100 (fperiph/16)	$fc/2^5$ (0.8 μs)	$fc/2^7$ (3.2 μs)	$fc/2^9$ (12.8 μs)
		101 (fperiph/32)	$fc/2^6$ (1.6 μs)	$fc/2^8$ (6.4 μs)	$fc/2^{10}$ (25.6 μs)
	110 (fc/8)	000 (fperiph/1)	–	–	$fc/2^5$ (0.8 μs)
		001 (fperiph/2)	–	$fc/2^4$ (0.4 μs)	$fc/2^6$ (1.6 μs)
		010 (fperiph/4)	–	$fc/2^5$ (0.8 μs)	$fc/2^7$ (3.2 μs)
		011 (fperiph/8)	$fc/2^4$ (0.4 μs)	$fc/2^6$ (1.6 μs)	$fc/2^8$ (6.4 μs)
		100 (fperiph/16)	$fc/2^5$ (0.8 μs)	$fc/2^7$ (3.2 μs)	$fc/2^9$ (12.8 μs)
		101 (fperiph/32)	$fc/2^6$ (1.6 μs)	$fc/2^8$ (6.4 μs)	$fc/2^{10}$ (25.6 μs)
111 (fc/16)	000 (fperiph/1)	–	–	$fc/2^5$ (0.8 μs)	
	001 (fperiph/2)	–	–	$fc/2^6$ (1.6 μs)	
	010 (fperiph/4)	–	$fc/2^5$ (0.8 μs)	$fc/2^7$ (3.2 μs)	
	011 (fperiph/8)	$fc/2^4$ (0.4 μs)	$fc/2^6$ (1.6 μs)	$fc/2^8$ (6.4 μs)	
	100 (fperiph/16)	$fc/2^5$ (0.8 μs)	$fc/2^7$ (3.2 μs)	$fc/2^9$ (12.8 μs)	
	101 (fperiph/32)	$fc/2^6$ (1.6 μs)	$fc/2^8$ (6.4 μs)	$fc/2^{10}$ (25.6 μs)	

注 1) プリスケアラ出力クロック ϕTn は、必ず $\phi Tn < fsys$ を満足するように (ϕTn が $fsys$ よりも遅くなるように) 選択してください。

注 2) タイマ動作中はクロックギアの切り替えは行わないでください。

注 3) 表中 "–" は設定禁止です。

表 12-3 プリスケーラ出力クロック分解能 (fc = 40MHz)

ペリフェラル クロック選択 CGSYSCR <FPSEL>	クロックギア値 CGSYSCR <GEAR[2:0]>	プリスケーラ クロック選択 CGSYSCR <PRCK[2:0]>	プリスケーラ出力クロック機能			
			φT32	φT64	φT128	φT256
0 (fgear)	000 (fc)	000 (fperiph/1)	fc/2 ⁶ (1.6 μs)	fc/2 ⁷ (3.2 μs)	fc/2 ⁸ (6.4 μs)	fc/2 ⁹ (12.8 μs)
		001 (fperiph/2)	fc/2 ⁷ (3.2 μs)	fc/2 ⁸ (6.4 μs)	fc/2 ⁹ (12.8 μs)	fc/2 ¹⁰ (25.6 μs)
		010 (fperiph/4)	fc/2 ⁸ (6.4 μs)	fc/2 ⁹ (12.8 μs)	fc/2 ¹⁰ (25.6 μs)	fc/2 ¹¹ (51.2 μs)
		011 (fperiph/8)	fc/2 ⁹ (12.8 μs)	fc/2 ¹⁰ (25.6 μs)	fc/2 ¹¹ (51.2 μs)	fc/2 ¹² (102.4 μs)
		100 (fperiph/16)	fc/2 ¹⁰ (25.6 μs)	fc/2 ¹¹ (51.2 μs)	fc/2 ¹² (102.4 μs)	fc/2 ¹³ (204.8 μs)
		101 (fperiph/32)	fc/2 ¹¹ (51.2 μs)	fc/2 ¹² (102.4 μs)	fc/2 ¹³ (204.8 μs)	fc/2 ¹⁴ (409.6 μs)
	100 (fc/2)	000 (fperiph/1)	fc/2 ⁷ (3.2 μs)	fc/2 ⁸ (6.4 μs)	fc/2 ⁹ (12.8 μs)	fc/2 ¹⁰ (25.6 μs)
		001 (fperiph/2)	fc/2 ⁸ (6.4 μs)	fc/2 ⁹ (12.8 μs)	fc/2 ¹⁰ (25.6 μs)	fc/2 ¹¹ (51.2 μs)
		010 (fperiph/4)	fc/2 ⁹ (12.8 μs)	fc/2 ¹⁰ (25.6 μs)	fc/2 ¹¹ (51.2 μs)	fc/2 ¹² (102.4 μs)
		011 (fperiph/8)	fc/2 ¹⁰ (25.6 μs)	fc/2 ¹¹ (51.2 μs)	fc/2 ¹² (102.4 μs)	fc/2 ¹³ (204.8 μs)
		100 (fperiph/16)	fc/2 ¹¹ (51.2 μs)	fc/2 ¹² (102.4 μs)	fc/2 ¹³ (204.8 μs)	fc/2 ¹⁴ (409.6 μs)
		101 (fperiph/32)	fc/2 ¹² (102.4 μs)	fc/2 ¹³ (204.8 μs)	fc/2 ¹⁴ (409.6 μs)	fc/2 ¹⁵ (819.2 μs)
	101 (fc/4)	000 (fperiph/1)	fc/2 ⁸ (6.4 μs)	fc/2 ⁹ (12.8 μs)	fc/2 ¹⁰ (25.6 μs)	fc/2 ¹¹ (51.2 μs)
		001 (fperiph/2)	fc/2 ⁹ (12.8 μs)	fc/2 ¹⁰ (25.6 μs)	fc/2 ¹¹ (51.2 μs)	fc/2 ¹² (102.4 μs)
		010 (fperiph/4)	fc/2 ¹⁰ (25.6 μs)	fc/2 ¹¹ (51.2 μs)	fc/2 ¹² (102.4 μs)	fc/2 ¹³ (204.8 μs)
		011 (fperiph/8)	fc/2 ¹¹ (51.2 μs)	fc/2 ¹² (102.4 μs)	fc/2 ¹³ (204.8 μs)	fc/2 ¹⁴ (409.6 μs)
		100 (fperiph/16)	fc/2 ¹² (102.4 μs)	fc/2 ¹³ (204.8 μs)	fc/2 ¹⁴ (409.6 μs)	fc/2 ¹⁵ (819.2 μs)
		101 (fperiph/32)	fc/2 ¹³ (204.8 μs)	fc/2 ¹⁴ (409.6 μs)	fc/2 ¹⁵ (819.2 μs)	fc/2 ¹⁶ (1638.4 μs)
	110 (fc/8)	000 (fperiph/1)	fc/2 ⁹ (12.8 μs)	fc/2 ¹⁰ (25.6 μs)	fc/2 ¹¹ (51.2 μs)	fc/2 ¹² (102.4 μs)
		001 (fperiph/2)	fc/2 ¹⁰ (25.6 μs)	fc/2 ¹¹ (51.2 μs)	fc/2 ¹² (102.4 μs)	fc/2 ¹³ (204.8 μs)
		010 (fperiph/4)	fc/2 ¹¹ (51.2 μs)	fc/2 ¹² (102.4 μs)	fc/2 ¹³ (204.8 μs)	fc/2 ¹⁴ (409.6 μs)
		011 (fperiph/8)	fc/2 ¹² (102.4 μs)	fc/2 ¹³ (204.8 μs)	fc/2 ¹⁴ (409.6 μs)	fc/2 ¹⁵ (819.2 μs)
		100 (fperiph/16)	fc/2 ¹³ (204.8 μs)	fc/2 ¹⁴ (409.6 μs)	fc/2 ¹⁵ (819.2 μs)	fc/2 ¹⁶ (1638.4 μs)
		101 (fperiph/32)	fc/2 ¹⁴ (409.6 μs)	fc/2 ¹⁵ (819.2 μs)	fc/2 ¹⁶ (1638.4 μs)	fc/2 ¹⁷ (3276.8 μs)
111 (fc/16)	000 (fperiph/1)	fc/2 ¹⁰ (25.6 μs)	fc/2 ¹¹ (51.2 μs)	fc/2 ¹² (102.4 μs)	fc/2 ¹³ (204.8 μs)	
	001 (fperiph/2)	fc/2 ¹¹ (51.2 μs)	fc/2 ¹² (102.4 μs)	fc/2 ¹³ (204.8 μs)	fc/2 ¹⁴ (409.6 μs)	
	010 (fperiph/4)	fc/2 ¹² (102.4 μs)	fc/2 ¹³ (204.8 μs)	fc/2 ¹⁴ (409.6 μs)	fc/2 ¹⁵ (819.2 μs)	
	011 (fperiph/8)	fc/2 ¹³ (204.8 μs)	fc/2 ¹⁴ (409.6 μs)	fc/2 ¹⁵ (819.2 μs)	fc/2 ¹⁶ (1638.4 μs)	
	100 (fperiph/16)	fc/2 ¹⁴ (409.6 μs)	fc/2 ¹⁵ (819.2 μs)	fc/2 ¹⁶ (1638.4 μs)	fc/2 ¹⁷ (3276.8 μs)	
	101 (fperiph/32)	fc/2 ¹⁵ (819.2 μs)	fc/2 ¹⁶ (1638.4 μs)	fc/2 ¹⁷ (3276.8 μs)	fc/2 ¹⁸ (6536.0 μs)	

表 12-3 プリスケーラ出力クロック分解能 (fc = 40MHz)

パリアフェラル クロック選択 CGSYSCR <FPSEL>	クロックギア値 CGSYSCR <GEAR[2:0]>	プリスケラ クロック選択 CGSYSCR <PRCK[2:0]>	プリスケラ出力クロック機能			
			$\phi T32$	$\phi T64$	$\phi T128$	$\phi T256$
1 (fc)	000 (fc)	000 (fperiph/1)	$fc/2^6$ (1.6 μs)	$fc/2^7$ (3.2 μs)	$fc/2^8$ (6.4 μs)	$fc/2^9$ (12.8 μs)
		001 (fperiph/2)	$fc/2^7$ (3.2 μs)	$fc/2^8$ (6.4 μs)	$fc/2^9$ (12.8 μs)	$fc/2^{10}$ (25.6 μs)
		010 (fperiph/4)	$fc/2^8$ (6.4 μs)	$fc/2^9$ (12.8 μs)	$fc/2^{10}$ (25.6 μs)	$fc/2^{11}$ (51.2 μs)
		011 (fperiph/8)	$fc/2^9$ (12.8 μs)	$fc/2^{10}$ (25.6 μs)	$fc/2^{11}$ (51.2 μs)	$fc/2^{12}$ (102.4 μs)
		100 (fperiph/16)	$fc/2^{10}$ (25.6 μs)	$fc/2^{11}$ (51.2 μs)	$fc/2^{12}$ (102.4 μs)	$fc/2^{13}$ (204.8 μs)
		101 (fperiph/32)	$fc/2^{11}$ (51.2 μs)	$fc/2^{12}$ (102.4 μs)	$fc/2^{13}$ (204.8 μs)	$fc/2^{14}$ (409.6 μs)
	100 (fc/2)	000 (fperiph/1)	$fc/2^6$ (1.6 μs)	$fc/2^7$ (3.2 μs)	$fc/2^8$ (6.4 μs)	$fc/2^9$ (12.8 μs)
		001 (fperiph/2)	$fc/2^7$ (3.2 μs)	$fc/2^8$ (6.4 μs)	$fc/2^9$ (12.8 μs)	$fc/2^{10}$ (25.6 μs)
		010 (fperiph/4)	$fc/2^8$ (6.4 μs)	$fc/2^9$ (12.8 μs)	$fc/2^{10}$ (25.6 μs)	$fc/2^{11}$ (51.2 μs)
		011 (fperiph/8)	$fc/2^9$ (12.8 μs)	$fc/2^{10}$ (25.6 μs)	$fc/2^{11}$ (51.2 μs)	$fc/2^{12}$ (102.4 μs)
		100 (fperiph/16)	$fc/2^{10}$ (25.6 μs)	$fc/2^{11}$ (51.2 μs)	$fc/2^{12}$ (102.4 μs)	$fc/2^{13}$ (204.8 μs)
		101 (fperiph/32)	$fc/2^{11}$ (51.2 μs)	$fc/2^{12}$ (102.4 μs)	$fc/2^{13}$ (204.8 μs)	$fc/2^{14}$ (409.6 μs)
	101 (fc/4)	000 (fperiph/1)	$fc/2^6$ (1.6 μs)	$fc/2^7$ (3.2 μs)	$fc/2^8$ (6.4 μs)	$fc/2^9$ (12.8 μs)
		001 (fperiph/2)	$fc/2^7$ (3.2 μs)	$fc/2^8$ (6.4 μs)	$fc/2^9$ (12.8 μs)	$fc/2^{10}$ (25.6 μs)
		010 (fperiph/4)	$fc/2^8$ (6.4 μs)	$fc/2^9$ (12.8 μs)	$fc/2^{10}$ (25.6 μs)	$fc/2^{11}$ (51.2 μs)
		011 (fperiph/8)	$fc/2^9$ (12.8 μs)	$fc/2^{10}$ (25.6 μs)	$fc/2^{11}$ (51.2 μs)	$fc/2^{12}$ (102.4 μs)
		100 (fperiph/16)	$fc/2^{10}$ (25.6 μs)	$fc/2^{11}$ (51.2 μs)	$fc/2^{12}$ (102.4 μs)	$fc/2^{13}$ (204.8 μs)
		101 (fperiph/32)	$fc/2^{11}$ (51.2 μs)	$fc/2^{12}$ (102.4 μs)	$fc/2^{13}$ (204.8 μs)	$fc/2^{14}$ (409.6 μs)
	110 (fc/8)	000 (fperiph/1)	$fc/2^6$ (1.6 μs)	$fc/2^7$ (3.2 μs)	$fc/2^8$ (6.4 μs)	$fc/2^9$ (12.8 μs)
		001 (fperiph/2)	$fc/2^7$ (3.2 μs)	$fc/2^8$ (6.4 μs)	$fc/2^9$ (12.8 μs)	$fc/2^{10}$ (25.6 μs)
		010 (fperiph/4)	$fc/2^8$ (6.4 μs)	$fc/2^9$ (12.8 μs)	$fc/2^{10}$ (25.6 μs)	$fc/2^{11}$ (51.2 μs)
		011 (fperiph/8)	$fc/2^9$ (12.8 μs)	$fc/2^{10}$ (25.6 μs)	$fc/2^{11}$ (51.2 μs)	$fc/2^{12}$ (102.4 μs)
		100 (fperiph/16)	$fc/2^{10}$ (25.6 μs)	$fc/2^{11}$ (51.2 μs)	$fc/2^{12}$ (102.4 μs)	$fc/2^{13}$ (204.8 μs)
		101 (fperiph/32)	$fc/2^{11}$ (51.2 μs)	$fc/2^{12}$ (102.4 μs)	$fc/2^{13}$ (204.8 μs)	$fc/2^{14}$ (409.6 μs)
111 (fc/16)	000 (fperiph/1)	$fc/2^6$ (1.6 μs)	$fc/2^7$ (3.2 μs)	$fc/2^8$ (6.4 μs)	$fc/2^9$ (12.8 μs)	
	001 (fperiph/2)	$fc/2^7$ (3.2 μs)	$fc/2^8$ (6.4 μs)	$fc/2^9$ (12.8 μs)	$fc/2^{10}$ (25.6 μs)	
	010 (fperiph/4)	$fc/2^8$ (6.4 μs)	$fc/2^9$ (12.8 μs)	$fc/2^{10}$ (25.6 μs)	$fc/2^{11}$ (51.2 μs)	
	011 (fperiph/8)	$fc/2^9$ (12.8 μs)	$fc/2^{10}$ (25.6 μs)	$fc/2^{11}$ (51.2 μs)	$fc/2^{12}$ (102.4 μs)	
	100 (fperiph/16)	$fc/2^{10}$ (25.6 μs)	$fc/2^{11}$ (51.2 μs)	$fc/2^{12}$ (102.4 μs)	$fc/2^{13}$ (204.8 μs)	
	101 (fperiph/32)	$fc/2^{11}$ (51.2 μs)	$fc/2^{12}$ (102.4 μs)	$fc/2^{13}$ (204.8 μs)	$fc/2^{14}$ (409.6 μs)	

- 注 1) プリスケーラ出力クロック ϕTn は、必ず $\phi Tn < fsys$ を満足するように (ϕTn が $fsys$ よりも遅くなるように) 選択してください。
- 注 2) タイム動作中はクロックギアの切り替えは行わないでください。
- 注 3) 表中 "-" は設定禁止です。

12.5.2 アップカウンタ (UC)

16ビットのバイナリカウンタです。

- ソースクロック

ソースクロックは $TB_xMOD<TBCLK[2:0]>$ で設定することができます。

プリスケアラ出力クロック $\phi T1, \phi T4, \phi T16, \phi T32, \phi T64, \phi T128, \phi T256$ のいずれかを選択できます。

- カウンタ動作の開始と停止

カウンタ動作は $TB_xRUN<TBRUN>$ で行います。 $<TBRUN> = "1"$ でカウントを開始し、 $"0"$ でカウント停止と同時にカウンタのクリアを行います。

- カウンタクリアのタイミング

1. コンペア一致時

$TB_xMOD<TBCLE> = "1"$ に設定することで、 TB_xRG1 とのコンペア一致とともにカウンタのクリアをすることができます。 $TB_xMOD<TBCLE> = "0"$ に設定するとカウンタはフリーランニングカウンタとして動作します。

2. カウンタ停止時

$TB_xRUN<TBRUN> = "0"$ に設定すると、カウンタが停止するとともにクリアされません。

- カウンタのオーバフロー

アップカウンタ UC がオーバフローすると、オーバフロー割り込み $INTTB_x$ が発生します。

12.5.3 タイマレジスタ (TBxRG0, TBxRG1)

アップカウンタ UC と比較する値を設定するレジスタで、2 本内蔵されています。タイマレジスタに設定された値とアップカウンタの値をコンパレータで比較し、一致するとコンパレータが一致検出信号を出力します。

TBxRG0/1 はダブルバッファ構成になっており、レジスタバッファとペアになっています。初期状態では、ダブルバッファはディセーブルです。

ダブルバッファのイネーブル/ディセーブル制御はTBxCR<TBWBF> によって行います。<TBWBF> = "0" のときディセーブル、<TBWBF> = "1" のときイネーブルとなります。ダブルバッファイネーブル時、UC と TBxRG1 との一致時にレジスタバッファ 0/1 からタイマレジスタ TBxRG0/1 へデータ転送が行われます。また、ダブルバッファがイネーブルでもカウンタが停止しているときはシングルバッファ動作となり、TBxRG0/1 に直接値を書き込むことができます。

ダブルバッファを使用しない場合、タイマレジスタへのデータ設定は、2 バイトデータ転送命令を用いるか、1 バイトデータ転送命令を 2 回用いて下位 8 ビット、上位 8 ビットの順に行います。

ダブルバッファを使用する場合、TBORG0/1 とレジスタバッファは、同じアドレスに割り付けられています。<TBWBF> = "0" のときは、TBORG0/1 とそれぞれのレジスタバッファに、同じ値が書き込まれ、<TBWBF> = "1" のときは、それぞれのレジスタバッファにのみ書き込まれます。したがって、タイマレジスタに初期値を書き込むときには、レジスタバッファをディセーブルにしておき、タイマレジスタにデータを書き込んだ後、<TBWBF> = "1" に設定し、レジスタバッファへ次のデータを書き込んでください。

12.5.4 コンパレータ (CP0, CP1)

アップカウンタ UC と、タイマレジスタ TBxRG0, TBxRG1 への設定値とを比較し、一致を検出します。一致すると、INTTBx を発生します。

12.5.5 タイマフリップフロップ (TBxFF0)

タイマフリップフロップ (TBxFF0) は、コンパレータからの一致信号によって反転するフリップフロップです。反転のディセーブル/イネーブルは、TBxFFCR<TBFFOC[1:0]> によって設定できます。

リセット後、TBxFF0 の値は不定となります。TBxFFCR<TBFFOC[1:0]> に "00" を書き込むことで反転、"01" を書き込むことで "1" にセット、"10" を書き込むことで "0" にクリアすることが可能です。

TBxFF0 の値は、タイマ出力端子 TBxOUT 端子へ出力することができます。タイマ出力を行う場合、あらかじめ該当するポートの設定を行う必要があります。

12.6 モード別動作説明

12.6.1 16ビットインタバルタイマモード

一定周期の割り込みを発生させる場合、タイマレジスタ TBxRG1 にインタバル時間を設定することで INTTBx 割り込みを発生します。

	7	6	5	4	3	2	1	0	
TBxEN	← 1	X	X	X	X	X	X	X	TMRBx モジュールを起動します。
TBxRUN	← X	X	X	X	X	0	X	0	TMRBx を停止します
割り込みイネーブル セットレジスタ	← *	*	*	*	*	*	*	*	INTTBx 割り込みに対応するビットを "1" にし、割り込みを許可します。
TBxFFCR	← X	X	0	0	0	0	1	1	TBxFF0 反転トリガをディセーブルします。
TBxMOD	← X	0	1	0	0	1	*	*	入力クロックをプリスケアラ出力クロックにします。
									(** = 01, 10, 11)
TBxRG1	← *	*	*	*	*	*	*	*	インタバル時間を設定します。(16ビット)
	← *	*	*	*	*	*	*	*	
TBxRUN	← *	*	*	*	*	1	X	1	TMRBx を起動します。

注) X; Don't care
-; No change

下記にダブルバッファ設定時の動作説明とタイミングチャートを示します。

タイマレジスタ (TBxRG0, TBxRG1) をダブルバッファ構成に設定し、16ビットアップカウンタ (UCx) をプリスケアラクロックにてフリーランニングさせておきます。アップカウンタ (UCx) と TBxRG0, TBxRG1 に設定された値のコンペア一致により、コンペア割り込み (INTTBx) を発生し、TBxRG0 の一致時にはレジスタバッファ 0 からタイマレジスタ TBxRG0 へ、TBxRG1 の一致時にはレジスタバッファ 1 からタイマレジスタ TBxRG1 へデータ転送が行われます。

チャンネル 0 では、アップカウンタ (UC0) と TB0RG1 に設定された値のコンペア一致により PSC を起動することが可能です。なお、チャンネル 0 以外では PSC を起動することはできません。PSC の起動設定は「PSC」の章を参照してください。

チャンネル 4、6 では、INTTB4、INTTB6 発生と同時に DMAC を起動することが可能です。DMAC の起動設定は「DMAC」の章を参照してください。

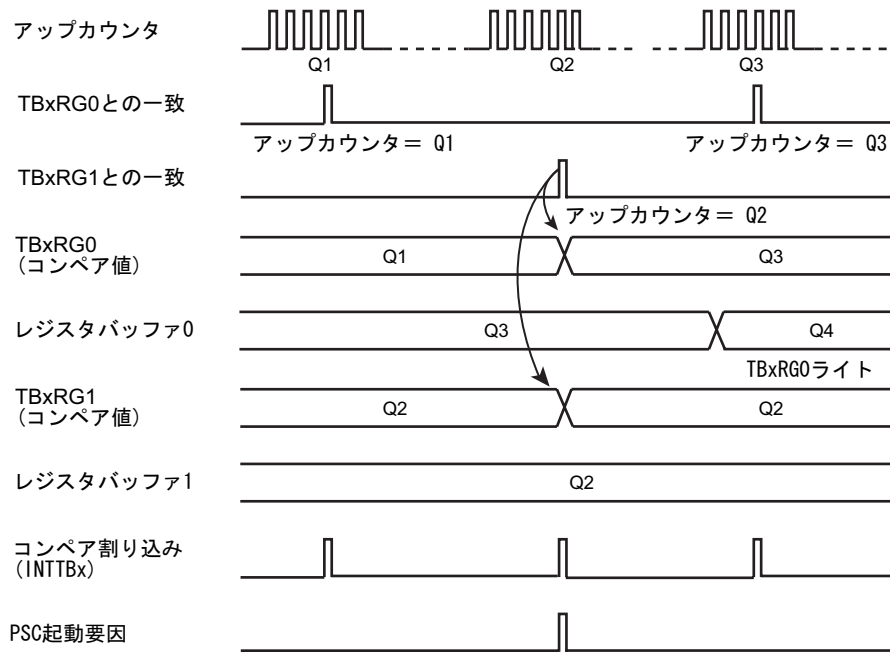


図 12-2 ダブルバッファ構成における DMAC 起動と PSC 起動タイミング

12.6.2 16ビット PPG (プログラマブル矩形波) 出力モード

任意周波数, 任意デューティの矩形波 (プログラマブル矩形波) を出力することができます。出力パルスは、ローアクティブ, ハイアクティブどちらでも可能です。

アップカウンタ (UC) とタイマレジスタ (TBxRG0, TBxRG1) への設定値との一致によりタイマリップフロップ (TBxFF) の反転トリガをかけることで、プログラマブル矩形波を TBxOUT 端子より出力することができます。ただし、TBxRG0 と TBxRG1 の設定値は次の条件を満たす必要があります。

(TBxRG0 設定値) < (TBxRG1 設定値)

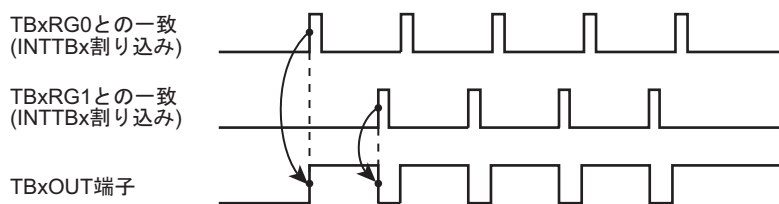


図 12-3 プログラマブル矩形波 (PPG) 出力波形例

このモードでは、TBxRG0 のダブルバッファをイネーブルにすることにより、TBxRG1 との一致で、レジスタバッファ 0 の値が TBxRG0 へシフトインされます。これにより、小さいデューティへの対応が容易に行えます。

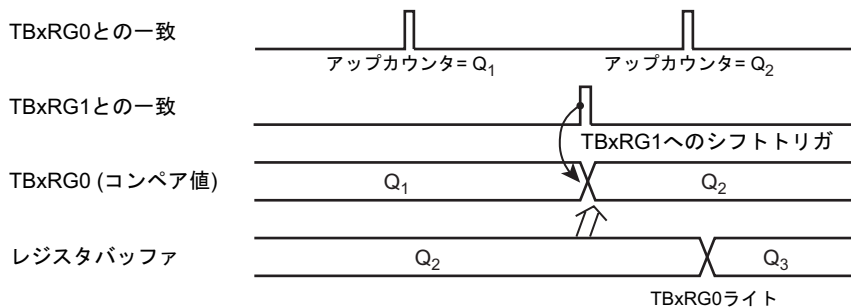


図 12-4 レジスタバッファの動作

このモードのブロック図を示します。

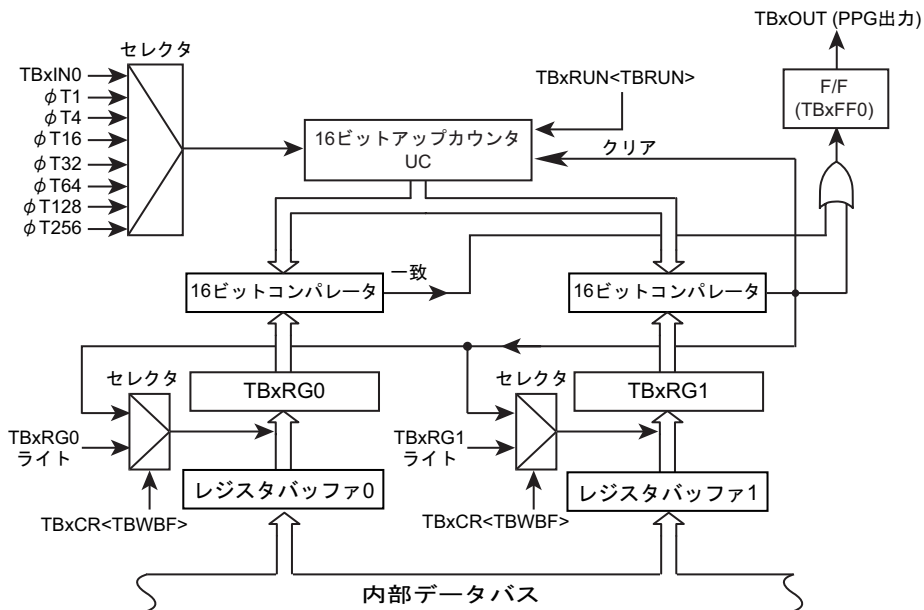


図 12-5 16 ビット PPG モードのブロック図

16 ビット PPG 出力モード時の各レジスタは、次のように設定します。

		7	6	5	4	3	2	1	0	
TBxEN	←	1	X	X	X	X	X	X	X	TMRBx モジュールを起動します。
TBxRUN	←	X	X	X	X	X	0	X	0	TMRBx を停止します
TBxCR	←	0	0	-	X	-	X	X	X	ダブルバッファをディセーブルします。
TBxRG0	←	*	*	*	*	*	*	*	*	デューティを設定します。(16 ビット)
	←	*	*	*	*	*	*	*	*	
TBxRG1	←	*	*	*	*	*	*	*	*	周期を設定します。(16 ビット)
	←	*	*	*	*	*	*	*	*	
TBxCR	←	1	0	X	0	0	0	0	0	TBxRG0 のダブルバッファイネーブル (INTTBx 割り込みでデューティ / 周期の変更)
TBxFFCR	←	X	X	0	0	1	1	1	0	TBxFF0 を TBxRG0, TBxRG1 との一致検出で反転するように設定します。また、TBxFF0 の初期値を "0" にします。
TBxMOD	←	0	1	0	0	1	*	*	*	入力クロックをプリスケアラ出力クロックにします。
							(** = 01, 10, 11)			
PxCR[m]	←						1			該当ポートを TBxOUT に割り付けます。
PxFR1[m]	←						1			
TBxRUN	←	*	*	*	*	*	1	X	1	TMRBx を起動します。

注 1) "m" はポートの該当ビットを示します

注 2) X; Don't care
-; No change

12.6.3 タイマ同期モード

タイマ同期モードを使用することにより、タイマ間のスタートの同期を取ることが可能となります。

PPG 出力にて同期モードを使用することによりモータ等の駆動に応用が可能です。

4 チャンルの TMRB が組になっており、4 チャンルのうちの 1 チャンルのスタートに、他の 3 チャンルのスタートを同期させることができます。TMPM342FYXBG では以下の組み合わせで使用可能です。

スタートのトリガをかけるチャンネル (マスタチャンネル)	同期して動作するチャンネル (スレーブチャンネル)
TMRB0	TMRB1, TMRB2, TMRB3
TMRB4	TMRB5, TMRB6, TMRB7

TBxCR<TBSYNC> ビットの設定により、同期モードの切り替えを行います。

- <TBSYNC> = "0" : チャンネルごとの個別動作
- <TBSYNC> = "1" : 同期動作

マスタチャンネルの <TBSYNC> ビットは "0" を設定してください。

スレーブチャンネルの <TBSYNC> ビットに "1" を設定するとマスタチャンネルのスタートに同期して動作がスタートします。スレーブチャンネルの TBxRUN<TBPRUN, TBRUN> ビットの設定は不要です。

- 注 1) 同期出力したいチャンネルに関しては、TMRB0,TMRB4 でスタートする前に TBxRUN<TBPRUN, TBRUN>="1,1" にて予め同時にスタートをかけておいてください。
- 注 2) 同期出力モード時以外は TBxCR<TBSYNC>="0" に設定してください。同期出力モードが設定されている場合、TMRB0,TMRB4 にてスタートが掛かるまで、他のチャンネルスタートは待たされます。
- 注 3) タイマ同期のマスタとなる TMRB0,TMRB4 は、常に <TBSYNC> ビットを "0" に設定してください。
- 注 4) TMRB8,TMRB9 はタイマ同期モードの使用はできません。

13 2相パルス入力タイマ(PHC)

13.1 概要

2相パルス入力タイマを2チャンネル(PHC0IN0/PHC0IN1, PHC1IN0/PHC1IN1)内蔵しています。

いずれのチャンネルも同一の動作をしますので、以降についてはチャンネル 0(PHC0IN0,PHC0IN1)についてのみ説明します。

2相パルス入力タイマには、PHC0IN0、PHC0IN1より入力される位相差ある2相パルスの状態遷移によりカウントアップ(+1)、あるいはカウントダウン(-1)を実行する2相パルスカウンタモード、2相パルスの周期を測定する周期カウンタモード、2相パルス間を測定する立ち上がりエッジ、立ち下がりエッジ間を測定する位相差測定モードを搭載しております。

13.2 機能概要

- (1) 2相パルス入力カウンタモード(PHC0A モード)
 - ・16ビットアップ・ダウンカウンタ
 - ・2相カウンタモード(2相入力のエッジでアップ・ダウンカウント)
 - ・1相カウンタモード(1相入力のエッジでアップ・ダウンカウント)
 - ・カウント一致で割り込み発生
- (2) 周波数測定モード(PHC0B モード)
 - ・24ビットフリーランアップカウンタ
 - ・立ち上がり間、立ち下がり間の周波数測定が可能
 - ・立ち上がりエッジ、立ち下がりエッジで周期割り込みを発生
- (3) 位相差測定モード(PHC0B モード)
 - ・24ビットフリーランアップカウンタ
 - ・エッジ間の位相差測定が可能。
 - ・設定した位相方向に対して異なる位相が入力された場合、位相エラー割り込みを発生

13.3 ブロック図

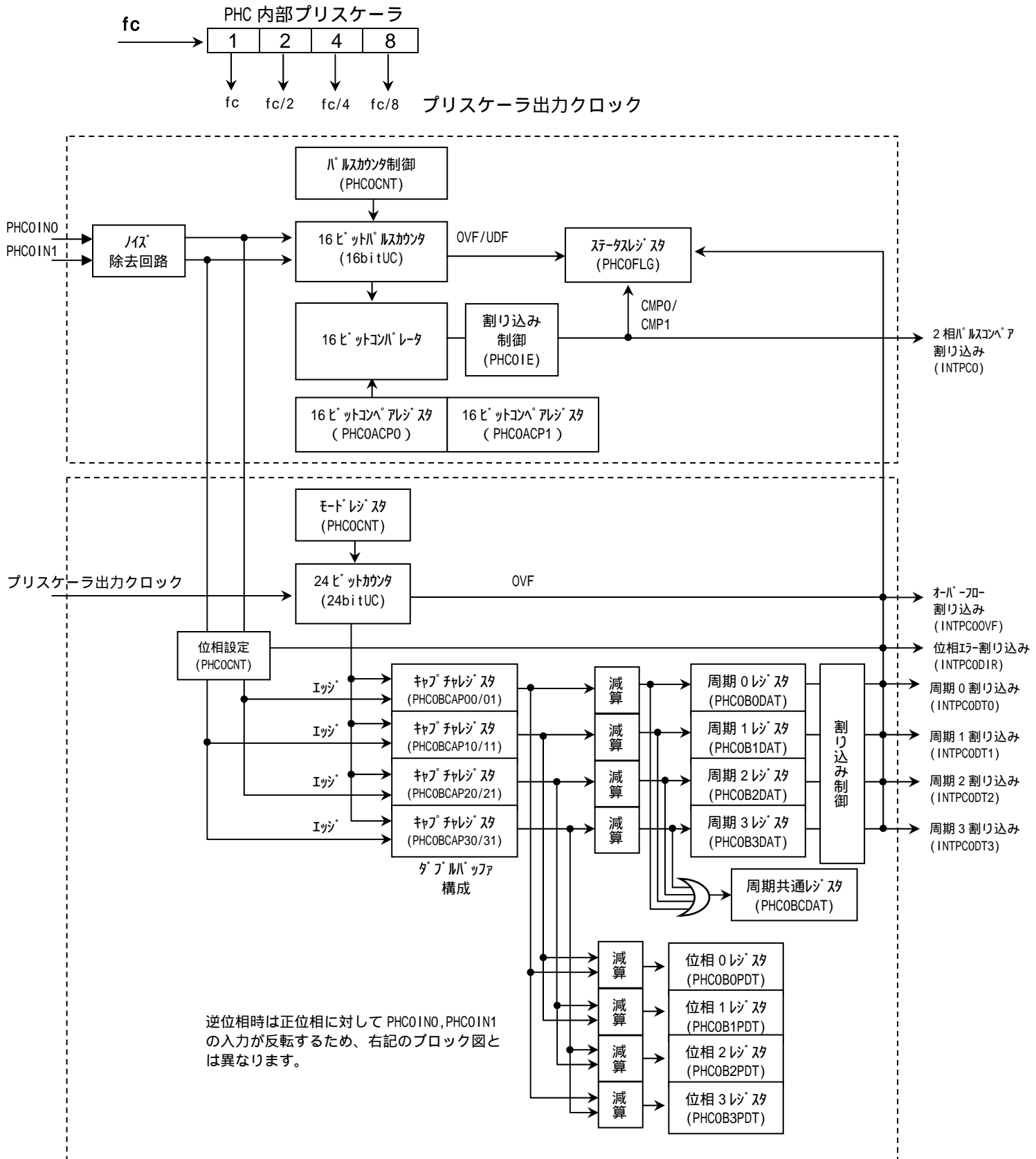


図 13.1 2相入力パルスカウンタ ブロック図(正位相)

13.4 動作モード

13.4.1 クロックドメイン

本回路には、カウンタクロックを生成するために、4ビットプリスケータがありますが、プリスケータに入力されるクロックはfc(40MHz)となります。

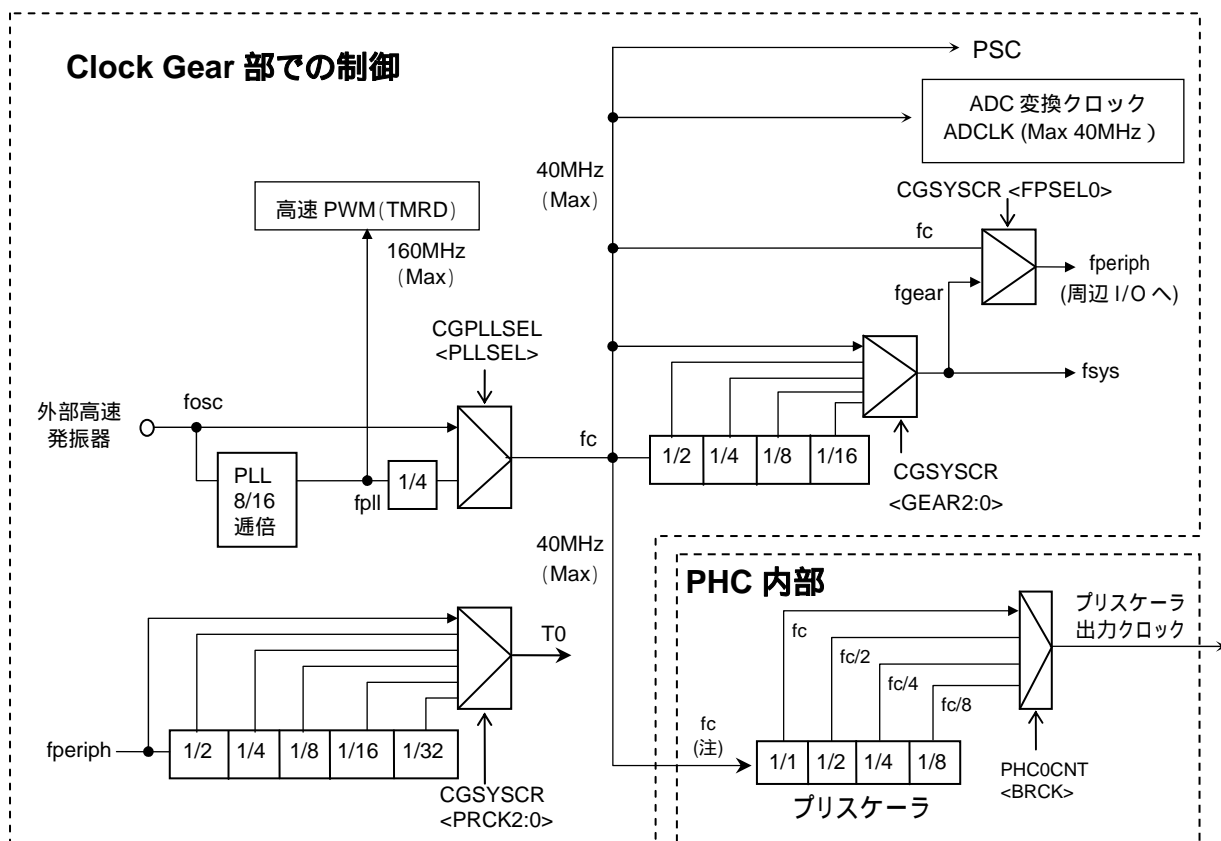


図 13.2 クロックギアとプリスケータブロック図

(注) 24ビットアップカウンタのソースクロックを生成するプリスケータへの入力クロックはfc(40MHz)固定となり、PHC内部のプリスケータによりfc、fc/2、fc/4、fc/8の選択が可能です。
 低消費電力化のためクロックギア(fc、fc/2、fc/4、fc/8)を使用してシステムクロック(fsys)を落とす場合は、事前にPHCプリスケータ出力クロックを「クロックギア変更後のfsys PHCプリスケータ出力クロック」の条件に設定した上で、クロックギアの変更を行ってください。

13.4.2 パルスカウンタモード(PHC0Aモード)

- ・カウンタ部は16bitアップ・ダウンカウンタ(UC16)です。初期値は0x7fff となります。
- ・非同期の2相パルス入力の組合せによりアップまたはダウンのカウンタ動作を行うカウンタです。
- ・2相パルスの入力部にはデジタルノイズフィルタを内蔵し、使用の有無を選択できます。
- ・カウンタ動作は、2相パルスカウンタモード、1相パルスカウンタモードから選択致します。
- ・2個のコンペア割り込みの発生有無を選択できます。
- ・カウンタオーバーフロー、カウンタアンダーフロー、2相パルスコンペア一致によりINTPC0割り込みが発生します。2相パルスカウンタステータスレジスタ(PHC0FLG)により割り込み発生要因を判断してください。

13.4.2.1 2相パルスカウントモード

コントロールレジスタ(PHC0CNT)<MA12>により 2 相パルスカウントモードを選択します。PHC0IN0、PHC0IN1 から入力される非同期の 2 相パルスによりカウンタ値 + 1、あるいはカウンタ値 - 1 を実行します。なお、PHC0IN0 と PHC0IN1 の位相方向を設定することにより両位相に対応したカウントが可能です。

カウンタ値とコンペアレジスタ 0,1 に設定された値が一致するとコンペア割り込み(INTPC0)が発生します。

●正位相の場合

カウントアップ

- 1クロック前の入力が“0”で、現在の状態が“1”の時 +1 されます。
- 1クロック前の入力が“1”で、現在の状態が“3”の時 +1 されます。
- 1クロック前の入力が“3”で、現在の状態が“2”の時 +1 されます。
- 1クロック前の入力が“2”で、現在の状態が“0”の時 +1 されます。

カウントダウン

- 1クロック前の入力が“0”で、現在の状態が“2”の時 -1 されます。
- 1クロック前の入力が“2”で、現在の状態が“3”の時 -1 されます。
- 1クロック前の入力が“3”で、現在の状態が“1”の時 -1 されます。
- 1クロック前の入力が“1”で、現在の状態が“0”の時 -1 されます。

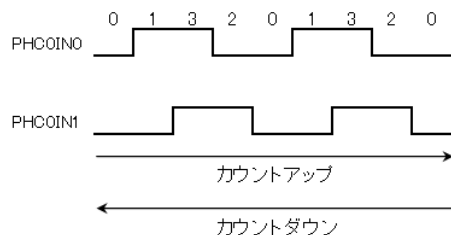


図 13.3 正位相入力カウント例

●逆位相の場合

カウントアップ

- 1クロック前の入力が“0”で、現在の状態が“2”の時 +1 されます。
- 1クロック前の入力が“2”で、現在の状態が“3”の時 +1 されます。
- 1クロック前の入力が“3”で、現在の状態が“1”の時 +1 されます。
- 1クロック前の入力が“1”で、現在の状態が“0”の時 +1 されます。

カウントダウン

- 1クロック前の入力が“0”で、現在の状態が“1”の時 -1 されます。
- 1クロック前の入力が“1”で、現在の状態が“3”の時 -1 されます。
- 1クロック前の入力が“3”で、現在の状態が“2”の時 -1 されます。
- 1クロック前の入力が“2”で、現在の状態が“0”の時 -1 されます。

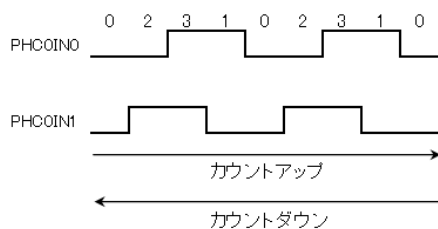
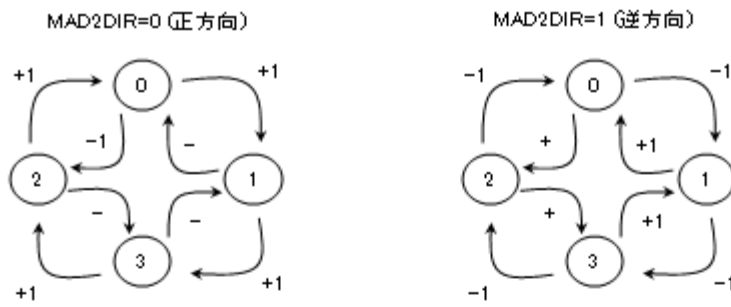
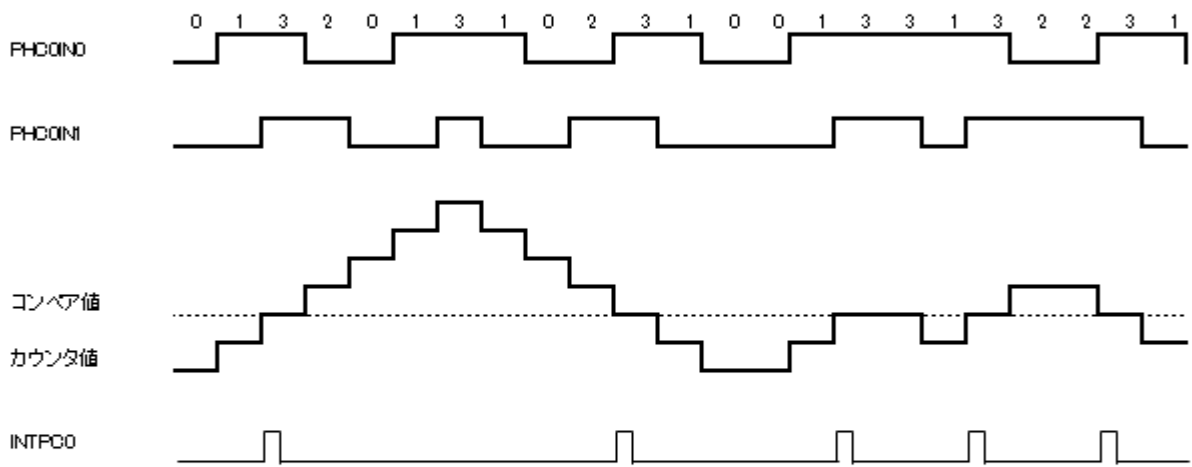


図 13.4 逆位相入力カウント例



(1) 2相カウンタモード、正方向の場合



(2) 2相カウンタモード、逆方向の場合

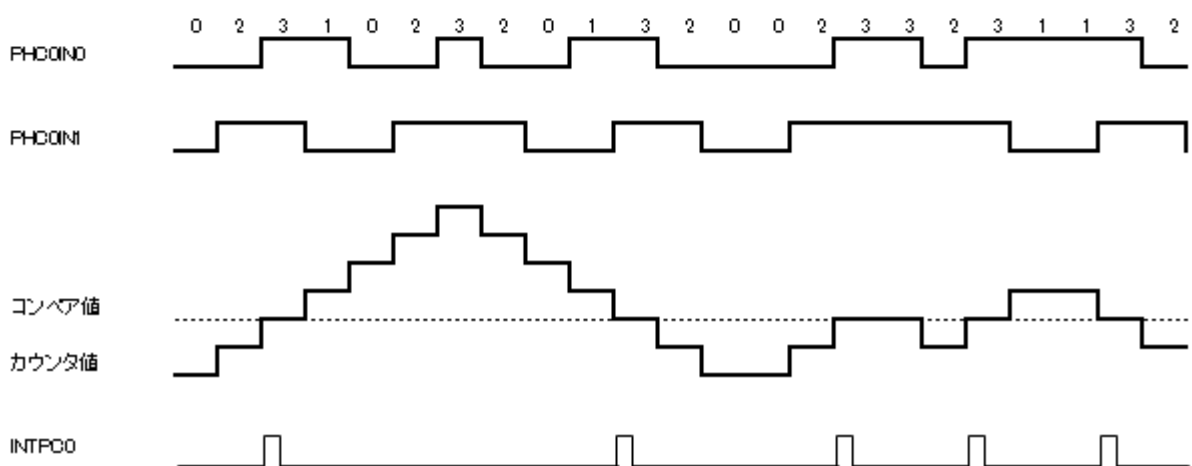


図 13.5 2相カウントモード、正位相入力、逆位相入力カウントアップ、ダウン例

13.4.2.2 1相パルスカウントモード

コントロールレジスタ(PHC0CNT)<MA12>により1相パルスカウントモードを選択し、<MA1DN>によりダウンカウントエッジ選択、<MA1UP>によりアップカウントエッジ選択を行います。これにより PHC0IN0、または PHC0IN1 から入力される非同期の1相パルスによりカウント値 + 1、あるいはカウント値 - 1を実行します。カウンタ値とコンペアレジスタ 0,1 に設定された値が一致するとコンペア割り込み(INTPC0)が発生します。

なお、同一エッジによるアップカウント設定とダウンカウント設定を行った場合、ダウンカウントが優先されます。

PHC0CNT<MA1DN>レジスタでダウンカウント設定を行います。

- 000: カウント無効
- 001: PHC0IN0 立ち上がりエッジ
- 010: PHC0IN1 立ち上がりエッジ
- 011: PHC0IN0 立ち下がりエッジ
- 100: PHC0IN1 立ち下がりエッジ
- 101: PHC0IN0 両エッジ
- 110: PHC0IN1 両エッジ
- 111: カウント無効

13.4.2.3 割り込み

割り込みコントローラ(NVIC)にてINTPC0割り込みをイネーブルにします。アップまたはダウンカウントによりコンペア 0,1 一致、オーバーフロー、アンダーフローのいずれかによりINTPC0割り込みが発生します。割り込み処理の中で、ステータスレジスタ(PHC0FLG)をリードすることにより、コンペア 0,1 一致、オーバーフロー、アンダーフローが同時に発生しているかを知ることができます。ステータスレジスタ(PHC0FLG)はクリアしたい要因をライトすることによりクリアされます。

また、2相パルスカウンタはオーバーフローが発生すると 0x0000 となり、アンダーフローが発生すると 0xFFFF となり続けてカウント動作が行なわれます。そのため、割り込み発生後にカウンタ値とステータスフラグレジスタ(PHC0FLG)をリードすることにより、状態を判別することができます。

13.4.2.4 1相パルスカウントモードによる動作タイミング

(1) PHC0IN0 入力による 1相パルスカウントモード例 1

<MA1UP>、または<MA1DN>のどちらかをカウント無効設定にした場合のカウント動作を下記に示します。

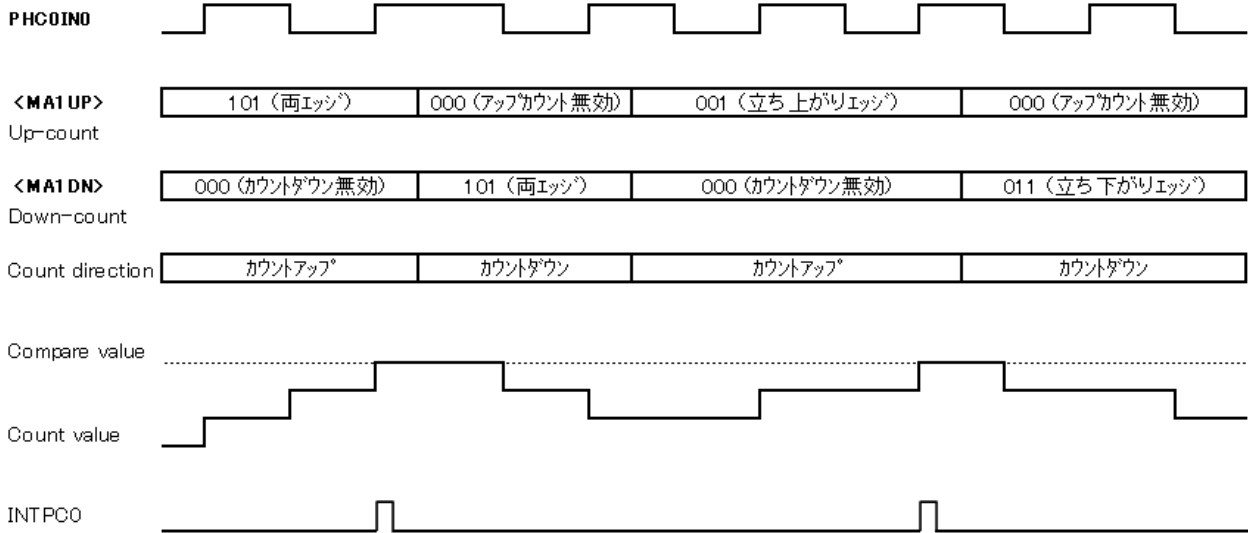


図 13.6 1相パルスカウントモード、カウントアップ、ダウン例 1

(2) PHC0IN0 入力による 1相パルスカウントモード例 2

<MA1UP>および<MA1DN>の設定において、同一エッジによるアップカウント設定とダウンカウント設定を行った場合、ダウンカウントが優先されます。また、条件(立ち上がり、立ち下がりにてアップカウント/ダウンカウント)が一致しなかった場合は、カウント値は前の値を維持します。

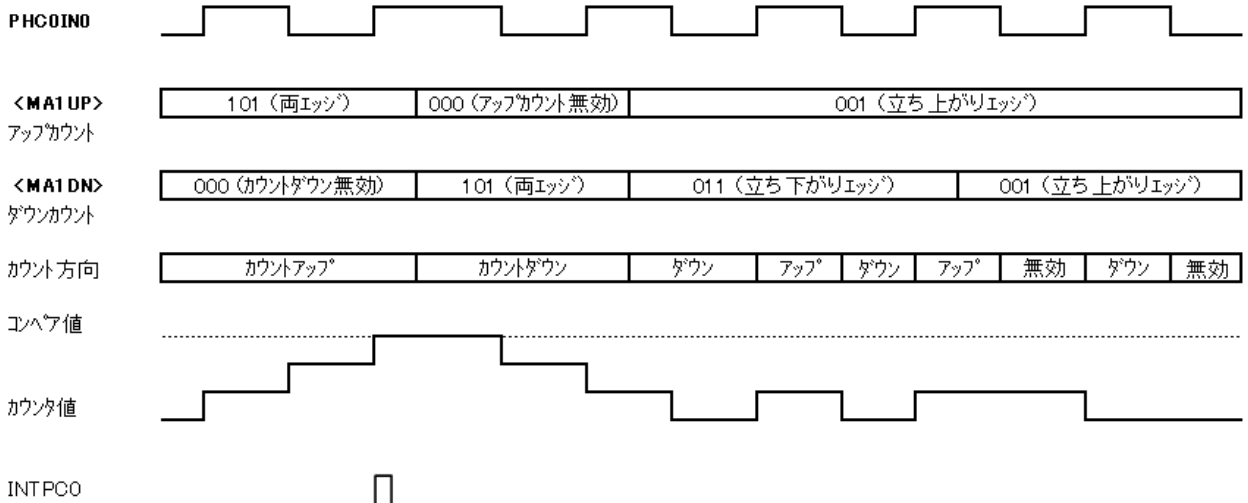


図 13.7 1相パルスカウントモード、カウントアップ、ダウン例 2

13.4.3 周期数測定モード、位相差測定モード(PhC0Bモード)

- ・カウンタ部は24ビットフリーランアップカウンタ(UC24)で構成され、カウンタの初期値は0x00_0000となります。
- ・2相パルス入力の立ち上がりエッジ、立ち下がりエッジにてカウンタ値をキャプチャレジスタ(PhC0BCAP00～PhC0BCAP30)に取り込みます。
- ・格納されたキャプチャレジスタから周期を算出し、周期レジスタ(PhC0B0DAT～PhC0B3DAT)へ格納します。
- ・周期レジスタ(PhC0B0DAT～PhC0B3DAT)へ格納すると同時に周期割り込み(INTPC0DT0～INTPC0DT3)が発生します。
- ・格納されたキャプチャレジスタからエッジ間の位相差を算出し、位相レジスタ(PhC0B0PDT～PhC0B3PDT)へ格納します。
- ・設定された位相方向に対して異なる位相が入力された場合、位相エラー割り込み(INTPC0DIR)割り込みが発生します。

13.4.3.1 プリスケーラ

24ビットフリーランアップカウンタ(UC24)のソースクロックを生成する4ビットプリスケーラです。プリスケーラへの入力クロックは f_c (Max 40MHz)となり、プリスケーラ出力クロックとして f_c 、 $f_c/2$ 、 $f_c/4$ 、 $f_c/8$ の選択が可能です。

プリスケーラはPhC0BRUNにて動作、停止を設定します。“1”をライトするとカウント開始し、“0”をライトするとクリアされ停止します。

プリスケーラ出力クロックの分解能を、表 13-1に示します。

表 13-1 プリスケーラ出力クロック分解能 ($f_c=40\text{MHz}$)

fc	プリスケーラ出力クロック分解能			
	fc	fc/2	fc/4	fc/8
40MHz	fc (0.025 μs)	fc/2 ¹ (0.05 μs)	fc/2 ² (0.10 μs)	fc/2 ³ (0.20 μs)

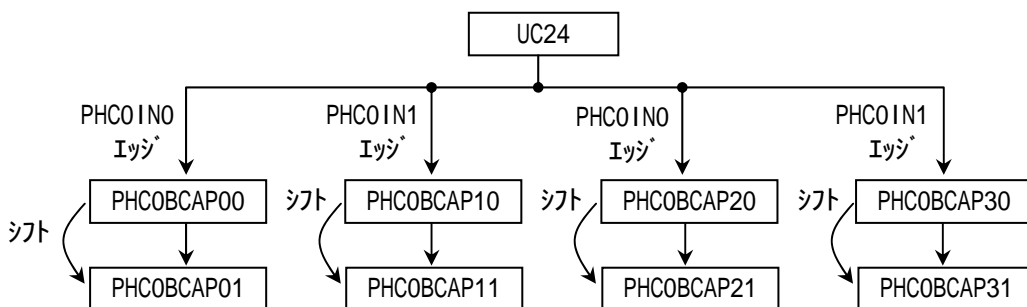
13.4.3.2 24ビットフリーランアップカウンタ(UC24)

カウンタは24ビットフリーランアップカウンタ(UC24)で構成され、初期値は0x0000 となります。
カウンタ値はPHC0BUCレジスタにてリードすることができます。

- ソースクロック
ソースクロックは PHC0CNT<BRCK1:0>で設定することができます。
プリスケアラ出力クロック fc、fc/2、fc/4、fc/8 を選択できます。
- カウンタ動作の開始と停止
カウンタ動作は PHC0BRUN<T24RUN>で行います。<T24RUN> = “1”でアップカウンタ(UC24)はカウントを開始し、PHC0BRUN<T24RUN> = “0”に設定すると、アップカウンタ(UC24)は停止するとともにクリアされます。
- カウンタキャプチャタイミング
PHC0IN0,PHC0IN1 の立ち上がりエッジ、立ち下がりエッジのタイミングにてカウンタ値をキャプチャレジスタ(PHC0BCAP00 ~ 30)へ取り込みます。
- カウンタのオーバーフロー
アップカウンタ(UC24)はオーバーフローすると、INTPC0OVF が発生します。

13.4.3.3 24ビットキャプチャレジスタ(PHC0BCAP00 ~ PHC0BCAP30)

キャプチャレジスタはPHC0IN0,PHC0IN1の立ち上がりエッジ、立ち下がりエッジのタイミングでカウンタ値を格納するレジスタです。キャプチャレジスタはダブルバッファ構成となっており、キャプチャタイミングと同時に古いキャプチャ値をキャプチャレジスタ1(PHC0BCAP01 ~ 31)にシフト、新しいキャプチャ値をキャプチャレジスタ0(PHC0BCAP00 ~ 30)に格納します。カウンタがオーバーフロー時は、キャプチャレジスタ(PHC0BCAP00 ~ 30)のビット24にオーバーフロービットが“1”に立ちます。



24ビットアップカウンタ同時スタート

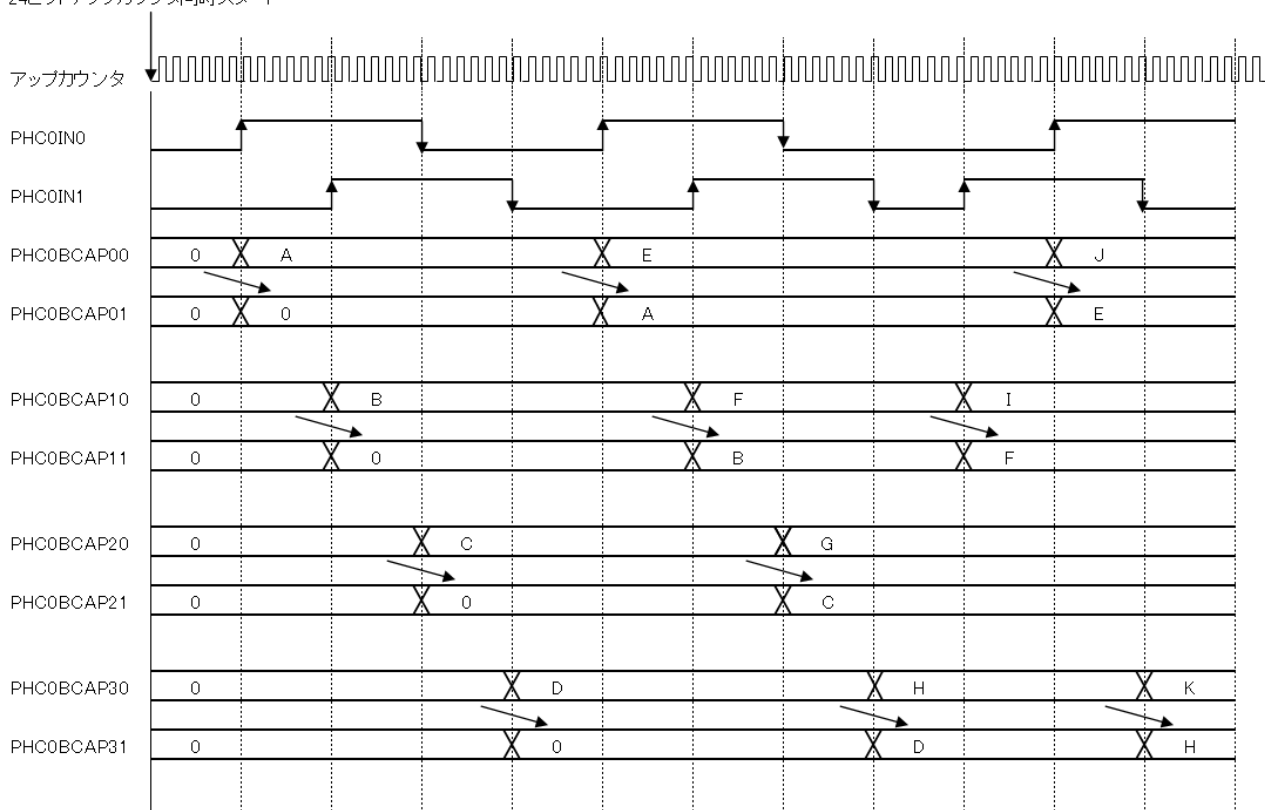


図 13.8 キャプチャレジスタ、シフトレジスタタイミング

13.4.3.4 24ビット周期レジスタ(PHC0B0DAT ~ PHC0B3DAT,PHC0BCDAT)

周期レジスタ(PHC0B0DAT ~ PHC0B3DAT)は、PHC0IN0,PHC0IN1の立ち上がり間周期、立ち下がり間周期のカウント値を格納するレジスタです。各周期カウンタ値は、キャプチャレジスタ0(PHC0BCAP00 ~ PHC0BCAP30)からキャプチャレジスタ1(PHC0BCAP01 ~ PHC0BCAP31)を減算した結果が格納されます。

周期共通レジスタ(PHC0BCDAT)は各周期レジスタの結果が同タイミングで格納され、その都度上書きされていきます。

$$\text{PHC0B0DAT (周期)} = \text{PHC0BCAP00} - \text{PHC0BCAP01}$$
$$\text{PHC0B1DAT (周期)} = \text{PHC0BCAP10} - \text{PHC0BCAP11}$$
$$\text{PHC0B2DAT (周期)} = \text{PHC0BCAP20} - \text{PHC0BCAP21}$$
$$\text{PHC0B3DAT (周期)} = \text{PHC0BCAP30} - \text{PHC0BCAP31}$$

13.4.3.5 周期割り込み (INTPC0DT0 ~ INTPC0DT3)

周期レジスタ(PHC0B0DT ~ PHC0B3DT)へ格納されると同時に周期割り込み(INTPC0DT0 ~ INTPC0DT3)を発生させることができます。周期割り込みは、PHC0IEレジスタにて発生許可・禁止することができます。

13.4.3.6 周期割り込みによるDMAC起動

周期割り込み(INTPC0DT0 ~ INTPC0DT0)発生にて DMAC を起動することができます。DMAC 起動を禁止する場合は、PHC0BDMA レジスタにて DMA 起動要因を禁止設定にしてください。

13.4.3.7 周期測定、位相差測定における 24 ビットカウンタのオーバーフローについて

PHC0IN0, PHC0IN1 入力条件を下記に示します。

- ・ PHC0IN1,PHC0IN1 入力の周期は 24 ビットカウンタ 1 周期以内となり、周期測定、および位相差測定において、PHC0BnDAT レジスタに入る結果は 0x00_0001 ~ 0xFF_FFFF となります。
- ・ PHC0IN1,PHC0IN1 入力のエッジ条件により、PHC0BCAPn0<Bit23:0>と PHC0BCAPn1<Bit23:0>へキャプチャしたカウンタ値を大小比較し、PHC0BCAPn0<Bit23:0>のカウンタ値が小さい場合はオーバーフローが発生したと判断してビット 24 に“1”がセットされ、PHC0BCAPn0<Bit23:0>のカウンタ値が大きい場合はオーバーフローが発生していないと判断してビット 24 は“0”がセットされます。PHC0BCAPn0 - PHC0BCAPn1 の減算結果により、PHC0BnDAT に周期カウンタ値が格納されます。

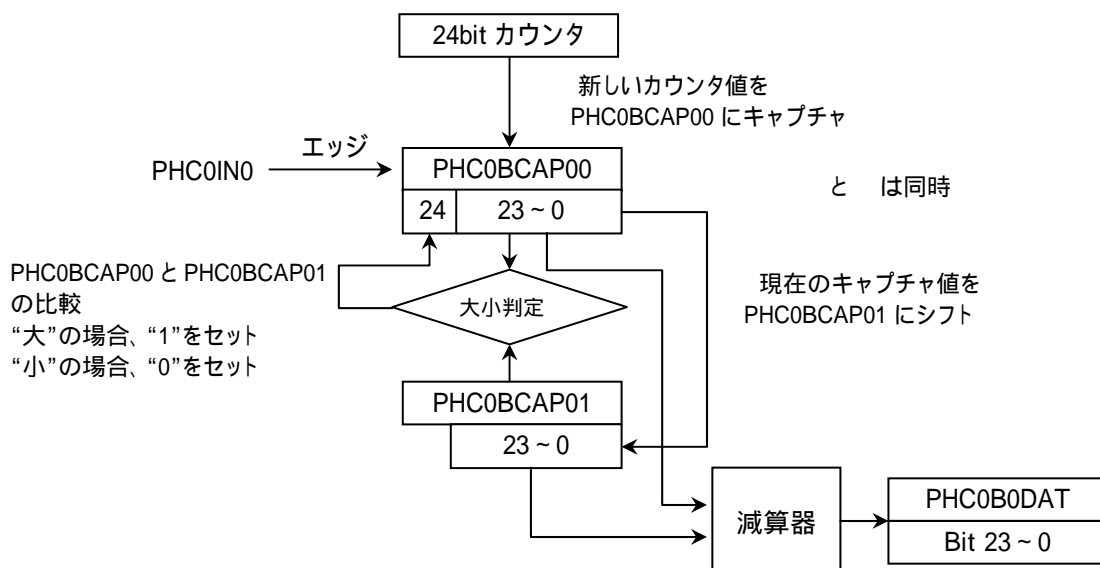


図 13.9 オーバーフロー発生後のキャプチャ外略図 (PHC0IN0 立ち上がりエッジの場合)

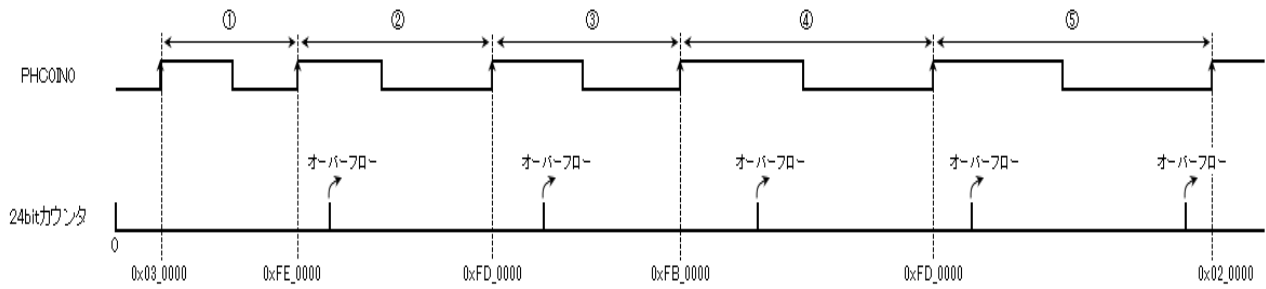


図 13.10 オーバーフロー発生による周波数測定範囲

【CPU リードによる PHC0IN0 立ち上がり周期測定 例】

PHC0B0DAT = PHC0BCAP00 - PHC0BCAP01

の周期 PHC0B0DAT = 0x0FE_0000 - 0x03_0000
= 0x0FB_0000

の周期 PHC0B0DAT = 0x1FD_0000 - 0xFE_0000
= 0x0FF_0000

の周期 PHC0B0DAT = 0x1FB_0000 - 0xFD_0000
= 0x0FE_0000

の周期 PHC0B0DAT = 0x0FD_0000 - 0xFB_0000
= 0x02_0000

(24 ビットカウンタの 1 周期を超えたため、適正值ではない)

の周期 PHC0B0DAT = 0x102_0000 - 0xFD_0000
= 0x05_0000

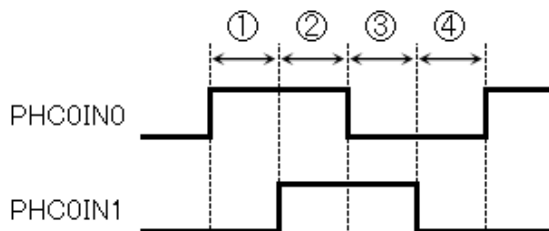
(24 ビットカウンタの 1 周期を超えたため、適正值ではない)

13.4.3.8 24ビット位相差レジスタ(PHC0B0PDT ~ PHC0B3PDT)

位相差レジスタ(PHC0B0PDT ~ PHC0B3PDT)は、各エッジ間の位相差を格納するレジスタです。測定したいキャプチャレジスタ(PHC0CAP00 ~ PHC0CAP30)を減算した結果を格納します。

正位相の場合

- PHC0B0PDT = PHC0BCAP10 - PHC0BCAP00 (PHC0IN1立ち上がりキャプチャ値 - PHC0IN0立ち上がりキャプチャ値)
- PHC0B1PDT = PHC0BCAP20 - PHC0BCAP10 (PHC0IN0立ち下がりキャプチャ値 - PHC0IN1立ち上がりキャプチャ値)
- PHC0B2PDT = PHC0BCAP30 - PHC0BCAP20 (PHC0IN1立ち下がりキャプチャ値 - PHC0IN0立ち下がりキャプチャ値)
- PHC0B3PDT = PHC0BCAP00 - PHC0BCAP30 (PHC0IN0立ち上がりキャプチャ値 - PHC0IN1立ち下がりキャプチャ値)



逆位相の場合

- PHC0B0PDT = PHC0BCAP00 - PHC0BCAP10 (PHC0IN0立ち上がりキャプチャ値 - PHC0IN1立ち上がりキャプチャ値)
- PHC0B1PDT = PHC0BCAP30 - PHC0BCAP00 (PHC0IN1立ち下がりキャプチャ値 - PHC0IN0立ち上がりキャプチャ値)
- PHC0B2PDT = PHC0BCAP20 - PHC0BCAP30 (PHC0IN0立ち下がりキャプチャ値 - PHC0IN1立ち下がりキャプチャ値)
- PHC0B3PDT = PHC0BCAP10 - PHC0BCAP20 (PHC0IN1立ち上がりキャプチャ値 - PHC0IN0立ち下がりキャプチャ値)

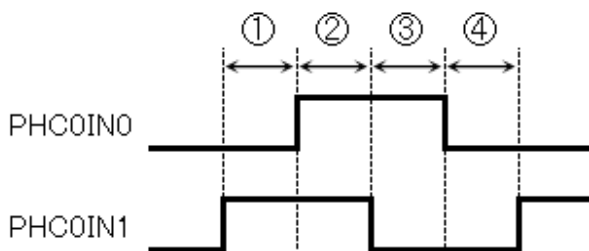


図 13.11 位相差測定範囲

13.4.3.9 位相方向設定と位相エラー割り込み(INTPCODIR)

PHC0IN0 と PHC0IN1 のエッジ間位相について、予め PHC0CNT<PBDIR>にて設定した位相方向に対して異なる位相が入力された場合、位相エラー割り込みが発生します。

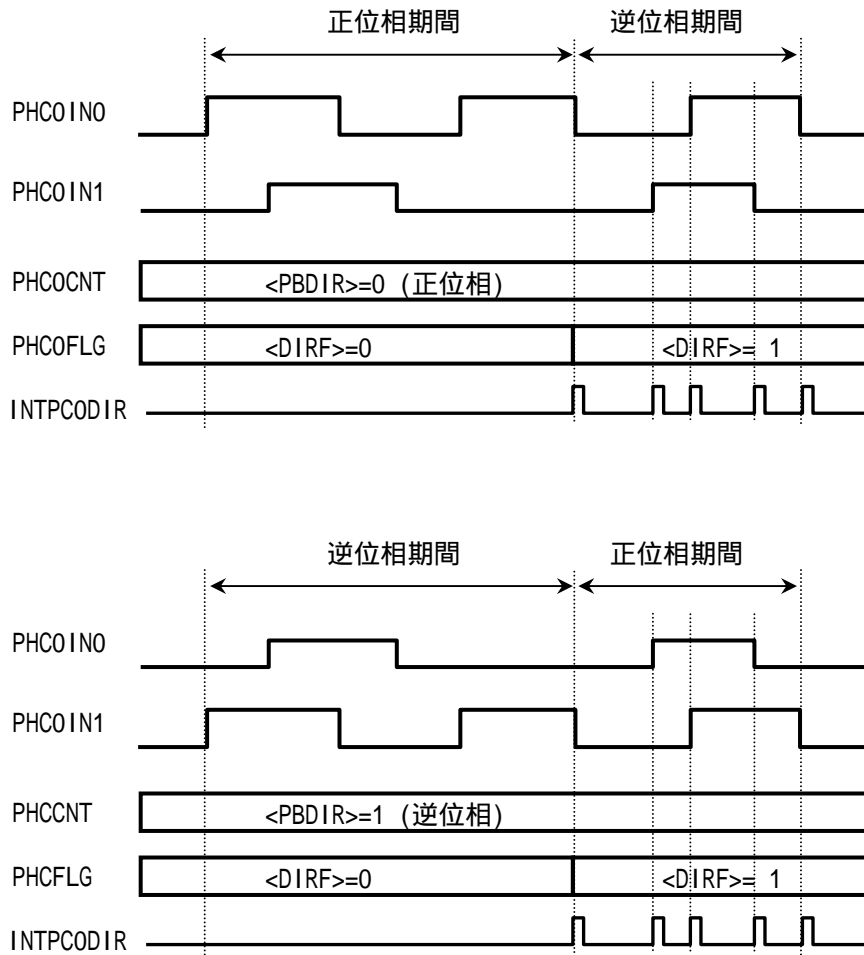


図 13.12 位相エラー割り込み発生タイミング

13.4.3.10 位相エラー発生による周波数測定モード、位相差測定モードキャプチャタイミング

位相エラー発生により、下記タイミングでは期待される位相差値が格納されません。

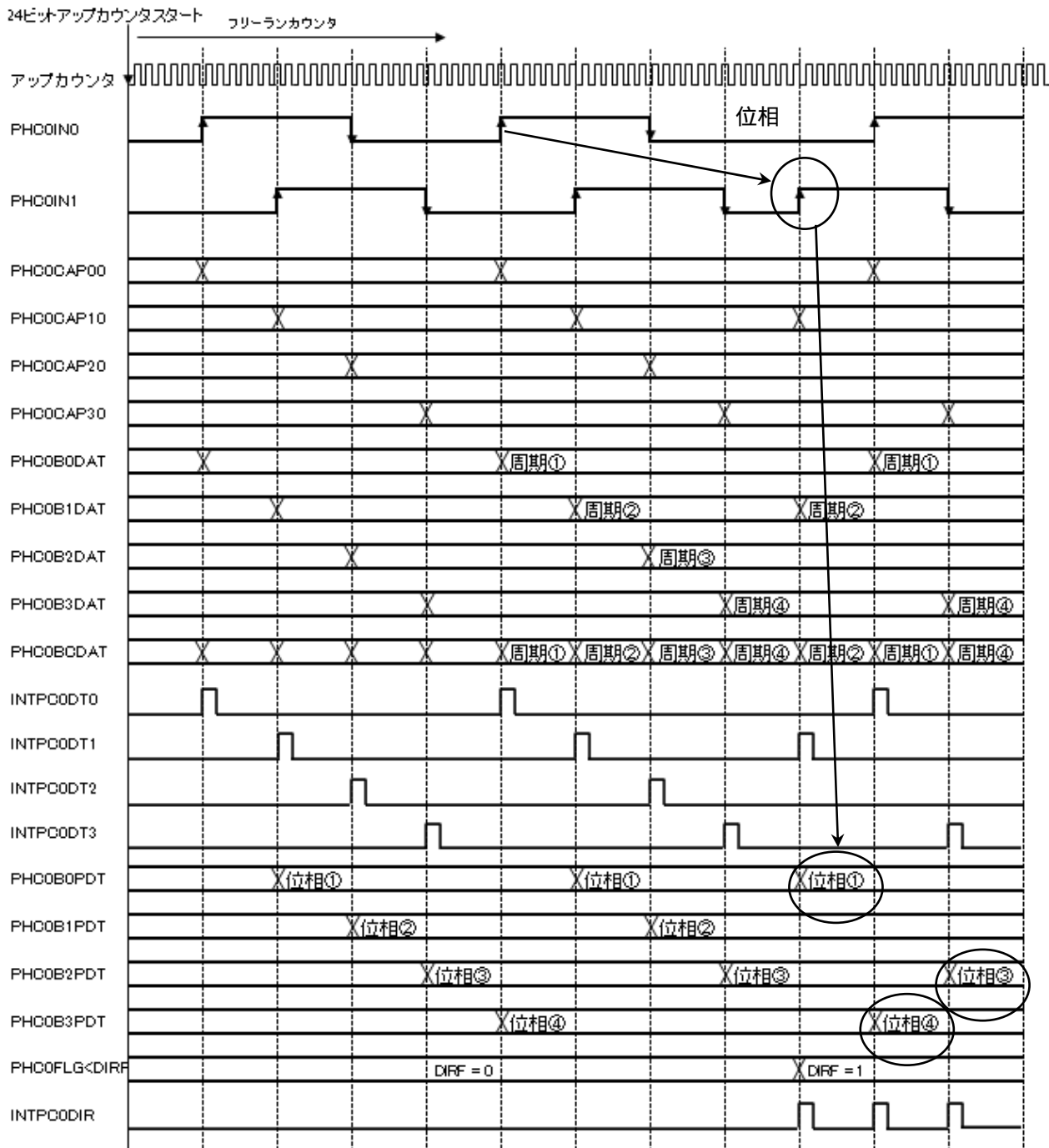


図 13.13 位相エラー発生による周期測定、位相差測定タイミング

13.4.3.11 2相パルス入力分解能

パルスカウンタの24ビットカウンタに供給するソースクロックは f_c (40MHz、PLL使用時)固定であり、実際のカウンタクロックはプリスケアラにより f_c 、 $f_c/2$ 、 $f_c/4$ 、 $f_c/8$ の設定が可能です。

また、2相パルスエッジ間の位相差(min)は、回路上システムクロック周期の5クロック分以上が必要であり、システムクロック40MHz($f_{sys}=40\text{MHz}$)の場合、 $0.125\mu\text{s}$ となります。

プリスケアラでカウンタクロックを遅くし過ぎると、パルス間の位相差を測定出来ないケースがありますので、ご注意ください。

例えば、プリスケアラを $f_c/2$ として選択した場合、カウンタクロックは $f_c/2=20\text{Hz}$ ($0.05\mu\text{s}$)となり、位相差(min) $0.25\mu\text{s}$ をカウントすることが可能です。ただし、 $f_c/8$ を設定した場合のカウンタクロックは5MHz($0.2\mu\text{s}$)となり、位相差(min) $0.125\mu\text{s}$ を測定することは出来ません。

表 13-2 最小位相差に対するプリスケアラ出力クロック分解能

fc	クロックギア値 <GEAR2:0>	位相差 (min)	プリスケアラ出力クロック分解能			
			fc	$f_c/2$	$f_c/4$	$f_c/8$
40MHz	000 (fc) (40MHz)	$0.125\mu\text{s}$	fc ($0.025\mu\text{s}$)	$f_c/2^1$ ($0.05\mu\text{s}$)	$f_c/2^2$ ($0.1\mu\text{s}$)	設定禁止
	100($f_c/2$) (20MHz)	$0.25\mu\text{s}$	fc ($0.025\mu\text{s}$)	$f_c/2^1$ ($0.05\mu\text{s}$)	$f_c/2^2$ ($0.1\mu\text{s}$)	$f_c/2^4$ ($0.2\mu\text{s}$)
	101($f_c/4$) (10MHz)	$0.50\mu\text{s}$	fc ($0.025\mu\text{s}$)	$f_c/2^1$ ($0.05\mu\text{s}$)	$f_c/2^2$ ($0.1\mu\text{s}$)	$f_c/2^4$ ($0.2\mu\text{s}$)
	110($f_c/8$) (5MHz)	$1.0\mu\text{s}$	fc ($0.025\mu\text{s}$)	$f_c/2^1$ ($0.05\mu\text{s}$)	$f_c/2^2$ ($0.1\mu\text{s}$)	$f_c/2^4$ ($0.2\mu\text{s}$)

13.5 レジスタ詳細

13.5.1 レジスタ一覧

Channel x	Base Address	
	CPU アクセスレジスタ	PSC アクセスレジスタ
Channel 0	0x4006_0000	0x4007_5000
Channel 1	0x4006_1000	0x4007_6000

表 13-3 PHC レジスタ一覧 (チャンネル0、CPU アクセスレジスタ)

Register Name		Address (base+)
PHC0 イネーブルレジスタ	PHC0EN	0x0000
PHC0 制御レジスタ	PHC0CNT	0x0004
PHC0 割り込み許可レジスタ	PHC0IE	0x0008
PHC0 ステータスレジスタ	PHC0FLG	0x000C
PHC0 16 ビットカウンタ ランレジスタ	PHC0ARUN	0x0010
PHC0 パルスカウンタ コンペア 0 レジスタ	PHC0ACP0	0x0014
PHC0 パルスカウンタ コンペア 1 レジスタ	PHC0ACP1	0x0018
PHC0 16 ビットカウンタ リードレジスタ	PHC0ADAT	0x001C
PHC0 24 ビットカウンタ ランレジスタ	PHC0BRUN	0x0020
PHC0 DMAE 要求許可レジスタ	PHC0BDMA	0x0024
PHC0 24 ビットカウンタ リードレジスタ	PHC0BUC	0x0028
PHC0 キャプチャ 00 レジスタ	PHC0BCAP00	0x0030
PHC0 キャプチャ 10 レジスタ	PHC0BCAP10	0x0034
PHC0 キャプチャ 20 レジスタ	PHC0BCAP20	0x0038
PHC0 キャプチャ 30 レジスタ	PHC0BCAP30	0x003C
PHC0 周期 0 レジスタ	PHC0B0DAT	0x0040
PHC0 周期 1 レジスタ	PHC0B1DAT	0x0044
PHC0 周期 2 レジスタ	PHC0B2DAT	0x0048
PHC0 周期 3 レジスタ	PHC0B3DAT	0x004C
PHC0 周期共通レジスタ	PHC0BCDAT	0x0050
PHC0 位相差 0 レジスタ	PHC0B0PDT	0x0060
PHC0 位相差 1 レジスタ	PHC0B1PDT	0x0064
PHC0 位相差 2 レジスタ	PHC0B2PDT	0x0068
PHC0 位相差 3 レジスタ	PHC0B3PDT	0x006C

(注 1) PSC がアクセス可能なレジスタは Read Only となります。“-”はアクセス禁止となります。

(注 2) タイマ動作中に PHC イネーブルレジスタ (PHC0EN)、PHC 制御レジスタ (PHC0CNT) の変更は行わないでください。カウンタ動作 (PHC0ARUN、PHC0BRUN) を停止後に変更を実施して下さい。

表 13-4 PHC レジスタ一覧(チャンネル 1、PSC アクセスレジスタ)

Register Name		Address (base+)
PHC0 イネーブルレジスタ	PHC0EN	-
PHC0 制御レジスタ	PHC0CNT	-
PHC0 割り込み許可レジスタ	PHC0IE	-
PHC0 ステータスレジスタ	PHC0FLG	-
PHC0 16 ビットカウンタ ランレジスタ	PHC0ARUN	-
PHC0 パルスカウンタ コンペア 0 レジスタ	PHC0ACP0	-
PHC0 パルスカウンタ コンペア 1 レジスタ	PHC0ACP1	-
PHC0 16 ビットカウンタ リードレジスタ	PHC_MIR0ADAT	0x001C
PHC0 24 ビットカウンタ ランレジスタ	PHC0BRUN	-
PHC0 DMAE 要求許可レジスタ	PHC0BDMA	-
PHC0 24 ビットカウンタ リードレジスタ	PHC_MIR0BUC	0x0028
PHC0 キャプチャ 00 レジスタ	PHC_MIR0BCAP00	0x0030
PHC0 キャプチャ 10 レジスタ	PHC_MIR0BCAP10	0x0034
PHC0 キャプチャ 20 レジスタ	PHC_MIR0BCAP20	0x0038
PHC0 キャプチャ 30 レジスタ	PHC_MIR0BCAP30	0x003C
PHC0 周期 0 レジスタ	PHC_MIR0B0DAT	0x0040
PHC0 周期 1 レジスタ	PHC_MIR0B1DAT	0x0044
PHC0 周期 2 レジスタ	PHC_MIR0B2DAT	0x0048
PHC0 周期 3 レジスタ	PHC_MIR0B3DAT	0x004C
PHC0 周期共通レジスタ	PHC_MIR0BCDAT	0x0050
PHC0 位相差 0 レジスタ	PHC_MIR0B0PDT	0x0060
PHC0 位相差 1 レジスタ	PHC_MIR0B1PDT	0x0064
PHC0 位相差 2 レジスタ	PHC_MIR0B2PDT	0x0068
PHC0 位相差 3 レジスタ	PHC_MIR0B3PDT	0x006C

(注 1) PSC がアクセス可能なレジスタは Read Only となります。“-”はアクセス禁止となります。
(注 2) タイマ動作中に PHC イネーブルレジスタ(PHC0EN)、PHC 制御レジスタ(PHC0CNT)の変更は行わないでください。カウンタ動作(PHC0ARUN、PHC0BRUN)を停止後に変更を実施して下さい。

各 PHC チャンネル(PHC0, PHC1)はそれぞれ独立に動作します。いずれのチャンネルも同一の動作をしますので、動作説明は PHC0 の場合についてのみ説明します。

13.5.2 パルスカウンタイネーブルレジスタ (PHC0EN)

	31	30	29	28	27	26	25	24
bit Symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit Symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit Symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit Symbol	-	-	-	-	-	-	-	EN
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
[31:1]	-	R	リードすると"0"が読めます。
[0]	EN	R/W	PHCチャンネル0のイネーブル状態 0y1: イネーブル 0y0: ディゼーブル

< EN > :

2相パルスタイマ(PHC0)の動作を指定します。動作禁止の状態ではPHC0モジュールの他のレジスタへクロックが供給されませんので消費電力の低減が可能です(他のレジスタへのリード、ライトはできません)。PHC0を使用する場合は、PHC0モジュールの各レジスタを設定する前にPHC0動作許可("1")にしてください。PHC0を一旦動作させた後に、動作禁止した場合は各レジスタの設定は保持されます。

(注1) パルスカウンタ機能を動作 停止 動作 (PHC0EN<EN>="1" "0" "1")と設定した場合、PHC0IN0,PHC0IN1 の入力状態を内部回路に反映させるため、下記のサイクル数経過後に各レジスタの内容が更新されます。なお、リセット解除後のパルスカウンタ動作設定時は、下記サイクル数を待たずにレジスタ更新が可能です。

PHC0CNT<NF>

00(ノイズフィルタ無し) : 3システムクロック(3 fsys)
01(ノイズフィルタ 2/fsys) : 7システムクロック(7 fsys)
10(ノイズフィルタ 4/fsys) : 9システムクロック(9 fsys)
11 : 設定禁止

(注2) パルスカウンタ機能を停止状態(PHC0EN<EN>="0")にする場合には、割り込み要求(PHC0IE レジスタ設定)とDMA要求(PHC0BDMA レジスタ設定)を禁止した状態でPHC0EN<EN>="0"を設定してください。

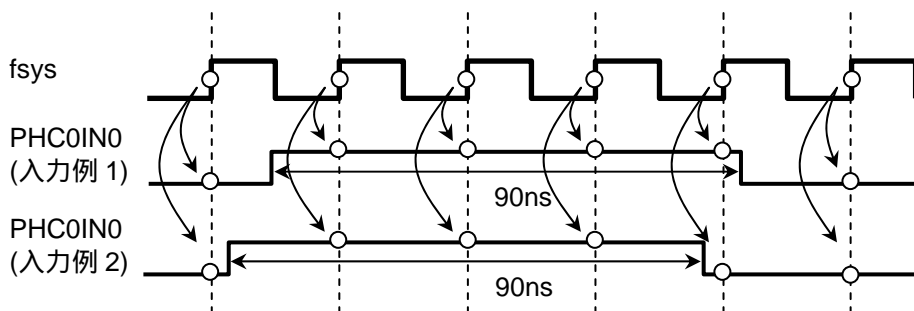
13.5.3 パルスカウンタ制御レジスタ (PHC0CNT)

	31	30	29	28	27	26	25	24
bit Symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit Symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit Symbol	NF		MA2DIR	MA12	PBDIR	-	BRCK	
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit Symbol	-	-	MA1UP		-	MA1DN		
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
[31:16]	-	R	リードすると"0"が読めます。
[15:14]	NF	R/W	PHC0IN0, PHC0IN1 入力ノイズ除去 0y00: 設定無し 0y01: 2/fsys 0y10: 4/fsys 0y11: 設定禁止
[13]	MA2DIR	R/W	パルスカウンタ(PHC0A) 2相モード方向設定 0y0: 正方向 0y1: 逆方向
[12]	MA12	R/W	パルスカウンタ(PHC0A) モード設定 0y0: 2相モード 0y1: 1相モード
[11]	PBDIR	R/W	位相差カウンタ(PHC0B) 位相選択 0y0: 正位相 0y1: 逆位相
[10]	-	R	リードすると"0"が読めます。
[9:8]	BRCK	R/W	プリスケアラ入力クロック選択 0y00: fc 0y01: fc/2 0y10: fc/4 0y11: fc/8
[7]	-	R	リードすると"0"が読めます。
[6:4]	MA1UP	R/W	パルスカウンタ(PHC0A) 1相モード アップカウントエッジ選択 0y000: カウント無効 0y111: カウント無効 0y001: PHC0IN0 立ち上がり 0y010: PHC0IN1 立ち上がり 0y011: PHC0IN0 立ち下がり 0y100: PHC0IN1 立ち下がり 0y101: PHC0IN0 両エッジ 0y110: PHC0IN1 両エッジ
[3]	-	R	リードすると"0"が読めます。
[2:0]	MA1DN	R/W	パルスカウンタ(PHC0A) 1相モード ダウンカウントエッジ選択 0y000: カウント無効 0y111: カウント無効 0y001: PHC0IN0 立ち上がり 0y010: PHC0IN1 立ち上がり 0y011: PHC0IN0 立ち下がり 0y100: PHC0IN1 立ち下がり 0y101: PHC0IN0 両エッジ 0y110: PHC0IN1 両エッジ

- < MA1DN/ MA1UP > :パルスカウンタ 1 相モード時のダウンカウント、アップカウントエッジの設定を行います。
- < BRCK > :プリスケアラ入力クロックを選択します。
- < PBDIR > :位相差カウンタの位相設定を行います。
- < MA12 > :パルスカウンタのカウンタモードを設定します。
- < MA2DIR > :パルスカウンタ 2 相モード時の方向を設定します。
- < NF > :ノイズフィルタ幅を設定します。
 - 00: ノイズフィルタ設定無し。
 - 01: $2/f_{sys}$ (50ns@ f_{sys} 40MHz 時) 以下はノイズと判断します。
 - 10: $4/f_{sys}$ (100ns@ f_{sys} 40MHz 時) 以下はノイズと判断します
 - 11: 設定禁止

(注 1) カウンタ動作中ノイズフィルタ PHC0CNT<NF>の変更は行なわないでください。
 (注 2) ノイズフィルタ幅は目安としてください。



PHC0CNT<NF>=10 ($4/f_{sys}$;100ns@40MHz 以下はノイズと判断) 設定時、90ns の High 幅で入力タイミングが異なるパルスが入力された場合、 f_{sys} のサンプリングタイミングによってはノイズと判断されない場合があります。上記、入力例 1 の High 幅はノイズとして判断されず、入力例 2 ではノイズとして判断され High パルスは削除されます。

13.5.4 パルスカウンタ割り込み許可レジスタ (PHC0IE)

	31	30	29	28	27	26	25	24
bit Symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit Symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit Symbol	-	-	-	-	-	-	INTPCUOVF	INTPCDIR
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit Symbol	INTPCDT3	INTPCDT2	INTPCDT1	INTPCDT0	INTPCUDF	INTPCOVF	INTPCCP1	INTPCCP0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
[31:10]	—	R	リードすると"0"が読めます。
[9]	INTPCUOVF	R/W	アップカウンタオーバーフロー割り込み設定 0: 禁止 1: 許可
[8]	INTPCDIR	R/W	パルスカウンタ位相エラー割り込み設定 0: 禁止 1: 許可
[7]	INTPCDT3	R/W	パルスカウンタ周期 3 割り込み設定 0: 禁止 1: 許可
[6]	INTPCDT2	R/W	パルスカウンタ周期 2 割り込み設定 0: 禁止 1: 許可
[5]	INTPCDT1	R/W	パルスカウンタ周期 1 割り込み設定 0: 禁止 1: 許可
[4]	INTPCDT0	R/W	パルスカウンタ周期 0 割り込み設定 0: 禁止 1: 許可
[3]	INTPCUDF	R/W	パルスカウンタアンダーフロー割り込み設定 0: 禁止 1: 許可
[2]	INTPCOVF	R/W	パルスカウンタオーバーフロー割り込み設定 0: 禁止 1: 許可
[1]	INTPCCP1	R/W	パルスカウンタコンペア 1 割り込み設定 0: 禁止 1: 許可
[0]	INTPCCP0	R/W	パルスカウンタコンペア 0 割り込み設定 0: 禁止 1: 許可

レジスタ PHC0IE[9:0]にて、割り込み要因一致時に割り込み発生有無を設定します。

(注1) パルスカウンタ機能を停止状態 (PHC0EN<EN>="0") にする場合には、割り込み要求 (PHC0IE レジスタ設定) と DMA 要求 (PHC0BDMA レジスタ設定) を禁止した状態で PHC0EN<EN>="0" を設定してください。

13.5.5 パルスカウンタステータスレジスタ (PHC0FLG)

	31	30	29	28	27	26	25	24
bit Symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit Symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit Symbol	-	-	-	-	-	-	-	DIRF
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit Symbol	SB3F	SB2F	SB1F	SB0F	UDFF	OVFF	CMP1F	CMP0F
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
[31:9]	—	R	リードすると "0" が読めます。
[8]	DIRF	R	位相差エラーフラグ 0: エラー発生なし 1: エラー発生あり
[7]	SB3F	R	PHC0IN1 立ち上がりエッジステータス 0: エッジなし 1: エッジあり
[6]	SB2F	R	PHC0IN0 立ち上がりエッジステータス 0: エッジなし 1: エッジあり
[5]	SB1F	R	PHC0IN1 立ち下りエッジステータス 0: エッジなし 1: エッジあり
[4]	SB0F	R	PHC0IN0 立ち下りエッジステータス 0: エッジなし 1: エッジあり
[3]	UDFF	R	パルスカウンタアンダーフローフラグ 0: 発生なし 1: 発生あり
[2]	OVFF	R	パルスカウンタオーバーフローフラグ 0: 発生なし 1: 発生あり
[1]	CMP1F	R	パルスカウンタコンペア 1 一致フラグ 0: 発生なし 1: 発生あり
[0]	CMP0F	R	パルスカウンタコンペア 0 一致フラグ 0: 発生なし 1: 発生あり

< CMP0 > : パルスカウンタモードにおけるコンペアレジスタ 0(PHCCMP0)との一致割り込み発生フラグ

< CMP1 > : パルスカウンタモードにおけるコンペアレジスタ 1(PHCCMP1)との一致割り込み発生フラグ

< OVF > : パルスカウンタモードにおけるアップダウンカウンタのオーバーフロー割り込み発生フラグ

< UDF > : パルスカウンタモードにおけるアップダウンカウンタのアンダーフロー割り込み発生フラグ

< SB0F > : PHC0IN0 入力における立ち下がりエッジ発生フラグ

< SB1F > : PHC0IN1 入力における立ち下がりエッジ発生フラグ

- < SB2F > : PHC0IN0 入力における立ち上がりエッジ発生フラグ
- < SB3F > : PHC0IN1 入力における立ち上がりエッジ発生フラグ
- < DIR > : 位相差測定モードにおける位相差エラー割り込み発生フラグ

上記ステータスフラグは、クリアしたいフラグに“1”をライトすることでクリアされます。
リードした最中でもカウンタは動作しておりますので、フラグをクリアする場合はクリアしたいフラグに対して“1”をライトするようにしてください。
各フラグは自動クリアされませんので使用する前に初期化してください。

13.5.6 16 ビットカウンタランレジスタ (PHC0ARUN)

	31	30	29	28	27	26	25	24
bit Symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit Symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit Symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit Symbol	-	-	-	-	-	-	CLR	RUN
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
[31:2]	—	R	リードすると "0" が読めます。
[1]	CLR	R/W	パルスカウンタクリア制御 0: Don't care 1: クリア
[0]	RUN	R/W	パルスカウンタ RUN/STOP 制御 0: STOP 1: RUN

<RUN> : 2相パルス入力による16ビットカウンタ動作を制御します。

<CLR> : 16ビットカウンタをクリアします。クリアされると初期値 0x7FFF となります。

<CLR><RUN> = "00" : カウンタがストップします。カウンタ値は保持され、クリアされません。(初期値)

<CLR><RUN> = "01" : カウンタがスタートします。

<CLR><RUN> = "10" : カウンタをストップし、カウンタ値がクリアされます。

<CLR><RUN> = "11" : 設定禁止

13.5.7 パルスカウンタコンペアレジスタ 0/1 (PHC0ACP0/PHC0ACP1)

PHC0ACP0

	31	30	29	28	27	26	25	24
bit Symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit Symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit Symbol	CMP0							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit Symbol	CMP0							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
[31:16]	-	R	リードすると"0"が読めます。
[15:0]	CMP0	R/W	コンペア値を設定

PHC0ACP1

	31	30	29	28	27	26	25	24
bit Symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit Symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit Symbol	CMP1							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit Symbol	CMP1							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
[31:16]	-	R	リードすると"0"が読めます。
[15:0]	CMP1	R/W	コンペア値を設定

<CMP0/1>: コンペア値を2つ設定することが可能です。

13.5.8 16ビットカウンタリードレジスタ (PHC0ADAT/PHC_MIR0ADAT)

PHC0ADAT (CPU リードレジスタ)

	31	30	29	28	27	26	25	24
bit Symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit Symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit Symbol	DAT							
リセット後	0	1	1	1	1	1	1	1
	7	6	5	4	3	2	1	0
bit Symbol	DAT							
リセット後	1	1	1	1	1	1	1	1

Bit	Bit Symbol	Type	機能
[31:16]	-	R	リードすると "0" が読めます。
[15:0]	DAT	R/W	カウンタ読み出しデータ

PHC_MIR0ADAT (PSC リードレジスタ)

	31	30	29	28	27	26	25	24
bit Symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit Symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit Symbol	DAT_MIR							
リセット後	0	1	1	1	1	1	1	1
	7	6	5	4	3	2	1	0
bit Symbol	DAT_MIR							
リセット後	1	1	1	1	1	1	1	1

Bit	Bit Symbol	Type	機能
[31:16]	-	R	リードすると "0" が読めます。
[15:0]	DAT_MIR	R	カウンタ読み出しデータ

< DAT [15:0] > < DAT_MIR [15:0] > :

カウンタ値をリード/ライトが可能です。PHC0ARUN<CLR>="1" に設定すると 0x7FFF に初期化されます。初期化およびカウンタ値を書き換える場合は、PHC0ARUN<RUN>="0" に設定し、カウンタを Stop させてから設定してください。

13.5.9 24ビットカウンタレジスタ (PHC0BRUN)

	31	30	29	28	27	26	25	24
bit Symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit Symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit Symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit Symbol	-	-	-	-	-	-	-	T24RUN
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
[31:2]	-	R	リードすると "0" が読めます。
[0]	T24RUN	R/W	PHC024bit カウンタ制御 0: 停止&クリア 1: カウントスタート

< T24RUN > :

24ビットアップカウンタの動作を制御します。

プリスケールクロックを使用して24bitカウンタを動作させる場合は、“1”に設定してください。

また、カウント停止、またはクリアする場合は、“0”を設定してください。

13.5.10 パルスカウンタDMA要求許可レジスタ (PHC0BDMA)

	31	30	29	28	27	26	25	24
bit Symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit Symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit Symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit Symbol	-	-	-	-	DMADT3	DMADT2	DMADT1	DMADT0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
[31:4]	-	R	リードすると "0" が読めます。
[3]	DMADT3	R/W	INTPC0DT3 DMA 要求設定 0: 禁止 1: 許可
[2]	DMADT2	R/W	INTPC0DT2 DMA 要求設定 0: 禁止 1: 許可
[1]	DMADT1	R/W	INTPC0DT1 DMA 要求設定 0: 禁止 1: 許可
[0]	DMADT0	R/W	INTPC0DT0 DMA 要求設定 0: 禁止 1: 許可

< DMADT[3:0] > : 各割り込みによる DMA 要求許可を制御します。

(注1) パルスカウンタ機能を停止状態 (PHC0EN<EN>="0") にする場合には、割り込み要求 (PHC0IE レジスタ設定) と DMA 要求 (PHC0BDMA レジスタ設定) を禁止した状態で PHC0EN<EN>="0" を設定してください。

13.5.11 24ビットカウンタリードレジスタ (PHC0BUC/PHC_MIR0BUC)

PHC0BUC (CPU リードレジスタ)

	31	30	29	28	27	26	25	24
bit Symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit Symbol	T24UCR[23:16]							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit Symbol	T24UCR[15:8]							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit Symbol	T24UCR[7:0]							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
[31:24]	-	R	リードすると"0"が読めます。
[23:0]	T24UCR	R	アップカウンタ読み出しデータ

PHC_MIR0BUC (PSC リードレジスタ)

	31	30	29	28	27	26	25	24
bit Symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit Symbol	T24UCR_MIR[23:16]							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit Symbol	T24UCR_MIR[15:8]							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit Symbol	T24UCR_MIR[7:0]							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
[31:24]	-	R	リードすると"0"が読めます。
[23:0]	T24UCR_MIR	R	アップカウンタ読み出しデータ

< T24UCR [23:0] > < T24UC_MIR [23:0] > :

アップカウンタ(UC24)のカウント値をリードできます。

13.5.12 キャプチャ 00 レジスタ (PHC0BCAP00/PHC_MIR0BCAP00)

PHC0BCAP00 (CPU リードレジスタ)

	31	30	29	28	27	26	25	24
bit Symbol	-	-	-	-	-	-	-	OVF00
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit Symbol	CAP00							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit Symbol	CAP00							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit Symbol	CAP00							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
[31:25]	—	R	リードすると "0" が読めます。
[24]	OVF00	R	オーバーフロー発生有無 0: オーバーフロー無し 1: オーバーフロー発生
[0:23]	CAP00	R	PHC0IN0 立ち上がりエッジのキャプチャ値

PHC_MIR0BCAP00 (PSC リードレジスタ)

	31	30	29	28	27	26	25	24
bit Symbol	-	-	-	-	-	-	-	OVF_MIR00
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit Symbol	CAP_MIR00							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit Symbol	CAP_MIR00							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit Symbol	CAP_MIR00							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
[31:25]	—	R	リードすると "0" が読めます。
[24]	OVF_MIR00	R	オーバーフロー発生有無 0: オーバーフロー無し 1: オーバーフロー発生
[0:23]	CAP_MIR00	R	PHC0IN0 立ち上がりエッジのキャプチャ値

< CAP00 [23:0] > < CAP_MIR00 [23:0] > :

PHC0IN0 の立ち上がりエッジのタイミングでカウンタ値を取り込みます。

キャプチャレジスタ 00 はダブルバッファ構成となっております。

< OVF00 [24] > < OVF_MIR00 [24] > :

PHC0BCAP00 と PHC0BCAP01 を比較し、PHC0BCAP00 が小さい場合“ 1 ”をセットし、PHC0BCAP00 が大きい場合は“ 0 ”をセットします。

13.5.13 キャプチャ 10 レジスタ (PHC0BCAP10/PHC_MIR0BCAP10)

PHC0BCAP10 (CPU リードレジスタ)

	31	30	29	28	27	26	25	24
bit Symbol	-	-	-	-	-	-	-	OVF10
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit Symbol	CAP10							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit Symbol	CAP10							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit Symbol	CAP10							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
[31:25]	-	R	リードすると"0"が読めます。
[24]	OVF10	R	オーバーフロー発生有無 0: オーバーフロー無し 1: オーバーフロー発生
[0:23]	CAP10	R	PHC0IN1 立ち上がりエッジのキャプチャ値

PHC_MIR0BCAP10 (PSC リードレジスタ)

	31	30	29	28	27	26	25	24
bit Symbol	-	-	-	-	-	-	-	OVF_MIR10
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit Symbol	CAP_MIR10							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit Symbol	CAP_MIR10							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit Symbol	CAP_MIR10							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
[31:25]	-	R	リードすると"0"が読めます。
[24]	OVF_MIR10	R	オーバーフロー発生有無 0: オーバーフロー無し 1: オーバーフロー発生
[0:23]	CAP_MIR10	R	PHC0IN1 立ち上がりエッジのキャプチャ値

< CAP10 [23:0] > < CAP_MIR10 [23:0] > :

PHC0IN1 の立ち上がりエッジのタイミングでカウンタ値を取り込みます。

キャプチャレジスタ 10 はダブルバッファ構成となっております。

< OVF10 [24] > < OVF_MIR10 [24] > :

PHC0BCAP10 と PHC0BCAP11 を比較し、PHC0BCAP10 が小さい場合"1"をセットし、PHC0BCAP10 が大きい場合は"0"をセットします。PSC リードレジスタも同様です。

13.5.14 キャプチャ 20 レジスタ (PHC0BCAP20/PHC_MIR0BCAP20)

PHC0BCAP20 (CPU リードレジスタ)

	31	30	29	28	27	26	25	24
bit Symbol	-	-	-	-	-	-	-	OVF20
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit Symbol	CAP20							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit Symbol	CAP20							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit Symbol	CAP20							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
[31:25]	-	R	リードすると "0" が読めます。
[24]	OVF20	R	オーバーフロー発生有無 0: オーバーフロー無し 1: オーバーフロー発生
[0:23]	CAP20	R	PHC0IN0 立ち下がりエッジのキャプチャ値

PHC_MIR0BCAP20 (PSC リードレジスタ)

	31	30	29	28	27	26	25	24
bit Symbol	-	-	-	-	-	-	-	OVF_MIR20
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit Symbol	CAP_MIR20							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit Symbol	CAP_MIR20							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit Symbol	CAP_MIR20							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
[31:25]	-	R	リードすると "0" が読めます。
[24]	OVF_MIR20	R	オーバーフロー発生有無 0: オーバーフロー無し 1: オーバーフロー発生
[0:23]	CAP_MIR20	R	PHC0IN0 立ち下がりエッジのキャプチャ値

< CAP20 [23:0] > < CAP_MIR20 [23:0] > :

PHC0IN0 の立ち下がりエッジのタイミングでカウンタ値を取り込みます。

キャプチャレジスタ 20 はダブルバッファ構成となっております。

< OVF20 [24] > < OVF_MIR20 [24] > :

PHC0BCAP20 と PHC0BCAP21 を比較し、PHC0BCAP20 が小さい場合 "1" をセットし、PHC0BCAP20 が大きい場合は "0" をセットします。

13.5.15 キャプチャ 30 レジスタ (PHC0BCAP30/PHC_MIR0BCAP30)

PHC0BCAP30 (CPU リードレジスタ)

	31	30	29	28	27	26	25	24
bit Symbol	-	-	-	-	-	-	-	OVF30
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit Symbol	CAP30							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit Symbol	CAP30							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit Symbol	CAP30							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
[31:25]	-	R	リードすると "0" が読めます。
[24]	OVF30	R	オーバーフロー発生有無 0: オーバーフロー無し 1: オーバーフロー発生
[0:23]	CAP30	R	PHC0IN1 立ち下がりエッジのキャプチャ値

PHC_MIR0BCAP30 (PSC リードレジスタ)

	31	30	29	28	27	26	25	24
bit Symbol	-	-	-	-	-	-	-	OVF_MIR30
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit Symbol	CAP_MIR30							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit Symbol	CAP_MIR30							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit Symbol	CAP_MIR30							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
[31:25]	-	R	リードすると "0" が読めます。
[24]	OVF_MIR30	R	オーバーフロー発生有無 0: オーバーフロー無し 1: オーバーフロー発生
[0:23]	CAP_MIR30	R	PHC0IN1 立ち下がりエッジのキャプチャ値

< CAP30 [23:0] > < CAP_MIR30 [23:0] > :

PHC0IN1 の立ち下がりエッジのタイミングでカウンタ値を取り込みます。
キャプチャレジスタ 30 はダブルバッファ構成となっております。

< OVF30 [24] > < OVF_MIR30 [24] > :

PHC0BCAP30 と PHC0BCAP31 を比較し、PHC0BCAP30 が小さい場合 "1" をセットし、
PHC0BCAP30 が大きい場合は "0" をセットします。

13.5.16 周期カウンタ 0 レジスタ (PHC0B0DAT/PHC_MIR0B0DAT)

PHC0B0DAT (CPU リードレジスタ)

	31	30	29	28	27	26	25	24
bit Symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit Symbol	B0DAT							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit Symbol	B0DAT							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit Symbol	B0DAT							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
[31:24]	-	R	リードすると "0" が読めます。
[0:23]	B0DAT	R	周期 0 のカウンタ値

PHC_MIR0B0DAT (PSC リードレジスタ)

	31	30	29	28	27	26	25	24
bit Symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit Symbol	B0DAT_MIR							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit Symbol	B0DAT_MIR							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit Symbol	B0DAT_MIR							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
[31:24]	-	R	リードすると "0" が読めます。
[0:23]	B0DAT_MIR	R	周期 0 のカウンタ値

< B0DAT [23:0] > < B0DAT_MIR [23:0] > : PHC0IN0 の立ち上がり間周期のカウンタ値を取り込みます。

13.5.17 周期カウンタ 1 レジスタ (PHC0B1DAT/PHC_MIR0B1DAT)

PHC0B1DAT (CPU リードレジスタ)

	31	30	29	28	27	26	25	24
bit Symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit Symbol	B1DAT							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit Symbol	B1DAT							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit Symbol	B1DAT							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
[31:24]	-	R	リードすると "0" が読めます。
[0:23]	B1DAT	R	周期 1 のカウンタ値

PHC_MIR0B1DAT (PSC リードレジスタ)

	31	30	29	28	27	26	25	24
bit Symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit Symbol	B1DAT_MIR							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit Symbol	B1DAT_MIR							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit Symbol	B1DAT_MIR							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
[31:24]	-	R	リードすると "0" が読めます。
[0:23]	B1DAT_MIR	R	周期 1 のカウンタ値

< B1DAT [23:0] > < B1DAT_MIR [23:0] > : PHC0IN1 の立ち上がり間周期のカウンタ値を取り込みます。

13.5.18 周期カウンタ 2 レジスタ (PHC0B2DAT/PHC_MIR0B2DAT)

PHC0B2DAT (CPU リードレジスタ)

	31	30	29	28	27	26	25	24
bit Symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit Symbol	B2DAT							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit Symbol	B2DAT							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit Symbol	B2DAT							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
[31:24]	-	R	リードすると "0" が読めます。
[0:23]	B2DAT	R	周期 2 のカウンタ値

PHC_MIR0B2DAT (PSC リードレジスタ)

	31	30	29	28	27	26	25	24
bit Symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit Symbol	B2DAT_MIR							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit Symbol	B2DAT_MIR							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit Symbol	B2DAT_MIR							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
[31:24]	-	R	リードすると "0" が読めます。
[0:23]	B2DAT_MIR	R	周期 2 のカウンタ値

< B2DAT [23:0] > < B2DAT_MIR [23:0] > : PHC0IN0 の立ち下がり間周期のカウンタ値を取り込みます。

13.5.19 周期カウンタ3レジスタ (PHC0B3DAT/PHC_MIR0B3DAT)

PHC0B3DAT (CPU リードレジスタ)

	31	30	29	28	27	26	25	24
bit Symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit Symbol	B3DAT							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit Symbol	B3DAT							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit Symbol	B3DAT							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
[31:24]	-	R	リードすると"0"が読めます。
[0:23]	B3DAT	R	周期3のカウント値

PHC_MIR0B3DAT (PSC リードレジスタ)

	31	30	29	28	27	26	25	24
bit Symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit Symbol	B3DAT_MIR							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit Symbol	B3DAT_MIR							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit Symbol	B3DAT_MIR							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
[31:24]	-	R	リードすると"0"が読めます。
[0:23]	B3DAT_MIR	R	周期3のカウント値

< B3DAT [23:0] > < B3DAT_MIR [23:0] > : PHC0IN1 の立ち下がり間周期のカウント値を取り込みます。

13.5.20 周期カウンタ共通レジスタ (PHC0BCDAT/PHC_MIR0BCDAT)

PHC0BCDAT (CPU リードレジスタ)

	31	30	29	28	27	26	25	24
bit Symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit Symbol	BCDAT							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit Symbol	BCDAT							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit Symbol	BCDAT							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
[31:24]	-	R	リードすると "0" が読めます。
[0:23]	BCDAT	R	周期 0~3 のカウンタ値

PHC_MIR0BCDAT (PSC リードレジスタ)

	31	30	29	28	27	26	25	24
bit Symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit Symbol	BCDAT_MIR							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit Symbol	BCDAT_MIR							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit Symbol	BCDAT_MIR							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
[31:24]	-	R	リードすると "0" が読めます。
[0:23]	BCDAT_MIR	R	周期 0~3 のカウンタ値

< BCDAT [23:0] > < BCDAT_MIR [23:0] > : PHC0B0DAT, PHC0B1DAT, PHC0B2DAT, PHC0B3DAT に格納されると同時に PHC0BCDAT レジスタへも取り込まれます。

13.5.21 位相差 0 レジスタ (PHC0B0PDT/PHC_MIR0B0PDT)

PHC0B0PDT (CPU リードレジスタ)

	31	30	29	28	27	26	25	24
bit Symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit Symbol	B0PDT							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit Symbol	B0PDT							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit Symbol	B0PDT							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
[31:24]	-	R	リードすると "0" が読めます。
[0:23]	B0PDT	R	位相差 0 のカウンタ値

PHC_MIR0B0PDT (PSC リードレジスタ)

	31	30	29	28	27	26	25	24
bit Symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit Symbol	B0PDT_MIR							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit Symbol	B0PDT_MIR							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit Symbol	B0PDT_MIR							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
[31:24]	-	R	リードすると "0" が読めます。
[0:23]	B0PDT_MIR	R	位相差 0 のカウンタ値

< B0PDT [23:0] > < B0PDT_MIR [23:0] > :

正位相の場合、PHC0IN0 の立ち上がりエッジから PHC0IN1 の立ち上がりエッジ間のカウンタ値を取り込みます。
逆位相の場合、PHC0IN1 の立ち上がりエッジから PHC0IN0 の立ち上がりエッジ間のカウンタ値を取り込みます。

13.5.22 位相差 1 レジスタ (PHC0B1PDT/PHC_MIR0B1PDT)

PHC0B1PDT (CPU リードレジスタ)

	31	30	29	28	27	26	25	24
bit Symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit Symbol	B1PDT							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit Symbol	B1PDT							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit Symbol	B1PDT							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
[31:24]	-	R	リードすると "0" が読めます。
[0:23]	B1PDT	R	位相差 1 のカウンタ値

PHC_MIR0B1PDT (PSC リードレジスタ)

	31	30	29	28	27	26	25	24
bit Symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit Symbol	B1PDT_MIR							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit Symbol	B1PDT_MIR							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit Symbol	B1PDT_MIR							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
[31:24]	-	R	リードすると "0" が読めます。
[0:23]	B1PDT_MIR	R	位相差 1 のカウンタ値

< B1PDT [23:0] > < B1PDT_MIR [23:0] > :

正位相の場合、PHC0IN1 の立ち上がりエッジから PHC0IN0 の立ち下がりエッジ間のカウンタ値を取り込みます。
 逆位相の場合、PHC0IN0 の立ち上がりエッジから PHC0IN1 の立ち下がりエッジ間のカウンタ値を取り込みます。

13.5.23 位相差 2 レジスタ (PHC0B2PDT/PHC_MIR0B2PDT)

PHC0B2PDT (CPU リードレジスタ)

	31	30	29	28	27	26	25	24
bit Symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit Symbol	B2PDT							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit Symbol	B2PDT							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit Symbol	B2PDT							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
[31:24]	-	R	リードすると "0" が読めます。
[0:23]	B2PDT	R	位相差 2 のカウンタ値

PHC_MIR0B2PDT (PSC リードレジスタ)

	31	30	29	28	27	26	25	24
bit Symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit Symbol	B2PDT_MIR							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit Symbol	B2PDT_MIR							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit Symbol	B2PDT_MIR							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
[31:24]	-	R	リードすると "0" が読めます。
[0:23]	B2PDT_MIR	R	位相差 2 のカウンタ値

< B2PDT [23:0] > < B2PDT_MIR [23:0] > :

正位相の場合、PHC0IN0 の立ち下がりエッジから PHC0IN1 の立ち下がりエッジ間のカウンタ値を取り込みます。
逆位相の場合、PHC0IN1 の立ち下がりエッジから PHC0IN0 の立ち下がりエッジ間のカウンタ値を取り込みます。

13.5.24 位相差 3 レジスタ (PHC0B3PDT/PHC_MIR0B3PDT)

PHC0B3PDT (CPU リードレジスタ)

	31	30	29	28	27	26	25	24
bit Symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit Symbol	B3PDT							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit Symbol	B3PDT							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit Symbol	B3PDT							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
[31:24]	-	R	リードすると "0" が読めます。
[0:23]	B3PDT	R	位相差 3 のカウンタ値

PHC_MIR0B3PDT (PSC リードレジスタ)

	31	30	29	28	27	26	25	24
bit Symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit Symbol	B3PDT_MIR							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit Symbol	B3PDT_MIR							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit Symbol	B3PDT_MIR							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
[31:24]	-	R	リードすると "0" が読めます。
[0:23]	B3PDT_MIR	R	位相差 3 のカウンタ値

< B3PDT [23:0] > < B3PDT_MIR [23:0] > :

正位相の場合、PHC0IN1 の立ち下がりエッジから PHC0IN0 の立ち上がりエッジ間のカウンタ値を取り込みます。
 逆位相の場合、PHC0IN0 の立ち下がりエッジから PHC0IN1 の立ち上がりエッジ間のカウンタ値を取り込みます。

14 高分解能 16 ビットタイマ (TMRD)

TMPM342FYXBG は、以下 2 つの高分解能 16bit タイマ (TMRD) を有します。

- CPU からのみアクセス可能 . . . TMRD A
- CPU 及び PSC からアクセス可能 . . . TMRD B

これら 2 つの TMRD は機能/構成は同一で、レジスタ名と接続される内部バスが異なるだけです。(内部バスとの接続に関する詳細は、「バス構造」の章を参照してください。また、TMRD B のレジスタ名については、14.3 レジスタ説明の項で説明します。)

従って、以降、断りのない限り TMRD A で説明します。

TMRD A は、2 つのタイマユニット (TMRD0、TMRD1) とこれらタイマユニットにクロックを供給する 2 つのクロック設定部 (プリスケアラ) から構成され、以下の機能を有します。

- 16 ビットインターバルタイマ
- 16 ビットプログラマブル矩形波出力 (PPG)
 - 1bit モジュレーション機能を有し、PWM 出力で使用する場合、擬似的に分解能を上げることが可能です。

16 ビットインターバルタイマでは、以下の 2 つのモードを有します。

- TMRD0 と TMRD1 が独立して動作するタイマモード
- TMRD0 と TMRD1 のタイマ動作を同時にスタート可能な連動タイマモード

16 ビットプログラマブル矩形波出力では、以下の 2 つのモードを有します。

- TMRD0 と TMRD1 が独立し、2ch+2ch のプログラムされた矩形波を出力する PPG モード
- TMRD0 と TMRD1 が連動し、
 - 3ch+1ch または 4ch のプログラムされた矩形波が出力可能
 - TMRD0 が生成する矩形波出力と TMRD1 が生成する矩形波出力の位相関係を $-180^\circ \sim +180^\circ$ 範囲で可変可能な連動 PPG モード

図 14.1-1 にクロック設定部、図 14.1-2 にタイマユニットのブロック図を示します。

14.1 ブロック図

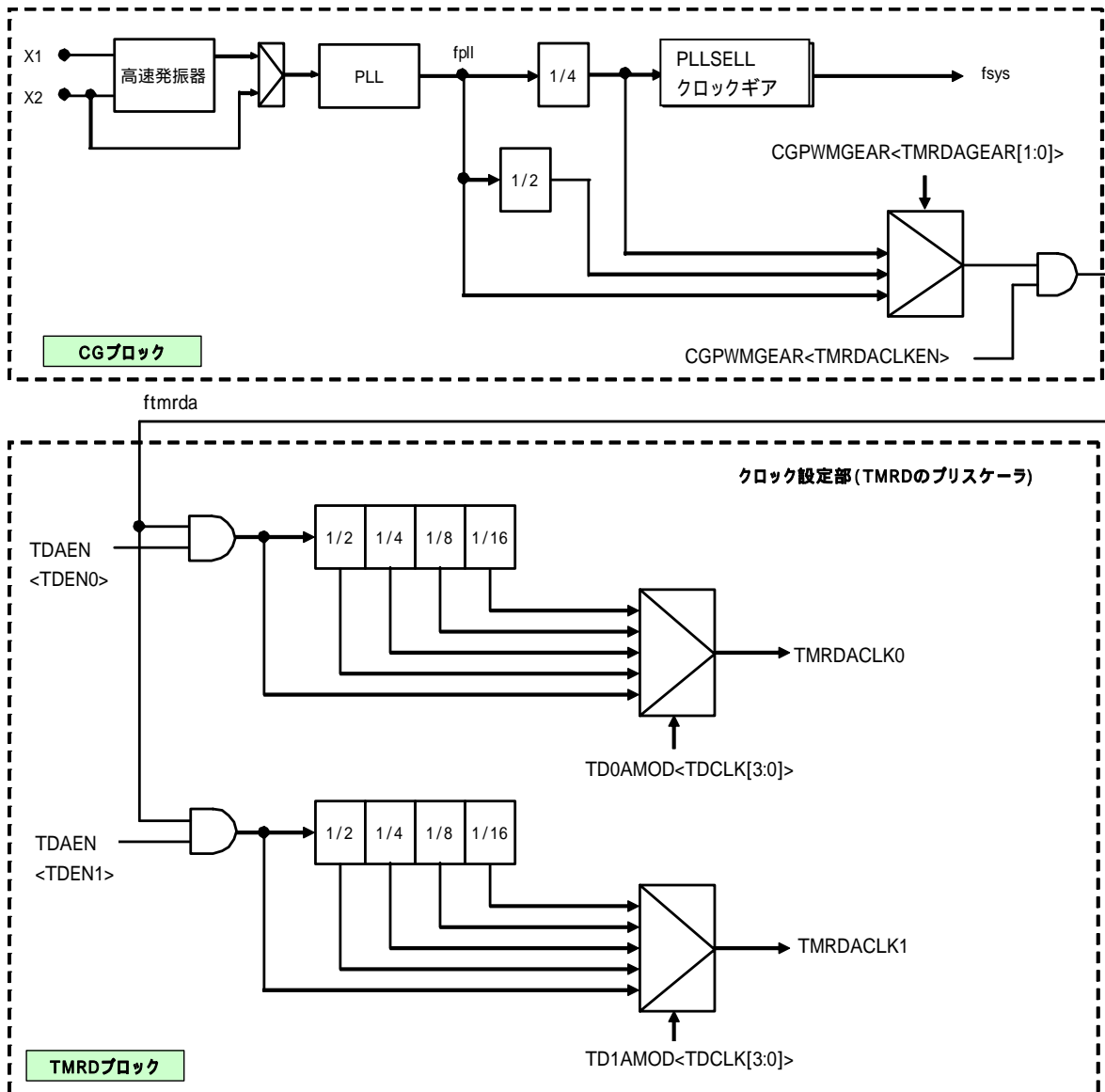


図 14.1-1 TMRD A クロック図

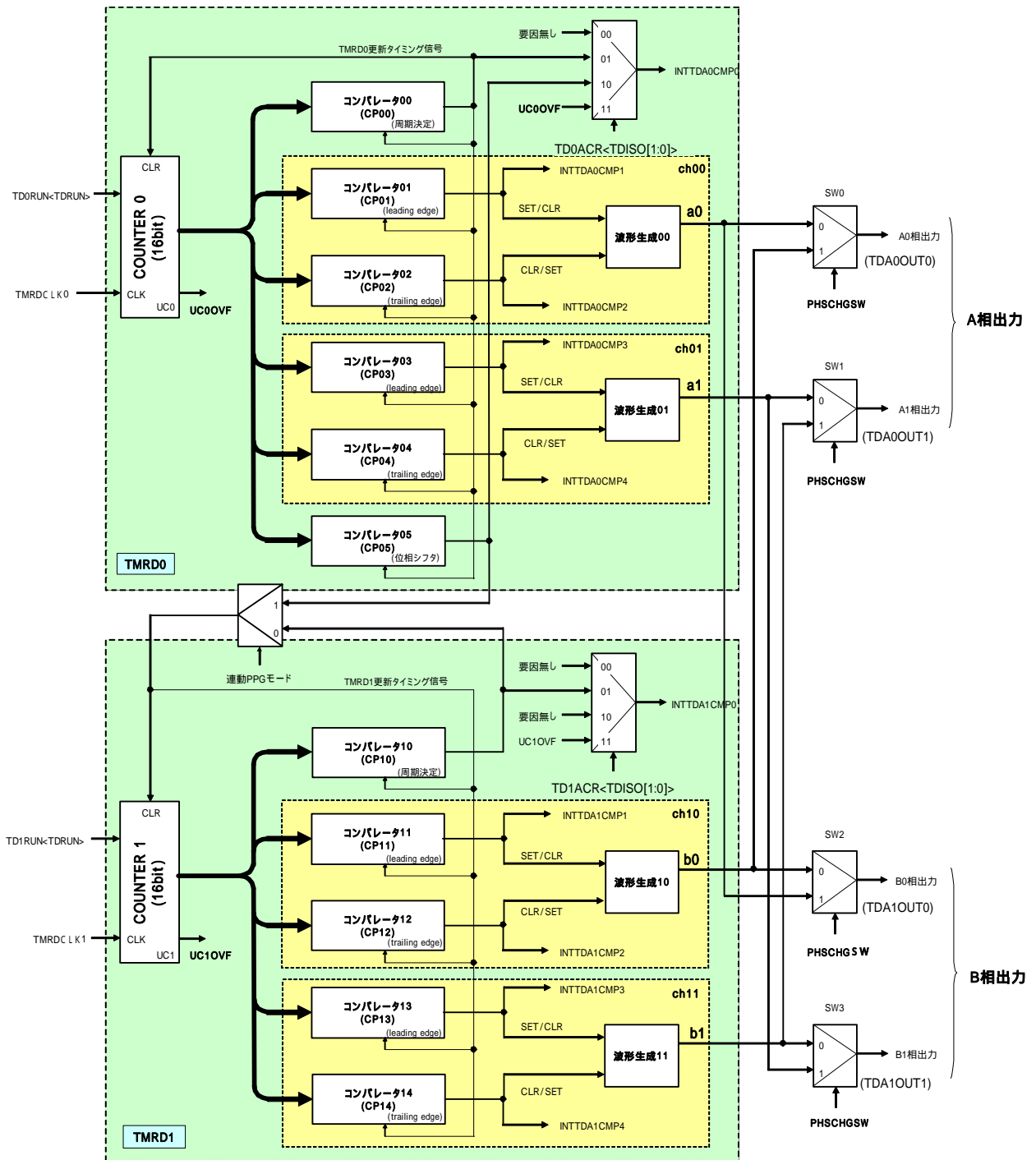


図 14.1-2 TMRD A ユニットブロック図

14.1.1 プリスケークロック

TMRD A を動作させるプリスケークロック TMRDACLK0, TMRDACLK1 は、CG ブロックの PLL 回路を介して入力クロック設定を行なうレジスタ (TMRD A: CGPWMGEAR<TMRDAGEAR[1:0]>、TMRD B: CGPWMGEAR<TMRDAGEAR[1:0]>) でソースクロックを選択し、TMRD A ブロックにあるクロック設定レジスタ TDOAMOD<TDCLK[3:0]>、TD1AMOD<TDCLK[3:0]>にて TMRD0、TMRD1 のプリスケークロックを選択することで、設定されます。

注) TMRD A に供給するプリスケークロックの周波数は最大 160MHz です。この数値を超える設定は行なわないでください。

14.1.2 タイマユニット

図 14.1-2 に示すように、タイマユニット TMRD0 は、主に 16bit のカウンタ UC0、6 つのコンパレータ (CP0m, m=0~5) および 2 つの波形生成回路 (00, 01) から成り、PPG/連動 PPG モード時、CP01 と CP02 及び波形生成回路 00 で出力チャンネル ch00 を CP03 と CP04 及び波形生成回路 01 で出力チャンネル ch01 を構成します。

もう一つのタイマユニット TMRD1 は、主に 16bit のカウンタ UC1、5 つのコンパレータ (CP1m, m=0~4) および 2 つの波形生成回路 (10, 11) から成り、PPG/連動 PPG モード時、CP11 と CP12 及び波形生成回路 10 で出力チャンネル ch10 を CP13 と CP14 及び波形生成回路 11 で出力チャンネル ch11 を構成します。

(1) カウンタ (UC0/UC1)

UC0/UC1 は、クロック設定部から出力されるクロック (TMRDCLK0/TMRDCLK1) でカウントアップする 16 ビットのバイナリカウンタで、TDOAMOD<TDCLE>/TD1AMOD<TDCLE> レジスタで設定される値によって、フリーランカウンタもしくは CP00/CP10 の一致出力で“0”に戻るカウンタとして動作します。ただし、連動 PPG モード時は、UC1 は CP10 ではなく CP05 の一致出力で“0”に戻るカウンタとして動作します。

UC0 ;	TDOAMOD<TDCLE> = 0	:	フリ - ランカウンタ
	TDOAMOD<TDCLE> = 1	:	CP00 の一致出力で“0”に戻るカウンタ
UC1 ;	TD1AMOD<TDCLE> = 0	:	フリ - ランカウンタ
	TD1AMOD<TDCLE> = 1	:	CP10/CP05 の一致出力で“0”に戻るカウンタ

また、UC0/UC1 は制御信号 TDOARUN/TD1ARUN によって、カウンタの動作・停止を制御します。

UC0 ;	TDOARUN<TDRUN> = 0	:	カウンタ停止、“0”に初期化
	TDOARUN<TDRUN> = 1	:	カウンタ動作開始
UC1 ;	TD1ARUN<TDRUN> = 0	:	カウンタ停止、“0”に初期化
	TD1ARUN<TDRUN> = 1	:	カウンタ動作開始

(2) コンパレータ (CP_nm : n=0,1 n=0 の時、m=0,1,3,5、n=1 の時、m=0,1,3)

コンパレータ CP00、CP01、CP03、CP05、CP10、CP11、CP13 は、図 14.1-3 に示すように、主に 16 ビット長のタイマレジスタ TDnARGm、16 ビット長のコンペアレジスタ TDnACPm、各々タイマレジスタの値を各々コンペアレジスタに書き込むタイミングを生成する書き込みタイミング生成回路 n および UCn のカウンタ出力値と TDnACPm への設定値 (<CPRGm[15:0]>) との一致を検出する一致検出回路 nm から構成されます。

CP00、CP10 はそれぞれ TMRD0、TMRD1 の周期を決定するコンパレータ、CP01、CP03、CP11、CP13 は、PPG/連動 PPG モード時、矩形波の leading edge のタイミングを決定するコンパレータで、また、CP05 は連動 PPG モード時に、TMRD0 の矩形波出力と TMRD1 矩形波出力の位相関係を決定するコンパレータです。

これらのコンパレータは TDnARGm と TDnACPm のダブルバッファ構造をとり、TDnACPm へのデータ書き込み経路はレジスタ TDnACR<TDRDE>の値によって選択されます。

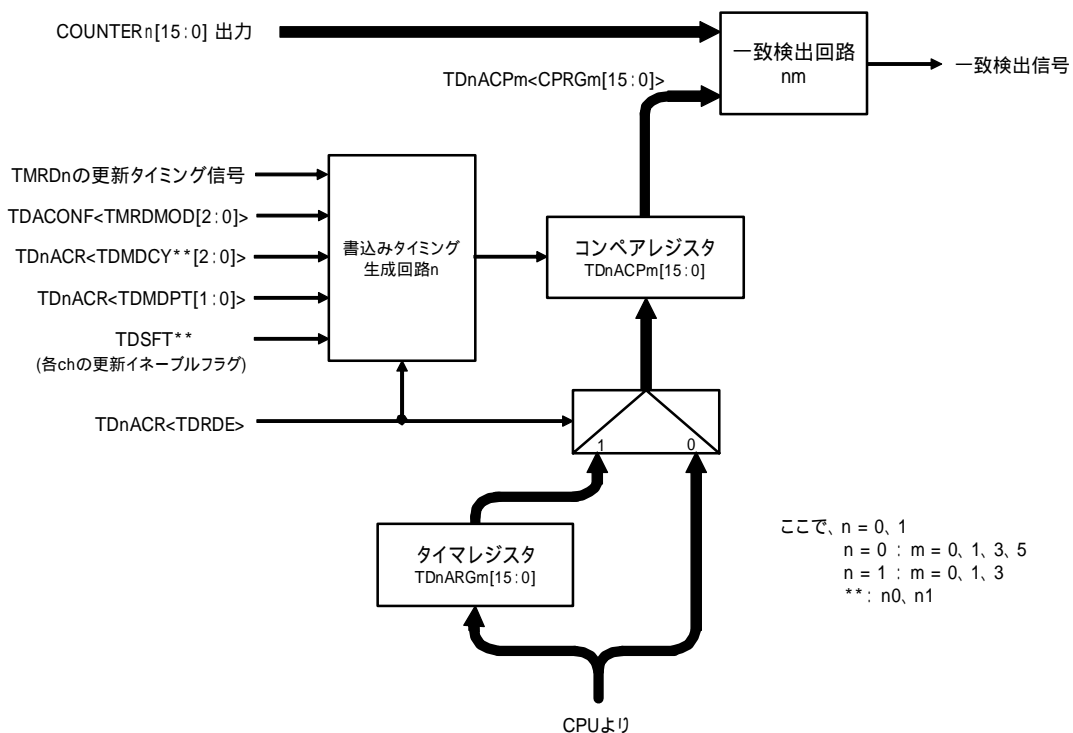


図 14.1-3 コンパレータ CP00、CP01、CP03、CP05、CP10、CP11、CP13 の構成概念図

TDnACR<TDRDE> = 0 : TDnARGm への書き込みと同時に同じ値が TDnACPm に書込まれます。

ただし、TDnACPm は read only レジスタのため、このアドレスを指定しての直接の書き込みは出来ません。

(任意のタイミングで TDnACPm への初期値設定が可能)

TDnACR<TDRDE> = 1 : 更新イネーブルフラグ TDABCR<TDSFT> = 1 の時、各モードにおける更新タイミングで、TDnARGm の値が TDnACPm に書き込まれます。

更新タイミングについては、各動作モードの項で説明します。

(3) コンパレータ (CP_nm : n=0, 1 m=2, 4)

また、コンパレータCP02、CP04、CP12、CP14は図14.1-4に示すように、主に20ビット長のタイマレジスタTDnARGm、20ビット長のコンペアレジスタTDnACPm、各々タイマレジスタの値を各々コンペアレジスタに書込むタイミングを生成する書込みタイミング生成回路n、1bitモジュレーションの設定を行う1bitモジュレーション設定回路nmおよび一致検出回路nmから構成されます。

CP02、CP04、CP12、CP14は、PPG/連動PPGモード時、矩形波のtrailing edgeのタイミングを決定するコンパレータです。CP01とCP02、CP03とCP04、CP11とCP12、CP13とCP14でそれぞれch00、ch01、ch10、ch11の矩形波のパルス幅(duty)を決定することになります。

1bitモジュレーション設定回路nmは、PPG/連動PPGモード時に機能するもので、1bitモジュレーション周期内において、コンペアレジスタの<CPMDRT[3:0]>で設定される数の矩形波周期(CP00/CP10で決定される周期)分だけ、TDnACPm<CPRGm[15:0]>で設定された値に+1されたタイミングで、一致検出信号が出力されるよう一致検出回路nmに制御信号を出力します。

一致検出回路nmはカウンタUCnの出力値とTDnACPm<CPRGm[15:0]>で設定された値とが一致したタイミングで出力される信号とこの出力信号をTMRDCLKnの1clock分シフトした信号を生成します。そして一致検出回路nmは、この2つの信号を上述した1bitモジュレーション設定回路nmから入力される制御信号に基づいて切換え、一致検出信号として出力します。

ここで、1bitモジュレーションとは、出力される矩形波のパルス幅をTDnACPm<CPRGm[15:0]>で設定された値よりもTMRDCLKnの1clock分広げることを行い、1bitモジュレーションの周期とは、CP00、CP10で決まる周期を整数倍した周期であり、その周期はコントロールレジスタTDnACRで各ch毎に設定することができます。

1bitモジュレーション機能については、14.2.2.1PPGモードの項で詳細を説明します。

これらのコンパレータは前項のコンパレータと同様、TDnARGmとTDnACPmのダブルバッファ構造をとりTDnACPmへのデータの書込み経路はレジスタTDnACR<TDRDE>の値によって選択されます。

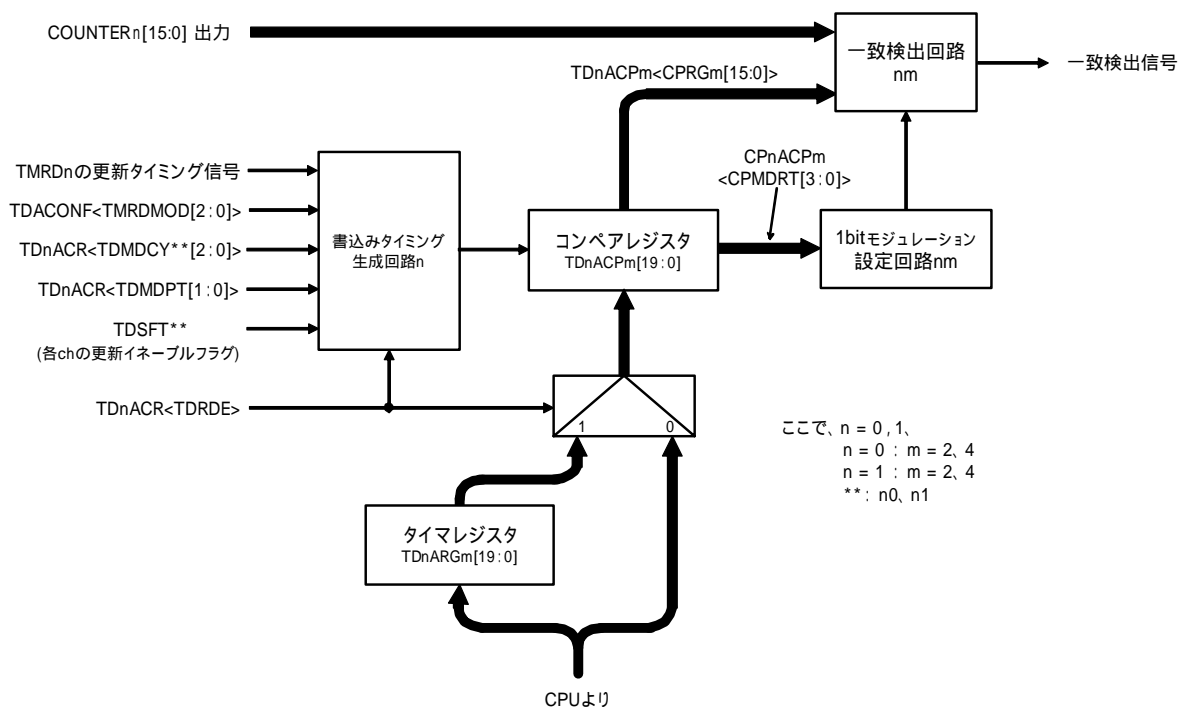


図 14.1-4 コンパレータ CP02、CP04、CP12、CP14 の構成概念図

TDnACR<TDRDE> = 0 : TDnARGm への書込みと同時に同じ値が TDnACPm に書込まれます。

ただし、TDnACPm は read only レジスタのため、このアドレスを指定しての直接の書き込みは出来ません。

(任意のタイミングで TDnACPm への初期値設定が可能)

TDnACR<TDRDE> = 1 : 更新イネーブルフラグ TDABCR<TDSFT> = 1 の時、各モードにおける更新タイミングで、TDnARGm の値が TDnACPm に書き込まれます。

更新タイミングについては、各動作モードの項で説明します。

(3) 波形生成回路

それぞれの波形生成回路は、それぞれ CP01、CP03、CP11、CP13 の一致検出出力のタイミングで leading edge を、それぞれ CP02、CP04、CP12、CP14 の一致検出出力のタイミングで trailing edge を生成する矩形波出力回路であり、leading edge/trailing edge の極性(立上り/立下り)は、レジスタ TDOAMOD<TDIV[1:0]>、TD1AMOD<TDIV[1:0]>で設定することが出来ます。

14.2 各動作モードの説明

TMRD の各動作モードは、レジスタ TDACONF<TMRDMOD[2:0]>で設定します。レジスタへの設定値とそれぞれのタイマユニットの動作モードの関係については、後述するレジスタ説明の項を参照してください。それぞれのモードについては、以下にその動作を説明します。

以降、それぞれのタイマユニットにある回路要素、レジスタ等をまとめて表現する場合は、名称の中に記載の番号を n、m で表現します。CPnm、UCn、TDnARGm、TDnACPm 等。

ここで、m、n は断りのない限り、n = 0、1 で、また、n = 0 の時 m = 0 ~ 5、n = 1 の時 m = 0 ~ 4 の値をとります。

14.2.1 16 ビットインターバルタイマ

14.2.1.1 タイマモード

本モードは、TMRD0 と TMRD1 が独立したタイマ動作を行ないます。

レジスタ TDnAMOD<TDCLE> の値が “0” の場合、UCn は 0x0000 からカウントアップを始め、0xFFFF まで達すると再び 0x0000 に戻るフリーランカウンタとして動作し、カウント値が 0xFFFF になるとオーバーフロー割り込み UCnOVF を発生します。

レジスタ TDnAMOD<TDCLE> の値が “1” の場合、UCn は 0x0000 からカウントアップを始め、カウント値が CPn0 のコンペアレジスタ TDnACP0 に設定された値と一致したとき、再び 0x0000 に戻るカウンタとして動作します。即ち、CPn0 にてタイマ周期を設定します。

上記どちらの場合もそれぞれのコンパレータ CPnm は、UC0 のカウント値がそれぞれのコンペアレジスタ TDnACPm に設定された値と一致した場合、タイマ割り込みを発生します。

14.2.1.2 連動タイマ(同期スタート)モード

本モードは、TMRD0 と TMRD1 のタイマ動作を同時にスタート可能なタイマモードであり、2 つのカウンタ UC0 と UC1 は、レジスタ TDOARUN<TDRUN>を “1” に設定することで同時に動作を開始します。このモードでは、タイマ動作スタート、停止ともにレジスタ TD1ARUN<TDRUN>の設定は無視されます。ただし、TMRD0、TMRD1 のタイマ周期は個別に設定することが可能です。

14.2.1.3 タイマ割り込みについて

表 14.2-1 にタイマ割り込み信号とその要因の関係について示します。

INTTDA0CMP0 は、レジスタ TDOACR<TDISO[1:0]>の値によって、INTTDA1CMP0 はレジスタ TD1ACR<TDISO[1:0]>の値によってその割り込み要因を設定します。

表 14.2-1 タイマ割り込み信号とその要因

割り込み信号名		要因
INTTDAOCMP0	TDOACR<TDISO[1:0]> = [0:0]	要因無し
	TDOACR<TDISO[1:0]> = [0:1]	コンパレータ 00(CP00)の一致検出
	TDOACR<TDISO[1:0]> = [1:0]	コンパレータ 05(CP05)の一致検出
	TDOACR<TDISO[1:0]> = [1:1]	カウンタ 0(UC0)のオーバーフロー
INTTDAOCMP1		コンパレータ 01(CP01)の一致検出
INTTDAOCMP2		コンパレータ 02(CP02)の一致検出
INTTDAOCMP3		コンパレータ 03(CP03)の一致検出
INTTDAOCMP4		コンパレータ 04(CP04)の一致検出
INTTDA1CMP0	TD1ACR<TDISO[1:0]> = [0:0]	要因無し
	TD1ACR<TDISO[1:0]> = [0:1]	コンパレータ 10(CP10)の一致検出
	TD1ACR<TDISO[1:0]> = [1:0]	要因無し
	TD1ACR<TDISO[1:0]> = [1:1]	カウンタ 1(UC1)のオーバーフロー
INTTDA1CMP1		コンパレータ 11(CP11)の一致検出
INTTDA1CMP2		コンパレータ 12(CP12)の一致検出
INTTDA1CMP3		コンパレータ 13(CP13)の一致検出
INTTDA1CMP4		コンパレータ 14(CP14)の一致検出

注) 16ビットプログラマブル矩形波出力のモードにおいても、以下の場合を除いて上記割り込み要因が発生します。

- ・カウンタ UC0 及び UC1 のオーバーフロー割込の要因は発生しません。
- ・連動 PPG モード時において、CP10 の一致検出は要因になりません。

上記の割り込み信号名は TMRD A のものですが、TMRD B の対応する信号名は、上記信号名 INTTDA*****の INTTDA を INTTDB に置き換えたものになります。

14.2.1.4 タイマ/連動タイマモードにおける各コンパレータの更新

各コンパレータにおけるコンペアレジスタ TDnACPm への値の更新について説明します。

前述したように、データ書き込み経路を選択するレジスタ TDnACR<TDRDE>を 0 に設定した場合は、タイマレジスタ TDnARGm の値を更新すると同時に対応したコンペアレジスタ TDnACPm の値が更新されます。TDnACR<TDRDE>を 1 に設定した場合は、図 14.2-1 に示すタイミングでコンペアレジスタ TDnACPm の値が更新されます。ここで、TDABCR<TDSFTn1/n0>は更新イネーブル信号で、この信号が 1 の時、TMRDn の更新タイミング信号が 1 のタイミングで値の更新が行われます。

TDABCR<TDSFTn1/n0>はこの更新のタイミングでクリアされます。

ここで、TDSFTn1/n0 で更新されるそれぞれのコンペアレジスタは、次のようになります。

TDSFT00 ... TD0ACP0、TD0ACP1、TD0ACP2、TD0ACP5

TDSFT01 ... TD0ACP3、TD0ACP4

TDSFT10 ... TD1ACP0、TD1ACP1、TD1ACP2

TDSFT11 ... TD1ACP3、TD1ACP4

また、本モードにおける TMRD0 の更新タイミング信号はコンパレータ CP00 の一致検出、TMRD1 の更新タイミング信号は、コンパレータ CP10 の一致検出信号になります。

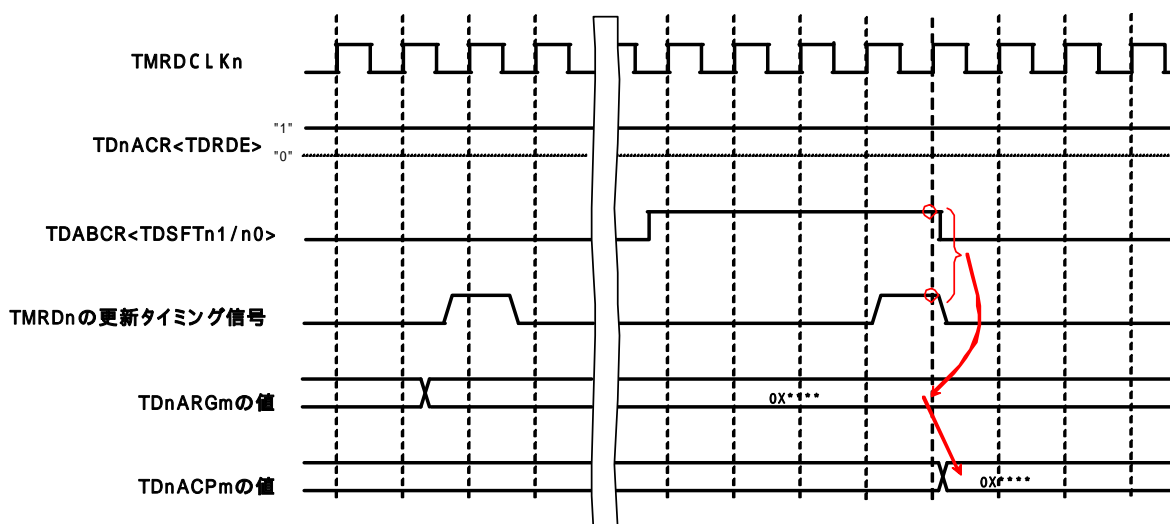


図 14.2-1 タイマ/連動タイマモードにおける TDnACPm への更新タイミング (TDRDE=1)

14.2.1.5 タイマモード時のレジスタ設定手順

(1) 起動までの手順

(1-1) タイマモード

タイマモードを起動するまでのレジスタの設定は以下の番号順で行なってください。

供給クロックの選択

1. TMRD に供給するソースクロックをレジスタ CGPWMGEAR<TMRDAGEAR[1:0]>(TMRD A)もしくは、CGPWMGEAR<TMRDBGEAR[1:0]>(TMRD B)で選択します。
2. レジスタ CGPWMGEAR<TMRDACLKEN>(TMRDA)もしくは CGPWMGEAR<TMRDACLKEN>(TMRDA)を“1”に設定し TMRD へのクロック供給をイネーブルにします。このとき、必ず TMRDAGEAR[1:0]/TMRDBGEAR[1:0]の値を設定した後、TMRDACLKEN/TMRDBCLKEN をセットしてください。

各タイマユニットの動作モード選択

1. タイマモードで使用するタイマユニットをレジスタ TDACONF<TMRDMOD[2:0]>で設定します。同時に、IDLE モードにおけるタイマユニットの動作状態を同レジスタの <TDI2TD[1:0]>で設定します。

各タイマユニット(TMRD0/TMRD1)で使用するクロックの選択

1. 各タイマユニットへのクロック供給動作を ON/OFF するレジスタ TDAEN の各ビット <TDEN1>、<TDEN0>を“1”に設定します。(OFF のままでよいタイマユニットは、セットする必要はありません)
2. 各タイマユニットで使用するクロックをレジスタ TDnAMOD<TDCLK[3:0]>で選択します。同時に、タイマモードで使用するタイマユニットのカウンタの動作をレジスタ TDnAMOD<TDCLE>で設定します。

各タイマレジスタ及びコンペアレジスタへの初期設定

1. レジスタ TDnACR<TDRDE> = 0 に設定し、コンペアレジスタへの書き込みをダイレクト書き込みモードにします。(タイマレジスタへの書き込みと同時に、同じ値が対応するコンペアレジスタに書込まれるモードです)同時に、INTTDAnCMPn の割込み要因をレジスタ TDnACR<TDISO[1:0]>で設定します。
2. 各タイマレジスタ(TDnARGm)に所望の値を設定します。
レジスタ TDnACR<TDRDE> = 0 のモードでは、レジスタ TDABCR<TDSFTn1/n0>を 1 に設定する操作及び更新タイミング信号は必要ありません。

タイマモードの起動

1. レジスタ TDnACR<TDRDE> = 1 に設定し、コンペアレジスタへの書き込みをタイマレジスタ経由にします。(タイマレジスタの値が、所定の更新タイミングで対応するコンペアレジスタに書込まれるモードです。)
2. レジスタ TDnARUN<TDRUN> = 1 に設定し、スタートさせます。

(1-2) 連動タイマモード

連動タイマモードを起動するまでのレジスタの設定は以下の番号順で行なってください。

供給クロックの選択

1. TMRD に供給するソースクロックをレジスタ CGPWMGEAR<TMRDAGEAR[1:0]>(TMRD A)もしくは、CGPWMGEAR<TMRDBGEAR[1:0]>(TMRD B)で選択します。
2. レジスタ CGPWMGEAR<TMRDACLKEN>(TMRDA)もしくは CGPWMGEAR<TMRDACLKEN>(TMRDA)を “1” に設定し TMRD へのクロック供給をイネーブルにします。このとき、必ず TMRDAGEAR[1:0]/TMRDBGEAR[1:0]の値を設定した後、TMRDACLKEN/TMRDBCLKEN をセットしてください。

各タイマユニットの動作モード選択

1. 連動タイマモードをレジスタ TDACONF<TMRDMOD[2:0]>で設定します。
同時に IDLE モードにおけるタイマユニットの動作状態を同レジスタの<TDI2TD[1:0]>で設定します。

各タイマユニット (TMRD0/TMRD1) で使用するクロックの選択

1. 二つのタイマユニットへのクロック供給動作を ON/OFF するレジスタ TDAEN の各ビット <TDEN1>、<TDEN0>を “1” に設定します。(<TDEN1>、<TDEN0>ともにセットしてください)
2. 各タイマユニットで使用するクロックをレジスタ TDnAMOD<TDCLK[3:0]>で選択します。
同時に、各タイマユニットのカウンタの動作をレジスタ TDnAMOD<TDCLE>で設定します。

各タイマレジスタ及びコンペアレジスタへの初期設定

1. レジスタ TDnACR<TDRDE> = 0 に設定し、コンペアレジスタへの書き込みをダイレクト書き込みモードにします(タイマレジスタへの書き込みと同時に、同じ値が対応するコンペアレジスタに書込まれるモードです)。同時に、INTTDAnCMPn の割込み要因をレジスタ TDnACR<TDISO[1:0]>で設定します。
2. 各タイマレジスタ (TDnARGm) に所望の値を設定します。
レジスタ TDnACR<TDRDE> = 0 のモードでは、レジスタ TDABCR<TDSFTn1/n0>を 1 に設定する操作及び更新タイミング信号は必要ありません。

タイマモードの起動

1. レジスタ TDnACR<TDRDE> = 1 に設定し、コンペアレジスタへの書き込みをタイマレジスタ経由にします。(タイマレジスタの値が、所定の更新タイミングで対応するコンペアレジスタに書込まれるモードです。)
2. レジスタ TDOARUN<TDRUN> = 1 に設定し、2 つのタイマユニットを同時にスタートさせます。連動タイマモードなので、レジスタ TD1ARUN<TDRUN>への設定は不要です。

(2) 起動後の設定手順

(2-1) タイマモード、連動タイマモード

タイマモードを起動した後のレジスタの設定は以下の番号順で行なってください。

各タイマレジスタ及びコンペアレジスタ値の更新

1. 更新するコンペアレジスタに対応したタイマレジスタ (TDnARGm) に任意の値を設定します。
2. 上記設定後、更新するタイマユニットに対応したレジスタ TDnABCR<TDSFTn1/n0>を “1” にセットします。

上記手順により、所定の更新タイミングでタイマレジスタの値が対応するコンペアレジスタに設定されます。(図 14.2-1参照)

注) タイマ起動中に、設定を変える(書き換える)ことが可能なレジスタは(TDnARGm)、(TDABCR)、(TDnARUN)の3レジスタです。それ以外のレジスタへの設定は、タイマ停止時に行なってください。

14.2.1.6 コンペアレジスタの設定範囲

16ビットインターバルタイマモードにおけるコンペアレジスタへの設定範囲を表 14.2-2に示します。

表 14.2-2 16ビットインターバルタイマ時のコンペアレジスタの設定範囲

タイマ ユニット	コンペア レジスタ	16ビットインターバルタイマ					
		TDCLE = 0			TDCLE = 1		
TMRD0	TDOACP0	0x0000	CPRG0[15:0]	0xFFFF	0x0001	CPRG0[15:0]	0xFFFF
	TDOACP1	0x0000	CPRG1[15:0]	0xFFFF	0x0000	CPRG1[15:0]	CPRG0[15:0]
	TDOACP2	0x0000	CPRG2[15:0]	0xFFFF	0x0000	CPRG2[15:0]	CPRG0[15:0]
	TDOACP3	0x0000	CPRG3[15:0]	0xFFFF	0x0000	CPRG3[15:0]	CPRG0[15:0]
	TDOACP4	0x0000	CPRG4[15:0]	0xFFFF	0x0000	CPRG4[15:0]	CPRG0[15:0]
	TDOACP5	0x0000	CPRG5[15:0]	0xFFFF	0x0000	CPRG5[15:0]	CPRG0[15:0]
TMRD1	TD1ACP0	0x0000	CPRG0[15:0]	0xFFFF	0x0001	CPRG0[15:0]	0xFFFF
	TD1ACP1	0x0000	CPRG1[15:0]	0xFFFF	0x0000	CPRG1[15:0]	CPRG0[15:0]
	TD1ACP2	0x0000	CPRG2[15:0]	0xFFFF	0x0000	CPRG2[15:0]	CPRG0[15:0]
	TD1ACP3	0x0000	CPRG3[15:0]	0xFFFF	0x0000	CPRG3[15:0]	CPRG0[15:0]
	TD1ACP4	0x0000	CPRG4[15:0]	0xFFFF	0x0000	CPRG4[15:0]	CPRG0[15:0]

タイマ周期 T_n は、TMRDCLKn の周波数を f_{clk} とすると、下記で計算します。

(1) TDCLE = 0 の場合

$$T_n = (1/f_{clk}) \times 2^{16}$$

(2) TDCLE = 1 の場合

$$T_n = (1/f_{clk}) \times (TDnACP0 < CPRG0[15:0] > + 1)$$

14.2.2 16 ビットプログラマブル矩形波出力

14.2.2.1 PPGモード

本モードは、TMRD0 と TMRD1 は独立して動作し、それぞれ周波数と Duty がプログラム可能な矩形波を出力するモードで、TMRD0、TMRD1 とそれぞれ周波数が同じ 2 系統 (チャンネル) の矩形波を出力することが出来ます。

TMRD0 のチャンネル： ch00 … 出力信号 a0 、 ch01 … 出力信号 a1

TMRD1 のチャンネル： ch10 … 出力信号 b0 、 ch11 … 出力信号 b1

(1) 矩形波 (PPG) 出力の周期

TMRD0 では、矩形波出力 (a0/a1) の周期は、CP00 のコンペアレジスタ $TD0ACP0 < CPRG0[15:0] >$ の値で設定します。即ち、図 14.2-2 で示すようにタイマモードと同様 UCC は CP00 の一致検出出力で “0” に戻るカウンタとして動作します。

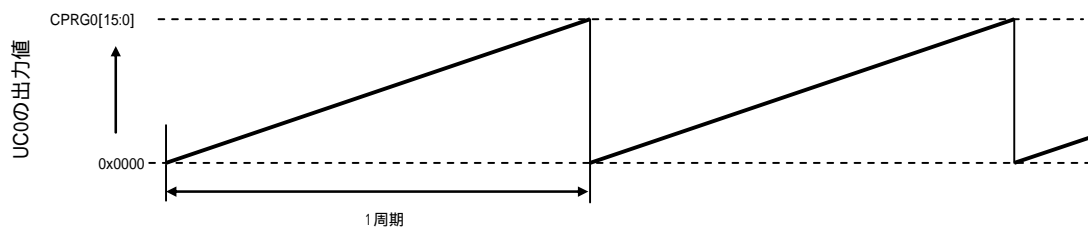


図 14.2-2 PPG モードの矩形波周期

TMRD1 も同様に、矩形波出力 (b0/b1) の周期は CP10 のコンペアレジスタ ($TD1ACP0 < CPRG0[15:0] >$) の値で設定します。

(2) 矩形波 (PPG) 出力のパルス幅 (DUTY)

TMRD0 では、14.1.2 タイマユニットの項で述べたように、矩形波出力 a0 の leading edge は CP01 の一致検出、trailing edge は CP02 の一致検出を基に波形生成回路 00 で生成されます。図 14.2-3 に波形生成のタイミングを示します。

図に示すように、CP01 では UC00 の出力値と <CPRG1[15:0]> の値の一致で一致検出回路 01 から一致検出信号が出力されますが、CP02 では一致検出回路 02 は、1bit モジュレーション設定回路 02 から入力される制御信号が High レベルの時、UC0 の出力値と CPRG2[15:0] の値の一致検出信号を TMRDCLK0 の 1clock 分シフトした信号を、Low レベルの時、UC0 の出力値と <CPRG2[15:0]> の値との一致検出信号を、CP02 の一致検出信号として波形生成回路に 00 に出力します。

同様に、矩形波出力 a1 は、CP03 の一致検出信号で leading edge を、CP04 の一致検出信号で trailing edge を波形生成回路 01 で生成します。

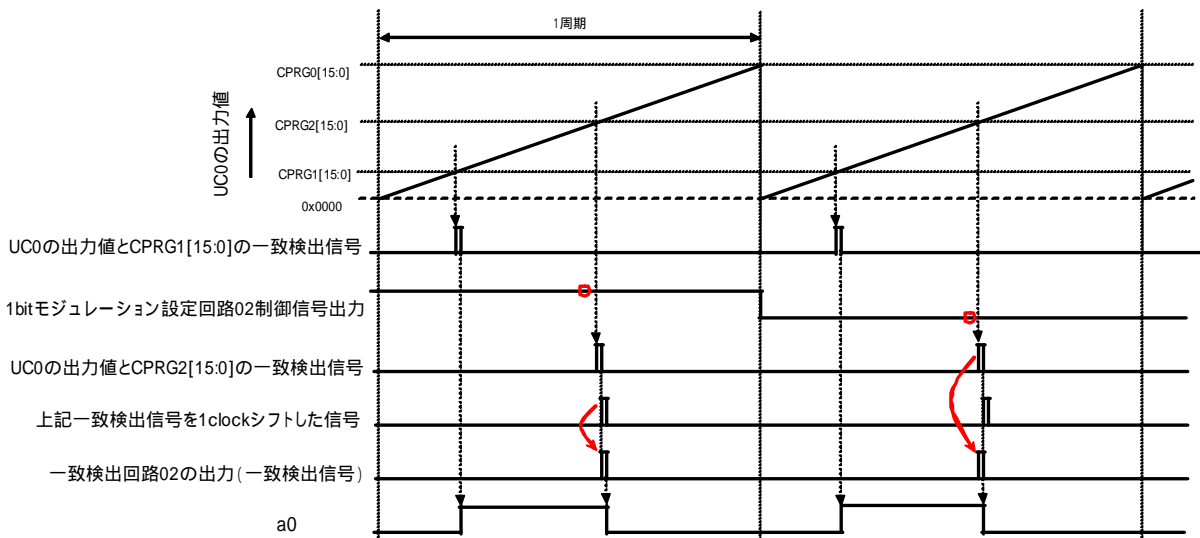


図 14.2-3 PPG モードの矩形波出力 (a0 の場合)

図 14.2-3では、leading edgeが立上がり、trailing edgeは立下がりの波形を示しましたが、レジスタTDOAMOD<TDIV[1:0]>の設定で、leading edgeは立下がり、trailing edgeを立上がりの波形にすることも可能です。

TMRD1 でも同様で、矩形波出力 b0/b1 の leading edge は CP11/CP13 の一致検出信号、trailing edge は CP12/CP14 の一致検出信号を基に、波形生成回路 10/11 で生成します。

また、PPG モードの場合、SW0/SW1/SW2/SW3 のコントロール信号 PHSCHGSW は “0” に固定されます。TMRD0 の出力は SW0、SW1 を介して、TMRD1 の出力は SW2、SW3 を介してのみ出力されます。

(3) 1bit モジュレーション機能について

PPG モードを PWM 出力として使用する場合、TMRDCLKn の周波数を f_{clk_n} 、必要分解能を N とすると、PWM 周波数 f_{pwm} は、

$$f_{pwm} = f_{clk_n} / N \quad \dots$$

となります。本 TMRD では、 f_{clk_n} の最大周波数は 160(MHz) なので、例えば $N=1000$ の分解能を得ようとする、式から f_{pwm} は最大 160(KHz) となります。この PWM 周波数で更に分解能を上げるには、式から f_{clk_n} を更に上げる必要が有りますが、本 TMRD では、 f_{clk_n} を上げず、1bit モジュレーション機能を使って擬似的に分解能を上げる手段を採用しています。

f_{pwm} をそのまま分解能を 4 倍 (2bit) 上げる場合を例にとって以下説明します。本手段は、PWM 周期 ($1/f_{pwm}$) の 4 倍の周期を 1 周期とする期間 (1bit モジュレーション周期) を考え、この 1bit モジュレーション周期単位でその周期毎に設定される数の PWM 波形に 1bit モジュレーションを施し、この周期単位で平均的に分解能を向上させるものです。図 14.2-4 は、PWM 周期の分解能 N を 1000、パルス幅の設定 N を 600、1bit モジュレーションの周期内にある 4 つの PWM 波形の内、最初の PWM 波形に 1bit モジュレーションを施した場合の例で、この場合、 $(601+600 \times 3) / 4 = 600.25$ のパルス幅 (duty) を平均的に実現することになり、1bit モジュレーション周期で、擬似的に分解能を 4 倍 (2bit) に上げていることとなります。

PWM 周波数をそのまま、分解能を擬似的に 2 倍 (1bit) に上げる場合は、1bit モジュレーション周期を PWM 周期の 2 倍に、8 倍 (3bit) に上げる場合は 8 倍に、16 倍 (4bit) に上げる場合は、16 倍に設定することとなります。

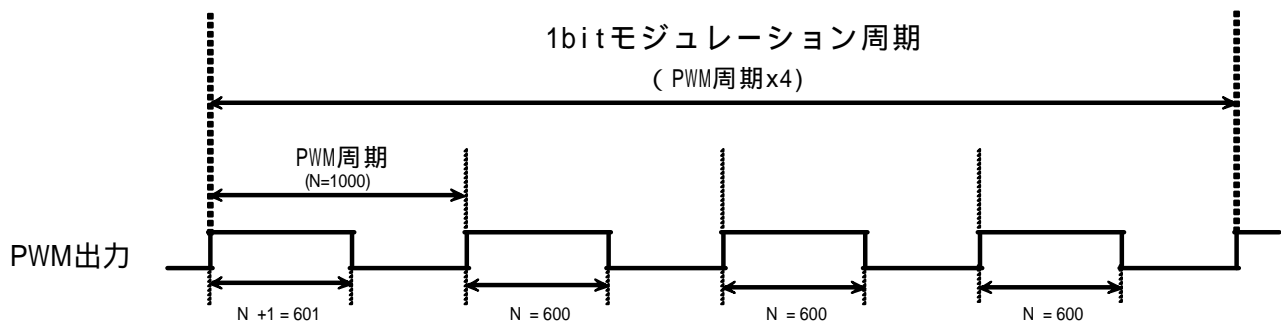


図 14.2-4 1bit モジュレーション機能の説明図

1bit モジュレーション周期の設定は、各 ch 毎に設定可能でその設定レジスタは、

TMRD0 : ch00 ... TD0ACR<TDMDCY00[2:0]、ch01 ... TD0ACR<TDMDCY01[2:0]>

TMRD1 : ch10 ... TD1ACR<TDMDCY10[2:0]、ch11 ... TD1ACR<TDMDCY11[2:0]>

になります。また、1bit モジュレーション機能無しの設定も本レジスタで可能です。

上記レジスタの値と 1bit モジュレーション周期の関係を以下に示します。

000 : 1bit モジュレーション機能無し

001 : (CP00/CP10 で決まる周期) x2 の周期

010 : (CP00/CP10 で決まる周期) x4 の周期

011 : (CP00/CP10 で決まる周期) x8 の周期

100 : (CP0/CP100 で決まる周期) x16 の周期

*ch0 と ch01 は CP00、ch10 と ch11 は CP10 で決まる周期

また、1bit モジュレーションを施す PWM 周期の数は、TDnACP2<CPMDRT[3:0]>、

TDnACP4<CPMDRT[3:0]>で設定します。

先の説明で、パルス幅の設定値 N は、各 ch では

ch00 … TDOACP2<CPRG2[15:00]> - TDOACP1<CPRG1[15:00]>
 ch01 … TDOACP4<CPRG4[15:00]> - TDOACP3<CPRG3[15:00]>
 ch10 … TD1ACP2<CPRG2[15:00]> - TD1ACP1<CPRG1[15:00]>
 ch11 … TD1ACP4<CPRG4[15:00]> - TD1ACP3<CPRG3[15:00]>

で計算されます。

(4) PPG モードにおける更新タイミング

PPG モードにおける各コンパレータのコンペアレジスタ $TDnACPm$ への値の更新について説明します。データ書き込み経路を選択するレジスタ $TDnACR<TDRDE>=0$ の場合は、タイマモード時と同様なので省略し、 $TDnACR<TDRDE>=1$ の場合について説明します。

各コンパレータの更新のタイミングは、それぞれ対応する下記のコントロールレジスタ

TMRD0 : TDOACR<TDMDCY00[2:0]、TDMDPT00> (CP00、CP01、CP02、CP05)
 TDOACR<TDMDCY01[2:0]、TDMDPT10> (CP03、CP04)
 TMRD1 : TD1ACR<TDMDCY10[2:0]、TDMDPT10> (CP10、CP11、CP12)
 TD1ACR<TDMDCY11[2:0]、TDMDPT11> (CP13、CP14)

の設定で異なる3つのパターンがあり、以下それぞれについて説明します。どのコンパレータの更新も同様の動作をするので、CP00、CP01、CP02 について説明を行います。上記レジスタに対応したコンパレータを右に記載しています。(PPG モードの時は、CP05 は使用しません。)

(4)-1 1bit モジュレーション機能を使用しない ($TDOACR<TDMDCY00[2:0]>=000$) 場合

1bitモジュレーション機能を使用しないモードでは、図 14.2-5に示すタイミングで、コンパレータCP00 及びch00のコンパレータCP01、CP02のコンペアレジスタTDOACP0、TDOACP1、TDOACP2の値が対応するタイマレジスタTDORG0、TDORG1、TDORG2の値に更新されます。TDABCR<TDSFT00>はCP00、CP01、CP02 に対応した更新イネーブルフラグで、この信号が1の時、CP00の一致検出信号(TMRD0の更新タイミング信号)が1のタイミングで値の更新が行われます。

TDABCR<TDSFT00>はこの更新のタイミングでクリアされます。

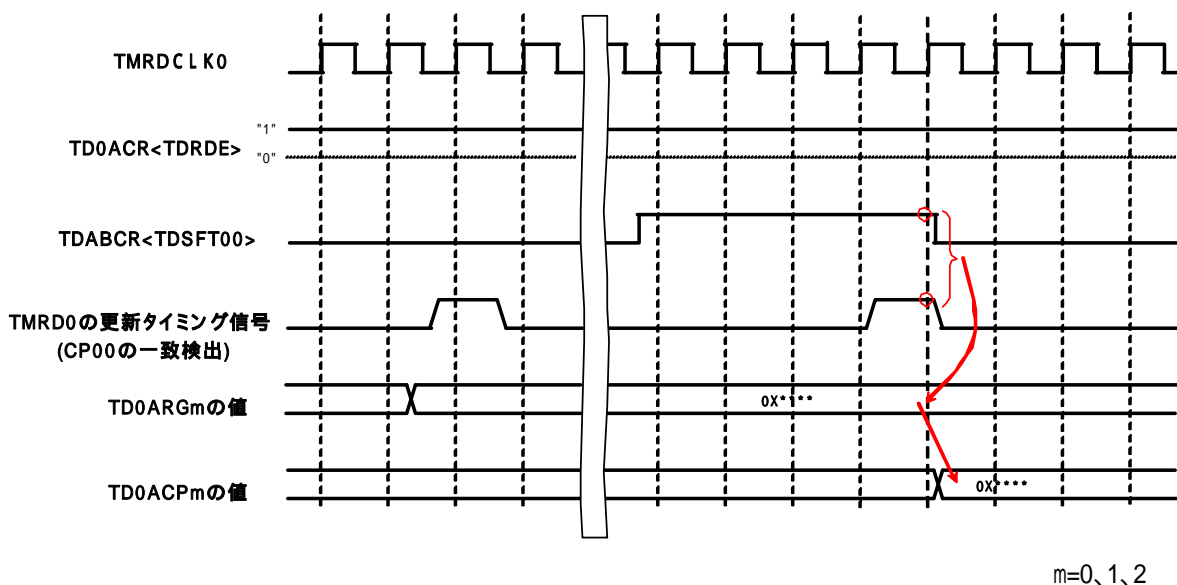


図 14.2-5 PPG モードにおける CP00、CP01、CP02 の更新タイミング

($TDOACR<TDMDCY00[2:0]>=000$)

それぞれの更新イネーブルフラグとそれぞれのコンパレータの対応は、14.2.1.4の項で記載したタイマ/連動タイマモードの場合と同じです。また、TMRD1 のコンパレータの更新タイミング信号は、CP10 の一致検出になります。

(4)-2 1bit モジュレーション機能を使用する (TDOACR<TDMDCY00[2:0]> = 000) 場合
1bit モジュレーション機能を使用するモードでは、レジスタ TDOACR<TDMDPT00>の設定で、次の2つの更新タイミングを選択できます。

TDOACR<TDMDPT00> = 0 : 1bit モジュレーション周期毎

TDOACR<TDMDPT00> = 1 : CP00 で決まる周期毎

TDOACR<TDMDPT00> = 0 を設定したときの更新タイミングを、TDOACR<TDMDCY00[2:0]> = 010 の場合を例にとって、図 14.2-6に示します。図からわかるように更新イネーブルフラグ TDABCR<TDSFT00>に 1 を設定した時点の 1bit モジュレーション周期を終了したタイミングで値を更新することになります。この更新イネーブルフラグは設定値が更新されるタイミングでクリアされます。図において、コンペアレジスタ TDOACP0、TDOACP1、TDOACP2 が更新されず、それぞれ同じ値である周期を同色で表しています。

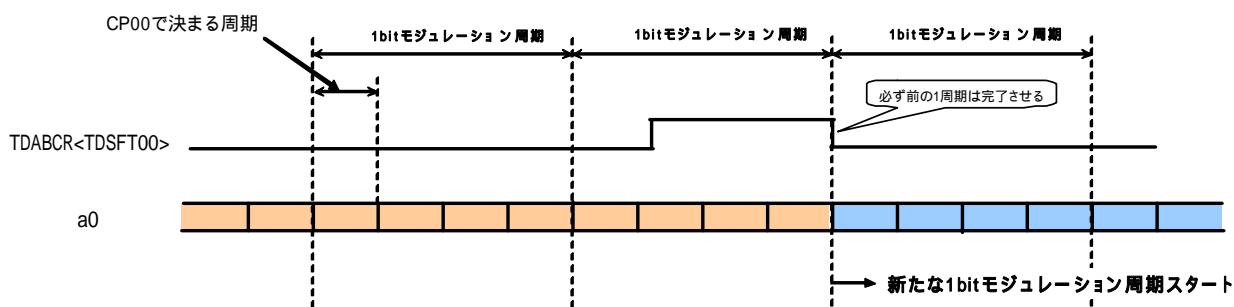


図 14.2-6 PPG モードにおける 1bit モジュレーション時の更新タイミング
(CP00/CP01/CP02 : TDOACR<TDMDCY00[2:0]> = 010、TDOACR<TDMDPT00> = 0)

図 14.2-7にTDOACR<TDMPT00> = 0 におけるコンパレータCP00 及びch00 のコンパレータCP01、CP02 のコンペアレジスタTDOCP0、TDOCP1、TDOCP2 の値が対応するタイマレジスタTDORG0、TDORG1、TDORG2 の値に更新される近傍のタイミングを示します。図中「1bitモジュレーション周期での更新タイミング信号」は、書込みタイミング生成回路0 で作成され、1bitモジュレーション周期の最後のCP00 で決まる周期を示す信号です。更新イネーブルフラグTDABCR<TDSFT00>が1 であつこの1bitモジュレーション周期での更新タイミング信号が1 のCP00 の一致検出でコンペアレジスタの値が更新されます。

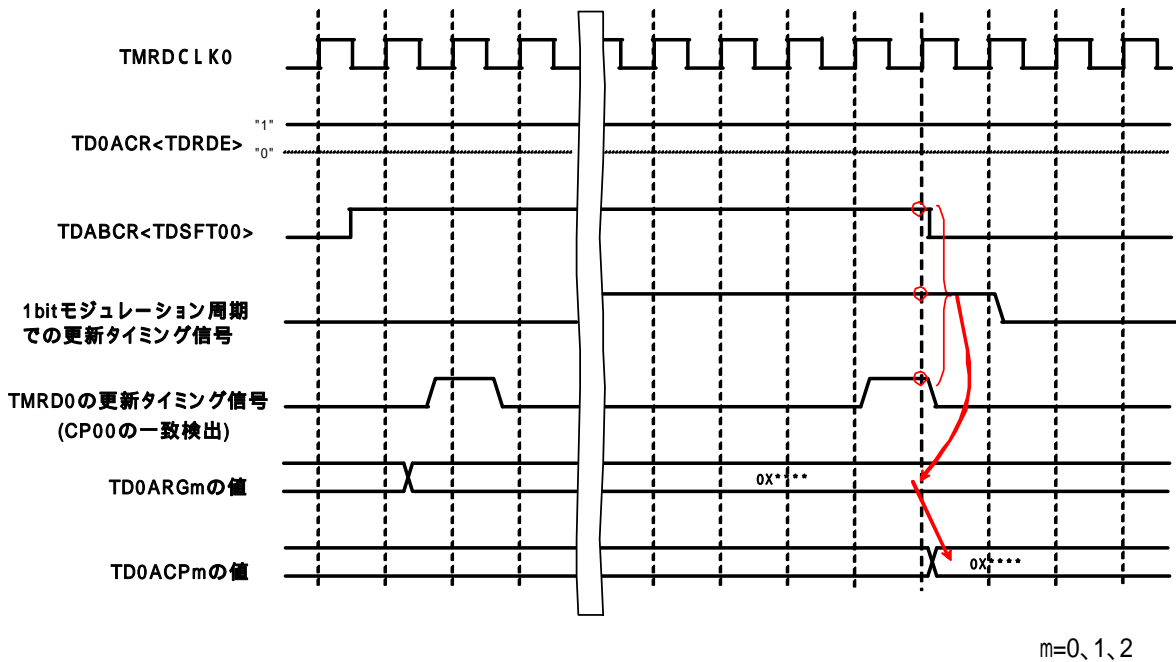


図 14.2-7 PPG モードにおける更新近傍のタイミング図 (CP00、CP01、CP02)
(TDOACR<TDMPT00> = 0)

次にTDOACR<TDMPT00> = 1 を設定したときの更新タイミングを、TDOACR<TDMDCY00[2:0]> = 010 の場合を例にとって、図 14.2-8に示します。図からわかるように更新イネーブルフラグTDABCR<TDSFT00>に1 を設定した時点のCP00 で決まる周期が終了したタイミングで値を更新することになります。この更新イネーブルフラグは設定値が更新されるタイミングでクリアされます。図において、コンペアレジスタTDOACP0、TDOACP1、TDOACP2 が更新されず、それぞれ同じ値である周期を同色で表しています。

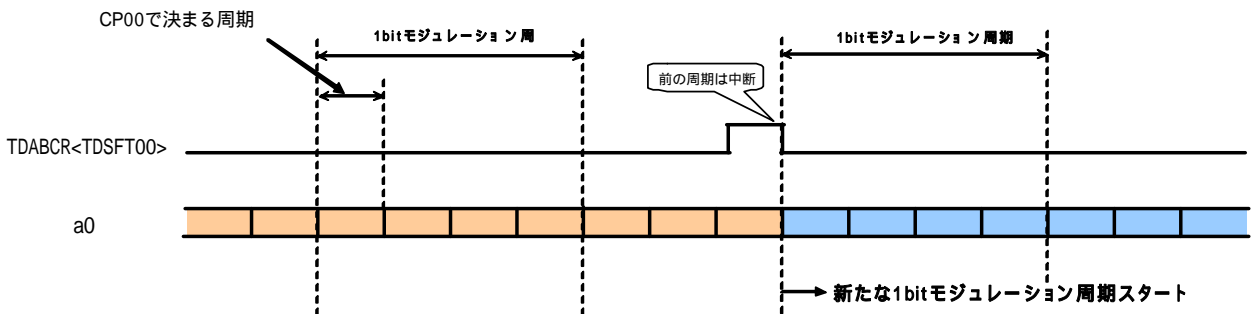


図 14.2-8 PPG モードにおける 1bit モジュレーション時の更新タイミング
(CP00/CP01/CP02 : TDOACR<TDMDCY00[2:0]> = 010、TDOACR<TDMPT00> = 1)

図 14.2-9にTD0ACR<TMDPT00> = 1 におけるコンパレータCP00 及びch00 のコンパレータCP01、CP02 のコンペアレジスタTD0ACP0、TD0ACP1、TD0ACP2 の値が対応するタイマレジスタTD0ARG0、TD0ARG1、TD0ARG2 の値に更新される近傍のタイミングを示します。本タイミングは、1bitモジュレーション機能を使用しない場合と同じと同様で、更新イネーブルフラグTDABCR<TDSFT00>が1の時、CP00 の一致検出信号が1のタイミングで値の更新が行われます。TDABCR<TDSFT00>はこの更新のタイミングでクリアされます。

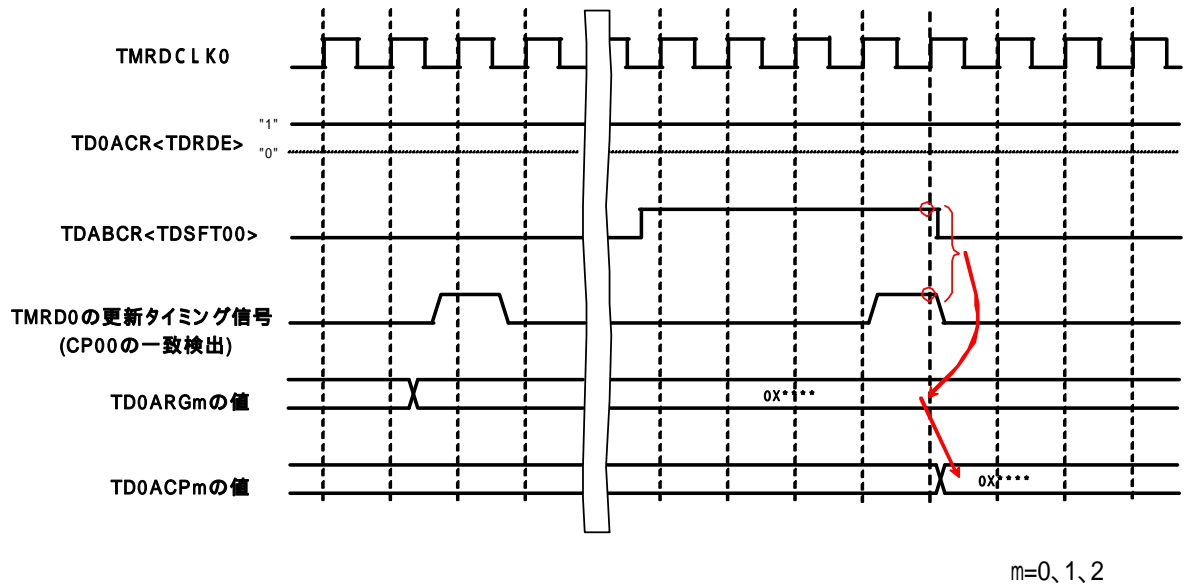
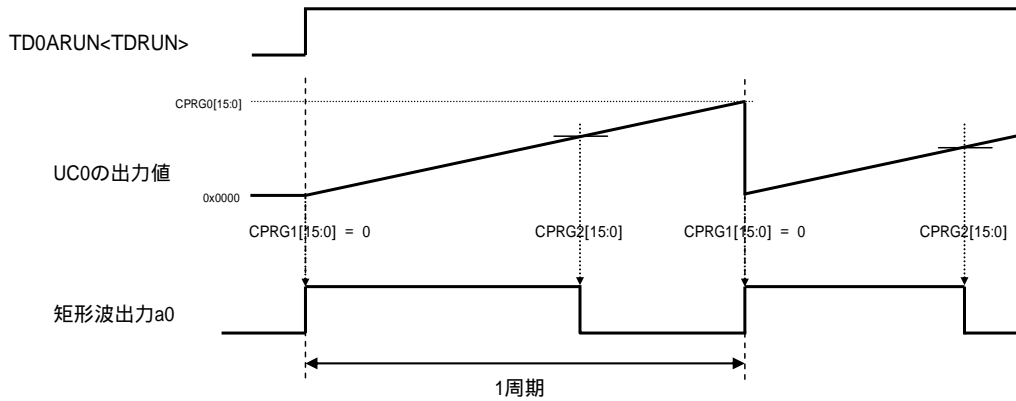


図 14.2-9 PPG モードにおける更新近傍のタイミング図 (CP00、CP01、CP02)
(TD0ACR<TMDPT00> = 1)

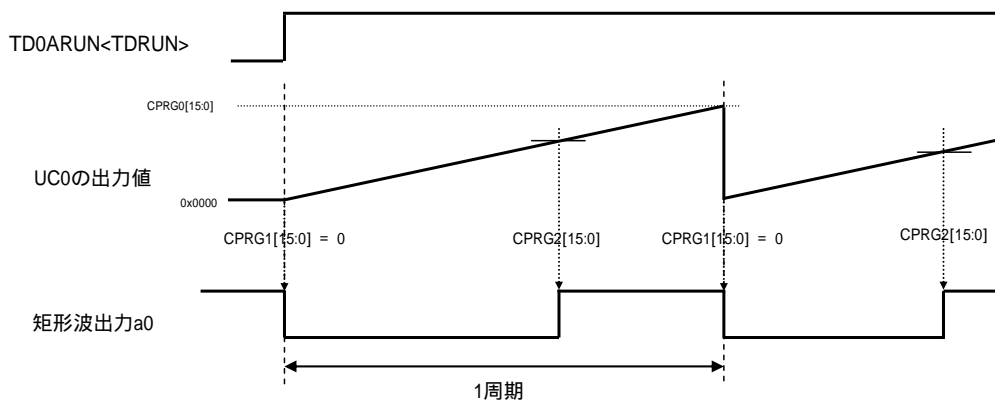
PPG モードにおいて、ch00 と ch01 もしくは ch10 と ch11 を同期させる(更新を同時に行う)場合は、更新イネーブルフラグ TDSFT00 と TDSFT01 もしくは TDSFT10 と TDSFT11 を同時に設定を行ってください。

(5) 矩形波(PPG)出力のスタートタイミング

矩形波(PPG)出力は、レジスタTDnARUN<TDRUN>に“1”を書き込むことによってスタートします。図 14.2-10に示すようにスタートと同時にleading edgeが立上る/立下る設定の場合も最初の周期から任意の矩形波を出力することが可能です。図はa0 の場合ですが、a1、b0/b1 の場合も同様です。また、図のタイミングは<CPORG1[15:0]>=0 の場合のタイミングです。



(1) leading edgeを立ち上りに指定した場合



(2) leading edgeを立ち下りに指定した場合

図 14.2-10 スタート時のタイミングチャート(a0 の場合)

(4) PPG モードのレジスタ設定手順

(4-1) PPG モードを起動するまでの手順

PPG モードを起動するまでのレジスタの設定は以下の番号順で行なってください。

供給クロックの選択

1. TMRD に供給するソースクロックをレジスタ CGPWMGEAR<TMRDAGEAR[1:0]>(TMRD A)もしくは、CGPWMGEAR<TMRDBGEAR[1:0]>(TMRD B)で選択します。
2. レジスタ CGPWMGEAR<TMRDACLKEN>(TMRDA)もしくは CGPWMGEAR<TMRDACLKEN>(TMRDA)を “1” に設定し TMRD へのクロック供給をイネーブルにします。このとき、必ず TMRDAGEAR[1:0]/TMRDBGEAR[1:0]の値を設定した後、TMRDACLKEN/TMRDBCLKEN をセットしてください。

各タイマユニットの動作モード選択

1. PPG モードで使用するタイマユニットをレジスタ TDACONF<TMRDMOD[2:0]>で設定します。同時に IDLE モードにおけるタイマユニットの動作状態を同レジスタの<TDI2TD[1:0]>で設定します。

各タイマユニット (TMRD0/TMRD1) で使用するクロックの選択

1. 各タイマユニットへのクロック供給動作を ON/OFF するレジスタ TDAEN の各ビット <TDEN1>、<TDEN0>を “1” に設定します。(OFF のままでよいタイマユニットは、セットする必要はありません)
2. 各タイマユニットで使用するクロックをレジスタ TDnAMOD<TDCLK[3:0]>で選択します。このとき、同じレジスタにある矩形波出力の leading edge と trailing edge を決める <TDIV[1:0]>の設定も同時に行います。

各 ch における PPG の動作モード設定、各タイマレジスタ/コンペアレジスタの初期値設定

1. 各 ch 毎に 1bit モジュレーション機能の使用の有無、使用する場合はその周期と更新タイミングを TDnACR<TDMDCYn1[2:0]、TDMDPTn1、TDMDCYn0[2:0]、TDMDPTn0>で設定します。
2. 同時にレジスタ TDnACR<TDRDE> = 0 に設定し、コンペアレジスタへの書き込みをダイレクト書き込みモードにします。(タイマレジスタへの書き込みと同時に、同じ値が対応するコンペアレジスタに書込まれるモードです。)
3. 各タイマレジスタ (TDnARGm) に所望の値を設定します。
レジスタ TDnACR<TDRDE> = 0 のモードでは、レジスタ TDABCR<TDSFTn0、TDSFTn1>を 1 に設定する操作及び更新タイミング信号は必要ありません。

PPG モードの起動

1. レジスタ TDnACR<TDRDE> = 1 に設定し、コンペアレジスタへの書き込みをタイマレジスタ経由にします。(タイマレジスタの値が、所定の更新タイミングで対応するコンペアレジスタに書込まれるモードです。)
2. レジスタ TDnARUN<TDRUN> = 1 に設定し、スタートさせます。

(4-2) PPG モードを起動後の手順

PPG モードを起動した後のレジスタの設定は以下の番号順で行なってください。

各タイマーレジスタ及びコンペアレジスタ値の更新

1. 更新するコンペアレジスタに対応したタイマーレジスタ(TDnARGm)に任意の値を設定します。
2. 上記設定後、更新する ch に対応したレジスタ TDABCR<TDSFTn1、TDSFTn0>を “ 1 ” に設定します。
上記手順により、所定の更新タイミングでタイマーレジスタの値が対応するコンペアレジスタに設定されます。
3. 起動後、更新タイミングの変更は、対応する ch の TDnACR<TDMDPTn1、TDMDPTn0>の設定を変更することで可能です。

矩形波出力の停止

1. 各タイマーユニットの矩形波出力を停止する場合は、レジスタ TDnARUN<TDRUN> = 0 に設定します。

注) PPG 起動中に、設定を変える(書き換える)ことが可能なレジスタは(TDnARGm)、(TDBCR)、(TDnARUN)、TDnACR<TDMDPTn1、TDMDPTn0>の 4 レジスタです。それ以外のレジスタへの設定は、タイマー停止時に行なってください。

14.2.2.2 連動PPGモード

本モードは、タイマユニット TMRD0 と TMRD1 が位相シフト機能を有するコンパレータ CP05 を介し連動して動作するモードです。本モードでは、先に説明した PPG モードの機能に加えて、

- (1) 3ch もしくは 4ch の同期した矩形波を出力することが可能です。
- (2) TMRD0 が出力する矩形波(a0/a1)と TMRD1 が出力する矩形波(b0/b1)の位相関係を $-180^\circ < \theta < +180^\circ$ の範囲でダイナミックに設定が可能です。

(1) 動作概要

本モードにおけるTMRDの概略構成を 図 14.2-11に示します。図に示すようにタイマユニット TMRD0 と TMRD1 がコンパレータCP05 を介して接続された状態となり、TMRD0 におけるダブルバッファの更新タイミング及びカウンタUC0 を 0 に戻すタイミングは他のモードと同様CP00 の一致検出ですが、TMRD1 の更新タイミング及びカウンタUC1 を 0 に戻すタイミングはコンパレータCP05 の一致検出になります。ここで、CP05 はCP00 の一致検出からTMRDCLK0 を計測を始め、計測値がコンパレータレジスタTD0ACP5 に設定された値になったときに一致検出信号を出力する遅延器(位相シフト)として機能します。

従って、TMRD0、TMRD1 の各矩形波出力の周波数はコンパレータ CP00 で決定されどの出力も同一周波数に、また TMRD0 と TMRD1 の位相関係は CP05 で決定されることとなります。この位相関係は、TMRD0 と TMRD1 が同相もしくは TMRD0 が進んだ関係になり、位相を θ とすると $0^\circ < \theta < 180^\circ$ の範囲で設定することが可能です。

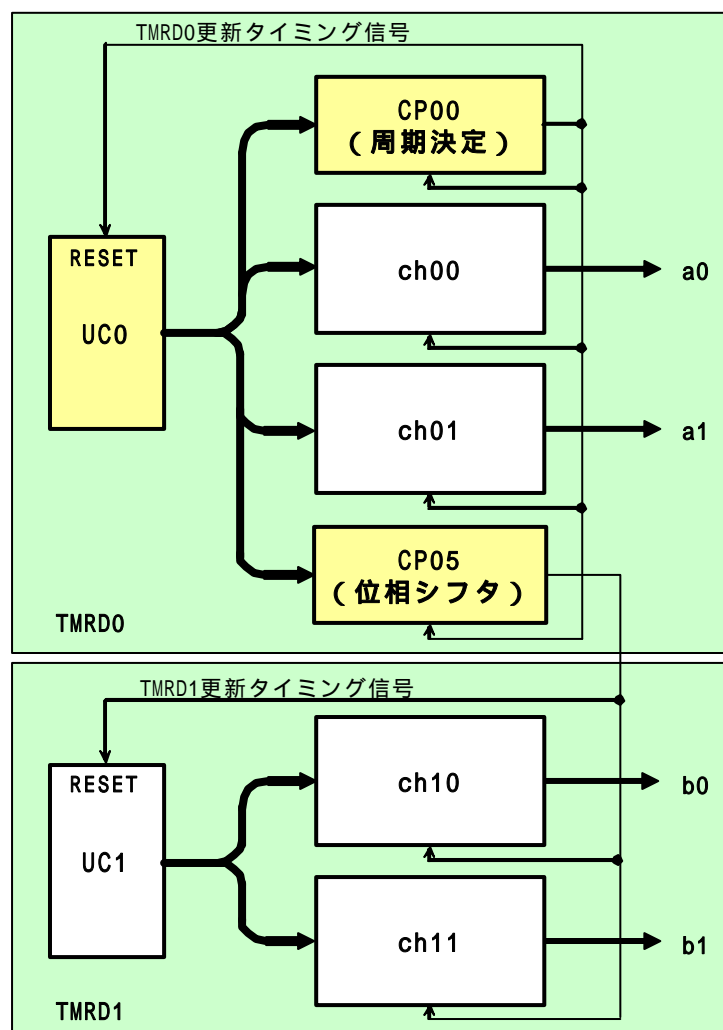


図 14.2-11 連動 PPG モード時の概略構成

本モードでは、TMRD1 のダブルバッファの更新を ch10 のみ ch00 に同期させる場合と ch10 及び ch11 を同期させる 2 つの場合の設定がレジスタ TDACONF<TMRDMOD[2:0]>で可能です。

TDACONF<TMRDMOD[2:0]> = 110 : ch00 と ch10 の更新が同期

TDACONF<TMRDMOD[2:0]> = 111 : ch00 と ch10、ch11 の更新が同期

ここでいう同期とは、TMRD0 と TMRD1 の位相差が 0° の時、各 ch のダブルバッファの更新は同時に、TMRD0 の位相が進んでいる場合は、必ず TMRD0 の更新を TMRD1 の更新に先行して行う動作のこと(以下同期更新という)をいい、更新イネーブルフラグを同時に設定する必要があります。上記いずれの場合も ch01 の更新イネーブルフラグを同時に設定することで、ch01 も加えて同期させることが可能です。

TDACONF<TMRDMOD[2:0]> = 110 に設定することで ch00、ch01、ch10 の 3ch の同期更新を、TDACONF<TMRDMOD[2:0]> = 111 に設定することで全 ch の同期更新を行うことが可能です。

また、TDACONF<TMRDMOD[2:0]> = 111 では、出力切換えスイッチ SW0、SW1、SW2、SW3 により相切換えを行うことによって、それぞれの SW を介した A 相出力と B 相出力の位相関係を $-180^\circ < < +180^\circ$ の範囲でダイナミックに設定する動作が可能になります。連動 PPG モードでも TDACONF<TMRDMOD[2:0]> = 110 の場合は本動作はできません。図 14.2-12 に切換 SW まで含めた連動 PPG モード時の構成を示します。この場合、ch00(出力 a0)と ch10(出力 b0)、ch01(出力 a1)と ch11(出力 b1)を対にして使用する必要があります。

一つの対になる A0 相と B0 相の場合ともう一つの対になる A1 相と B1 相の場合は、断りのない限り動作は同様なので、以下 A0 相と B0 相を例にとって図をもとに動作の概要を説明します。

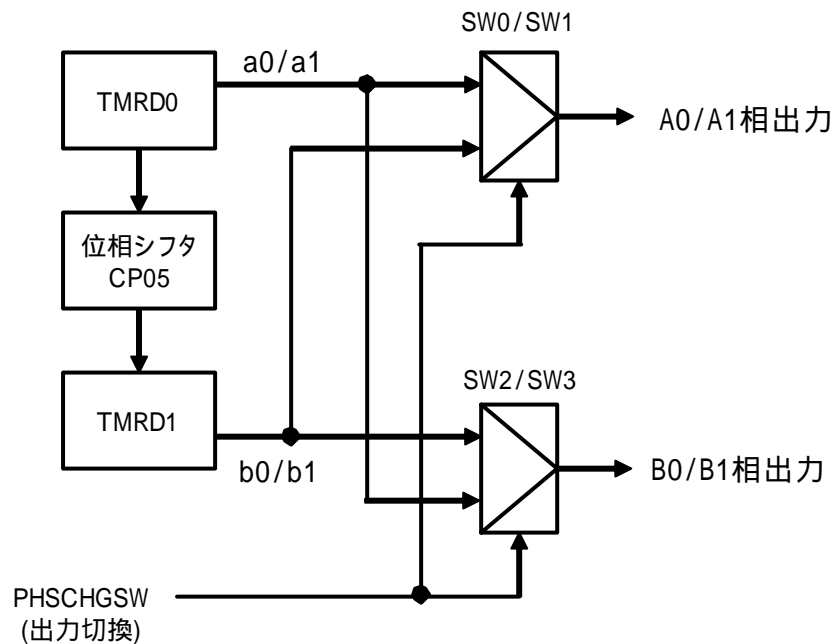


図 14.2-12 SW を含めた連動 PPG モード時の構成

図において、CP05 は矩形波出力 a0 に対して b0 の位相を $0^\circ < < 180^\circ$ の範囲で遅延可能な位相シフタ(遅延器)として動作し、A0 相出力の位相に対し、B0 相出力の位相を同相もしくは遅らせる場合は、

「A0 相出力 = a0、B0 相出力 = b0」

になるように、また、A0 相出力の位相に対し、B0 相出力の位相を同相もしくは進める場合は、

「A0 相出力 = b0、B0 相出力 = a0」

になるように、出力切換信号 (PHSCHGSW) によって SW0/SW2 を切り換えることによって本動作モードを実現します。

(2) 動作詳細説明

TDACONF<TMRDMOD[2:0]>を 110 もしくは 111 に設定することによって連動PPGモードとなり、カウンタUC1 は、CP10 の一致検出ではなくTMRD0 のCP05 の一致検出で“0”に戻るカウンタとして動作します。また、TMRDCLK0 とTMRDCLK1 は個別に設定不可となり、TMRDCLK1 はTMRDCLK0 と同じ周波数に設定されます。従って、矩形波b0 は、CP05 のコンペアレジスタTD0ACP5<CPRG5[15:0]>の設定値に相当する時間、矩形波a0 より遅れて出力されることとなります。その位相関係を 図 14.2-13 に示します。図からも分かるように本モードでは、矩形波a0 の位相は矩形波b0 の位相に対し、同相もしくは進んだ関係になります。

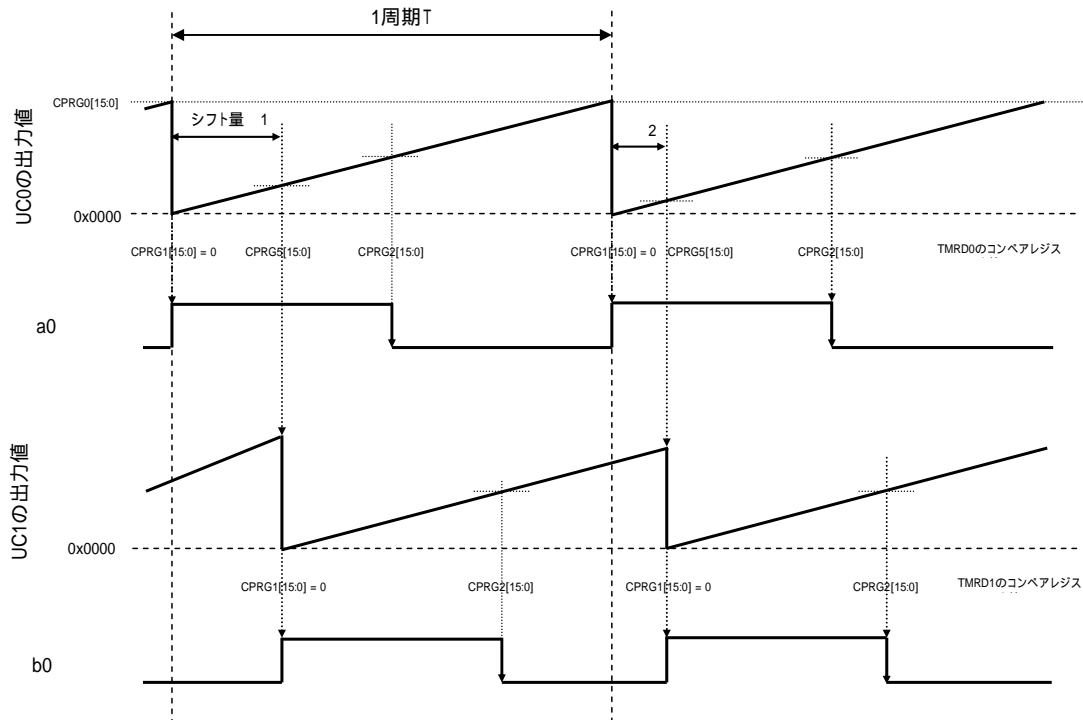


図 14.2-13 矩形波 a0 と矩形波 b0 の位相関係

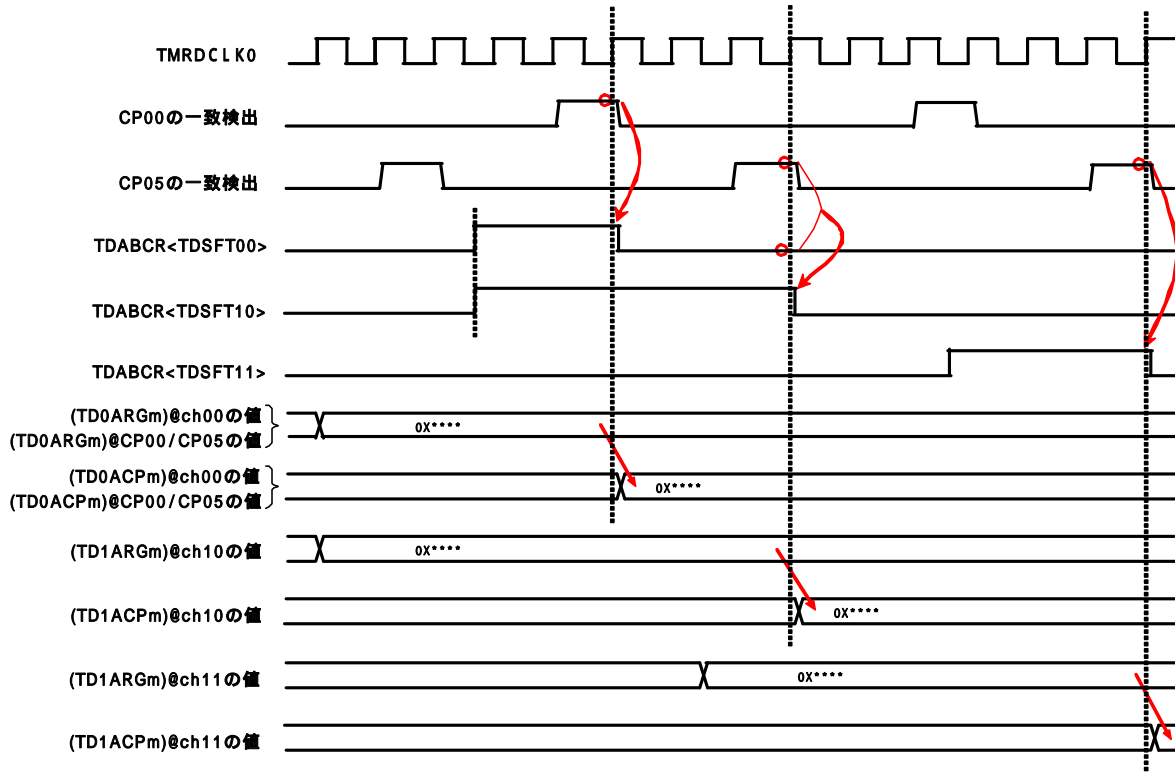
ここで、矩形波 a0 と b0 の周期は CP00 のコンペアレジスタ TD0ACP0<CPRG0[15:0]>の設定値によって決まるため、位相シフト(遅延)量()は、

$$= 360^\circ \times (\text{CPRG5}[15:0] \text{ の設定値} / (\text{CPRG0}[15:0] \text{ の設定値} + 1))$$

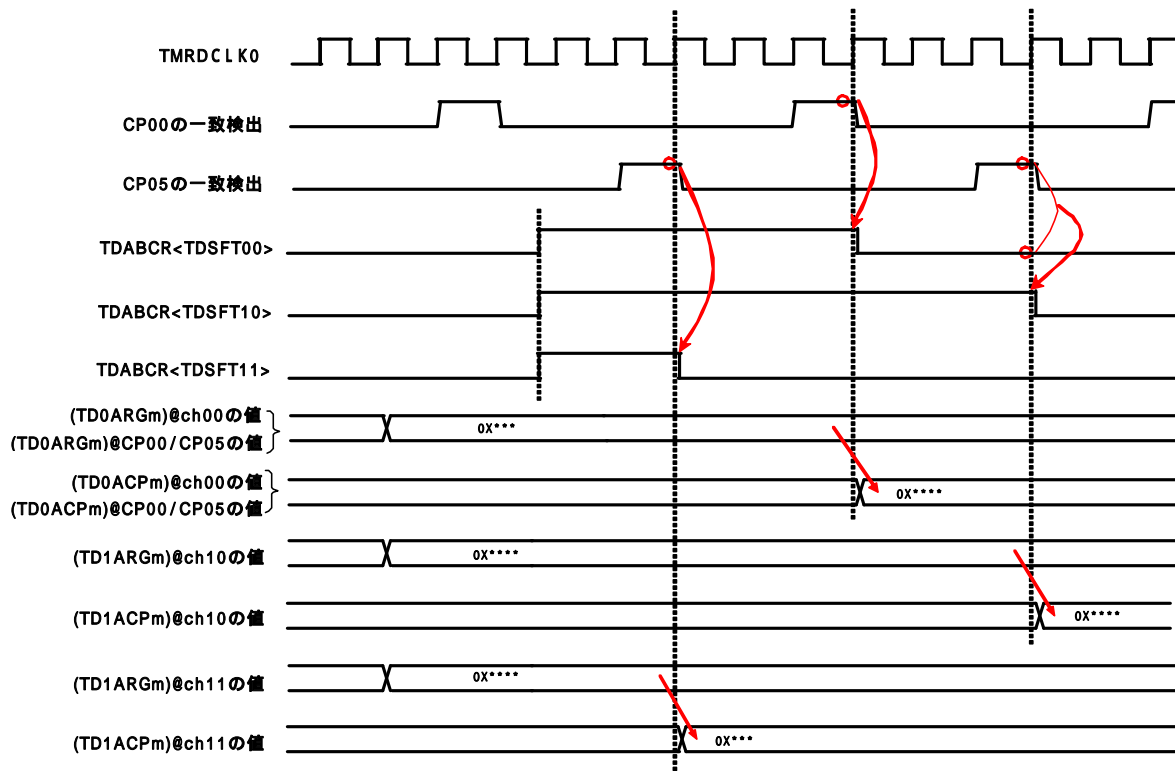
で計算します。また、本動作モードでは、 $0^\circ < 180^\circ$ であるので、CPRG5[15:0]の設定範囲は、 $0x0000 < \text{CPRG5}[15:0] < 1/2 * (\text{CPRG0}[15:0] + 1)$ となります。

本モードも PPG モードと同様、矩形波 a0 と b0 の Duty を決めるのは、それぞれコンパレータ CP01、CP02 および、CP11、CP12 となります。

次に、TMRD0 と TMRD1 の同期更新について TDACONF<TMRDMOD[2:0]> = 110 のモードを例に説明します。本モードは、先にも述べましたが、ch00 と ch10 の同期更新するモードで、ch00、ch10 の更新イネーブルフラグ TDABCR<TDSFT00、TDSFT11>を設定するタイミングによって、更新タイミングが 図 14.2-14 に示す 2 つのケースが考えられます。



(1) case 1



(2) case 2

図 14.2-14 同期更新タイミング (TDACONF<TMRDMOD[2:0]> = 110)

ケース 1 は、更新イネーブルフラグの設定タイミングが、

図 14.2-14の (1)case1 のように、時間的に TMRD1 の更新タイミング信号であるコンパレータ CP05 の一致検出の後、TMRD0 の更新タイミング信号であるコンパレータ CP00 の一致検出の前にある場合で、図のように更新イネーブルフラグ設定直後の CP00 の一致検出で更新イネーブルフラグ TDSFT00 がクリアされると同時に、コンパレータ CP00、CP05 及び ch00 のコンパレータのコンペアレジスタの値が更新され、更新イネーブルフラグ設定直後の CP05 の一致検出で更新イネーブルフラグ TDSFT10 がクリアされると同時に ch10 のコンパレータのコンペアレジスタの値が更新されます。

ケース 2 は

図 14.2-14の (2)case2 に示すように、逆に更新イネーブルフラグの設定タイミングが時間的に TMRD0 の更新タイミング信号であるコンパレータ CP00 の一致検出の後、TMRD1 の更新タイミング信号であるコンパレータ CP05 の一致検出の前にある場合で、図のように更新イネーブルフラグの設定直後の CP00 の一致検出で ch00 の更新イネーブルフラグ TDSFT00 のクリア及びコンパレータ CP00、CP05 及び ch00 のコンパレータのコンペアレジスタが更新されますが、更新イネーブルフラグの設定直後の CP05 の一致検出では、ch10 の更新イネーブルフラグ TDSFT10 のクリア及び ch10 のコンペアレジスタの値の更新は行われず、次の CP05 の一致検出で行われます。

同期更新設定されていない ch11 は、図に示すように、更新イネーブルフラグ TDSFT11 を他のそれと同時に設定する必要もなく、また同時に設定しても直後の CP05 の一致検出で、TDSFT11 のクリアと ch11 のコンペアレジスタの値の更新が行われます。

また、ch01 を加えて同期更新させるには、更新イネーブルフラグ TDSFT01 を TDSFT00 と同時に設定することで可能です。ch00 と同タイミングでコンペアレジスタの更新と TDSFT01 のクリアが行われます。

$TDACONF<TMRDMOD[2:0]> = 111$ の場合は、ch11 も ch10 と同様に同期更新されることになります。

上記は、更新タイミングが CP00 の設定で決まる周期の場合を例に説明しましたが、1bit モジュレーション周期の場合も同様です。

(2-1) $TDMOD1<TMRDMOD[2:0]>=110$ 設定の場合

本設定は、TMRD を 3 相 (ch00、ch01、ch10) + 1 相 (ch11) で動作させることを想定したモードです。本動作をさせる場合は、1bit モジュレーションの使用有無/周期を選択するレジスタ $TDOACR<TDMDCY00[2:0]>$ 、 $TDOACR<TDMDCY01[2:0]>$ 、 $TD1ACR<TDMDCY10[2:0]>$ は同じ値に、更新タイミングを選択するレジスタ $TDOACR<TDMDPT00>$ 、 $TDOACR<TDMDPT01>$ 、 $TD1ACR<TDMDPT10>$ も同じ値に設定してください。更に、TMRD0 と TMRD1 の位相差を 0 ($TDOACP5$ を 0) に設定します。(TMRD0 と TMRD1 に位相差を持たせたい場合は、この限りではありません。)

また、コンペアレジスタの更新が必要な場合は対応するタイマレジスタに値を設定後、更新が必要な 3 相もしくは 1 相の ch の更新イネーブルフラグを設定してください (3 相側の場合は、ch00、ch01、ch10 の更新イネーブルフラグを同時に設定してください)。ch11 のこれらのレジスタを独立に設定可能ですが、周波数は CP00 の設定で、TMRD0 と TMRD1 の位相差は CP05 の設定で一義的に決まりますので注意してください。

(2-2) TDMOD1<TMRDMOD[2:0]>=111 設定の場合

本設定は、TMRD を 4 相(ch00、ch01、ch10、ch11)で動作させるモード及び TMRD0 の矩形波出力と TMRD1 の矩形波出力の位相関係をダイナミックに変動させて動作させるモードを想定しています。この位相可変モードは、矩形波の周波数、DUTY が一定であれば、コンパレータ CP05 の設定の変更のみで動作させることが可能です。

(2-2-1) 4 相動作モード

本動作をさせる場合は、全ての ch の 1bit モジュレーションの使用有無/周期を選択するレジスタ TDOACR<TDMDCY00[2:0]>、TDOACR<TDMDCY01[2:0]>、TD1ACR<TDMDCY10[2:0]>、TD1ACR<TDMDCY11[2:0]>は同じ値に、更新タイミングを選択するレジスタ TDOACR<TDMDPT00>、TDOACR<TDMDPT01>、TD1ACR<TDMDPT10>、TD1ACR<TDMDPT11>も同じ値に設定してください。更に、TMRD0 と TMRD1 の位相差を 0(TDOACP5 を 0) に設定します。(TMRD0 と TMRD1 に位相差を持たせたい場合は、この限りではありません。)

また、コンペアレジスタの更新が必要な場合は対応するタイマレジスタに値を設定後、各 ch の更新イネーブルフラグを同時に設定してください。

(2-2-1)位相可変動作モード

本動作においても、全ての ch の 1bit モジュレーションの使用有無/周期を選択するレジスタ TDOACR<TDMDCY00[2:0]>、TDOACR<TDMDCY01[2:0]>、TD1ACR<TDMDCY10[2:0]>、TD1ACR<TDMDCY11[2:0]>は同じ値に、更新タイミングを選択するレジスタ TDOACR<TDMDPT00>、TDOACR<TDMDPT01>、TD1ACR<TDMDPT10>、TD1ACR<TDMDPT11>も同じ値に設定してください。また、コンペアレジスタの更新が必要な場合は対応するタイマレジスタに値を設定後、更新が必要な ch の更新イネーブルフラグを同時に設定してください。

次に位相可変の動作について A0 相と B0 相出力を例に説明します。

A0 相の位相を B0 相の位相より進めるもしくは同相の場合
 A0 相出力の位相を B0 相出力の位相より進める、もしくは同位相にする場合は、
 「A0 相出力 = 矩形波 a0、B0 相出力 = 矩形波 b0」
 になるように SW0/SW2 の PHSCHGSW を設定します。PHSCHGSW の設定に関しては後述します。

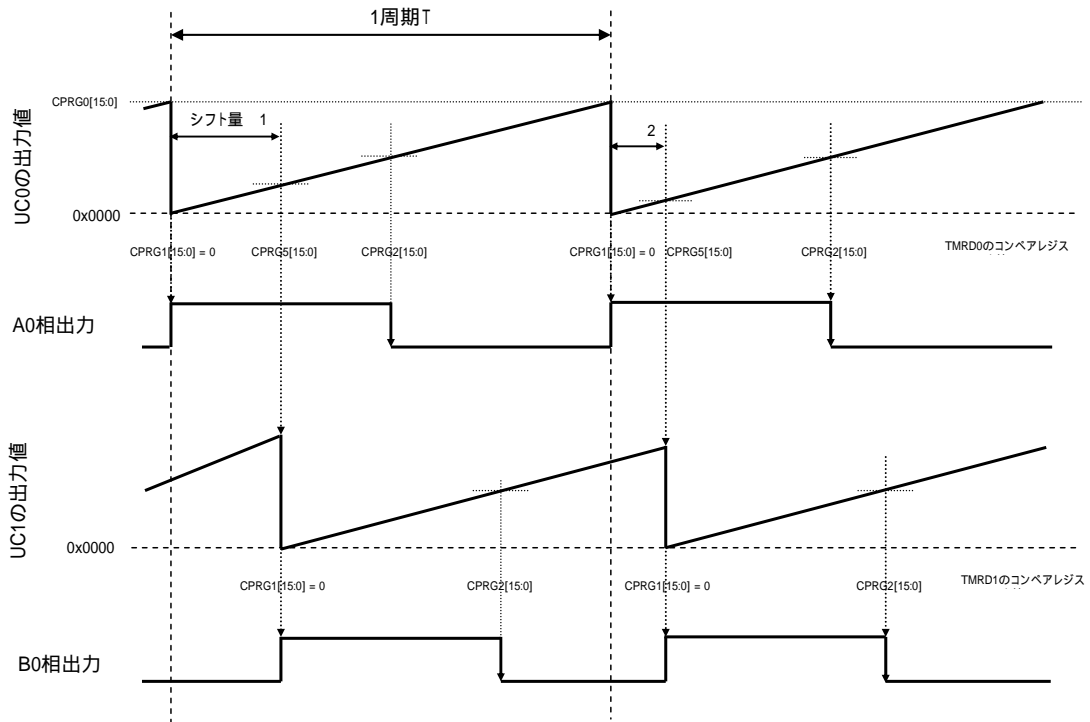


図 14.2-15 A0 相の位相を B0 相より進める場合 (A0 相出力 = 矩形波 a0、B0 相出力 = 矩形波 b0)

A0 相の位相を B0 相の位相より遅らせる場合
 A0 相出力の位相を B0 相出力の位相より遅らせる、もしくは同位相の場合は、
 「A0 相出力 = 矩形波 b0、 B0 相出力 = 矩形波 a0」
 になるように SW0/SW2 の PHSCHGSW を設定します。図 14.2-16 に波形図を示します。

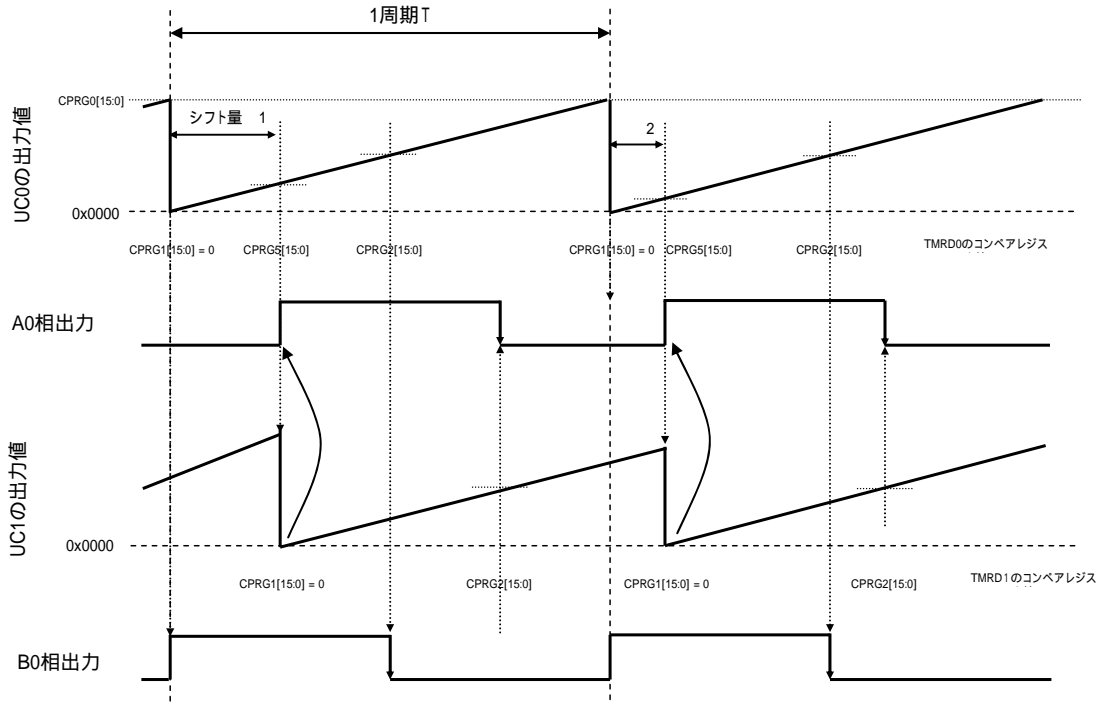


図 14.2-16 A0 相の位相を B0 相より遅らせる場合 (A0 相出力 = 矩形波 b0、 B0 相出力 = 矩形波 a0)

出力 SW(SW0/SW1/SW2/SW3)の切換え

SW0/SW1/SW2/SW3 の制御は、レジスタ TDABCR<PHSCHG>への設定によって行ないます。

ただし、SW0/SW1/SW2/SW3 を個別に制御することは出来ません。

レジスタ TDABCR<PHSCHG>は、A 相出力に対する B 相出力の位相関係を設定するもので、

TDABCR<PHSCHG> = 0 : 遅らせる or 同位相

(A 相出力 = 矩形波 a0/a1、B 相出力 = 矩形波 b0/b1)

TDABCR<PHSCHG> = 1 : 進める or 同位相

(A 相出力 = 矩形波 b0/b1、B 相出力 = 矩形波 a0/a1)

となります。

ただし、これらレジスタの bit 操作は、TDACONF<TMRDMOD[2:0]>=111 の設定時のみ有効でその他の設定では無視され、常に、A0 相出力 = a0、A1 相出力 = a1、B0 相出力 = b0、B1 相出力 = b1 となります。

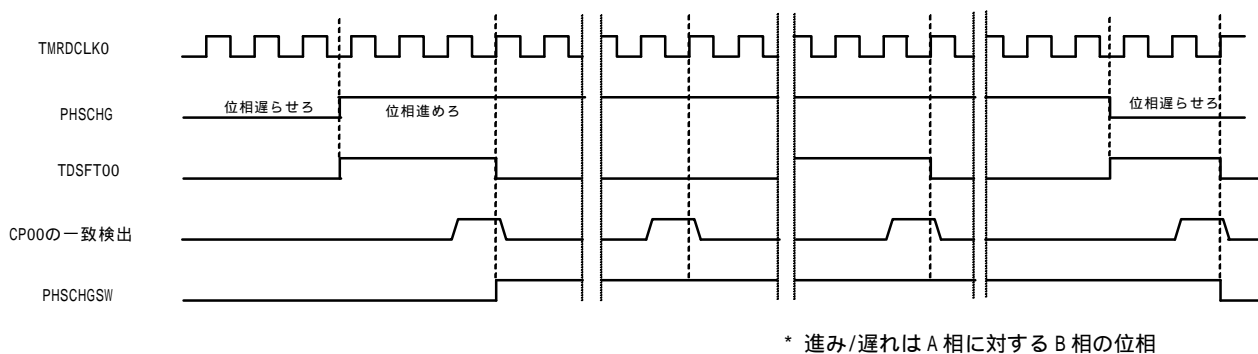


図 14.2-17 出力 SW(SW0/SW1/SW2/SW3)の切換えタイミング

図 14.2-17に、SW(SW0 ~ SW3)の切換えタイミング波形を示します。出力SWを切り換える信号 PHSCHGSWは、図のようなTMRD0の更新イネーブルフラグTDABCR<TDSFT00>が“1”の時のCP00の一致検出のタイミングもしくはTDOARUN<TDRUN>=1でレジスタTDABCR<PHSCHG>の値に応じて変化し、

PHSCHGSW = 0 : A 相出力 = 矩形波 a0/a1、B 相出力 = 矩形波 b0/b1

PHSCHGSW = 1 : A 相出力 = 矩形波 b0/b1、B 相出力 = 矩形波 a0/a1

になるように、出力 SW を切り換えます。

図 14.2-18にPHSCHGSWが0から1に切り換わった場合の波形図を一例として示します。

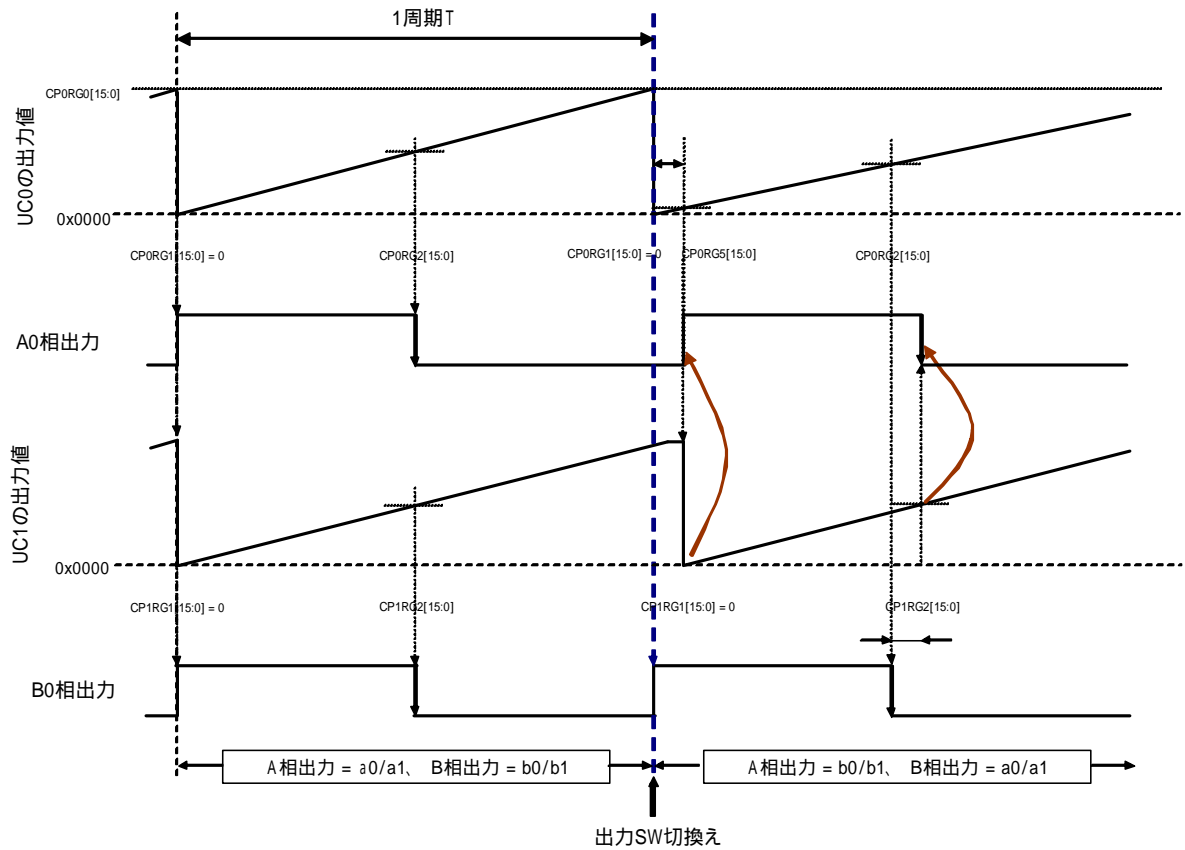


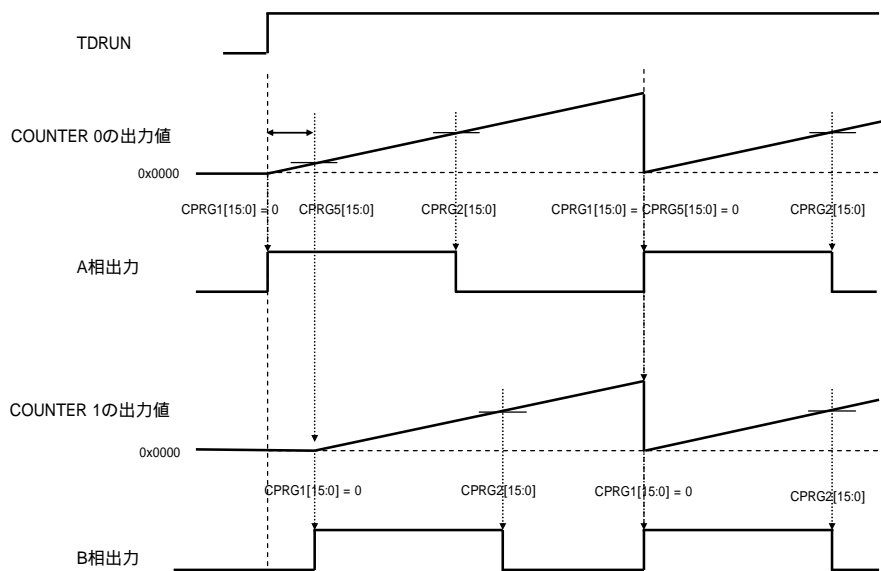
図 14.2-18 PHSCHGSW が 0 から 1 へ切り換わった場合の波形図

カウンタ1のオーバーフロー処理

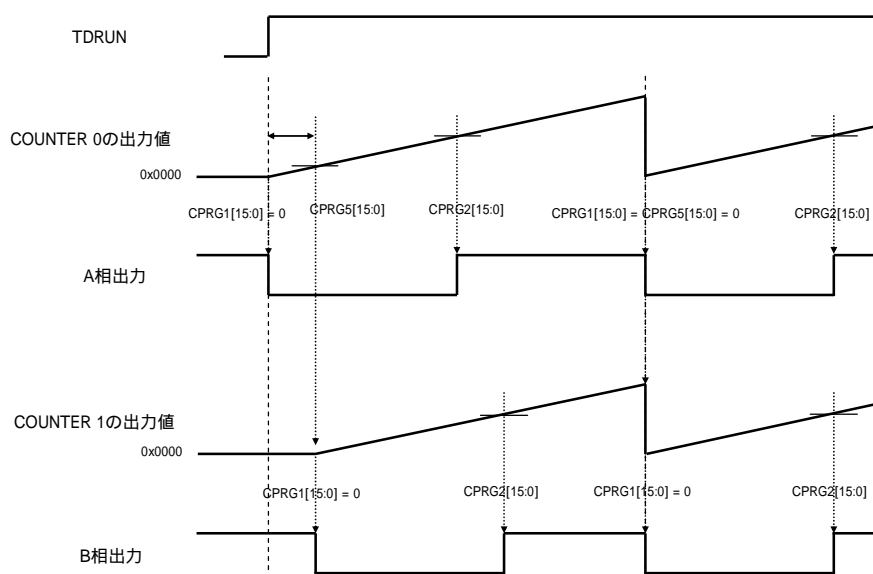
位相シフト量の範囲が $0^\circ < 180^\circ$ であるため、位相シフト量を決める CP05 の一致検出から次の一致検出までの時間 T のとりうる範囲は、A 相/B 相出力の周期を T とすると $0.5T < T < 1.5T$ となるため、周期 T の値によっては、カウンタ 1(UC1)はオーバーフローする場合があります。従って、本モードにおいては、UC1 のカウンタ値が $0xFFFF$ を超える場合は、次の CP05 の一致検出までカウンタのアップ動作を止め $0xFFFF$ の値を保持するオーバーフロー処理が施されています。

連動 PPG モードのスタートタイミング

連動PPGの出力は、レジスタTDOARUN<TDRUN>に“1”を書き込むことによってスタートします。図14.2-19に示すようにスタートと同時にleading edgeが立上る/立下る設定の場合も、最初の周期から任意の出力をすることが可能です。また、図のタイミングはTDnACP1<CPRG1[15:0]>=0 の場合のタイミングです。



(1) leading edge を立ち上りに指定した場合



(2) leading edge を立ち下りに指定した場合

図 14.2-19 スタート時のタイミングチャート

(3) 連動 PPG モードのレジスタ設定手順

(3-1) 連動 PPG モードにおけるレジスタ設定の優先

本モードにおいて、TMRD0 がマスタ、TMRD1 がスレーブ的に動作するため TMRD0 への設定が TMRD1 の設定よりも優先するレジスタがあります。その対象レジスタを表 14.2-3 に示します。

表 14.2-3 TMRD0 の設定が優先するレジスタ

TMRD0 レジスタ	TMRD1 レジスタ
TDOAMOD<TDCLK[3:0]>	TD1AMOD<TDCLK[3:0]>
TDOACR<TDRDE>	TD1ACR<TDRDE>
TDOARUN<TDRUN>	TD1ARUN<TDRUN>

従って、本モードにおいて、上記の TMRD1 のレジスタへの設定は不要となります。但し、設定した場合には設定値は無視されますが対象レジスタにはその設定値が残るため注意してください。

例えば、TD1ARUN<TDRUN> = 1 に設定されていると、本モード停止後、TMRD1 が再動作を開始するので TD1ARUN<TDRUN> = 0 に設定してください。

(3-2) 連動 PPG モードの起動までの手順

連動 PPG モードを起動するまでのレジスタの設定は以下の番号順で行なってください。

供給クロックの選択

1. TMRD に供給するソースクロックをレジスタ CGPWMGEAR<TMRDAGEAR[1:0]>(TMRD A) もしくは、CGPWMGEAR<TMRDBGEAR[1:0]>(TMRD B) で選択します。
2. レジスタ CGPWMGEAR<TMRDACLKEN>(TMRDA) もしくは CGPWMGEAR<TMRDACLKEN>(TMRDA) を “1” に設定し TMRD へのクロック供給をイネーブルにします。このとき、必ず TMRDAGEAR[1:0]/TMRDBGEAR[1:0] の値を設定した後、TMRDACLKEN/TMRDBCLKEN をセットしてください。

各タイマユニットの動作モード選択

1. 各タイマユニット共、更新を同期させる ch に応じて、レジスタ TDACONF<TMRDMOD[2:0]> を 110 もしくは 111 に設定し動作モードを選択します。同時に IDLE モードにおけるタイマユニットの動作状態を同レジスタの<TD12TD[1:0]>で設定します。

各タイマユニット(TMRD0/TMRD1)で使用するクロックの選択

1. 二つのタイマユニットへのクロック供給動作を ON/OFF するレジスタ TDAEN の各ビット<TDEN1>、<TDEN0>を “1” に設定します。(TDEN1、TDEN0 とともに “1” に設定する必要があります。)
2. タイマユニットで使用するクロックをレジスタ TDOAMOD<TDCLK[3:0]>で選択します。同時に、同レジスタの<TDIV[1:0]>で ch0、ch1 の矩形波出力の leading edge と trailing edge の極性を設定します。
3. レジスタ TD1AMOD<TDIV[1:0]>で ch10、ch11 の矩形波出力の leading edge と trailing edge の極性を設定します。

各タイマレジスタ及びコンペアレジスタへの初期設定

1. レジスタ TDOACR<TDRDE> = 0 に設定し、コンペアレジスタへの書き込みをダイレクト書き込みモードです。(タイマレジスタへの書き込みと同時に、同じ値が対応するコンペアレジスタに書込まれるモードです。)
2. 各タイマレジスタ(TDnARGm)に所望の値を設定します。
レジスタ TDnACR<TDRDE> = 0 のモードでは、レジスタ TDABCR<TDSFT**>を 1 に設定す

る操作及び更新タイミング信号は必要ありません。

A 相出力と B 相出力の進み/遅れの位相の初期設定 (TDACONF<TMRDMOD[2:0]>=111 の場合)

1. 起動時の A 相出力と B 相出力の進み遅れの位相関係をレジスタ TDABCR<PHSCHG>に設定します。このとき、TDABCR<TDSFT00>に “ 1 ” の設定は不要です。

1bit モジュレーション設定、更新タイミング及び連動 PPG モードの起動

1. レジスタ TDOACR<TDMDCY00[2:0]、TDMDCY01[2:0]>で ch00、ch01 の 1bit モジュレーション機能の有無、周期を同レジスタの<TDMDPT00、TDMDPT01>でコンペアレジスタの更新タイミングを設定します。同時に同レジスタの<TDRDE>を 1 に設定しコンペアレジスタへの書き込みをタイマレジスタ経由にします。(タイマレジスタの値が、所定の更新タイミングで対応するコンペアレジスタに書込まれるモードです。)
2. レジスタ TD1ACR<TDMDCY10[2:0]、TDMDCY11[2:0]>で ch10、ch11 の 1bit モジュレーション機能の有無、周期を同レジスタの<TDMDPT00、TDMDPT01>でコンペアレジスタの更新タイミングを設定します。この設定は、後述するレジスタ説明で記載の内容に従って行って下さい。また、同レジスタの<TDRDE>を 1 に設定する必要はありません。
3. レジスタ TDOARUN<TDRUN> = 1 に設定し、スタートさせます。

(3-3) 連動 PPG モード起動後の手順

連動 PPG モードを起動した後のレジスタの設定は以下の番号順で行うこと。

各タイマーレジスタ及びコンペアレジスタ値の更新

1. 更新するコンペアレジスタに対応したタイマレジスタ(TDnARGm)に任意の値を設定します。ただし、TD1RG0 の値は本モードの動作には寄与しません。
2. 上記設定後、更新するコンペアレジスタに対応するレジスタ TDABCR の更新イネーブルフラグ<TDSFT**>に 1 を設定します。
3. TDACONF<TMRDMOD[2:0]>=111 の場合で A 相出力と B 相出力の進み遅れの位相関係を変更する場合は、同時にレジスタ TDABCR<PHSCHG>の設定値を変更し、TDABCR<TDSFT00>に “ 1 ” を設定します。
4. 起動後もレジスタ TDnACR<TDMDPT**>の設定を変更することで、更新タイミングを変更することが可能です。

上記手順により、所定の更新タイミングでタイマレジスタの値が対応するコンペアレジスタに設定されます。

矩形波出力の停止

1. 各タイマユニットの矩形波出力を停止する場合は、レジスタ TDOARUN<TDRUN> = 0 に設定します。

注) PPG 起動中に、設定を変える(書き換える)ことが可能なレジスタは(TDnARGm)、(TDABCR)、(TDnACR<TDMDPT**>)、(TDnARUN)の 4 レジスタです。それ以外のレジスタへの設定は、タイマ停止時に行なってください。(**は 1or0 の数字)

(3-4) 連動 PPG モードにおける出力 SW 切り替え時の注意事項

連動 PPG モード (TDACONF<TMRDMOD[2:0]>=111) では、矩形波 b0/b1 の trailing edge は COUNTER0(UC0)の周期を越えたタイミングでも設定可能なため、位相を「進みから遅れ」また「遅れから進み」に切替える場合(出力 SW の切換え時)に注意が必要です。

以下、矩形波 b0/b1 の trailing edge が UC0 の周期内にある場合と周期を超えたタイミングにある場合との出力 SW 切り換え時の A 相及び B 相出力の波形について説明します。

ここで UC0 の周期とは、カウンタ値が “0” から “0” に戻るまでの時間です。

(3-4.1) 矩形波 b0/b1 の trailing edge が UC0 の周期内にある場合

図 14.2-20 の様に、trailing edge が UC0 の周期内にある場合の A0 相出力と B0 相出力の位相関係で、A0 相を進んだ状態から遅れた状態に切り換える場合、図 14.2-21 に示すように、所定の CP00 の一致検出のタイミングで出力 SW を切り換え、A0 相出力 = 矩形波 a0、B0 相出力 = 矩形波 b0 の関係を A0 相出力 = 矩形波 b0、B0 相出力 = 矩形波 a0 に切り換えるが、出力 SW 切り換えのタイミングで矩形波 a0 と b0 の信号レベルが同じため、異常な波形は発生せずに切り換わります。

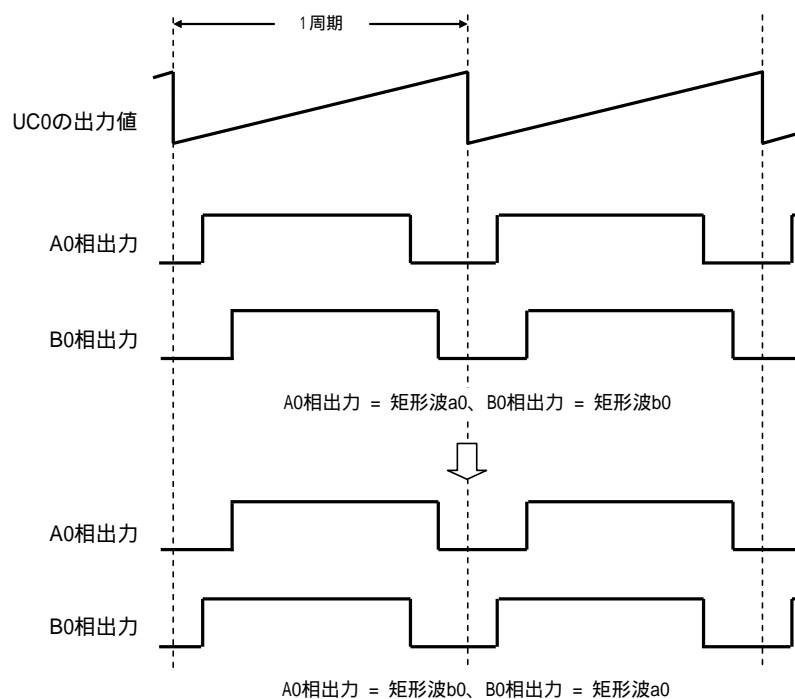


図 14.2-20 位相進み遅れ(出力 SW)切換前と後の波形 (矩形波 b0 の trailing edge が UC0 の周期内)

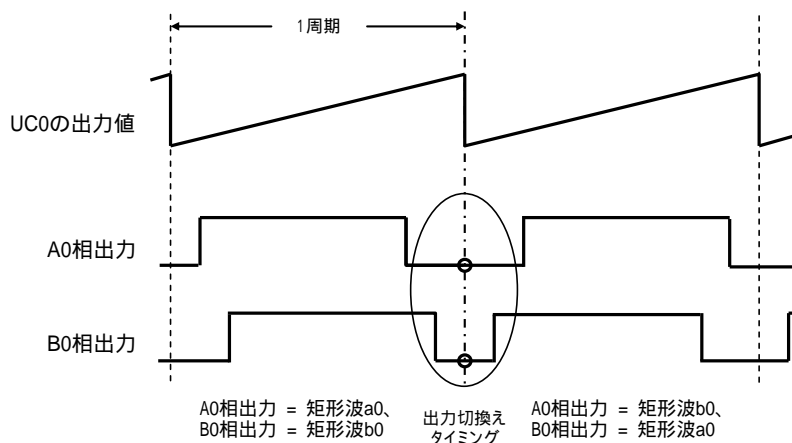


図 14.2-21 出力 SWO の切換前後の波形 (矩形波 b0 の trailing edge が UC0 の周期内)

A0 相出力が B0 相出力に対して位相が進んだ状態から遅れた状態に切り換える場合について述べましたが、逆に遅れた状態から進んだ状態に切り換える場合も同様で、異常な波形は発生しません。また、A1 相/B1 相の場合も同様です。

(3-4.2) 矩形波 b0/b1 の trailing edge が UC0 の周期を超えた場合

図 14.2-22のようにtrailing edgeがUC0 の周期を越えているA0 相出力とB0 相出力の位相関係で、A0 相が進んだ状態から遅れた状態に切り換える場合、図 14.2-23に示すように、所定のCP00 の一致検出のタイミングで出力SW0 を切り換え、A0 相出力 = 矩形波a0、B0 相出力 = 矩形波b0 の関係をA0 相出力 = 矩形波b0、B0 相出力 = 矩形波a0 に変更します。この時、出力SW切り換えのタイミングで矩形波a0 とb0 の信号レベルが異なるので、図 14.2-23のようにパルス状の波形が発生します。

A0 相出力がB0 相出力に対して位相が進んだ状態から遅れた状態に切換える場合について述べましたが、逆に遅れた状態から進んだ状態に切換える場合も同様、図 14.2-23のようにパルス状の波形が発生します。また、A1 相/B1 相の場合も同様です。

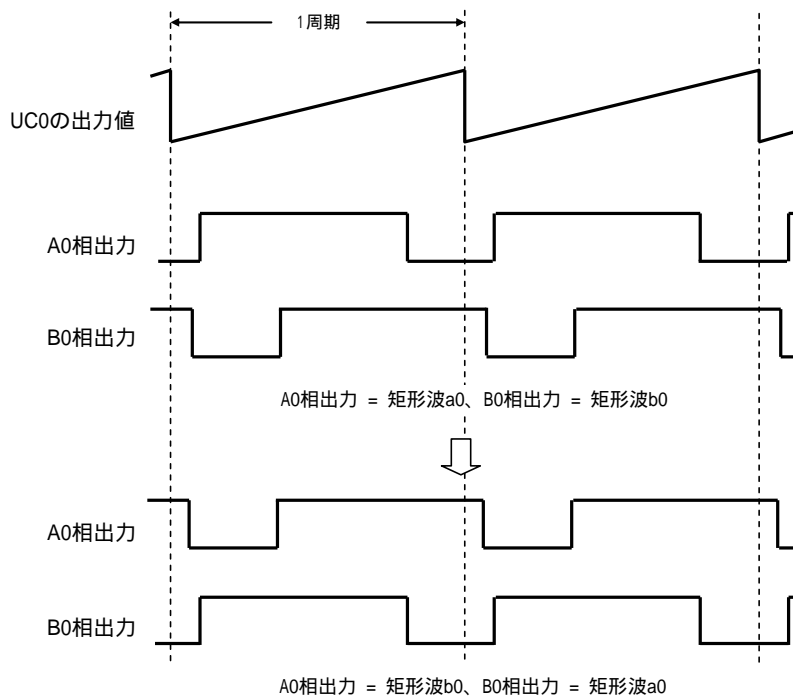


図 14.2-22 位相進み遅れ(出力 SW)切換前と後の波形 (矩形波 b0 の trailing edge が UC0 の周期を越える)

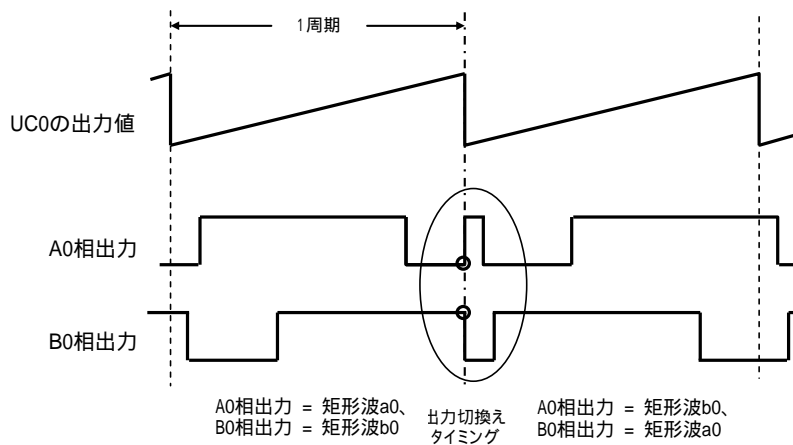


図 14.2-23 出力 SW0 の切換前後の波形 (矩形波 b0 の trailing edge が UC0 の周期を越える)

A0 相出力がB0 相出力に対して位相が進んだ状態から遅れた状態へ切り換える場合について述べましたが、逆に遅れた状態から進んだ状態へ変更する場合も同様、図 14.2-23 のようなパルス状の波形が発生します。また、A1 相/B1 相の場合も同様です。

位相進み遅れの切り換え点で、このようなパルスが発生することがシステム的に問題になる場合、位相の進みから遅れ、また遅れから進みに切り換える前に一度、同位相の状態を経由させることで回避することが出来ます。

14.2.2.3 コンペアレジスタの設定範囲

16 ビットプログラマブル矩形波出力におけるコンペアレジスタへの設定範囲を表 14.2-4 に示します。

表 14.2-4 16 ビットプログラマブル矩形波出力時のコンペアレジスタの設定範囲

タイマ ユニット	コンペア レジスタ	16 ビットプログラマブル矩形波出力					
		PPG		連動 PPG			
TMRD0	TDOACP0	0x0001	CPRG0[15:0]	0xFFFF	0x0001	CPRG0[15:0]	0xFFFF
	TDOACP1	0x0000	CPRG1[15:0] <	CPRG2[15:0]	0x0000	CPRG1[15:0] <	CPRG2[15:0]
	TDOACP2	CPRG1[15:0] <	CPRG2[15:0]	CPRG0[15:0]	CPRG1[15:0] <	CPRG2[15:0]	CPRG0[15:0]
	TDOACP3	0x0000	CPRG3[15:0] <	CPRG4[15:0]	0x0000	CPRG3[15:0] <	CPRG4[15:0]
	TDOACP4	CPRG3[15:0] <	CPRG4[15:0]	CPRG0[15:0]	CPRG3[15:0] <	CPRG4[15:0]	CPRG0[15:0]
	TDOACP5	don't care			0x0000	CPRG5[15:0] <	1/2 * CPRG0[15:0]
TMRD1	TD1ACP0	0x0001	CPRG0[15:0]	0xFFFF	don't care		
	TD1ACP1	0x0000	CPRG1[15:0] <	CPRG2[15:0]	0x0000	CPRG1[15:0] <	CPRG2[15:0]
	TD1ACP2	CPRG1[15:0] <	CPRG2[15:0]	CPRG0[15:0]	CPRG1[15:0] <	CPRG2[15:0]	TDOCP0 < CPRG0[15:0] >
	TD1ACP3	0x0000	CPRG3[15:0] <	CPRG4[15:0]	0x0000	CPRG3[15:0] <	CPRG4[15:0]
	TD1ACP4	CPRG3[15:0] <	CPRG4[15:0]	CPRG0[15:0]	CPRG3[15:0] <	CPRG4[15:0]	TDOCP0 < CPRG0[15:0] >

矩形波出力の周期 T_n は、TMRDCLK n の周波数を f_{CLKn} とすると、下記で計算します。

(1) PPG の場合 $n = 0, 1$

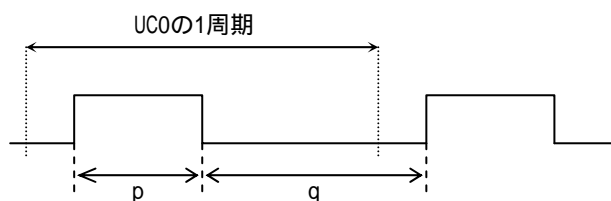
$$T_n = (1/f_{CLKn}) \times (TDnACP0 < CPRG0[15:0] > + 1)$$

(2) 連動 PPG の場合

$$T = (1/f_{CLK0}) \times (TDOCP0 < CPRG0[15:0] > + 1)$$

矩形波出力の Duty は、TMRDCLK0 の周波数を f_{CLK0} とすると、例えば a0 の場合下記で計算します。

$$p:q = \{CPRG2[15:0] - CPRG1[15:0]\} : \{(CPRG0[15:0]+1) - CPRG2[15:0] + CPRG1[15:0]\}$$



14.3 レジスタ説明

14.3.1 ユニット別レジスタ一覧表

表 14.3-1 TMRD A のユニット別レジスタ一覧表

(Base Address:0x4005_8000)

仕 様		ユニット	TMRD0	TMRD1	
外部端子	TMRD の出力端子		TDA00OUT0 (PA0 と兼用) TDA00OUT1 (PA1 と兼用)	TDA10OUT0 (PA2 と兼用) TDA10OUT1 (PA3 と兼用)	
内部信号	同期スタートトリガ用タイマ		-	TMRD0	
レジスタ名 (アドレス)	タイマクロック設定レジスタ		CGPWMGEAR (0x400F_3014)		
	タイマ RUN レジスタ		TDOARUN (0x0000)	TD1ARUN (0x0100)	
	タイマコントロール レジスタ		TDOACR (0x0004)	TD1ACR (0x0104)	
	タイマイネーブルレジスタ		TDAEN (0x0050)		
	タイマコンフィグレジスタ		TDACONF (0x0054)		
	タイマモードレジスタ		TDOAMOD (0x0008)	TD1AMOD (0x0108)	
	DMA 要求許可レジスタ		TDOADMA (0x000C)	TD1ADMA (0x010C)	
	タイマレジスタ			TDOARG0 (0x0014)	TD1ARG0 (0x002C)
				TDOARG1 (0x0018)	TD1ARG1 (0x0030)
				TDOARG2 (0x001C)	TD1ARG2 (0x0034)
				TDOARG3 (0x0020)	TD1ARG3 (0x0038)
				TDOARG4 (0x0024)	TD1ARG4 (0x003C)
				TDOARG5 (0x0028)	-
	更新フラグ設定レジスタ		TDABCR (0x0040)		
	コンペアレジスタ			TDOACP0 (0x0114)	TD1ACP0 (0x012C)
			TDOACP1 (0x0118)	TD1ACP1 (0x0130)	
			TDOACP2 (0x011C)	TD1ACP2 (0x0134)	
			TDOACP3 (0x0120)	TD1ACP3 (0x0138)	
			TDOACP4 (0x0124)	TD1ACP4 (0x013C)	
			TDOACP5 (0x0128)		
Reserved		(0x0060)	(0x0160)		

表 14.3-6 TMRD B のユニット別レジスタ一覧表

(Base Address:0x4005_9000)

仕 様		ユニット	TMRD0	TMRD1	
外部端子	TMRD の出力端子		TDB00OUT0 (PA4 と兼用) TDB00OUT1 (PA5 と兼用)	TDB10OUT0 (PA6 と兼用) TDB10OUT1 (PA7 と兼用)	
内部信号	同期スタートトリガ用タイマ		-	TMRD0	
レジスタ名 (アドレス)	タイマクロック設定レジスタ		CGPWMGEAR (0x400F_3014)		
	タイマ RUN レジスタ		TDOBUN (0x0000)	TD1BRUN (0x0100)	
	タイマコントロール レジスタ		TDOBCCR (0x0004)	TD1BCR (0x0104)	
	タイマイネーブルレジスタ		TDBEN (0x0050)		
	タイマコンフィグレジスタ		TDBCONF (0x0054)		
	タイマモードレジスタ		TDOBMOD (0x0008)	TD1BMOD (0x0108)	
	DMA 要求許可レジスタ		TDOBDMAC (0x000C)	TD1BDMAC (0x010C)	
	タイマレジスタ			TDOBARG0 (0x0014)	TD1BARG0 (0x002C)
				TDOBARG1 (0x0018)	TD1BARG1 (0x0030)
				TDOBARG2 (0x001C)	TD1BARG2 (0x0034)
				TDOBARG3 (0x0020)	TD1BARG3 (0x0038)
				TDOBARG4 (0x0024)	TD1BARG4 (0x003C)
				TDOBARG5 (0x0028)	-
	更新フラグ設定レジスタ		TDBBCR (0x0040)		
	コンペアレジスタ			TDOBPC0 (0x0114)	TD1BCP0 (0x012C)
			TDOBPC1 (0x0118)	TD1BCP1 (0x0130)	
			TDOBPC2 (0x011C)	TD1BCP2 (0x0134)	
			TDOBPC3 (0x0120)	TD1BCP3 (0x0138)	
			TDOBPC4 (0x0124)	TD1BCP4 (0x013C)	
			TDOBPC5 (0x0128)		
Reserved		(0x0060)	(0x0160)		

TMRD B の TMRD A に対応するレジスタ名は、表 14.3-6 に示すように、

TMRD A レジスタ名

TDA****

TDOA****

TD1A****

TMRD B レジスタ名

TDB****

TDOB****

TD1B****

となります。

TMRD A と TMRD B はレジスタアドレスが異なるだけで、レジスタの機能は同一であるので、以下レジスタ内容の詳細については 1 つにまとめて記載します。(次ページ以降の各レジスタ表において、”,” の前記が TMRD A の、後記が TMRD B の名称です。ただし、レジスタの詳細説明に関しては、TMRD A で説明しています。)

14.3.2 CGPWMGEAR (タイマクロック設定レジスタ)

TMRD 入力クロック設定

	31	30	29	28	27	26	25	24
bit Symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit Symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit Symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit Symbol	TMRDB GEAR		TMRDA GEAR		-	-	TMRDB CLKEN	TMRDA CLKEN
リセット後	1	0	1	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると“0”が読めます。
7-6	TMRDBGEAR[1:0]	R/W	TMRD B ソースクロック選択 00: fpll 01: fpll/2 10: fpll/4 11: Reserved TMRDB に入力するソースクロックを選択します。
5-4	TMRDAGEAR[1:0]	R/W	TMRD A ソースクロック選択 00: fpll 01: fpll/2 10: fpll/4 11: Reserved TMRDA に入力するソースクロックを選択します。
3-2	-	R	リードすると“0”が読めます。
1	TMRDBCLKEN	R/W	TMRDB ソースクロック制御 0:TMRDCLK OFF 1:TMRDCLK ON TMRDB への TMRDCLK 供給を設定します。
0	TMRDACLKEN	R/W	TMRDA ソースクロック制御 0:TMRDCLK OFF 1:TMRDCLK ON TMRDA への TMRDCLK 供給を設定します。

(注) クロック選択と供給は、同時に行わないで下さい。

TMRD A(B)を使用する時は、初めにクロック供給停止<TMRDA(B)CLKEN>=“0”でソースクロックの選択<TMRDA(B)GEAR[1:0]>を行なってください。その後、<TMRDA(B)CLKEN>=“1”に設定することで、クロック供給を行なって下さい。

(注) <TMRDA(B)GEAR[1:0]>を切り替える場合、TMRD A(B)を停止した状態(<TMRDA(B)CLKEN>=“0”)で切り替えを行なってください。

14.3.3 TDAEN, TDBEN (タイマイネーブルレジスタ)

	31	30	29	28	27	26	25	24
bit Symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit Symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit Symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit Symbol	TDEN1	TDEN0	TDHALT	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると“0”が読めます。
7	TDEN1	R/W	TMRD1 のクロック供給動作の設定 0:停止 1:動作 TMRD1 へのクロック供給動作 ON/OFF を設定します。
6	TDEN0	R/W	TMRD0 のクロック供給動作の設定 0:停止 1:動作 TMRD0 へのクロック供給動作 ON/OFF を設定します。
5	TDHALT	R/W	デバック中の動作設定(HALT 時のアップカウンタ) 0: 停止 1: 動作 HALT 命令がデバック中に発生した場合の動作を設定します。
4-0	-	R	リードすると“0”が読めます。

14.3.4 TDACONF, TDBCNF (タイマコンフィグレジスタ)

	31	30	29	28	27	26	25	24
bit Symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit Symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit Symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit Symbol	TDI2TD1	TDI2TD0	-	-	-	TMRDMOD		
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると“0”が読めます。
7	TDI2TD1	R/W	IDLE 中の TMRD1 動作設定 0:停止 1:動作 IDLE 中の TMRD1 動作 ON/OFF を設定します。
6	TDI2TD0	R/W	IDLE 中の TMRD0 動作設定 0:停止 1:動作 IDLE 中の TMRD0 動作 ON/OFF を設定します。
5-3	-	R	リードすると“0”が読めます。
2-0	TMRDMOD	R/W	動作モード選択 000:TMRD0:タイマモード, TMRD1:タイマモード 001:TMRD0:タイマモード, TMRD1:PPG モード 010:TMRD0:PPG モード, TMRD1:タイマモード 011:TMRD0:PPG モード, TMRD1:PPG モード 100:TMRD0 と TMRD1 を同時スタートさせるタイマモード 101:設定禁止 110:TMRD0 と TMRD1 が連動する PPG モード (TMRD0 の ch00 と TMRD1 の ch10 の更新タイミングが同期します) 111:TMRD0 と TMRD1 が連動する PPG モード (TMRD0 の ch00 と TMRD1 の全 ch の更新タイミングが同期します) TMRD1 と TMRD0 の動作モードを設定します。

(注) <TMRDMOD[2:0]>=000 ~ 100 の場合、TMRDCLK0 と TMRDCLK1 は個別に設定可能です。

(注) <TMRDMOD[2:0]>=110, 111 の場合、TMRDCLK0 と TMRDCLK1 は個別に設定出来ません。TMRDCLK1 は TMRDCLK0 と同じ周波数になります。

14.3.5 TD0AMOD, TD0BMOD (タイマモードレジスタ)

	31	30	29	28	27	26	25	24
bit Symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit Symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit Symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit Symbol	TDIV1	TDIV0	-	TDCLE	TDCLK			
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	TDIV1	R/W	信号 a1 の leading edge/trailing edge の初期設定 0:CP03 一致で立ち上がり、CP04 一致で立ち下がり 1:CP03 一致で立ち下がり、CP04 一致で立ち上がり ch01 の出力信号 a1 の leading edge/trailing edge のエッジを選択設定します。
6	TDIV0	R/W	信号 a0 の leading edge/trailing edge の初期設定 0:CP01 一致で立ち上がり、CP02 一致で立ち下がり 1:CP01 一致で立ち下がり、CP02 一致で立ち上がり ch00 の出力信号 a0 の leading edge/trailing edge のエッジを選択設定します。
5	-	R	リードすると"0"が読めます。
4	TDCLE	R/W	CP00 一致時の counter0 の動作 0:フリーラン 1:0 に初期化 CP00 の一致時の COUNTER0 (UC0) の動作を設定します。
3-0	TDCLK[3:0]	R/W	TMRD0 のプリスケアラ選択(TMRDCLK0 の周波数の選択) 0000:ftmrd 1000:ftmrd/2 1001:ftmrd/4 1010:ftmrd/8 1011:ftmrd/16 上記以外の設定禁止 TMRD0 のプリスケアラを選択 (TMRDCLK0 の周波数を選択) します。

(注) PPG モード、連動 PPG モードの場合、<TDCLE>=0 の設定は無効となります。(フリーランカウンタとして動作しません)

14.3.6 TD1AMOD, TD1BMOD (タイマモードレジスタ)

	31	30	29	28	27	26	25	24
bit Symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit Symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit Symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit Symbol	TDIV1	TDIV0	-	TDCLE	TDCLK			
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	TDIV1	R/W	信号 b1 の leading edge/trailing edge の初期設定 0:CP13 一致で立ち上がり、CP14 一致で立ち下がり 1:CP13 一致で立ち下がり、CP14 一致で立ち上がり ch11 の出力信号 b の leading edge/trailing edge のエッジを選択設定します。
6	TDIV0	R/W	信号 b0 の leading edge/trailing edge の初期設定 0:CP11 一致で立ち上がり、CP12 一致で立ち下がり 1:CP11 一致で立ち下がり、CP12 一致で立ち上がり ch10 の出力信号 b0 の leading edge/trailing edge のエッジを選択設定します。
5	-	R	リードすると"0"が読めます。
4	TDCLE	R/W	CP10 一致時の counter1 の動作 0:フリーラン 1:0 に初期化 CP10 の一致時の COUNTER0(UC1)の動作を設定します。
3-0	TDCLK[3:0]	R/W	TMRD1 のプリスケアラ選択(TMRDCLK1 の周波数の選択) 0000:ftmrd 1000:ftmrd/2 1001:ftmrd/4 1010:ftmrd/8 1011:ftmrd/16 上記以外の設定禁止 TMRD1 のプリスケアラを選択 (TMRDCLK1 の周波数を選択) します。

(注) PPG モード、連動 PPG モードの場合、<TDCLE>=0 の設定は無効となります。(フリーランカウンタとして動作しません) また、連動 PPG モードの場合、<TDCLE>ビットの設定は無効となります。

(注) 連動 PPG モードの場合、<TDCLK[3:0]>の設定値は TD0AMOD で設定した値が選択され動作します。

14.3.7 TD0ACR, TD0BCR (タイマコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit Symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit Symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit Symbol	-	-	-	-	TDMDCY01			TDMDPT01
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit Symbol	TDMDCY00			TDMDPT00	-	TDRDE	TDISO1	TDISO0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-12	-	R	リードすると“0”が読めます。
11-9	TDMDCY01[2:0]	R/W	ch01 の 1bit モジュレーションの周期を選択 000: 1bit モジュレーション機能無し 001: (CP00 で決定される周期) x2 の周期 010: (CP00 で決定される周期) x4 の周期 011: (CP00 で決定される周期) x8 の周期 100: (CP00 で決定される周期) x16 の周期 その他の値は設定禁止 PPG 及び連動 PPG モードにおける ch01 の出力信号 a1 の 1bit モジュレーションの周期を選択します。
8	TDMDPT01	R/W	TD0CP3/CP4 の更新タイミングを選択 0: 1bit モジュレーション周期毎 1: CP00 の一致検出 PPG 及び連動 PPG モードにおいて、<TDRDE>=1 の時、コンペアレジスタ TD0ACP3、TD0ACP4 の値を対応するタイマレジスタ経由で更新するタイミングを選択します。 ただし、<TDMDCY01[2:0]>=000 の時は、設定値 1 と同様の動作となり本レジスタへの設定は無視されます。
7-5	TDMDCY00[2:0]	R	ch00 の 1bit モジュレーションの周期を選択 000: 1bit モジュレーション機能無し 001: (CP00 で決定される周期) x2 の周期 010: (CP00 で決定される周期) x4 の周期 011: (CP00 で決定される周期) x8 の周期 100: (CP00 で決定される周期) x16 の周期 その他の値は設定禁止 PPG 及び連動 PPG モードにおける ch00 の出力信号 a0 の 1bit モジュレーションの周期を選択します。
4	TDMDPT00	R/W	TD0CP0/CP1/CP2/CP5 の更新タイミングを選択 0: 1bit モジュレーション周期 1: CP00 の一致検出 PPG 及び連動 PPG モードにおいて、<TDRDE>=1 の時、コンペアレジスタ TD0CP0、TD0CP1、TD0CP2、TD0CP5 の値を対応するタイマレジスタ経由で更新するタイミングを選択します。 ただし、<TDMDCY00[2:0]>=000 の時は、設定値 1 と同様の動作となり本レジスタへの設定は無視されます。
3	-	R	リードすると“0”が読めます。

2	TDRDE	R/W	<p>オンペアレジスタへのデータ書き込み設定</p> <p>0: CPU の命令によるダイレクト書き込み タイマレジスタ(TD0ARGm)への書き込みと同時に、同値が対応するコンペアレジスタ(TD0ACPm)に書き込まれます。この時、更新イネーブルフラグ<TDSFT00>、<TDSFT01>を 1 にする必要はありません。</p> <p>1:TMRD0 のタイマレジスタ(TD0ARGm)経由書き込み TMRD0 のコンペアレジスタ(TD0ACPm)へのデータ書込経路を設定します。 (m = 0,1,2,3,4,5,)</p>
0-1	TDISO[1:0]	R/W	<p>INTTDA0CMP0 の割込要因を選択</p> <p>00: 割込要因なし 01: CP00 の一致 10: CP05 の一致 11: COUNTER0(UC0)の overflow (PPG モードでは、この設定は無効で割込要因となりません。) INTTDA0CMP0 の割込要因を選択します。</p>

(注) タイマモード、連動タイマモード時は、<TDMDCY00[2:0]>、<TDMDCY01[2:0]>への設定は無視されます。

(注) タイマモード、連動タイマモード時は、<TDMDPT00>、<TDMDPT01>への設定は無視され、

TD0AMOD<TDCLE>=0: COUNTER0 のオーバーフローが更新タイミングになります。

TD0AMOD<TDCLE>=1: コンパレータ CP00 の一致検出が更新タイミングになります。

14.3.8 TD1ACR, TD1BCR (タイマコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit Symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit Symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit Symbol	-	-	-	-	TDMDCY11			TDMDPT11
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit Symbol	TDMDCY10			TDMDPT10	-	TDRDE	TDISO1	TDISO0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-12	-	R	リードすると“0”が読めます。
11-9	TDMDCY11[2:0]	R/W	<p>Ch11 の 1bit モジュレーションの周期を選択</p> <p>000: 1bit モジュレーション機能無し</p> <p>001: (CP10/CP00 で決定される周期) x2 の周期</p> <p>010: (CP10/CP00 で決定される周期) x4 の周期</p> <p>011: (CP10/CP00 で決定される周期) x8 の周期</p> <p>100: (CP10/CP00 で決定される周期) x16 の周期</p> <p>その他の値は設定禁止</p> <p>PPG 及び連動 PPG モードにおける ch11 の出力信号 b1 の 1bit モジュレーションの周期を選択します。</p> <p>連動 PPG モード(TDACONF<TMRDMOD[2:0]>=110, 111)の時は、基本周期は CP10 ではなく CP00 で決定される周期になります。</p> <p>また、連動 PPG モード(TDACONF<TMRDMOD[2:0]>=111)の時は、TD0ACR<TDMDCY00[2:0]>と同じ値に設定してください。</p>
8	TDMDPT11	R/W	<p>TD1CP3/CP4 の更新タイミングを選択</p> <p>0: 1bit モジュレーション周期毎</p> <p>1: TDACONF<TMRDMOD[2:0]>=001, 011 の時、コンパレータ CP10 の一致検出 (PPG モード)</p> <p>TDACONF<TMRDMOD[2:0]>=110, 111 の時、コンパレータ CP05 の一致検出 (連動 PPG モード)</p> <p>ただし、<TDMDCY11[2:0]>=000 の時は、設定値 1 と同様の動作となり本レジスタへの設定は無視されます。</p> <p>PPG モードにおいて TD1ACR<TDRDE>=1 の時、連動 PPG モードにおいて TD0ACR<TDRDE>=1 の時、コンパレータレジスタ TD1CP3, TD1CP4 の値を対応するタイムレジスタ経由で更新するタイミングを選択します。</p> <p>連動 PPG モード(TDACONF<TMRDMOD[2:0]>=111)の時は、TD0ACR<TDMDPT00>と同じ値に設定してください。</p>
7-5	TDMDCY10[2:0]	R	<p>Ch10 の 1bit モジュレーションの周期を選択</p> <p>000: 1bit モジュレーション機能無し</p> <p>001: (CP10/CP00 で決定される周期) x2 の周期</p> <p>010: (CP10/CP00 で決定される周期) x4 の周期</p> <p>011: (CP10/CP00 で決定される周期) x8 の周期</p> <p>100: (CP10/CP00 で決定される周期) x16 の周期</p> <p>その他の値は設定禁止</p> <p>PPG 及び連動 PPG モードにおける ch10 の出力信号 b0 の 1bit モジュレーションの周期を選択します。</p> <p>連動 PPG モード(TDACONF<TMRDMOD[2:0]>=110, 111)の時は、基本周期は CP10 ではなく CP00 で決定される周期になります。</p> <p>また、連動 PPG モード(TDACONF<TMRDMOD[2:0]>=110, 111)の時は、TD0ACR<TDMDCY00[2:0]>と同じ値に設定してください。</p>

4	TDMDPT10	R/W	<p>TD0CP0/CP1/CP2/CP5 の更新タイミングを選択</p> <p>0:1bit モジュレーション周期</p> <p>1: TDACONF<TMRDMOD[2:0]>=001,011 の時、コンパレータ CP10 の一致検出 (PPG モード)</p> <p>TDACONF<TMRDMOD[2:0]>=110,111 の時、コンパレータ CP05 の一致検出 (連動 PPG モード)</p> <p>PPG 及び連動 PPG モードにおいて、<TDRDE>=1 の時、コンペアレジスタ TD0CP0、TD0CP1、TD0CP2、TD0CP5 の値を対応するタイムレジスタ経由で更新するタイミングを選択します。</p> <p>ただし、<TDMDCY10[2:0]>=000 の時は、設定値 1 と同様の動作となり本レジスタへの設定は無視されます。</p> <p>連動 PPG モード(TDACONF<TMRDMOD[2:0]>=110, 111)の時は、TD0ACR<TDMDPT00>と同じ値にしてください。</p>
3	-	R	リードすると“0”が読めます。
2	TDRDE	R/W	<p>コンペアレジスタへのデータ書き込み設定</p> <p>0: CPU の命令によるダイレクト書き込み</p> <p>タイムレジスタ(TD1ARGm)への書き込みと同時に、同値が対応するコンペアレジスタ(TD1ACPm)に書き込まれます。</p> <p>この時、更新イネーブルフラグ<TDSFT10>、<TDSFT11>を 1 にする必要はありません。</p> <p>1: TMDR1 のタイムレジスタ(TD1ARGm)経由書き込み</p> <p>TMRD1 のコンペアレジスタ(TD1ACPm)へのデータ書込経路を設定します。</p> <p>(m = 0,1,2,3,4)</p>
0-1	TDISO[1:0]	R/W	<p>INTTDA1CMP0 の割込要因を選択</p> <p>00: 割込要因なし</p> <p>01: CP10 の一致 (連動 PPG モードでは、割込要因となりません)</p> <p>10: 割込要因なし</p> <p>11: COUNTER1(UC1)の overflow</p> <p>(PPG モードでは、この設定は無効で割込要因となりません。)</p> <p>INTTDA1CMP0 の割込要因を選択します。</p>

(注) タイマモード、連動タイマモード時は、<TDMDCY10[2:0]>、<TDMDCY11[2:0]>への設定は無視されます。

(注) タイマモード、連動タイマモード時は、<TDMDPT10>、<TDMDPT11>への設定は無視され、

TD1AMOD<TDCLE>=0: COUNTER1 のオーバーフローが更新タイミングになります。

TD1AMOD<TDCLE>=1: コンパレータ CP10 の一致検出が更新タイミングになります。

(注) 連動 PPG モードの時は、<TDRDE>の設定値は TD0ACR<TDRDE>で設定した値が選択され動作します。

14.3.9 TDnARUN, TDnBRUN (タイマRUNレジスタ) (n=0,1)

	31	30	29	28	27	26	25	24
bit Symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit Symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit Symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit Symbol	-	-	-	-	-	-	-	TDRUN
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	-	R	リードすると“0”が読めます。
1	-	W	常に“0”を書いてください。
0	TDRUN	W	Timer Run/Stop Control 0: TMRDn の動作を停止します。 (COUNTERn(UCn)の動作を停止し、0 に初期化します。) 1: TMRDn の動作を開始します。 (COUNTERn(UCn)の動作(カウントアップ)を開始します。) TMRDn のカウント動作を制御します。

(注) TD1ARUN<TDRUN>は連動タイマモード及び連動 PPG モードの場合、設定は無効となり COUNTER0(UC0)と連動して動作を開始します。

14.3.10 TDABCR, TDBBCR (更新フラグ設定レジスタ)

	31	30	29	28	27	26	25	24
bit Symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit Symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit Symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit Symbol	-	-	-	PHSCHG	TDSFT11	TDSFT10	TDSFT01	TDSFT00
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-5	-	R	リードすると"0"が読めます。
4	PHSCHG	R/W	A 相出力に対する B 相出力の位相関係 (進み/遅れ) を設定 0: 遅らせる or 同位相 1: 進める or 同位相 A 相出力に対する B 相出力の位相関係 (進み/遅れ) を設定します。 設定は、TD0ARUN<TDRUN>=1 設定による起動のタイミング、起動中は更新イネーブルフラグ TDSFT00 による更新タイミング時に反映されます。
3	TDSFT11	R/W	TD1CP3/TD1CP4 の更新イネーブルフラグ 0: 無効 1: 更新イネーブル コンペアレジスタ TD1CP3/TD1CP4 の値を対応するタイマレジスタの値に更新するためのイネーブルフラグです。コンペアレジスタのデータが更新されると更新イネーブルフラグはクリアされます。
2	TDSFT10	R/W	TD1CP0/TD1CP1/TD1CP2 の更新イネーブルフラグ 0: 無効 1: 更新イネーブル コンペアレジスタ TD1CP0/TD1CP1/TD1CP2 の値を対応するタイマレジスタの値に更新するためのイネーブルフラグです。コンペアレジスタのデータが更新されると更新イネーブルフラグはクリアされます。
1	TDSFT01	R/W	TD0CP3/TD0CP4 の更新イネーブルフラグ 0: 無効 1: 更新イネーブル コンペアレジスタ TD0CP3/TD0CP4 の値を対応するタイマレジスタの値に更新するためのイネーブルフラグです。コンペアレジスタのデータが更新されると更新イネーブルフラグはクリアされます。
0	TDSFT00	R/W	TD0CP0/TD0CP1/TD0CP2/TD0CP5 の更新イネーブルフラグ 0: 無効 1: 更新イネーブル コンペアレジスタ TD0CP0/TD0CP1/TD0CP2/TD0CP5 の値を対応するタイマレジスタの値に更新するためのイネーブルフラグです。コンペアレジスタのデータが更新されると更新イネーブルフラグはクリアされます。

- (注) 上記 4 つの更新イネーブルフラグは、各レジスタをリードすることで、そのフラグの状態をモニタすることが可能です。
- (注) <PHSCHG>は連動 PPG モードで TDACONF<TMRDMOD[2:0]>=111 の時のみ有効です。(タイマモード、連動タイマモード、PPG モード、連動 PPG モードの TDACONF<TMRDMOD[2:0]>=110 では、A 相/B 相出力入れ替えは出来ません。)

14.3.11 TDnADMA, TDnBDMA (タイマDMA要求許可レジスタ) (n=0,1)

	31	30	29	28	27	26	25	24
bit Symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit Symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit Symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit Symbol	-	-	-	-	-	-	-	DMAEN
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-5	-	R	リードすると"0"が読めます。
4-1	-	R/W	常に"0"を書いてください。
0	DMAEN	R/W	DMA 要求許可設定(INTTDAnCMP0) 1: 許可 0: 禁止 DMA 要求を許可/禁止を設定します。 (INTTDAnCMP0 要因で DMA リクエストを発行します)

14.3.12 TDnARG0, TDnBRG0 (タイマレジスタ 0) (n=0,1)

	31	30	29	28	27	26	25	24
bit Symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit Symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit Symbol	TDRG0							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit Symbol	TDRG0							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます。
15-0	TDRG0[15:00]	R/W	周期設定

(注) タイマレジスタ TDnARG0 はコンペアレジスタ TDnACP0 とのダブルバッファ構成になっています。
コンペアレジスタへの設定はタイマレジスタで設定します。

14.3.13 TDnACP0, TDnBCP0 (タイマコンペアレジスタ 0) (n=0,1)

	31	30	29	28	27	26	25	24
bit Symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit Symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit Symbol	CPRG0							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit Symbol	CPRG0							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます。
15-0	CPRG0[15:00]	R/W	周期設定 周期の最小値は 0x0001、最大値は 0xFFFF です。 16 ビットインターバルタイマ時: タイマ周期または CPx0 の一致タイミングを設定します。 TDnAMOD<TDCLE>=0 CPn0 の一致タイミングを設定 TDnAMOD<TDCLE>=1 タイマ周期を設定 16 ビットプログラマブル矩形波出力時: 矩形波出力の周期を設定。ただし、連動 PPG モードでは、TD1CP0 は周期設定レジスタとして使用しません。

14.3.14 TDnARG1, TDnBRG1 (タイマレジスタ 1) (n=0,1)

	31	30	29	28	27	26	25	24
bit Symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit Symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit Symbol	TDRG1							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit Symbol	TDRG1							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます。
15-0	TDRG1[15:00]	R/W	タイミング設定

(注) タイマレジスタ TDnARG1 はコンペアレジスタ TDnACP1 とのダブルバッファ構成になっています。
コンペアレジスタへの設定はタイマレジスタで設定します。

14.3.15 TDnACP1, TDnBCP1 (タイマコンペアレジスタ 1) (n=0,1)

	31	30	29	28	27	26	25	24
bit Symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit Symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit Symbol	CPRG1							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit Symbol	CPRG1							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます。
15-0	CPRG1[15:00]	R/W	タイミング設定 16 ビットインターバルタイマ時: 割込み信号 INTTDnCMP1 を発生させるタイミング設定 16 ビットプログラマブル矩形波出力時: 信号 a0/b0 の leading edge のタイミング設定

14.3.16 TDnARG2, TDnBRG2 (タイマレジスタ 2) (n=0,1)

	31	30	29	28	27	26	25	24
bit Symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit Symbol	-	-	-	-	TDRG2			
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit Symbol	TDRG2							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit Symbol	TDRG2				TDMDRT			
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-20	-	R	リードすると“0”が読めます。
19-4	TDRG2[15:00]	R/W	タイミング設定 16ビットインターバルタイマ時、割込信号 INTTDAnCMP2 を発生させるタイミングを設定するレジスタとして機能します。 16ビットプログラマブル矩形波出力時、chn0 の出力信号 a0/b0 の trailing edge のタイミングを設定するレジスタとして機能します。
3-0	TDMDRT	R/W	1bit モジュレーションのレート設定 000: 全ての bit は無視されます。 (レート設定はありません。) 001: TDMDRT[3]が有効で、その他の bit の設定は無視されます。 (レート設定は 0~1 になります。) 010: TDMDRT[3:2]が有効で、その他の bit の設定は無視されます。 (レート設定は 0~3 になります。) 011: TDMDRT[3:1]が有効で、その他の bit の設定は無視されます。 (レート設定は 0~7 になります。) 100: TDMDRT[3:0]が有効です。 (レート設定は 0~15 になります。) PPG モード及び運動 PPG モードにおける chn0 の 1bit モジュレーションのレートを設定します。コントロールレジスタ TDnACR<TDMDCYn0[2:0]>の値によって、本レジスタの有効な bit が異なります。 レートとは、1bit モジュレーションの周期内において、trailing edge のタイミングを TMRDCLKn の 1clock 分遅延させる矩形波の数を示します。

(注) タイマレジスタ TDnARG2 はコンペアレジスタ TDnACP2 とのダブルバッファ構成になっています。
コンペアレジスタへの設定はタイマレジスタで設定します。

14.3.17 TDnACP2, TDnBCP2 (タイマコンペアレジスタ 2) (n=0,1)

	31	30	29	28	27	26	25	24
bit Symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit Symbol	-	-	-	-	CPRG2			
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit Symbol	CPRG2							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit Symbol	CPRG2				CPMDRT			
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-20	-	R	リードすると"0"が読めます。
19-4	CPRG2[15:00]	R/W	タイミング設定
3-0	CPMDRT[3:0]	R/W	1bit モジュレーションのレート設定

14.3.18 TDnARG3, TDnBRG3 (タイマレジスタ 3) (n=0,1)

	31	30	29	28	27	26	25	24
bit Symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit Symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit Symbol	TDRG3							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit Symbol	TDRG3							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます。
15-0	TDRG3[15:00]	R/W	タイミング設定

(注) タイマレジスタ TDnARG3 はコンペアレジスタ TDnACP3 とのダブルバッファ構成になっています。
コンペアレジスタへの設定はタイマレジスタで設定します。

14.3.19 TDnACP3, TDnBCP3 (タイマコンペアレジスタ 3) (n=0,1)

	31	30	29	28	27	26	25	24
bit Symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit Symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit Symbol	CPRG3							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit Symbol	CPRG3							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます。
15-0	CPRG3[15:00]	R/W	タイミング設定 16ビットインターバルタイマ時: 割込み信号 INTTDAnCMP3 を発生させるタイミング設定 16ビットプログラマブル矩形波出力時: 信号 a1/b1 の leading edge のタイミング設定

14.3.20 TDnARG4, TDnBRG4 (タイマレジスタ 4) (n=0,1)

	31	30	29	28	27	26	25	24
bit Symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit Symbol	-	-	-	-	TDRG4			
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit Symbol	TDRG4							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit Symbol	TDRG4				TDMDRT			
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-20	-	R	リードすると“0”が読めます。
19-4	TDRG4[15:00]	R/W	タイミング設定 16ビットインターバルタイマ時、割込信号 INTTDAnCMP4 を発生させるタイミングを設定するレジスタとして機能します。 16ビットプログラマブル矩形波出力時、chn1 の出力信号 a1/b1 の trailing edge のタイミングを設定するレジスタとして機能します。
3-0	TDMDRT	R/W	1bit モジュレーションのレート設定 000: 全ての bit は無視されます。 (レート設定はありません。) 001: TDMDRT[3]が有効で、その他の bit の設定は無視されます。 (レート設定は 0~1 になります。) 010: TDMDRT[3:2]が有効で、その他の bit の設定は無視されます。 (レート設定は 0~3 になります。) 011: TDMDRT[3:1]が有効で、その他の bit の設定は無視されます。 (レート設定は 0~7 になります。) 100: TDMDRT[3:0]が有効です。 (レート設定は 0~15 になります。) PPG モード及び運動 PPG モードにおける chn1 の 1bit モジュレーションのレートを設定します。コントロールレジスタ TDnACR<TDMDCYn1[2:0]>の値によって、本レジスタの有効な bit が異なります。 レートとは、1bit モジュレーションの周期内において、trailing edge のタイミングを TMRDCLKn の 1clock 分遅延させる矩形波の数を示します。

(注) タイマレジスタ TDnARG4 はコンペアレジスタ TDnACP4 とのダブルバッファ構成になっています。
コンペアレジスタへの設定はタイマレジスタで設定します。

14.3.21 TDnACP4, TDnBCP4 (タイマコンペアレジスタ 4) (n=0,1)

	31	30	29	28	27	26	25	24
bit Symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit Symbol	-	-	-	-	CPRG4			
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit Symbol	CPRG4							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit Symbol	CPRG4				CPMDRT			
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-20	-	R	リードすると“0”が読めます。
19-4	CPRG4[15:00]	R/W	タイミング設定
3-0	CPMDRT[3:0]	R/W	1bit モジュレーションのレート設定

14.3.22 TD0ARG5, TD0BRG5 (タイマレジスタ 5)

	31	30	29	28	27	26	25	24
bit Symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit Symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit Symbol	TDRG5							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit Symbol	TDRG5							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます。
15-0	TDRG5[15:00]	R/W	タイミング設定と位相のシフト量の設定

(注) タイマレジスタ TDnARG5 はコンペアレジスタ TDnACP5 とのダブルバッファ構成になっています。
コンペアレジスタへの設定はタイマレジスタで設定します。

14.3.23 TD0ACP5, TD0BCP5 (タイマコンペアレジスタ 5)

	31	30	29	28	27	26	25	24
bit Symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit Symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit Symbol	CPRG5							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit Symbol	CPRG5							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます。
15-0	CPRG5[15:00]	R/W	タイミング設定と位相のシフト量の設定 16 ビットインターバルタイマ時: CP05 の一致タイミング設定 16 ビットプログラマブル矩形波出力時: 連動 PPG モード時に位相のシフト量を設定 (PPG モード時は無効となります。)

第 15 章 シリアルチャネル (SIO/UART)

15.1 概要

シリアルチャネル (SIO) は同期通信モード (IO インタフェースモード) と非同期通信モード (UART モード) の 2 つのモードを持っています。特長は以下のとおりです。

- 転送クロック
 - プリスケーラでペリフェラルクロック ($\Phi T0$) を 1/2、1/8、1/32、1/128 分周
 - プリスケーラ出力クロックに対し、1~16 分周が可能
 - プリスケーラ出力クロックに対し、 $N + m/16$ ($N = 2\sim 15$, $m = 1\sim 15$) 分周が可能 (UART モードのみ)
 - システムクロックを使用可能 (UART モードのみ)
- ダブルバッファ / FIFO
 - ダブルバッファおよび、送受信あわせて最大 4 バイトの FIFO を使用可能
- IO インタフェースモード
 - 転送モード：半二重 (受信 / 送信)、全二重
 - クロック：出力 (立ち上がりエッジ固定) / 入力 (立ち上がり / 立ち下がりエッジ選択)
 - 連続転送時のインターバル時間設定が可能
- UART モード
 - データ長：7, 8, 9 ビット
 - パリティ付加 (9 ビット長では不可)
 - シリアルリンクでのウエイクアップ機能
 - $\overline{\text{CTS}}$ 端子を用いたハンドシェイク機能

以下の説明中、"x" はチャネル番号をあらわします。

15.2 チャネル別仕様相違点

TMPM342FYXBG は 5 チャネルの SIO を内蔵しています。

各チャネルはそれぞれ独立に動作します。チャネルごとの使用端子と割り込みを以下にまとめます。

表 15-1 SIO のチャネル別仕様相違点

	端子名			割り込み		DMA 要求	シリアルクロック生成タイム
	TXD	RXD	$\overline{\text{CTS}}/\text{SCLKx}$	受信割り込み	送信割り込み		
チャネル 0	PB0	PB1	PB2	INTRX0	INTTX0	サポート	TB7OUT
チャネル 1	PC0	PC1	PC2	INTRX1	INTTX1	-	TB7OUT
チャネル 2	PD0	PD1	PD2	INTRX2	INTTX2	サポート	TB7OUT
チャネル 3	PG4	PG5	PG6	INTRX3	INTTX3	-	TB9OUT
チャネル 4	PH0	PH1	PH2	INTRX4	INTTX4	サポート	TB9OUT

15.3 構成

図 15-1 に SIO のブロック図を示します。

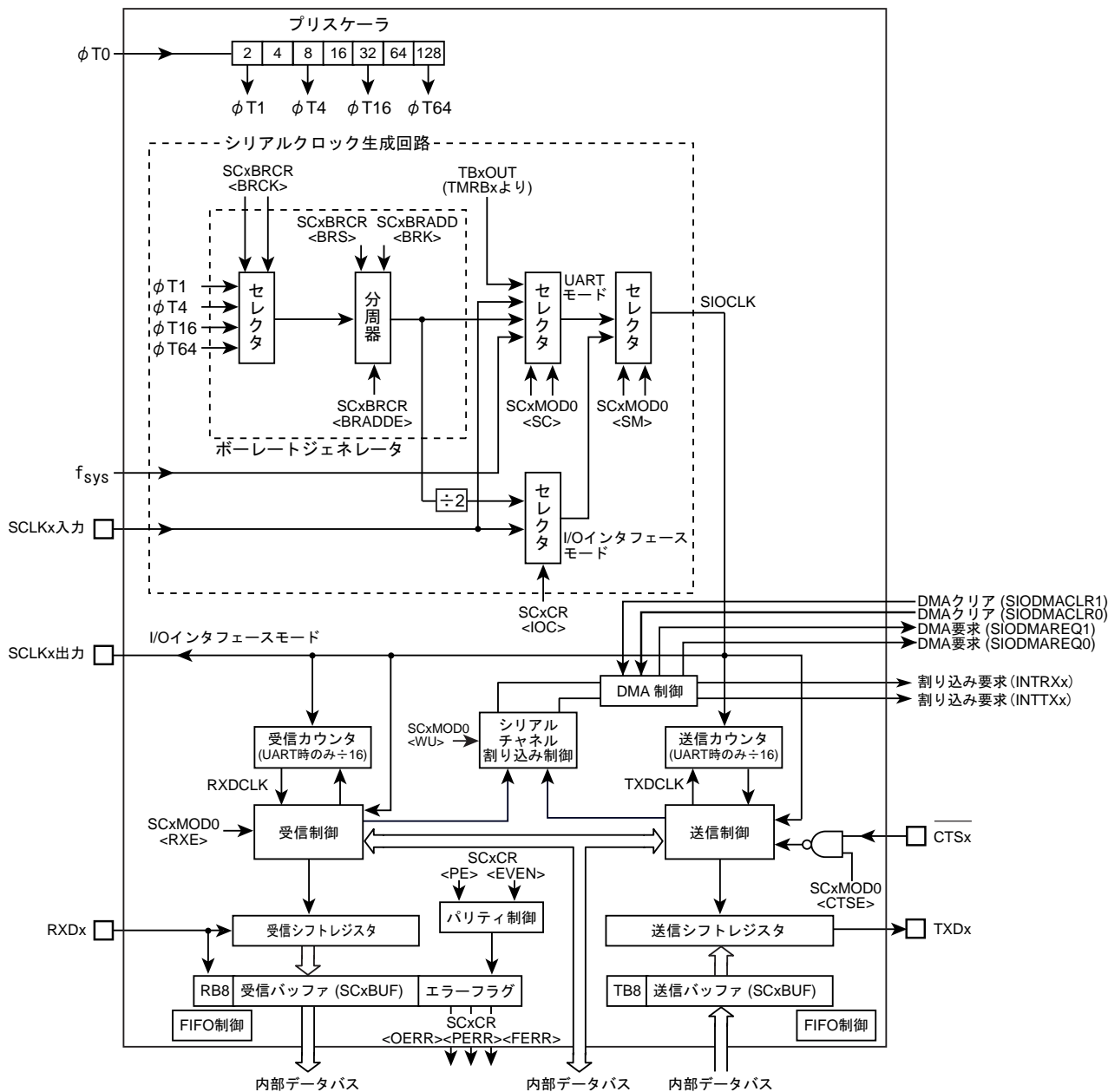


図 15-1 SIO ブロック図

15.4 レジスタ説明

15.4.1 チャネル別レジスタ一覧

各チャネルのレジスタとアドレスを示します。

Channel x	Base Address
Channel0	0x400E_1000
Channel1	0x400E_1100
Channel2	0x400E_1200
Channel3	0x400E_1300
Channel4	0x400E_1400

レジスタ名 (x=0 ~ 4)		Address(Base+)
イネーブルレジスタ	SCxEN	0x0000
送受信バッファレジスタ	SCxBUF	0x0004
コントロールレジスタ	SCxCR	0x0008
モードコントロールレジスタ 0	SCxMOD0	0x000C
ボーレートジェネレータコントロールレジスタ	SCxBRCR	0x0010
ボーレートジェネレータコントロールレジスタ 2	SCxBRADD	0x0014
モードコントロールレジスタ 1	SCxMOD1	0x0018
モードコントロールレジスタ 2	SCxMOD2	0x001C
受信 FIFO コンフィグレジスタ	SCxRFC	0x0020
送信 FIFO コンフィグレジスタ	SCxTFC	0x0024
受信 FIFO ステータスレジスタ	SCxRST	0x0028
送信 FIFO ステータスレジスタ	SCxTST	0x002C
FIFO コンフィグレジスタ	SCxFCNF	0x0030
DMA 要求許可レジスタ	SCxDMA	0x0034

注 1) 送信中、受信中に制御レジスタを書き換えないでください。

注 2) チャネル 1 は DMA リクエストをサポートしていません。

15.4.2 SCxEN (イネーブルレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	SIOE
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-1	-	R	リードすると "0" が読めます。
0	SIOE	R/W	<p>SIO 動作</p> <p>0: 禁止</p> <p>1: 動作</p> <p>SIO の動作を指定します。SIO を使用する場合は、まず <SIOE> に "1" をセットしてください。</p> <p>動作禁止の状態では、イネーブルレジスタを除く SIO のすべてのクロックが停止しますので消費電力の低減が可能です。</p> <p>SIO を一旦動作させた後に動作禁止にした場合は、SCxTFC<TIL[1:0]> を除くレジスタの設定は保持されます。</p>

- 注 1) SCxEN<SIOE>=0(SIO 動作禁止)、または SCxMOD1<I2SC>=0 でスタンバイモードへの移行 (スタンバイモード中の動作停止) した場合は、必ず SCxTFC の再設定を行ってください。
- 注 2) SIO の送信 / 受信割り込みを利用して DMA 転送を行う場合、SCxMOD2<SWRST> にてソフトウェアリセットを行ってから、DMAC を動作させ (DMA 要求待機状態) SIO の送信、または受信の設定 (開始) を行ってください。

15.4.3 SCxBUF (バッファレジスタ)

SCxBUF は、書き込み時は送信バッファまたは FIFO、読み出し時は受信バッファまたは FIFO として機能します。

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TB / RB							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると "0" が読めます。
7-0	TB[7:0] / RB[7:0]	R/W	[ライト] TB : 送信用バッファ / FIFO [リード] RB : 受信用バッファ / FIFO

15.4.4 SCxCR (コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	RB8	EVEN	PE	OERR	PERR	FERR	SCLKS	IOC
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると "0" が読めます。
7	RB8	R	受信データビット 8 (UART 用) 9 ビット UART モード時の 9 ビット目の受信データです。
6	EVEN	R/W	パリティ (UART 用) 0: Odd 1: Even パリティの条件を設定します。 "0" で奇数 (Odd) パリティ、"1" で偶数 (Even) パリティです。 パリティは、7 ビット UART モード、8 ビット UART モードで使用可能です。
5	PE	R/W	パリティ付加 (UART 用) 0: 禁止 1: 許可 パリティ許可 / 禁止を制御するビットです。 パリティは、7 ビット UART モード、8 ビット UART モードで使用可能です。
4	OERR	R	オーバランエラー (注) 0: エラーではない 1: エラー
3	PERR	R	パリティ / アンダーランエラー (注) 0: エラーではない 1: エラー
2	FERR	R	フレーミングエラー (注) 0: エラーではない 1: エラー
1	SCLKS	R/W	入力クロックエッジ選択 (IO インタフェース用) 0: SCLKx の立ち下がりエッジで送信バッファのデータを 1bit ずつ TXDx 端子へ出力します。 SCLKx の立ち上がりエッジで RXDx 端子のデータを 1bit ずつ受信バッファに取り込みます。 この時、SCLKx は High レベルからスタートします。 1: SCLKx の立ち上がりエッジで送信バッファのデータを 1bit ずつ TXDx 端子へ出力します。 SCLKx の立ち下がりエッジで RXDx 端子のデータを 1bit ずつ受信バッファに取り込みます。 この時、SCLKx は Low レベルからスタートします。
0	IOC	R/W	クロック選択 (IO インタフェース用) 0: ボーレートジェネレータ 1: SCLK 端子入力

注) エラーフラグ (OERR, PERR, FERR) は読み出すとクリアされます。

15.4.5 SCxMOD0 (モードコントロールレジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TB8	CTSE	RXE	WU	SM		SC	
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると "0" が読めます。
7	TB8	R/W	送信データビット 8 (UART 用) 9 ビット UART モード時の 9 ビット目の送信データをセットします。
6	CTSE	R/W	ハンドシェイク機能制御 (UART 用) 0: CTS ディセーブル 1: CTS イネーブル ハンドシェイク機能の制御を行います。 イネーブルにすると CTS 端子を用いたハンドシェイク機能が使用可能になります。
5	RXE	R/W	受信制御 (注 1)(注 2) 0: 禁止 1: 許可
4	WU	R/W	ウェイクアップ機能 (UART 用) 0: ディセーブル 1: イネーブル 9 ビット UART モードの場合のみ有効で、その他のモードでは無視されます。 イネーブルの場合、受信データ 9 ビット目が "1" のときのみ割り込みが発生します。
3-2	SM[1:0]	R/W	シリアル転送モード 00: IO インタフェースモード 01: 7 ビット長 UART モード 10: 8 ビット長 UART モード 11: 9 ビット長 UART モード
1-0	SC[1:0]	R/W	シリアル転送クロック (UART 用) 00: タイマ TB7OUT 01: ボーレートジェネレータ 10: 内部クロック fsys 11: 外部クロック (SCLK 入力) (IO インタフェースモード時の転送クロックは、コントロールレジスタ (SCxCR) で選択します。)

注 1) <RXE> ビットは、各モードレジスタ (SCxMOD0, SCxMOD1, SCxMOD2) を設定してから許可してください。

注 2) 受信中に動作を停止 (SCxMOD0<RXE> を "0" にクリア) しないでください。

15.4.6 SCxMOD1 (モードコントロールレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	I2SC	FDPX		TXE	SINT			-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると "0" が読めます。
7	I2SC	R/W	IDLE モード時の動作 0: 停止 1: 動作 IDLE モード時の動作を指定します。
6-5	FDPX[1:0]	R/W	転送モード設定 00: 転送禁止 01: 半二重 (受信) 10: 半二重 (送信) 11: 全二重 IO インタフェースモード時の転送モードを設定します。また FIFO が許可されている場合は FIFO の構成を指定します。 UART モードの場合は FIFO 構成の指定のみ行われます。
4	TXE	R/W	送信制御 (注 1) (注 2) 0: 禁止 1: 許可 全転送モードに有効な送信許可ビットです。
3-1	SINT[2:0]	R/W	連続転送時のインターバル時間 (IO インタフェース用) 000: なし 001: 1SCLK 010: 2SCLK 011: 4SCLK 100: 8SCLK 101: 16SCLK 110: 32SCLK 111: 64SCLK IO インタフェースモードで SCLK 出力の場合に有効なビットです。その他のモードでは意味を持ちません。 IO インタフェースモードで、ダブルバッファまたは FIFO が許可されている時に連続転送のインターバル時間を指定します。
0	-	R/W	"0" をライトしてください。

注 1) <TXE> ビットは、すべての設定を行った後に許可してください。

注 2) 送信中に動作を停止 (SCxMOD1<TXE> を "0" にクリア) しないでください。

15.4.7 SCxMOD2 (モードコントロールレジスタ 2)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TBEMP	RBFL	TXRUN	SBLN	DRCHG	WBUF	SWRST	
リセット後	1	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能												
31-8	–	R	リードすると "0" が読めます。												
7	TBEMP	R	送信バッファエンプティフラグ 0: Full 1: Empty ダブルバッファ不許可の場合はこのフラグは意味を持ちません。 送信ダブルバッファのデータ empty を示すフラグです。送信ダブルバッファのデータが送信シフトレジスタに移され empty になると "1" になり、送信データが書き込まれると "0" になります。												
6	RBFL	R	受信バッファ full フラグ 0: Empty 1: Full ダブルバッファ不許可の場合はこのフラグは意味を持ちません。 受信ダブルバッファのデータ full を示すフラグです。受信動作が終了して、受信シフトレジスタから受信ダブルバッファヘデータが格納されると "1" になり、読み出すと "0" になります。												
5	TXRUN	R	送信動作中フラグ 0: 停止 1: 動作 送信シフト動作中を示すステータスフラグです。 <TXRUN> と <TBEMP> ビットで以下のような状態を示します。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th><TXRUN></th> <th><TBEMP></th> <th>状態</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>–</td> <td>送信動作中</td> </tr> <tr> <td rowspan="2">0</td> <td>1</td> <td>送信が完全に終了</td> </tr> <tr> <td>0</td> <td>送信バッファに次のデータがあり送信待ち</td> </tr> </tbody> </table>	<TXRUN>	<TBEMP>	状態	1	–	送信動作中	0	1	送信が完全に終了	0	送信バッファに次のデータがあり送信待ち	
<TXRUN>	<TBEMP>	状態													
1	–	送信動作中													
0	1	送信が完全に終了													
	0	送信バッファに次のデータがあり送信待ち													
4	SBLN	R/W	送信 STOP ビット長 (UART 用) 0: 1 ビット 1: 2 ビット UART モード時の送信 STOP ビットの長さを指定します。 受信の場合は設定に関わらず 1 ビットの STOP ビットで認識します。												
3	DRCHG	R/W	転送方向設定 0: LSB first 1: MSB first IO インタフェースモード時の転送方向を指定します。 UART モード時は LSB first に設定してください。												
2	WBUF	R/W	ダブルバッファの許可 0: 不許可 1: 許可 IO インタフェースモードの送信 (SCLK 出力 / 入力), 受信 (SCLK 出力), UART モードの送信時に、送信、受信のダブルバッファの許可 / 不許可を指定します。 IO インタフェースモードの受信 (SCLK 入力), UART モードの受信時は設定に関わらず、常にダブルバッファは許可されます。												
1-0	SWRST[1:0]	R/W	ソフトリセット "10"→"01" の順に書き込むことでソフトウェアリセットが発生します。 ソフトウェアリセットにより、以下のビットが初期化されます。また、送受信回路と FIFO は初期状態になります。(注 1)(注 2) <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>レジスタ名</th> <th>ビット</th> </tr> </thead> <tbody> <tr> <td>SCxMOD0</td> <td>RXE</td> </tr> <tr> <td>SCxMOD1</td> <td>TXE</td> </tr> <tr> <td>SCxMOD2</td> <td>TBEMP, RBFL, TXRUN</td> </tr> <tr> <td>SCxCR</td> <td>OERR, PERR, FERR</td> </tr> <tr> <td>SCxDMA (注 2)</td> <td>DMAEN1, DMAEN0</td> </tr> </tbody> </table>	レジスタ名	ビット	SCxMOD0	RXE	SCxMOD1	TXE	SCxMOD2	TBEMP, RBFL, TXRUN	SCxCR	OERR, PERR, FERR	SCxDMA (注 2)	DMAEN1, DMAEN0
レジスタ名	ビット														
SCxMOD0	RXE														
SCxMOD1	TXE														
SCxMOD2	TBEMP, RBFL, TXRUN														
SCxCR	OERR, PERR, FERR														
SCxDMA (注 2)	DMAEN1, DMAEN0														

注 1) 転送動作中にソフトリセットを実施する場合は 2 回連続して実行してください。

注 2) ソフトウェアリセット動作が完了するのに、命令実行後 2 クロック必要です。

15.4.8 SCxBRCR (ボーレートジェネレータコントロールレジスタ), SCxBRADD (ボーレートジェネレータコントロールレジスタ 2)

ボーレートジェネレータの分周値は、下記の 2 つのレジスタで設定します。

SCxBRCR

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	BRADDE	BRCK		BRS			
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると "0" が読めます。
7	-	R/W	"0" をライトしてください。
6	BRADDE	R/W	N + (16 - K)/16 分周機能 (UART 用) 0: ディセーブル 1: イネーブル この機能は、UART モードのときのみ使用可能です。
5-4	BRCK[1:0]	R/W	ボーレートジェネレータ入力クロック選択 00: $\phi T1$ 01: $\phi T4$ 10: $\phi T16$ 11: $\phi T64$
3-0	BRS[3:0]	R/W	分周値 "N" の設定 0000: 16 分周 0001: 1 分周 0010: 2 分周 : 1111: 15 分周

SCxBRADD

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	BRK			
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-4	-	R	リードすると "0" が読めます。
3-0	BRK[3:0]	R/W	N + (16 - K)/16 分周の K 値の設定 (UART 用) 0000: 設定禁止 0001: K = 1 0010: K = 2 : 1111: K = 15

ボーレートジェネレータ分周値の設定方法を表 15-2 にまとめます。

表 15-2 分周値の設定方法

	<BRADDE> = "0" のとき	<BRADDE> = "1" のとき (注 1) (UART モードのみ使用可能)
<BRS> の設定	分周値 "N" を設定 (注 2) (注 3)	
<BRK> の設定	設定不要	"K" 値を設定 (注 4)
分周値	N 分周	$N + \frac{(16 - K)}{16}$ 分周

注 1) N + (16 - K)/16 分周機能を使用する場合、必ず <BRK> に "K" 値を設定後に <BRADDE> = "1" を設定してください。この機能は、UART モードのときのみ使用可能です。

注 2) UART モードで N + (16 - K)/16 分周機能を使用する場合、分周値 "N" に 1 分周 ("0001") と 16 分周 ("0000") は設定できません。

注 3) IO インタフェースモードの場合、分周値 "N" に 1 分周 ("0001") を設定できるのはダブルバッファを使用する場合のみです。

注 4) "K" 値に "0" を設定することはできません。

15.4.9 SCxFCNF (FIFO コンフィグレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	RFST	TFIE	RFIE	RXXCNT	CNFG
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能						
31-8	-	R	リードすると "0" が読めます。						
7-5	-	R/W	必ず "000" を書き込んでください。						
4	RFST	R/W	受信 FIFO 使用バイト数 0: 最大 1: 受信 FIFO の FILL レベルに同じ 受信 FIFO 使用バイト数の設定ビットです。(注 1) "0" の場合、構成されている FIFO の最大のバイト数 (<CNFG> ビットの説明を参照。) が使用可能です。 "1" の場合、SCxRFC<RIL[1:0]> で指定された FILL レベルのバイト数になります。						
3	TFIE	R/W	送信 FIFO 使用時の送信割り込み許可 0: 禁止 1: 許可 送信 FIFO が有効にされている時の送信割り込みの禁止 / 許可を切り替えます。						
2	RFIE	R/W	受信 FIFO 使用時の受信割り込み許可 0: 禁止 1: 許可 受信 FIFO が有効にされている時の受信割り込みの禁止 / 許可を切り替えます。						
1	RXTXCNT	R/W	<RXE>/<TXE> の自動禁止 0: なし 1: 自動禁止 送信 / 受信の自動禁止機能の制御ビットです。 "1" に設定した場合、設定された通信方式により以下のように動作します。 <table border="1" data-bbox="571 898 1422 1155"> <tr> <td>半二重受信</td> <td>受信シフトレジスタ、受信バッファおよび受信 FIFO に指定された有効バイト数分のデータが格納されると自動的に受信許可ビット (SCxMOD0 <RXE>) が "0" となり、受信が禁止される。</td> </tr> <tr> <td>半二重送信</td> <td>送信 FIFO、送信バッファおよび送信シフトレジスタのすべてのデータ送信が終了すると自動的に送信許可ビット (SCxMOD1 <TXE>) が "0" となり、送信が禁止される。</td> </tr> <tr> <td>全二重</td> <td>上記の半二重受信または半二重送信のどちらかの条件が成立すると自動的に送信許可ビット、受信許可ビットとも "0" となり、送受信が禁止される。</td> </tr> </table>	半二重受信	受信シフトレジスタ、受信バッファおよび受信 FIFO に指定された有効バイト数分のデータが格納されると自動的に受信許可ビット (SCxMOD0 <RXE>) が "0" となり、受信が禁止される。	半二重送信	送信 FIFO、送信バッファおよび送信シフトレジスタのすべてのデータ送信が終了すると自動的に送信許可ビット (SCxMOD1 <TXE>) が "0" となり、送信が禁止される。	全二重	上記の半二重受信または半二重送信のどちらかの条件が成立すると自動的に送信許可ビット、受信許可ビットとも "0" となり、送受信が禁止される。
半二重受信	受信シフトレジスタ、受信バッファおよび受信 FIFO に指定された有効バイト数分のデータが格納されると自動的に受信許可ビット (SCxMOD0 <RXE>) が "0" となり、受信が禁止される。								
半二重送信	送信 FIFO、送信バッファおよび送信シフトレジスタのすべてのデータ送信が終了すると自動的に送信許可ビット (SCxMOD1 <TXE>) が "0" となり、送信が禁止される。								
全二重	上記の半二重受信または半二重送信のどちらかの条件が成立すると自動的に送信許可ビット、受信許可ビットとも "0" となり、送受信が禁止される。								
0	CNFG	R/W	FIFO の許可 0: 禁止 1: 許可 FIFO 使用の許可ビットです。(注 2) "1" に設定すると FIFO が使用可能となります。設定された通信方式により FIFO の構成は以下のようになります。 <table border="1" data-bbox="571 1339 1062 1480"> <tr> <td>半二重受信</td> <td>受信 FIFO 4 バイト</td> </tr> <tr> <td>半二重送信</td> <td>送信 FIFO 4 バイト</td> </tr> <tr> <td>全二重</td> <td>受信 FIFO 2 バイト + 送信 FIFO 2 バイト</td> </tr> </table>	半二重受信	受信 FIFO 4 バイト	半二重送信	送信 FIFO 4 バイト	全二重	受信 FIFO 2 バイト + 送信 FIFO 2 バイト
半二重受信	受信 FIFO 4 バイト								
半二重送信	送信 FIFO 4 バイト								
全二重	受信 FIFO 2 バイト + 送信 FIFO 2 バイト								

注 1) 送信 FIFO は常に構成されている FIFO の最大バイト数を使用できます。

注 2) 9 ビット UART モードでは FIFO は使用できません。

15.4.10 SCxRFC (受信 FIFO コンフィグレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	RFCS	RFIS	-	-	-	-	RIL	
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能															
31-8	-	R	リードすると "0" が読めます。															
7	RFCS	W	受信 FIFO クリア (注) 1: クリア "1" を書き込むと受信 FIFO がクリアされます。リードすると "0" が読めます。															
6	RFIS	R/W	割り込み発生条件選択 0: fill レベル到達 1: fill レベル到達および新規データ読み出し時に fill レベルを超えている															
5-2	-	R	リードすると "0" が読めます。															
1-0	RIL[1:0]	R/W	受信割り込みが発生する FIFO の fill レベル <table border="1" style="margin-left: 20px;"> <thead> <tr> <th></th> <th>半二重</th> <th>全二重</th> </tr> </thead> <tbody> <tr> <td>00</td> <td>4 バイト</td> <td>2 バイト</td> </tr> <tr> <td>01</td> <td>1 バイト</td> <td>1 バイト</td> </tr> <tr> <td>10</td> <td>2 バイト</td> <td>2 バイト</td> </tr> <tr> <td>11</td> <td>3 バイト</td> <td>1 バイト</td> </tr> </tbody> </table>		半二重	全二重	00	4 バイト	2 バイト	01	1 バイト	1 バイト	10	2 バイト	2 バイト	11	3 バイト	1 バイト
	半二重	全二重																
00	4 バイト	2 バイト																
01	1 バイト	1 バイト																
10	2 バイト	2 バイト																
11	3 バイト	1 バイト																

注) 送信 / 受信 FIFO 使用時は、SIO の転送モード設定 (半二重 / 全二重)、FIFO 許可 (SCxFCNF<CNFG>="1") の後、必ず送信 / 受信 FIFO のクリアを実行してください。

15.4.11 SCxTFC (送信 FIFO コンフィグレジスタ) (注 2)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TFCS	TFIS	-	-	-	-	TIL	
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能															
31-8	-	R	リードすると "0" が読めます。															
7	TFCS	W	送信 FIFO クリア (注 1) 1: クリア "1" を書き込むと送信 FIFO がクリアされます。リードすると "0" が読めます。															
6	TFIS	R/W	割り込み発生条件選択 0: fill レベル到達 1: fill レベル到達および新規データ書き込み時に fill レベルに達していない															
5-2	-	R	リードすると "0" が読めます。															
1-0	TIL[1:0]	R/W	送信割り込みが発生する FIFO の fill レベル <table border="1" style="margin-left: 20px;"> <thead> <tr> <th></th> <th>半二重</th> <th>全二重</th> </tr> </thead> <tbody> <tr> <td>00</td> <td>Empty</td> <td>Empty</td> </tr> <tr> <td>01</td> <td>1 バイト</td> <td>1 バイト</td> </tr> <tr> <td>10</td> <td>2 バイト</td> <td>Empty</td> </tr> <tr> <td>11</td> <td>3 バイト</td> <td>1 バイト</td> </tr> </tbody> </table>		半二重	全二重	00	Empty	Empty	01	1 バイト	1 バイト	10	2 バイト	Empty	11	3 バイト	1 バイト
	半二重	全二重																
00	Empty	Empty																
01	1 バイト	1 バイト																
10	2 バイト	Empty																
11	3 バイト	1 バイト																

注 1) 送信 / 受信 FIFO 使用時は、SIO の転送モード設定 (半二重 / 全二重)、FIFO 許可 (SCxFCNF<CNFG>="1") の後、必ず送信 / 受信 FIFO のクリアを実行してください。

注 2) 以下の動作を行った際は、SCxTFC レジスタを再度設定してください。

- ・ SCxEN<SIOE>="0" (SIO 動作停止)
- ・ SCxMOD1<I2SC>="0" (IDLE モード時動作禁止) 設定で、WFI 命令による低消費電力モードへの遷移からの復帰後

15.4.12 SCxRST (受信 FIFO ステータスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ROR	-	-	-	-	RLVL		
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると "0" が読めます。
7	ROR	R	受信 FIFO オーバラン (注) 0: オーバランは発生していない 1: オーバラン発生
6-3	-	R	リードすると "0" が読めます。
2-0	RLVL[2:0]	R	受信 FIFO の fill レベル 000: Empty 001: 1 バイト 010: 2 バイト 011: 3 バイト 100: 4 バイト

注) <ROR> ビットはバッファレジスタ (SCxBUF) を読み出すと "0" にクリアされます。

15.4.13 SCxTST (送信 FIFO ステータスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TUR	-	-	-	-	TLVL		
リセット後	1	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると "0" が読めます。
7	TUR	R	送信 FIFO アンダーラン (注) 0: アンダーランは発生していない 1: アンダーラン発生
6-3	-	R	リードすると "0" が読めます。
2-0	TLVL[2:0]	R	送信 FIFO の fill レベル 000: Empty 001: 1 バイト 010: 2 バイト 011: 3 バイト 100: 4 バイト

注) <TUR> ビットはバッファレジスタ (SCxBUF) に書き込みを行うと "0" にクリアされます。

15.4.14 SCxDMA (DMA 要求許可レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	DMAEN1	DMAEN0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	-	R	Read as 0.
1	DMAEN1	R/W	受信割り込みによる DMA 要求 (受信割り込み INTRX 発生により DMA リクエストを発行) 0: 禁止 1: 許可
0	DMAEN0	R/W	送信割り込みによる DMA 要求 (送信割り込み INTTX 発生により DMA リクエストを発行) 0: 禁止 1: 許可

注 1) DMA 要求 (転送) 中に同要求が発行された場合、要求は保持されずネスティングされません。

15.5 動作モード

表 15-3 にモードとデータフォーマットをまとめます。

表 15-3 モードとデータフォーマット

モード	種類	データ長	転送方向	パリティ付加	STOP ビット長 (送信)
モード 0	同期通信モード (IO インタフェースモード)	8 ビット	LSB first/MSB first	-	-
モード 1	非同期通信モード (UART モード)	7 ビット	LSB first		1 ビットまたは 2 ビット
モード 2		8 ビット			
モード 3		9 ビット		x	

モード 0 は同期通信モードで、IO を拡張するために使用できます。SCLK に同期してデータの送受信を行います。SCLK は入力 / 出力いずれも使用できます。

転送方向は、LSB first と MSB first から選択可能です。パリティ付加機能はなく、STOP ビットも使用しません。

モード 1 からモード 3 は非同期通信モードです。転送方向は LSB first 固定です。

モード 1 とモード 2 はパリティビットの付加が可能です。モード 3 は、マスタコントローラが、シリアルリンク (マルチコントローラシステム) でスレーブコントローラを起動させるためのウエイクアップ機能を有しています。

送信時の STOP ビットを 1 ビットまたは 2 ビットから選択できます。受信時の STOP ビット長は 1 ビット固定です。

15.6 データフォーマット

15.6.1 データフォーマット一覧

図 15-2 にデータフォーマットを示します。

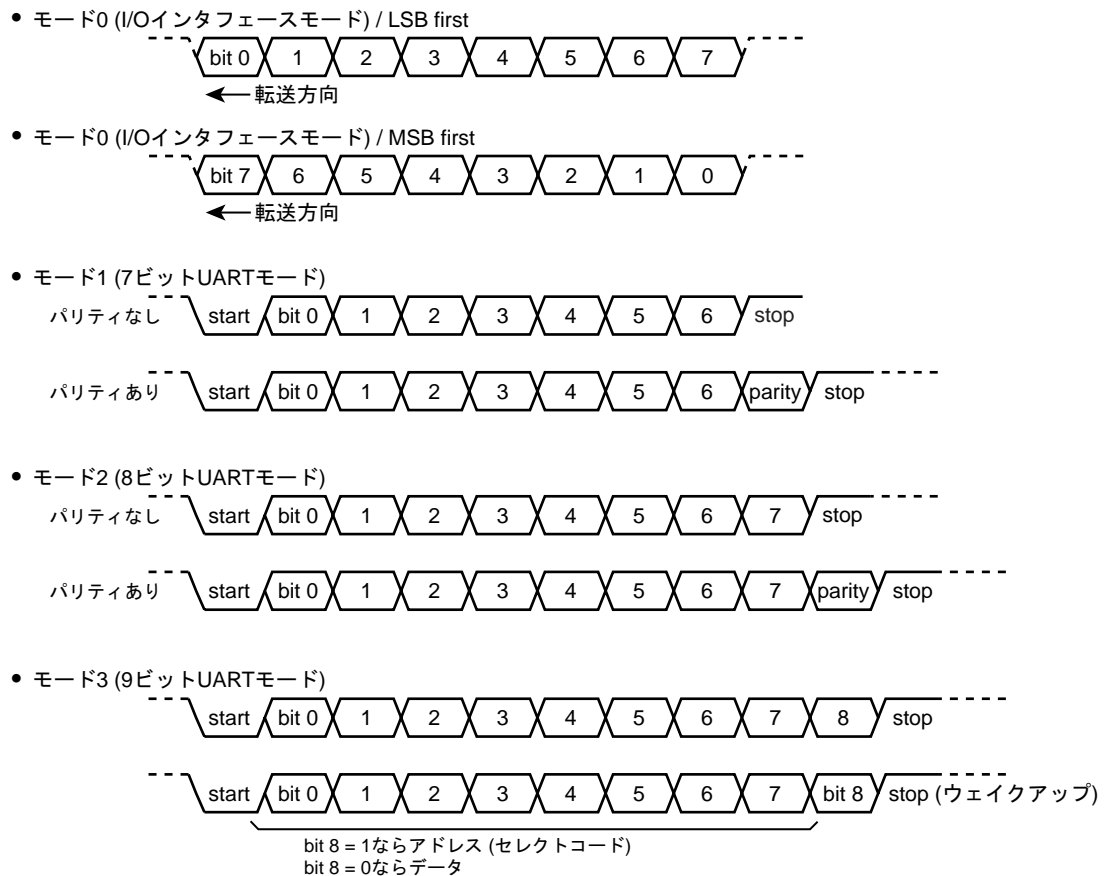


図 15-2 データフォーマット

15.6.2 パリティ制御

7 ビット UART モードまたは 8 ビット UART モードでは送信データにパリティビットを付加することができます。

SCxCR<PE> に "1" を設定するとパリティが有効になります。SCxCR<EVEN> で偶数 / 奇数パリティを選択することができます。

15.6.2.1 送信

送信時、パリティ制御回路は送信バッファのデータに対して自動的にパリティを発生し、7 ビット UART モードのときは SCxBUF<TB7> に、8 ビット UART モードのときは SCxMOD0<TB8> にパリティが格納されます。

なお <PE> と <EVEN> の設定は、送信データをバッファレジスタに書き込む前に行ってください。

15.6.2.2 受信

受信データが受信シフトレジスタから受信バッファに移されるとパリティを自動発生し、7 ビット UART モードのときは SCxBUF<RB7> と、8 ビット UART モードのときは SCxCR<RB8> と生成したパリティを比較します。異なっているとパリティエラーが発生し、SCxCR<PERR> がセットされます。

FIFO を使用する場合、<PERR> は受信したいずれかのデータでパリティエラーが発生したことを示します。

15.6.3 STOP ビット長

SCxMOD2<SBLEN> で、UART 送信モードの STOP ビット長を 1 ビットまたは 2 ビットに設定できます。受信の場合にはこのビットの設定にかかわらず 1 ビットの STOP ビット長として認識します。

15.7 クロック制御

15.7.1 プリスケーラ

7ビットのプリスケーラを実装しており、 $\Phi T0$ の2/8/32/128分周のクロックを生成します。

プリスケーラの入力クロック $\Phi T0$ は、クロック/モード制御部のCGSYSCRレジスタで選択します。

プリスケーラは、 $SCxMOD0\langle SC[1:0]\rangle = "01"$ でポーレートジェネレータを転送クロックとして選択した場合に動作します。

ポーレートジェネレータへの入力クロック分解能を、下表に示します。

表 15-4 ボーレートジェネレータへの入力クロック分解能 $f_c = 40 \text{ MHz}$

ペリフェラル クロック選択 CGSYSCR <FPSEL>	クロック ギア値 CGSYSCR <GEAR[2:0]>	プリスケアラ クロック選択 CGSYSCR <PRCK[2:0]>	プリスケアラ出力クロック 分解能			
			$\phi T1$	$\phi T4$	$\phi T16$	$\phi T64$
0 (fgear)	000 (fc)	000 (fperiph/1)	$f_c/2^1$ (0.05 μs)	$f_c/2^3$ (0.2 μs)	$f_c/2^5$ (0.8 μs)	$f_c/2^7$ (3.2 μs)
		001 (fperiph/2)	$f_c/2^2$ (0.1 μs)	$f_c/2^4$ (0.4 μs)	$f_c/2^6$ (1.6 μs)	$f_c/2^8$ (6.4 μs)
		010 (fperiph/4)	$f_c/2^3$ (0.2 μs)	$f_c/2^5$ (0.8 μs)	$f_c/2^7$ (3.2 μs)	$f_c/2^9$ (12.8 μs)
		011 (fperiph/8)	$f_c/2^4$ (0.4 μs)	$f_c/2^6$ (1.6 μs)	$f_c/2^8$ (6.4 μs)	$f_c/2^{10}$ (25.6 μs)
		100 (fperiph/16)	$f_c/2^5$ (0.8 μs)	$f_c/2^7$ (3.2 μs)	$f_c/2^9$ (12.8 μs)	$f_c/2^{11}$ (51.2 μs)
		101 (fperiph/32)	$f_c/2^6$ (1.6 μs)	$f_c/2^8$ (6.4 μs)	$f_c/2^{10}$ (25.6 μs)	$f_c/2^{12}$ (102.4 μs)
	100 (fc/2)	000 (fperiph/1)	$f_c/2^2$ (0.1 μs)	$f_c/2^4$ (0.4 μs)	$f_c/2^6$ (1.6 μs)	$f_c/2^8$ (6.4 μs)
		001 (fperiph/2)	$f_c/2^3$ (0.2 μs)	$f_c/2^5$ (0.8 μs)	$f_c/2^7$ (3.2 μs)	$f_c/2^9$ (12.8 μs)
		010 (fperiph/4)	$f_c/2^4$ (0.4 μs)	$f_c/2^6$ (1.6 μs)	$f_c/2^8$ (6.4 μs)	$f_c/2^{10}$ (25.6 μs)
		011 (fperiph/8)	$f_c/2^5$ (0.8 μs)	$f_c/2^7$ (3.2 μs)	$f_c/2^9$ (12.8 μs)	$f_c/2^{11}$ (51.2 μs)
		100 (fperiph/16)	$f_c/2^6$ (1.6 μs)	$f_c/2^8$ (6.4 μs)	$f_c/2^{10}$ (25.6 μs)	$f_c/2^{12}$ (102.4 μs)
		101 (fperiph/32)	$f_c/2^7$ (3.2 μs)	$f_c/2^9$ (12.8 μs)	$f_c/2^{11}$ (51.2 μs)	$f_c/2^{13}$ (204.8 μs)
	101 (fc/4)	000 (fperiph/1)	$f_c/2^3$ (0.2 μs)	$f_c/2^5$ (0.8 μs)	$f_c/2^7$ (3.2 μs)	$f_c/2^9$ (12.8 μs)
		001 (fperiph/2)	$f_c/2^4$ (0.4 μs)	$f_c/2^6$ (1.6 μs)	$f_c/2^8$ (6.4 μs)	$f_c/2^{10}$ (25.6 μs)
		010 (fperiph/4)	$f_c/2^5$ (0.8 μs)	$f_c/2^7$ (3.2 μs)	$f_c/2^9$ (12.8 μs)	$f_c/2^{11}$ (51.2 μs)
		011 (fperiph/8)	$f_c/2^6$ (1.6 μs)	$f_c/2^8$ (6.4 μs)	$f_c/2^{10}$ (25.6 μs)	$f_c/2^{12}$ (102.4 μs)
		100 (fperiph/16)	$f_c/2^7$ (3.2 μs)	$f_c/2^9$ (12.8 μs)	$f_c/2^{11}$ (51.2 μs)	$f_c/2^{13}$ (204.8 μs)
		101 (fperiph/32)	$f_c/2^8$ (6.4 μs)	$f_c/2^{10}$ (25.6 μs)	$f_c/2^{12}$ (102.4 μs)	$f_c/2^{14}$ (409.6 μs)
	110 (fc/8)	000 (fperiph/1)	$f_c/2^4$ (0.4 μs)	$f_c/2^6$ (1.6 μs)	$f_c/2^8$ (6.4 μs)	$f_c/2^{10}$ (25.6 μs)
		001 (fperiph/2)	$f_c/2^5$ (0.8 μs)	$f_c/2^7$ (3.2 μs)	$f_c/2^9$ (12.8 μs)	$f_c/2^{11}$ (51.2 μs)
		010 (fperiph/4)	$f_c/2^6$ (1.6 μs)	$f_c/2^8$ (6.4 μs)	$f_c/2^{10}$ (25.6 μs)	$f_c/2^{12}$ (102.4 μs)
		011 (fperiph/8)	$f_c/2^7$ (3.2 μs)	$f_c/2^9$ (12.8 μs)	$f_c/2^{11}$ (51.2 μs)	$f_c/2^{13}$ (204.8 μs)
		100 (fperiph/16)	$f_c/2^8$ (6.4 μs)	$f_c/2^{10}$ (25.6 μs)	$f_c/2^{12}$ (102.4 μs)	$f_c/2^{14}$ (409.6 μs)
		101 (fperiph/32)	$f_c/2^9$ (12.8 μs)	$f_c/2^{11}$ (51.2 μs)	$f_c/2^{13}$ (204.8 μs)	$f_c/2^{15}$ (819.2 μs)
111 (fc/16)	000 (fperiph/1)	$f_c/2^5$ (0.8 μs)	$f_c/2^7$ (3.2 μs)	$f_c/2^9$ (12.8 μs)	$f_c/2^{11}$ (51.2 μs)	
	001 (fperiph/2)	$f_c/2^6$ (1.6 μs)	$f_c/2^8$ (6.4 μs)	$f_c/2^{10}$ (25.6 μs)	$f_c/2^{12}$ (102.4 μs)	
	010 (fperiph/4)	$f_c/2^7$ (3.2 μs)	$f_c/2^9$ (12.8 μs)	$f_c/2^{11}$ (51.2 μs)	$f_c/2^{13}$ (204.8 μs)	
	011 (fperiph/8)	$f_c/2^8$ (6.4 μs)	$f_c/2^{10}$ (25.6 μs)	$f_c/2^{12}$ (102.4 μs)	$f_c/2^{14}$ (409.6 μs)	
	100 (fperiph/16)	$f_c/2^9$ (12.8 μs)	$f_c/2^{11}$ (51.2 μs)	$f_c/2^{13}$ (204.8 μs)	$f_c/2^{15}$ (819.2 μs)	
	101 (fperiph/32)	$f_c/2^{10}$ (25.6 μs)	$f_c/2^{12}$ (102.4 μs)	$f_c/2^{14}$ (409.6 μs)	$f_c/2^{16}$ (1638.4 μs)	

表 15-4 ポーレートジェネレータへの入力クロック分解能 $f_c = 40 \text{ MHz}$

ペリフェラル クロック選択 CGSYSCR <FPSEL>	クロック ギア値 CGSYSCR <GEAR[2:0]>	プリスケアラ クロック選択 CGSYSCR <PRCK[2:0]>	プリスケアラ出力クロック 分解能			
			$\phi T1$	$\phi T4$	$\phi T16$	$\phi T64$
1 (fc)	000 (fc)	000 (fperiph/1)	$f_c/2^1$ (0.05 μs)	$f_c/2^3$ (0.2 μs)	$f_c/2^5$ (0.8 μs)	$f_c/2^7$ (3.2 μs)
		001 (fperiph/2)	$f_c/2^2$ (0.1 μs)	$f_c/2^4$ (0.4 μs)	$f_c/2^6$ (1.6 μs)	$f_c/2^8$ (6.4 μs)
		010 (fperiph/4)	$f_c/2^3$ (0.2 μs)	$f_c/2^5$ (0.8 μs)	$f_c/2^7$ (3.2 μs)	$f_c/2^9$ (12.8 μs)
		011 (fperiph/8)	$f_c/2^4$ (0.4 μs)	$f_c/2^6$ (1.6 μs)	$f_c/2^8$ (6.4 μs)	$f_c/2^{10}$ (25.6 μs)
		100 (fperiph/16)	$f_c/2^5$ (0.8 μs)	$f_c/2^7$ (3.2 μs)	$f_c/2^9$ (12.8 μs)	$f_c/2^{11}$ (51.2 μs)
		101 (fperiph/32)	$f_c/2^6$ (1.6 μs)	$f_c/2^8$ (6.4 μs)	$f_c/2^{10}$ (25.6 μs)	$f_c/2^{12}$ (102.4 μs)
	100 (fc/2)	000 (fperiph/1)	–	$f_c/2^3$ (0.2 μs)	$f_c/2^5$ (0.8 μs)	$f_c/2^7$ (3.2 μs)
		001 (fperiph/2)	$f_c/2^2$ (0.1 μs)	$f_c/2^4$ (0.4 μs)	$f_c/2^6$ (1.6 μs)	$f_c/2^8$ (6.4 μs)
		010 (fperiph/4)	$f_c/2^3$ (0.2 μs)	$f_c/2^5$ (0.8 μs)	$f_c/2^7$ (3.2 μs)	$f_c/2^9$ (12.8 μs)
		011 (fperiph/8)	$f_c/2^4$ (0.4 μs)	$f_c/2^6$ (1.6 μs)	$f_c/2^8$ (6.4 μs)	$f_c/2^{10}$ (25.6 μs)
		100 (fperiph/16)	$f_c/2^5$ (0.8 μs)	$f_c/2^7$ (3.2 μs)	$f_c/2^9$ (12.8 μs)	$f_c/2^{11}$ (51.2 μs)
		101 (fperiph/32)	$f_c/2^6$ (1.6 μs)	$f_c/2^8$ (6.4 μs)	$f_c/2^{10}$ (25.6 μs)	$f_c/2^{12}$ (102.4 μs)
	101 (fc/4)	000 (fperiph/1)	–	$f_c/2^3$ (0.2 μs)	$f_c/2^5$ (0.8 μs)	$f_c/2^7$ (3.2 μs)
		001 (fperiph/2)	–	$f_c/2^4$ (0.4 μs)	$f_c/2^6$ (1.6 μs)	$f_c/2^8$ (6.4 μs)
		010 (fperiph/4)	$f_c/2^3$ (0.2 μs)	$f_c/2^5$ (0.8 μs)	$f_c/2^7$ (3.2 μs)	$f_c/2^9$ (12.8 μs)
		011 (fperiph/8)	$f_c/2^4$ (0.4 μs)	$f_c/2^6$ (1.6 μs)	$f_c/2^8$ (6.4 μs)	$f_c/2^{10}$ (25.6 μs)
		100 (fperiph/16)	$f_c/2^5$ (0.8 μs)	$f_c/2^7$ (3.2 μs)	$f_c/2^9$ (12.8 μs)	$f_c/2^{11}$ (51.2 μs)
		101 (fperiph/32)	$f_c/2^6$ (1.6 μs)	$f_c/2^8$ (6.4 μs)	$f_c/2^{10}$ (25.6 μs)	$f_c/2^{12}$ (102.4 μs)
	110 (fc/8)	000 (fperiph/1)	–	–	$f_c/2^5$ (0.8 μs)	$f_c/2^7$ (3.2 μs)
		001 (fperiph/2)	–	$f_c/2^4$ (0.4 μs)	$f_c/2^6$ (1.6 μs)	$f_c/2^8$ (6.4 μs)
		010 (fperiph/4)	–	$f_c/2^5$ (0.8 μs)	$f_c/2^7$ (3.2 μs)	$f_c/2^9$ (12.8 μs)
		011 (fperiph/8)	$f_c/2^4$ (0.4 μs)	$f_c/2^6$ (1.6 μs)	$f_c/2^8$ (6.4 μs)	$f_c/2^{10}$ (25.6 μs)
		100 (fperiph/16)	$f_c/2^5$ (0.8 μs)	$f_c/2^7$ (3.2 μs)	$f_c/2^9$ (12.8 μs)	$f_c/2^{11}$ (51.2 μs)
		101 (fperiph/32)	$f_c/2^6$ (1.6 μs)	$f_c/2^8$ (6.4 μs)	$f_c/2^{10}$ (25.6 μs)	$f_c/2^{12}$ (102.4 μs)
111 (fc/16)	000 (fperiph/1)	–	–	$f_c/2^5$ (0.8 μs)	$f_c/2^7$ (3.2 μs)	
	001 (fperiph/2)	–	–	$f_c/2^6$ (1.6 μs)	$f_c/2^8$ (6.4 μs)	
	010 (fperiph/4)	–	$f_c/2^5$ (0.8 μs)	$f_c/2^7$ (3.2 μs)	$f_c/2^9$ (12.8 μs)	
	011 (fperiph/8)	$f_c/2^4$ (0.4 μs)	$f_c/2^6$ (1.6 μs)	$f_c/2^8$ (6.4 μs)	$f_c/2^{10}$ (25.6 μs)	
	100 (fperiph/16)	$f_c/2^5$ (0.8 μs)	$f_c/2^7$ (3.2 μs)	$f_c/2^9$ (12.8 μs)	$f_c/2^{11}$ (51.2 μs)	
	101 (fperiph/32)	$f_c/2^6$ (1.6 μs)	$f_c/2^8$ (6.4 μs)	$f_c/2^{10}$ (25.6 μs)	$f_c/2^{12}$ (102.4 μs)	

注 1) プリスケアラ出力クロック ϕT_n は、必ず $\phi T_n \leq f_{\text{sys}}/2$ を満足するように (ϕT_n が f_{sys} よりも遅くなるように) 選択してください。

注 2) SIO 動作中はクロックギアの切り替えは行わないでください。

注 3) 表中 "–" は設定禁止、"*" は Don't Care です。

表 15-5 ボーレートジェネレータへの入力クロック分解能 $f_c = 32 \text{ MHz}$

ペリフェラル クロック選択 CGSYSCR <FPSEL>	クロック ギア値 CGSYSCR <GEAR[2:0]>	プリスケアラ クロック選択 CGSYSCR <PRCK[2:0]>	プリスケアラ出力クロック 分解能			
			$\phi T1$	$\phi T4$	$\phi T16$	$\phi T64$
0 (fgear)	000 (fc)	000 (fperiph/1)	$f_c/2^1$ (0.0625 μs)	$f_c/2^3$ (0.25 μs)	$f_c/2^5$ (1.0 μs)	$f_c/2^7$ (4.0 μs)
		001 (fperiph/2)	$f_c/2^2$ (0.125 μs)	$f_c/2^4$ (0.5 μs)	$f_c/2^6$ (2.0 μs)	$f_c/2^8$ (8.0 μs)
		010 (fperiph/4)	$f_c/2^3$ (0.25 μs)	$f_c/2^5$ (1.0 μs)	$f_c/2^7$ (4.0 μs)	$f_c/2^9$ (16.0 μs)
		011 (fperiph/8)	$f_c/2^4$ (0.5 μs)	$f_c/2^6$ (2.0 μs)	$f_c/2^8$ (8.0 μs)	$f_c/2^{10}$ (32.0 μs)
		100 (fperiph/16)	$f_c/2^5$ (1.0 μs)	$f_c/2^7$ (4.0 μs)	$f_c/2^9$ (16.0 μs)	$f_c/2^{11}$ (64.0 μs)
		101 (fperiph/32)	$f_c/2^6$ (2.0 μs)	$f_c/2^8$ (8.0 μs)	$f_c/2^{10}$ (32.0 μs)	$f_c/2^{12}$ (128.0 μs)
	100 (fc/2)	000 (fperiph/1)	$f_c/2^2$ (0.125 μs)	$f_c/2^4$ (0.5 μs)	$f_c/2^6$ (2.0 μs)	$f_c/2^8$ (8.0 μs)
		001 (fperiph/2)	$f_c/2^3$ (0.25 μs)	$f_c/2^5$ (1.0 μs)	$f_c/2^7$ (4.0 μs)	$f_c/2^9$ (16.0 μs)
		010 (fperiph/4)	$f_c/2^4$ (0.5 μs)	$f_c/2^6$ (2.0 μs)	$f_c/2^8$ (8.0 μs)	$f_c/2^{10}$ (32.0 μs)
		011 (fperiph/8)	$f_c/2^5$ (1.0 μs)	$f_c/2^7$ (4.0 μs)	$f_c/2^9$ (16.0 μs)	$f_c/2^{11}$ (64.0 μs)
		100 (fperiph/16)	$f_c/2^6$ (2.0 μs)	$f_c/2^8$ (8.0 μs)	$f_c/2^{10}$ (32.0 μs)	$f_c/2^{12}$ (128.0 μs)
		101 (fperiph/32)	$f_c/2^7$ (4.0 μs)	$f_c/2^9$ (16.0 μs)	$f_c/2^{11}$ (64.0 μs)	$f_c/2^{13}$ (256.0 μs)
	101 (fc/4)	000 (fperiph/1)	$f_c/2^3$ (0.25 μs)	$f_c/2^5$ (1.0 μs)	$f_c/2^7$ (4.0 μs)	$f_c/2^9$ (16.0 μs)
		001 (fperiph/2)	$f_c/2^4$ (0.5 μs)	$f_c/2^6$ (2.0 μs)	$f_c/2^8$ (8.0 μs)	$f_c/2^{10}$ (32.0 μs)
		010 (fperiph/4)	$f_c/2^5$ (1.0 μs)	$f_c/2^7$ (4.0 μs)	$f_c/2^9$ (16.0 μs)	$f_c/2^{11}$ (64.0 μs)
		011 (fperiph/8)	$f_c/2^6$ (2.0 μs)	$f_c/2^8$ (8.0 μs)	$f_c/2^{10}$ (32.0 μs)	$f_c/2^{12}$ (128.0 μs)
		100 (fperiph/16)	$f_c/2^7$ (4.0 μs)	$f_c/2^9$ (16.0 μs)	$f_c/2^{11}$ (64.0 μs)	$f_c/2^{13}$ (256.0 μs)
		101 (fperiph/32)	$f_c/2^8$ (8.0 μs)	$f_c/2^{10}$ (32.0 μs)	$f_c/2^{12}$ (128.0 μs)	$f_c/2^{14}$ (512.0 μs)
	110 (fc/8)	000 (fperiph/1)	$f_c/2^4$ (0.5 μs)	$f_c/2^6$ (2.0 μs)	$f_c/2^8$ (8.0 μs)	$f_c/2^{10}$ (32.0 μs)
		001 (fperiph/2)	$f_c/2^5$ (1.0 μs)	$f_c/2^7$ (4.0 μs)	$f_c/2^9$ (16.0 μs)	$f_c/2^{11}$ (64.0 μs)
		010 (fperiph/4)	$f_c/2^6$ (2.0 μs)	$f_c/2^8$ (8.0 μs)	$f_c/2^{10}$ (32.0 μs)	$f_c/2^{12}$ (128.0 μs)
		011 (fperiph/8)	$f_c/2^7$ (4.0 μs)	$f_c/2^9$ (16.0 μs)	$f_c/2^{11}$ (64.0 μs)	$f_c/2^{13}$ (256.0 μs)
		100 (fperiph/16)	$f_c/2^8$ (8.0 μs)	$f_c/2^{10}$ (32.0 μs)	$f_c/2^{12}$ (128.0 μs)	$f_c/2^{14}$ (512.0 μs)
		101 (fperiph/32)	$f_c/2^9$ (16.0 μs)	$f_c/2^{11}$ (64.0 μs)	$f_c/2^{13}$ (256.0 μs)	$f_c/2^{15}$ (1024 μs)
111 (fc/16)	000 (fperiph/1)	$f_c/2^5$ (1.0 μs)	$f_c/2^7$ (4.0 μs)	$f_c/2^9$ (16.0 μs)	$f_c/2^{11}$ (64.0 μs)	
	001 (fperiph/2)	$f_c/2^6$ (2.0 μs)	$f_c/2^8$ (8.0 μs)	$f_c/2^{10}$ (32.0 μs)	$f_c/2^{12}$ (128.0 μs)	
	010 (fperiph/4)	$f_c/2^7$ (4.0 μs)	$f_c/2^9$ (16.0 μs)	$f_c/2^{11}$ (64.0 μs)	$f_c/2^{13}$ (256.0 μs)	
	011 (fperiph/8)	$f_c/2^8$ (8.0 μs)	$f_c/2^{10}$ (32.0 μs)	$f_c/2^{12}$ (128.0 μs)	$f_c/2^{14}$ (512.0 μs)	
	100 (fperiph/16)	$f_c/2^9$ (16.0 μs)	$f_c/2^{11}$ (64.0 μs)	$f_c/2^{13}$ (256.0 μs)	$f_c/2^{15}$ (1024 μs)	
	101 (fperiph/32)	$f_c/2^{10}$ (32.0 μs)	$f_c/2^{12}$ (128.0 μs)	$f_c/2^{14}$ (512.0 μs)	$f_c/2^{16}$ (2048 μs)	

表 15-5 ポーレートジェネレータへの入力クロック分解能 $f_c = 32 \text{ MHz}$

ペリフェラル クロック選択 CGSYSCR <FPSEL>	クロック ギア値 CGSYSCR <GEAR[2:0]>	プリスケアラ クロック選択 CGSYSCR <PRCK[2:0]>	プリスケアラ出力クロック 分解能			
			$\phi T1$	$\phi T4$	$\phi T16$	$\phi T64$
1 (fc)	000 (fc)	000 (fperiph/1)	$f_c/2^1$ (0.0625 μs)	$f_c/2^3$ (0.25 μs)	$f_c/2^5$ (1.0 μs)	$f_c/2^7$ (4.0 μs)
		001 (fperiph/2)	$f_c/2^2$ (0.125 μs)	$f_c/2^4$ (0.5 μs)	$f_c/2^6$ (2.0 μs)	$f_c/2^8$ (8.0 μs)
		010 (fperiph/4)	$f_c/2^3$ (0.25 μs)	$f_c/2^5$ (1.0 μs)	$f_c/2^7$ (4.0 μs)	$f_c/2^9$ (16.0 μs)
		011 (fperiph/8)	$f_c/2^4$ (0.5 μs)	$f_c/2^6$ (2.0 μs)	$f_c/2^8$ (8.0 μs)	$f_c/2^{10}$ (32.0 μs)
		100 (fperiph/16)	$f_c/2^5$ (1.0 μs)	$f_c/2^7$ (4.0 μs)	$f_c/2^9$ (16.0 μs)	$f_c/2^{11}$ (64.0 μs)
		101 (fperiph/32)	$f_c/2^6$ (2.0 μs)	$f_c/2^8$ (8.0 μs)	$f_c/2^{10}$ (32.0 μs)	$f_c/2^{12}$ (128.0 μs)
	100 (fc/2)	000 (fperiph/1)	–	$f_c/2^3$ (0.25 μs)	$f_c/2^5$ (1.0 μs)	$f_c/2^7$ (4.0 μs)
		001 (fperiph/2)	$f_c/2^2$ (0.125 μs)	$f_c/2^4$ (0.5 μs)	$f_c/2^6$ (2.0 μs)	$f_c/2^8$ (8.0 μs)
		010 (fperiph/4)	$f_c/2^3$ (0.25 μs)	$f_c/2^5$ (1.0 μs)	$f_c/2^7$ (4.0 μs)	$f_c/2^9$ (16.0 μs)
		011 (fperiph/8)	$f_c/2^4$ (0.5 μs)	$f_c/2^6$ (2.0 μs)	$f_c/2^8$ (8.0 μs)	$f_c/2^{10}$ (32.0 μs)
		100 (fperiph/16)	$f_c/2^5$ (1.0 μs)	$f_c/2^7$ (4.0 μs)	$f_c/2^9$ (16.0 μs)	$f_c/2^{11}$ (64.0 μs)
		101 (fperiph/32)	$f_c/2^6$ (2.0 μs)	$f_c/2^8$ (8.0 μs)	$f_c/2^{10}$ (32.0 μs)	$f_c/2^{12}$ (128.0 μs)
	101 (fc/4)	000 (fperiph/1)	–	$f_c/2^3$ (0.25 μs)	$f_c/2^5$ (1.0 μs)	$f_c/2^7$ (4.0 μs)
		001 (fperiph/2)	–	$f_c/2^4$ (0.5 μs)	$f_c/2^6$ (2.0 μs)	$f_c/2^8$ (8.0 μs)
		010 (fperiph/4)	$f_c/2^3$ (0.25 μs)	$f_c/2^5$ (1.0 μs)	$f_c/2^7$ (4.0 μs)	$f_c/2^9$ (16.0 μs)
		011 (fperiph/8)	$f_c/2^4$ (0.5 μs)	$f_c/2^6$ (2.0 μs)	$f_c/2^8$ (8.0 μs)	$f_c/2^{10}$ (32.0 μs)
		100 (fperiph/16)	$f_c/2^5$ (1.0 μs)	$f_c/2^7$ (4.0 μs)	$f_c/2^9$ (16.0 μs)	$f_c/2^{11}$ (64.0 μs)
		101 (fperiph/32)	$f_c/2^6$ (2.0 μs)	$f_c/2^8$ (8.0 μs)	$f_c/2^{10}$ (32.0 μs)	$f_c/2^{12}$ (128.0 μs)
	110 (fc/8)	000 (fperiph/1)	–	–	$f_c/2^5$ (1.0 μs)	$f_c/2^7$ (4.0 μs)
		001 (fperiph/2)	–	$f_c/2^4$ (0.5 μs)	$f_c/2^6$ (2.0 μs)	$f_c/2^8$ (8.0 μs)
		010 (fperiph/4)	–	$f_c/2^5$ (1.0 μs)	$f_c/2^7$ (4.0 μs)	$f_c/2^9$ (16.0 μs)
		011 (fperiph/8)	$f_c/2^4$ (0.5 μs)	$f_c/2^6$ (2.0 μs)	$f_c/2^8$ (8.0 μs)	$f_c/2^{10}$ (32.0 μs)
		100 (fperiph/16)	$f_c/2^5$ (1.0 μs)	$f_c/2^7$ (4.0 μs)	$f_c/2^9$ (16.0 μs)	$f_c/2^{11}$ (64.0 μs)
		101 (fperiph/32)	$f_c/2^6$ (2.0 μs)	$f_c/2^8$ (8.0 μs)	$f_c/2^{10}$ (32.0 μs)	$f_c/2^{12}$ (128.0 μs)
111 (fc/16)	000 (fperiph/1)	–	–	$f_c/2^{11}$ (64.0 μs)	$f_c/2^7$ (4.0 μs)	
	001 (fperiph/2)	–	–	$f_c/2^6$ (2.0 μs)	$f_c/2^8$ (8.0 μs)	
	010 (fperiph/4)	–	$f_c/2^5$ (1.0 μs)	$f_c/2^7$ (4.0 μs)	$f_c/2^9$ (16.0 μs)	
	011 (fperiph/8)	$f_c/2^4$ (0.5 μs)	$f_c/2^6$ (2.0 μs)	$f_c/2^8$ (8.0 μs)	$f_c/2^{10}$ (32.0 μs)	
	100 (fperiph/16)	$f_c/2^5$ (1.0 μs)	$f_c/2^7$ (4.0 μs)	$f_c/2^9$ (16.0 μs)	$f_c/2^{11}$ (64.0 μs)	
	101 (fperiph/32)	$f_c/2^6$ (2.0 μs)	$f_c/2^8$ (8.0 μs)	$f_c/2^{10}$ (32.0 μs)	$f_c/2^{12}$ (128.0 μs)	

注 1) プリスケアラ出力クロック ϕT_n は、必ず $\phi T_n \leq f_{\text{sys}}/2$ を満足するように (ϕT_n が f_{sys} よりも遅くなるように) 選択してください。

注 2) SIO 動作中はクロックギアの切り替えは行わないでください。

注 3) 表中 "–" は設定禁止、"*" は Don't Care です。

15.7.2 シリアルクロック生成回路

送受信クロック (SIOCLK) を生成するブロックで、ポーレートジェネレータとモードによりクロックを選択する回路で構成されています。

15.7.2.1 ポーレートジェネレータ

ポーレートジェネレータは、シリアルチャネルの転送速度を定める送受信クロックを生成するための回路です。

(1) ポーレートジェネレータ入力クロック

ポーレートジェネレータの入力クロックは、プリスケラ出力の 2 / 8 / 32 / 128 分周から選択します。入力クロックの選択は SCxBRCR<BRCK> で行います。

(2) ポーレートジェネレータ出力クロック

ポーレートジェネレータの出力クロック分周値は、SCxBRCR、SCxBRADD で設定します。

IO インタフェースモードでは N 分周、UART モードでは N 分周または $N + (16-K)/16$ 分周が使用できます。

以下に設定可能な分周値をまとめます。

モード	分周機能設定 SCxBRCR<BRADDE>	N 分周値 SCxBRCR<BRS>	K 値 SCxBRADD<BRK>
IO インタフェース	N 分周	1 ~ 16 (注)	-
UART	N 分周	1 ~ 16	-
	$N + (16-K)/16$ 分周	2 ~ 15	1 ~ 15

注) 1 分周は、ダブルバッファ許可時のみ使用できます。

15.7.2.2 クロック選択回路

モードとレジスタ設定により、クロックが選択されます。

モードは SCxMOD0<SM> で指定します。

IO インタフェースモード時のクロックは、SCxCR で設定します。

UART モード時のクロックは、SCxMOD0<SC> で設定します。

(1) IO インタフェースモードの転送クロック

表 15-6 に IO インタフェースモードで可能なクロックを示します。

表 15-6 IO インタフェースモードのクロック選択

モード SCxMOD0<SM>	入出力選択 SCxCR<IOC>	クロックエッジ選択 SCxCR<SCLKS>	使用クロック
IO インタフェース モード	SCLK 出力	"0" で使用 (立ち上がり固定)	ポーレートジェネレータ出力の 2分周
	SCLK 入力	立ち上がり	SCLK 入力立ち上がりエッジ
		立下り	SCLK 入力立ち下がりエッジ

ポーレートジェネレータを使用する場合、以下の設定が最高ポーレートとなります。

注) AC 電気的特性を満足することを確認のうえ、クロック設定を決定してください。

- クロック / モード制御部の設定

- $f_c = 40\text{MHz}$
- $f_{\text{gear}} = 40\text{MHz}$ (CGSYSCR<GEAR[2:0]> = "000" : f_c 選択)
- $\Phi T0 = 40\text{MHz}$ (CGSYSCR<PRCK[2:0]> = "000" : 1 分周)

- SIO の設定 (ダブルバッファ使用の場合)

- クロック選択 (SCxBRCR<BRCK[1:0]> = "00" : $\Phi T1$ 選択) = 20MHz
- 分周値 (SCxBRCR<BRS[3:0]> = "0001" : 1 分周) = 20MHz

ダブルバッファ使用の場合、1 分周が選択できます。ポーレートは 20MHz が 2 分周され、10Mbps となります。

- SIO の設定 (ダブルバッファ未使用の場合)

- クロック選択 (SCxBRCR<BRCK[1:0]> = "00" : $\Phi T1$ 選択) = 20MHz
- 分周値 (SCxBRCR<BRS[3:0]> = "0010" : 2 分周) = 10MHz

ダブルバッファ未使用の場合は、2 分周が最速になります。ポーレートは 10MHz が 2 分周され、5Mbps となります。

SCLK 入力を使用する場合、以下の条件を満足する必要があります。

- ダブルバッファ使用の場合

- SCLK 周期 $> 6/f_{\text{sys}}$
- 最高ポーレートは、 $40 \div 6 = 6.6 \text{ Mbps}$ 未満となります。

- ダブルバッファ未使用の場合

- SCLK 周期 $> 8/f_{\text{sys}}$
- 最高ポーレートは、 $40 \div 8 = 5 \text{ Mbps}$ 未満となります。

(2) UART モードの転送クロック

表 15-7 に UART モードの場合のクロック選択を示します。UART モードでは、選択されたクロックを受信 / 送信カウンタでさらに 16 分周して使用します。

表 15-7 UART モードのクロック選択

モード SCxMOD0<SM>	クロック選択 SCxMOD0<SC>
UART モード	タイマ出力
	ボーレートジェネレータ
	f _{sys}
	SCLK 入力

それぞれのクロックでのボーレート例を示します。

• ボーレートジェネレータを使用する場合

- f_c = 40MHz
- f_{gear} = 40MHz (CGSYSCR<GEAR[2:0]> = "000" : f_c 選択)
- ΦT0 = 40MHz (CGSYSCR<PRCK[2:0]> = "000" : 1 分周)
- クロック選択 = ΦT1 = 20MHz (SCxBRCR<BRCK[1:0]> = "00" : ΦT1 選択)

最高ボーレートは 20MHz が 16 分周され、1.25Mbps となります。

表 15-8 に以下のクロック設定でボーレートジェネレータを使用する場合のボーレート例を示します。

- f_c = 9.8304MHz
- f_{gear} = 9.8304MHz (CGSYSCR<GEAR[2:0]> = "000" : f_c 選択)
- ΦT0 = 4.9152MHz (CGSYSCR<PRCK[2:0]> = "001" : 2 分周)

表 15-8 UART モードのボーレート例 (ボーレートジェネレータ使用)

f _c [MHz]	分周値 N (SCxBRCR<BRS[3:0]>)	φT1 (f _c /4)	φT4 (f _c /16)	φT16 (f _c /64)	φT64 (f _c /256)
9.830400	2	76.800	19.200	4.800	1.200
	4	38.400	9.600	2.400	0.600
	8	19.200	4.800	1.200	0.300
	16	9.600	2.400	0.600	0.150

単位 : kbps

• SCLK 入力を使用する場合

SCLK 入力を使用する場合、以下の条件を満足する必要があります。

- SCLK 周期 > 2/f_{sys}

最高ボーレートは、40 ÷ 2 ÷ 16 = 1.25 Mbps 未満にする必要があります。

• fsys を使用する場合

fsys の最高が 40MHz ですので、最高ボーレートは、 $40 \div 16 = 2.5\text{Mbps}$ となります。

• タイマ出力を使用する場合

タイマの出力を使用する場合、カウンタとTBxRG0の一致でタイマフリップフロップ出力を反転させる設定とします。SIOCLK クロック周期は「TBxRG0 設定値 × 2」 となります。

ボーレートは以下の計算式で求められます。

ボーレートの算出方法

$$\text{転送レート} = \frac{\text{CGSYSCR}\langle\text{PRCK}[1:0]\rangle\text{で選択されたクロック周波数}}{(\text{TBxRG} \times 2) \times 2 \times 16}$$

↑ (タイマプリスケアラクロックφT1 (2分周) を選択した場合)
↑ (タイマフリップフロップ反転2回で1クロック周期となる)

表 15-9 に以下のクロック設定でタイマ出力を使用する場合のボーレート例を示します。

- fc = 32MHz / 9.8304MHz / 8MHz
- fgear = 32MHz / 9.8304MHz / 8MHz (CGSYSCR<GEAR[2:0]> = "000" : fc 選択)
- φT0 = 16MHz / 4.9152MHz / 4MHz (CGSYSCR<PRCK[2:0]> = "001" : 2 分周)
- タイマカウントクロック
= 4MHz / 1.2287MHz / 1MHz (TBxMOD<TBCLK[1:0]> = "01" : φT1 選択)

表 15-9 UART モードのボーレート例 (タイマ出力使用)

TBxRG 設定	fc		
	32MHz	9.8304MHz	8MHz
0x0001	250	76.8	62.5
0x0002	125	38.4	31.25
0x0003	-	25.6	-
0x0004	62.5	19.2	15.625
0x0005	50	15.36	12.5
0x0006	-	12.8	-
0x0008	31.25	9.6	-
0x000A	25	7.68	6.25
0x0010	15.625	4.8	-
0x0014	12.5	3.84	3.125

単位 : kbps

15.8 送信 / 受信バッファと FIFO

15.8.1 構成

送信 / 受信バッファと FIFO の構成を図 15-3 に示します。

バッファと FIFO を使用するには設定が必要です。また、モードによっては構成が決まっている場合があります。

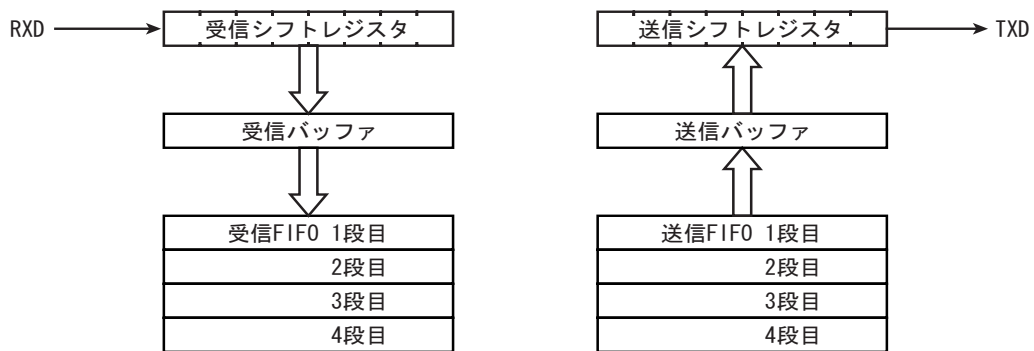


図 15-3 バッファと FIFO の構成

15.8.2 送信 / 受信バッファ

送信および受信バッファはダブルバッファ構造となっています。バッファ構成の設定は、SCxMOD2<WBUF>で行います。

受信の場合、IO インタフェースモードで SCLK 入力の場合と、UART モードでは <WBUF> の設定によらずダブルバッファ構成になります。その他のモードでは <WBUF> の設定に従います。

表 15-10 にモードとバッファ構成の関係をまとめます。

表 15-10 モードとバッファ構成

モード		SCxMOD2<WBUF>	
		"0"	"1"
UART	送信	シングル	ダブル
	受信	ダブル	ダブル
IO インタフェース (SCLK 入力)	送信	シングル	ダブル
	受信	ダブル	ダブル
IO インタフェース (SCLK 出力)	送信	シングル	ダブル
	受信	シングル	ダブル

15.8.3 FIFO

ダブルバッファに加えて、4byte の FIFO を使用することができます。

FIFO を有効にするには SCxMOD2<WBUF> を "1" としてダブルバッファをイネーブルにし、SCxFCNF<CNFG> に "1" をセットします。FIFO バッファの構成は SCxMOD1<FDPX> で設定します。

注) 送信 / 受信 FIFO 使用時は、SIO の転送モード設定 (半二重 / 全二重)、FIFO 許可 (SCxFCNF<CNFG>="1") の後、必ず送信 / 受信 FIFO のクリアを実行して下さい。

表 15-11 にモードと FIFO 構成の関係をまとめます。

表 15-11 モードと FIFO 構成

	SCxMOD1<FDPX[1:0]>	受信 FIFO	送信 FIFO
半二重受信	"01"	4byte	-
半二重送信	"10"	-	4byte
全二重	"11"	2byte	2byte

15.9 ステータスフラグ

SCxMOD2 レジスタに 2 種類のステータスフラグが準備されています。これらのフラグはダブルバッファ許可設定時のみ意味を持ちます。

<RBFLL> は、受信バッファ full を示すフラグです。1 データの受信が終了し、データが受信シフトレジスタから受信バッファに移されると "1" にセットされます。受信バッファを読み出すと "0" にクリアされます。

<TBEMP> は、送信バッファ empty を示すフラグです。送信バッファから送信シフトレジスタへデータが移されると、"1" がセットされます。送信バッファにデータをセットすると "0" にクリアされます。

15.10 エラーフラグ

SCxCR レジスタに 3 種類のエラーフラグが準備されています。フラグによってはモードにより意味が変わります。以下にモードごとのフラグの意味をまとめます。

これらのフラグは、SCxCR レジスタを読み出すと "0" にクリアされます。

モード	フラグ		
	<OERR>	<PERR>	<FERR>
UART	オーバランエラー	パリティエラー	フレーミングエラー
IO インタフェース (SCLK 入力)	オーバランエラー	アンダーランエラー (ダブルバッファ または FIFO 使用時)	"0" 固定
		"0" 固定 (ダブルバッファ および FIFO 未使用時)	
IO インタフェース (SCLK 出力)	不定	不定	"0" 固定

15.10.1 OERR フラグ

UART モード、IO インタフェースモード共に、受信バッファのデータを読み出す前に次のフレームの受信が終了すると "1" にセットされます。受信 FIFO を有効にしている場合は、受信 FIFO ヘッダが自動的に移されるので、受信 FIFO が full (使用バイト数) になるまではフラグはセットされません。

IO インタフェースモードの SCLK 出力の設定では、フラグのセットとともに SCLK 出力が停止します。

注) IO インタフェース SCLK 出力モードから他のモードへ切り替える際には、SCxCR レジスタを読み出し、オーバーランフラグをクリアしてください。

15.10.2 PERR フラグ

UART モードではパリティエラーを、IO インタフェースモードではアンダーランエラーまたは送信終了を示します。

パリティエラーは UART モードで受信したデータから生成されたパリティと受信したパリティが異なる場合に "1" にセットされます。

アンダーランエラーは、IO インタフェースモードでダブルバッファが有効な場合に以下の条件で "1" にセットされます。

SCLK 入力の場合、送信シフトレジスタのデータを送信終了後、送信バッファにデータがない状態で次の転送クロックが入力されるとセットされます。

SCLK 出力の場合、すべてのデータ送信が終了するとセットされクロック出力を停止します。

注) IO インタフェース SCLK 出力モードから他のモードへ切り替える際には、SCxCR レジスタを読み出し、アンダーランフラグをクリアしてください。

15.10.3 FERR フラグ

フレーミングエラーは UART モードの受信データのストップビットを中央付近でサンプリングし、結果が "0" の場合に発生します。SCxMOD2<SBLLEN> でのストップビット長設定に関わらず、判定は第 1 ストップビットで行われます。

IO インタフェースモードではこのビットは "0" 固定です。

15.11 受信

15.11.1 受信カウンタ

受信カウンタは4ビットのバイナリカウンタで、SIOCLKでカウントアップされます。

UARTモードでは、データ1ビットの受信にSIOCLKが16クロック用いられ、7、8、9発目でデータをサンプリングします。3度のデータサンプリングによる多数決論理により受信データを判断しています。

15.11.2 受信制御部

15.11.2.1 IO インタフェースモードの場合

SCxCR<IOC>="0"のSCLK出力モードのときは、SCLK端子へ出力されるシフトクロックの立ち上がりでRXD端子をサンプリングします。

SCxCR<IOC>="1"のSCLK入力モードのときは、SCxCR<SCLKS>の設定に従って、SCLK入力の立ち上がり/立ち下がりエッジでシリアル受信データRXD端子をサンプリングします。

15.11.2.2 UART モードの場合

受信制御部はスタートビット検出回路を持ち、正常なスタートビットを判断して受信動作を開始します。

15.11.3 受信動作

15.11.3.1 受信バッファの動作

受信シフトレジスタに受信データが1ビットずつ格納され、データがそろろうと割り込みINTRXxが発生します

ダブルバッファ設定の場合は、データは受信バッファ(SCxBUF)へ移され受信バッファのfullフラグ(SCxMOD2<RBFL>)が"1"にセットされます。受信バッファfullフラグは、受信バッファを読み出すと"0"にクリアされます。シングルバッファの場合、受信バッファfullフラグは意味を持ちません。

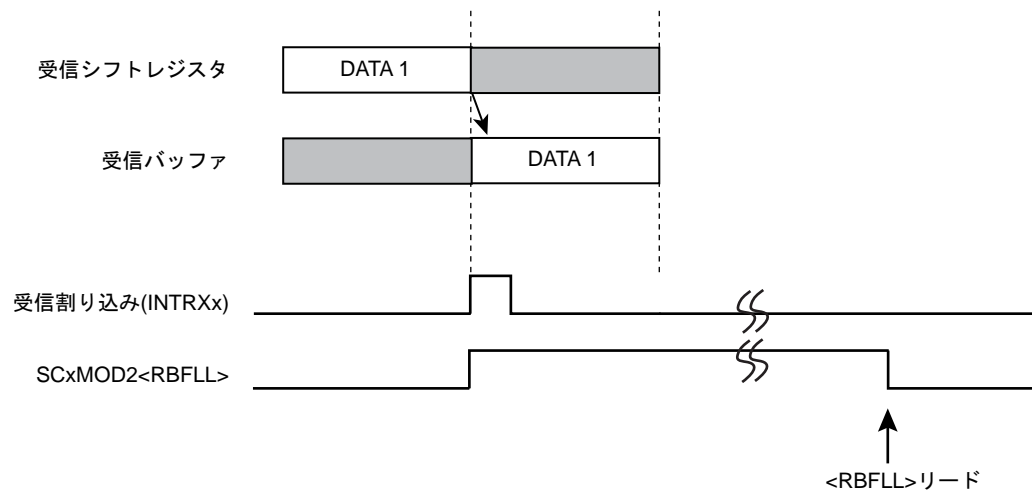


図 15-4 受信バッファの動作

15.11.3.2 受信 FIFO の動作

FIFO が許可されている場合、受信データは受信バッファから受信 FIFO に移され、受信バッファ full フラグはただちにクリアされます。割り込みは SCxRFC<RIL[1:0]> の設定に従って発生します。

注) UART モードで、FIFO 使用時にパリティビット付きのデータ受信する場合、パリティエラーは受信し
たいずれかのデータで発生したことを示します。

以下に、半二重受信の設定と動作を示します。

- SCxMOD1[6:5] = 01 : 転送モードを半二重受信に設定
- SCxFCNF[4:0] = 10111 : fill レベル到達後の継続受信自動禁止
受信 FIFO の使用バイト数は割り込み発生 fill レベルと同じ
- SCxRFC[1:0] = 00 : 受信割り込みが発生する FIFO の fill レベルを 4 バイトに設定
- SCxRFC[7:6] = 01 : 受信 FIFO のクリアと割り込み発生条件の設定

上記の FIFO 構成の設定後、SCxMOD0<RXE> に 1 を書き込むとデータ受信を開始します。受信シフトレジスタ、受信バッファ、受信 FIFO すべてにデータが格納されると <RXE> を自動クリアして受信を終了します。

上記の設定で、fill レベル到達後の継続受信を許可にしておくと、FIFO のデータを読み出すことにより継続して受信動作を行うことができます。

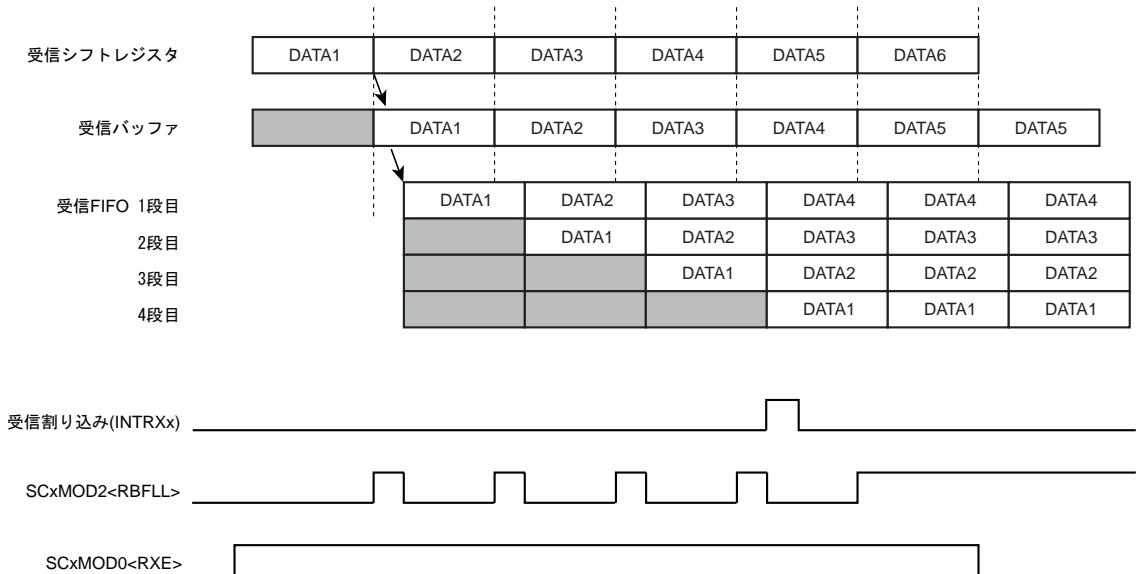


図 15-5 受信 FIFO の動作

15.11.3.3 IO インタフェースモード、SCLK 出力での受信

IO インタフェースモードで SCLK 出力設定の場合、使用可能な受信バッファ /FIFO にすべてデータが格納されると SCLK 出力が停止されます。このため、このモードではオーバランエラーフラグは意味を持ちません。

SCLK 出力の停止 / 再開のタイミングはバッファ /FIFO の使用状況によって変わります。

(1) シングルバッファの場合

1 データ受信後に SCLK 出力を停止します。このため、通信相手と 1 データごとのハンドシェイクが可能です。バッファからデータが読み出されると SCLK 出力を再開します。

(2) ダブルバッファの場合

受信シフトレジスタ、受信バッファともにデータが格納されると、SCLK 出力を停止します。1 データが読み出されると SCLK 出力を再開します。

(3) FIFO の場合

受信シフトレジスタ、受信バッファ、FIFO すべてにデータが格納されると SCLK 出力を停止します。1 データが読み出されると受信バッファから FIFO へ、受信シフトレジスタから受信バッファへデータが転送され、SCLK 出力を再開します。

また、SCxFCNF<RXTXCNT>がセットされていると、SCLK 停止とともに SCxMOD0<RXE> ビットがクリアされ受信動作を停止します。

15.11.3.4 受信データの読み出し

FIFO の有効 / 無効にかかわらず受信バッファ (SCxBUF) からデータを読み出します。

受信 FIFO が有効にされていない場合は、この読み出しにより受信バッファの full フラグ SCxMOD2<RBFL> は "0" にクリアされます。受信バッファを読み出す前でも、次の受信データは受信シフトレジスタに格納することができます。8 ビット UART モードでパリティ付加の場合と 9 ビット UART モードの場合、最上位ビットは SCxCR <RB8> に格納されます。

受信 FIFO が有効な場合、FIFO に格納できるデータは最大 8 ビットですので、9 ビット UART モードは使用できません。8 ビット UART モードでパリティ付加の場合、パリティビットは失われますがエラー判定は行われ、結果が SCxCR<PERR> に格納されます。

15.11.3.5 ウェイクアップ機能

9 ビット UART モードの場合、ウェイクアップ機能 SCxMOD0<WU> を "1" にすることによって、スレーブコントローラのウェイクアップ動作が可能です。SCxCR<RB8> = "1" のときのみ、割り込み INTRXx を発生させることができます。

15.11.3.6 オーバランエラー

受信 FIFO が有効にされていない場合は、受信シフトレジスタに次のデータが全ビット受信される前に受信バッファ (SCxBUF) を読み出さなければオーバランエラーとなります。オーバランエラーが発生した場合、受信バッファおよび SCxCR <RB8> の内容は保存されていますが、受信シフトレジスタの内容は失われます。

受信 FIFO が有効にされている場合は受信 FIFO が full になり、受信バッファに次のデータが移される前に受信 FIFO を読み出さないと、受信 FIFO のオーバランが発生してオーバランフラグがセットされます。この場合でも受信 FIFO のデータは保存されます。

IO インタフェースモードの SCLK 出力の設定では、クロック出力が自動的に停止するためこのフラグは意味を持ちません。

注) IO インタフェース SCLK 出力モードから他のモードへ切り替える際には、SCxCR レジスタを読み出し、オーバランフラグをクリアしてください。

15.12 送信

15.12.1 送信カウンタ

送信カウンタは 4 ビットのバイナリカウンタで、受信カウンタ同様 SIOCLK でカウントされます。

UART モードでは、16 クロックごとに送信クロック (TXDCLK) を生成します。

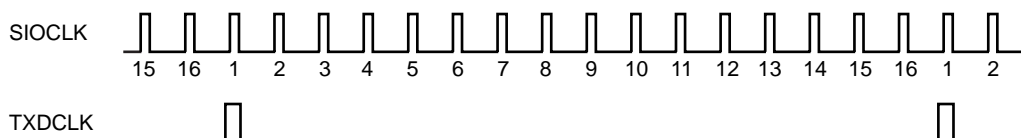


図 15-6 UART モード送信クロックの生成

15.12.2 送信制御部

15.12.2.1 IO インタフェースモードの場合

SCxCR<IOC> = "0" の SCLK 出力モードのときは、SCLK 端子より出力されるシフトクロックの立ち下がりで送信バッファのデータを 1 ビットずつ TXD 端子へ出力します。

SCxCR<IOC> = "1" の SCLK 入力モードのときは、SCxCR<SCLKS> の設定に従って SCLK 入力の立ち上がり / 立ち下がりエッジで送信バッファのデータを 1 ビットずつシリアル送信データ TXD 端子へ出力します。

15.12.2.2 UART モードの場合

送信バッファに送信データが書き込まれると、次の TXDCLK の立ち上がりエッジから送信を開始し、送信シフトクロックを生成します。

15.12.3 送信動作

15.12.3.1 送信バッファの動作

ダブルバッファ無効の場合、送信データの書き込みは送信シフトレジスタに対して行われ、送信が終了すると送信割り込み INTTX_x が発生します。

ダブルバッファ有効の場合（送信 FIFO が有効な場合も含む）、送信バッファへ書き込まれたデータは送信シフトレジスタに転送されます。同時に送信割り込み INTTX_x が発生し、送信バッファエンプティフラグ (SC_xMOD2<TBEMP>) がセットされ、次のデータが書き込み可能であることを示します。次のデータを送信バッファに書き込むと <TBEMP> は "0" にクリアされます。

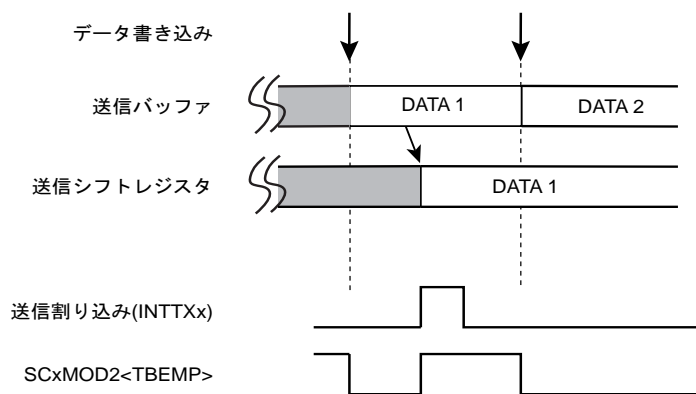


図 15-7 送信バッファの動作 (ダブルバッファ有効時)

15.12.3.2 送信 FIFO の動作

FIFO が許可されている場合、送信バッファと FIFO で最大 5 バイトのデータを格納することができます。送信を許可すると、送信バッファから送信シフトレジスタにデータが転送されて送信を開始するとともに、FIFO にデータが存在する場合はただちに送信バッファへ移され、<TBEMP> フラグは "0" にクリアされます。

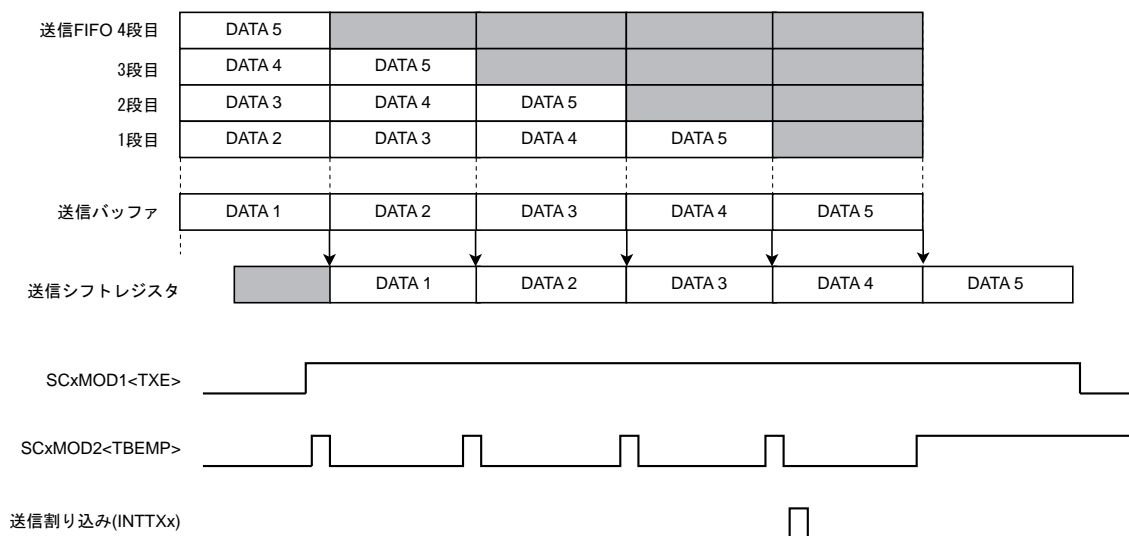
注) 送信 FIFO バッファ使用時は、SIO の転送モード設定 (半二重 / 全二重)、FIFO 許可 (SC_xFCNF <CNFG>="1") の後、必ず送信 FIFO クリアを実行して下さい。

以下に、4 バイトのデータを半二重送信する場合の設定と動作を示します。

SC _x MOD1[6:5] = 10	: 転送モードを半二重送信に設定
SC _x FCNF[4:0] = 11011	: FIFO が空になると送信を自動的に禁止 受信 FIFO の使用バイト数は割り込み発生 fill レベルに同じ
SC _x TFC[1:0] = 00	: 割り込み発生時の fill レベルを 0 に設定
SC _x TFC[7:6] = 11	: 送信 FIFO のクリアと割り込み発生条件の設定
SC _x FCNF[0] = 1	: FIFO の許可

上記の設定後、送信バッファ / FIFO に 5 バイト分の送信データを書き込み、SCxMOD1<TXE> ビットを 1 に設定することによりデータ送信を開始します。最後の送信データが送信バッファに移されると送信 FIFO 割り込みが発生して最後のデータの送信が終了すると送信を終了します。

上記の設定で、送信の自動禁止としなければ送信データを書き込むことにより継続して送信を行うことができます。



15.12.3.3 IO インタフェースモード、SCLK 出力での送信

IO インタフェースモードで SCLK 出力の場合、設定されたデータがすべて送信されると SCLK 出力は自動的に停止します。このため、このモードではアンダーランエラーは発生しません。

バッファ / FIFO 使用状況によって SCLK 出力の停止 / 再開のタイミングが変わります。

(1) シングルバッファの場合

1 データ送信後に SCLK 出力を停止します。このため、通信相手と 1 データごとのハンドシェイクが可能です。バッファに次のデータが書き込まれると SCLK 出力を再開します。

(2) ダブルバッファの場合

送信シフトレジスタと送信バッファのデータがすべて送信されると SCLK 出力を停止します。バッファに次のデータが書き込まれると SCLK 出力を再開します。

(3) FIFO の場合

送信シフトレジスタ、送信バッファ、FIFO すべてのデータの送信が終了すると SCLK 出力を停止します。次のデータが書き込まれると SCLK 出力を再開します。

また、SCxFCNF<RXTXCNT>がセットされていると、SCLK 停止とともに SCxMOD0<TXE> ビットがクリアされ送信動作を停止します。

15.12.3.4 アンダーランエラー

IO インタフェースモードの SCLK 入力時に送信 FIFO が有効にされていない場合、送信シフトレジスタのデータの送信が終了し、次の転送クロックが入力される前に送信バッファヘッダがセットされないときは、アンダーランエラーになり SCxCR<PERR>に"1"がセットされます。

IO インタフェースモードの SCLK 出力の設定では、クロック出力が自動的に停止するためこのフラグは意味を持ちません。

注) IO インタフェース SCLK 出力モードから他のモードへ切り替える際には、SCxCR レジスタを読み出し、アンダーランフラグをクリアしてください。

15.13 ハンドシェイク機能

ハンドシェイク機能は CTS (Clear to send) 端子を用いて 1 データ単位での送信を行う機能で、この機能を使うことでオーバーランエラーの発生を防ぐことができます。ハンドシェイク機能は SCxMOD0 <CTSE> によってイネーブル/ディセーブルを設定できます。

$\overline{\text{CTS}}$ 端子が "High" レベルになると、現在送信中のデータを送信完了後、 $\overline{\text{CTS}}$ 端子が "Low" レベルに戻るまで送信を停止します。ただし、INTTXx 割り込みは通常のタイミングで発生しますので、次の送信データを送信バッファに書き込み、送信待機状態にすることができます。

- 注 1) 送信中に $\overline{\text{CTS}}$ 信号を立ち上げた場合、送信終了後に停止します。(図 15-9 の a 点を参照)
- 注 2) $\overline{\text{CTS}}$ 信号立下り後の最初の TXDCLK クロックから送信を開始します。(図 15-9 の b 点を参照)

なお、 $\overline{\text{RTS}}$ 端子はありませんが、任意のポートの 1 ビットを $\overline{\text{RTS}}$ 機能に割り当て、受信終了時に (受信割り込みルーチン内で) このポートを "High" レベルにし、送信側に送信の一時停止を要求することで容易にハンドシェイク機能を構築できます。

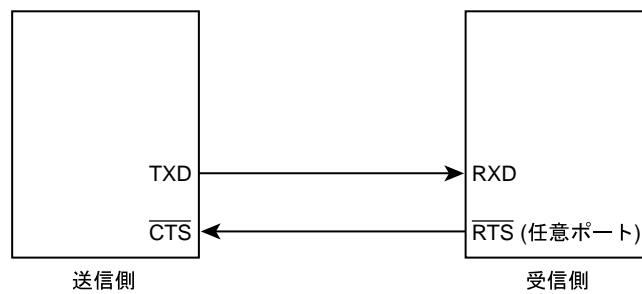


図 15-8 ハンドシェイク機能接続

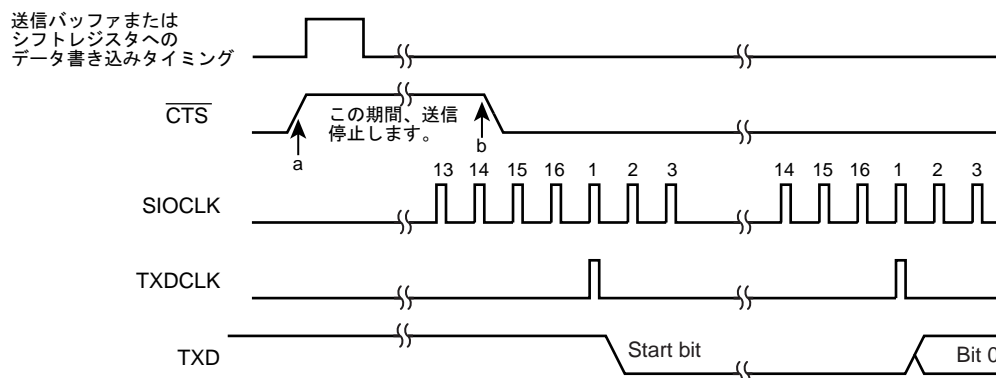


図 15-9 $\overline{\text{CTS}}$ 信号のタイミング

15.14 割り込み / エラー発生タイミング

15.14.1 受信割り込み

受信動作のデータの流と読み出しの経路を図 15-10 に示します。

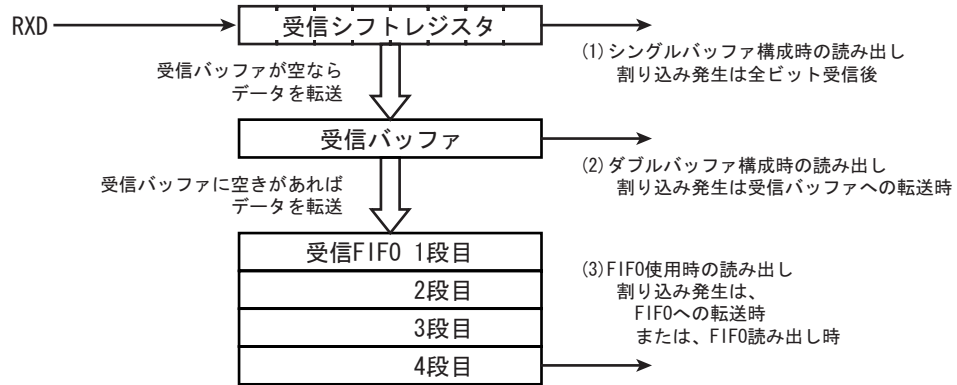


図 15-10 受信バッファ / FIFO 構成図

15.14.1.1 シングルバッファ / ダブルバッファ構成の場合

受信割り込みは、転送モードとバッファ構成により以下のタイミングで発生します。

バッファ構成	UART モード	IO インタフェースモード
シングルバッファ	-	・最終ビットの SCLK 立ち上がり / 立ち下がり直後 (立ち上がり / 立ち下がりは、SCxCR<SCLKS> 設定による)
ダブルバッファ	・第 1 ストップビットの中央付近	・最終ビットの SCLK 立ち上がり / 立ち下がり直後 (立ち上がり / 立ち下がりは、SCxCR<SCLKS> 設定による) ・バッファのリードによる、シフトレジスタからバッファへのデータ転送時

注) オーバーランエラー成立時は割り込みは発生しません。

15.14.1.2 FIFO 使用の場合

FIFO 使用の場合の受信割り込みは、以下の動作で SCxRFC<RFIS> の設定で決まる条件を満たした場合に発生します。

- ・ 1 フレームの全ビットの受信終了
- ・ FIFO をリードしたとき

発生条件は SCxRFC<RFIS> の設定により表 15-12 のようになります。

表 15-12 FIFO 使用時の受信割り込み発生条件

SCxRFC<RFIS>	割り込み発生条件
"0"	FIFO fill レベル = 割り込み発生 fill レベルが成立したとき
"1"	FIFO fill レベル 割り込み発生 fill レベルとなったとき

15.14.2 送信割り込み

送信動作のデータの流れと読み出しの経路を示します。

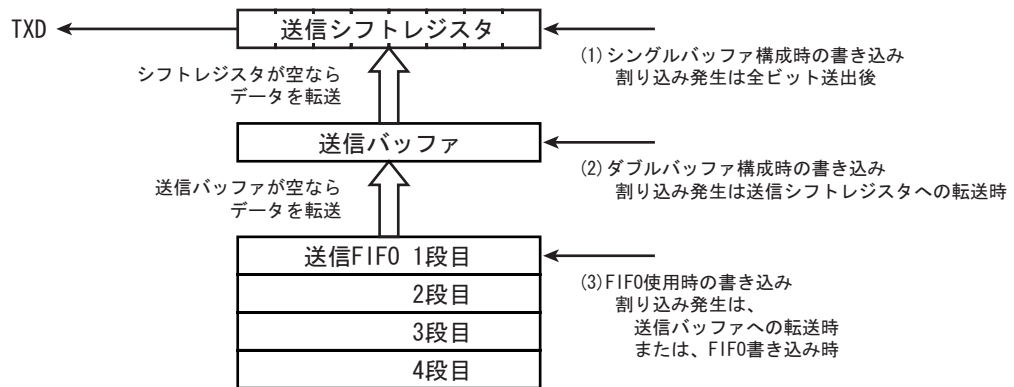


図 15-11 送信バッファ / FIFO 構成図

15.14.2.1 シングルバッファ / ダブルバッファ構成の場合

送信割り込みは、転送モードとバッファ構成により以下のタイミングで発生します。

バッファ構成	UART モード	IO インタフェースモード
シングルバッファ	ストップビット送出の直前	最終ビットの SCLK 立ち上がり / 立ち下がり直後 (立ち上がり / 立ち下がり、SCxCR<SCLKS> 設定による)
ダブルバッファ	送信バッファから送信シフトレジスタへのデータ転送時	

注) ダブルバッファ有効の場合、送信バッファ書き込みによってバッファからシフトレジスタへデータが転送された場合も割り込みが発生します。

15.14.2.2 FIFO 使用の場合

FIFO 使用の場合の送信割り込みは、以下の動作で SCxTFC<TFIS> の設定で決まる条件を満たした場合に発生します。

- 1 フレームの全ビットの送信終了
- FIFO への書き込み

発生条件は SCxTFC<TFIS> の設定により表 15-13 のようになります。

表 15-13 FIFO 使用時の送信割り込み発生条件

SCxTFC<TFIS>	割り込み発生条件
"0"	FIFO fill レベル = 割り込み発生 fill レベルが成立したとき
"1"	FIFO fill レベル 割り込み発生 fill レベルとなったとき

15.14.3 エラー発生

15.14.3.1 UART モード

モード	9ビット	7ビット 8ビット 7ビット+パリティ 8ビット+パリティ
フレーミングエラー オーバーランエラー	ストップビットの中央付近	
パリティエラー	-	パリティビットの中央付近

15.14.3.2 IO インタフェースモード

オーバーランエラー	最終ビットの SCLK 立ち上がり / 立ち下がり直後 (立ち上がり / 立ち下がりは、SCxCR<SCLKS> 設定による)
アンダーランエラー	次回 SCLK の立ち上がり / 立ち下がり直後 (立ち上がり / 立ち下がりは、SCxCR<SCLKS> 設定による)

注) SCLK 出力モードではオーバーランエラー、アンダーランエラーフラグは意味を持ちません。

15.15 ソフトリセット

SCxMOD2<SWRST[1:0]> に "10" → "01" の順でライトすることによりソフトウェアリセットが発生します。これにより、SCxMOD0<RXE>、SCxMOD1<TXE>、SCxMOD2<TBEMP><RBFL><TXRUN>、SCxCR<OERR> <PERR> <FERR> が初期化され、送受信回路と FIFO は初期状態になります。その他の状態は保持されます。

15.16 DMA 要求

UART/SIO 割り込み (INTRX0,INTTX0,INTRX2,INTTX2,INTRX4,INTTX4) 発生のタイミングで DMAC に対して DMA 要求を発行します。DMA 転送を行なう場合は SCxDMA レジスタ (x=0,2,4) の該当ビットの設定を行なってください。

15.17 モード別動作説明

15.17.1 モード 0 (IO インタフェースモード)

このモードには、同期クロック SCLK を出力する SCLK 出力モードと、外部より同期クロック SCLK を入力する SCLK 入力モードがあります。以下に FIFO の使用が禁止されている状態での各動作の説明を行います。FIFO の動作については、前述の受信 FIFO 動作および送信 FIFO 動作の項を参照してください。

15.17.1.1 送信

(1) SCLK 出力モード

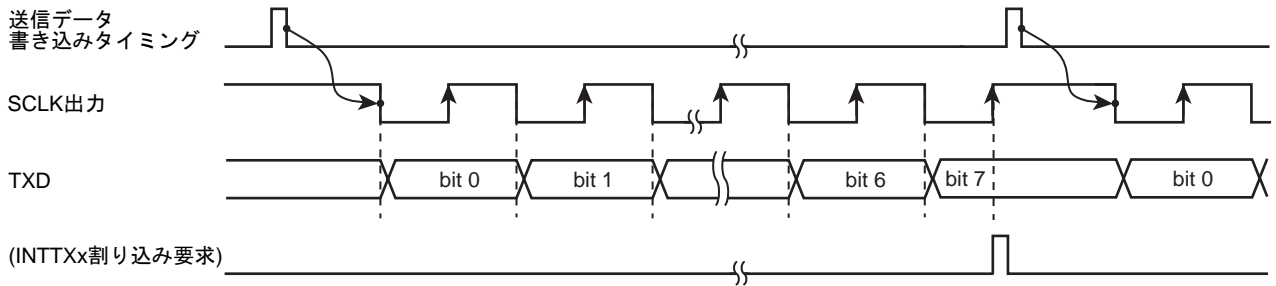
- ダブルバッファ不許可 (SCxMOD2<WBUF> = "0") の場合

送信バッファにデータを書き込むたびに、データが TXD 端子から、クロックが SCLK 端子より出力されます。データがすべて出力されると割り込み (INTTXx) が発生します。

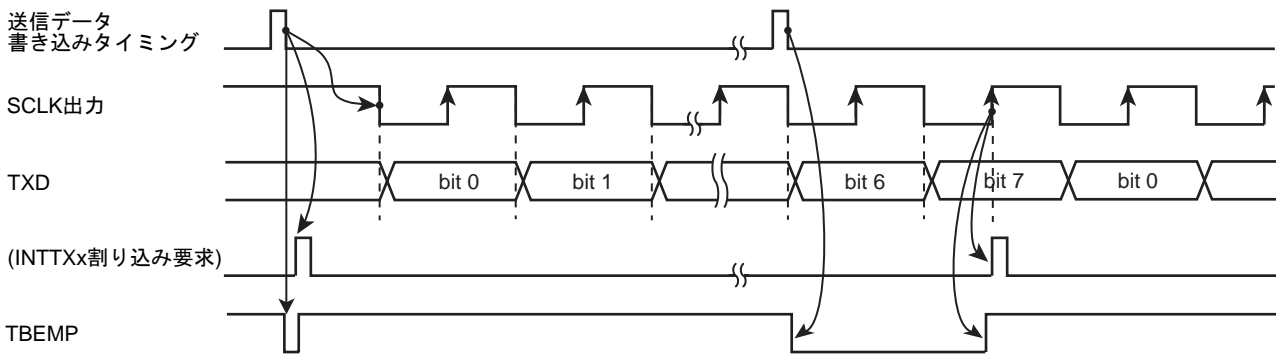
- ダブルバッファ許可 (SCxMOD2<WBUF> = "1") の場合

送信停止の状態ですべて送信バッファにデータを書き込んだとき、またはシフトレジスタのデータ送出が終了したときに送信バッファよりシフトレジスタにデータが移されます。これと同時に送信バッファ empty フラグ SCxMOD2 <TBEMP> が "1" にセットされ割り込み (INTTXx) が発生します。

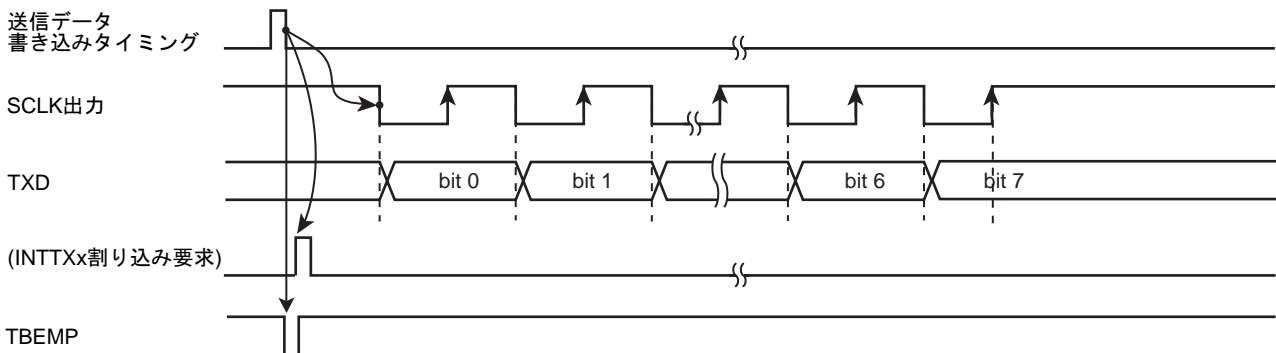
シフトレジスタのデータ送出終了時に送信バッファにデータが存在しない場合は、割り込み (INTTXx) を発生せず、SCLK 出力も停止します。



<WBUF> = "0" (ダブルバッファ不許可)の場合



<WBUF> = "1" (ダブルバッファ許可)の場合(バッファデータがある場合)



<WBUF> = "1" (ダブルバッファ許可)の場合(バッファにデータがない場合)

図 15-12 IO インタフェースモード送信動作 (SCLK 出力モード)

(2) SCLK 入力モード

- ダブルバッファ不許可 (SCxMOD2<WBUF> = "0") の場合

送信バッファにデータが書き込まれている状態で SCLK が入力されると、8 ビットのデータが TXD 端子より出力されます。データがすべて出力されると割り込み INTTXx が発生します。次の送信データは図 15-13 に示す A 点までに書き込んでください。

- ダブルバッファ許可 (SCxMOD2<WBUF> = "1") の場合

SCLK が入力される前に送信バッファにデータを書き込んだとき、または送信シフトレジスタのデータ送達が終了したときに送信バッファのデータがシフトレジスタへ移されます。これと同時に送信バッファ empty フラグ SCxMOD2<TBEMP> が "1" にセットされ、割り込み (INTTXx) が発生します。

送信バッファにデータが書き込まれていない状態で、SCLK が入力された場合、内部ビット数カウンタはカウントを開始しますが、アンダーランエラーがセットされ、8 ビット分のダミーデータ (0xFF) を送出します。

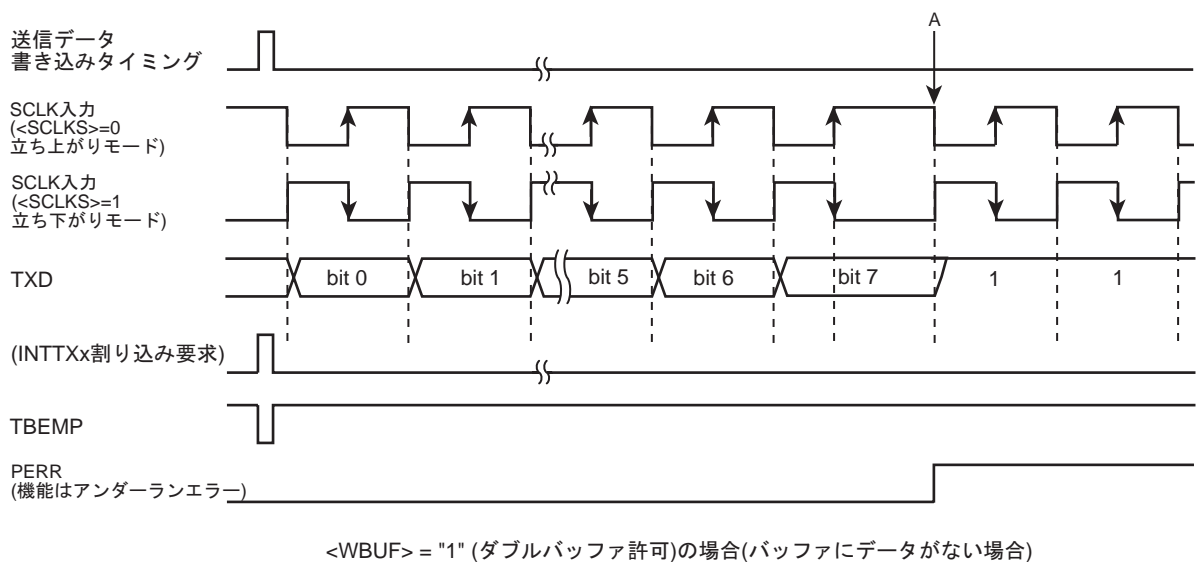
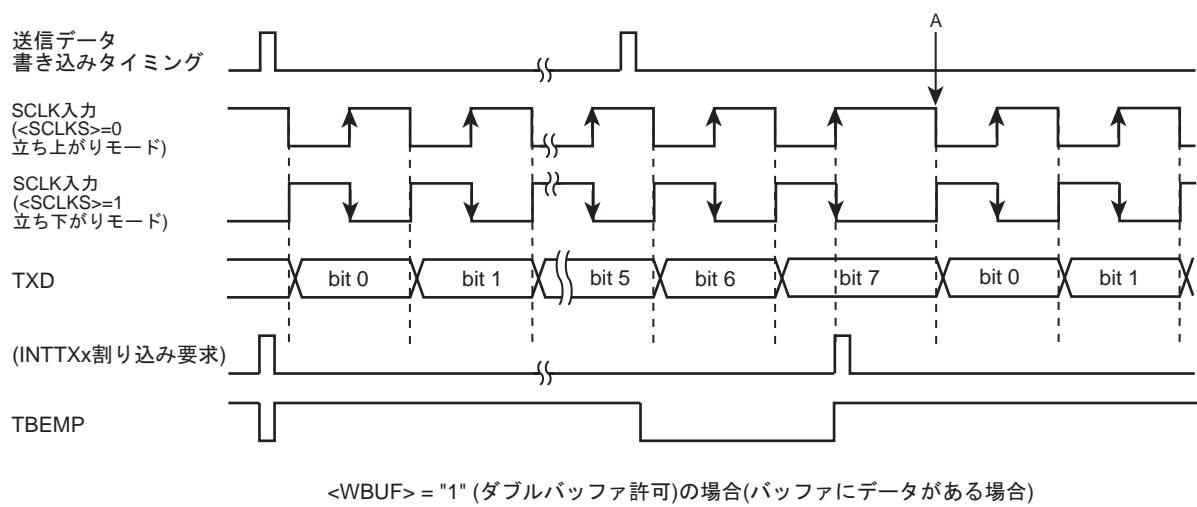
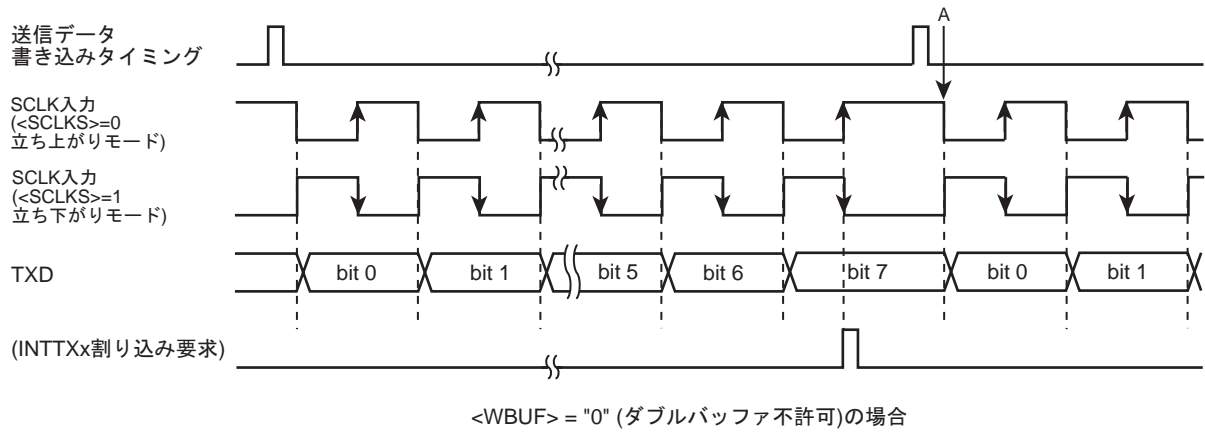


図 15-13 IO インタフェースモード送信動作 (SCLK 入力モード)

15.17.1.2 受信

(1) SCLK 出力モード

受信許可ビット SCxMOD0<RXE> を "1" にセットすることで SCLK 出力が開始されます。

- ダブルバッファ不許可 (SCxMOD2<WBUF> = "0") の場合

受信データが読み出されるごとに、SCLK 端子よりクロックが出力され次のデータがシフトレジスタに格納されます。8 ビットデータが受信されると、割り込み INTRX_x が発生します。

- ダブルバッファ許可 (SCxMOD2<WBUF> = "1") の場合

シフトレジスタに格納されたデータは受信バッファに移され、続けて次のフレームを受信することができます。シフトレジスタから受信バッファにデータが移されると、受信バッファ full フラグ SCxMOD2<RBFL> が "1" にセットされ、割り込み INTRX_x が発生します。

受信バッファにデータが存在する状態で、次の 8 ビット分のデータを受信完了する前に受信バッファのデータが読み出されない場合、割り込み INTRX_x は発生せず、SCLK 出力は停止します。この状態で受信バッファのデータを読み出すと、シフトレジスタのデータを受信バッファに移し、割り込み INTRX_x を発生して受信を再開します。

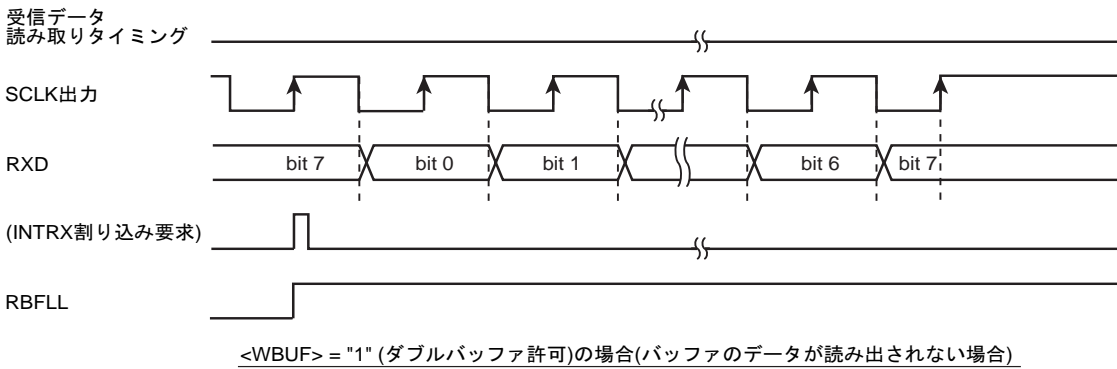
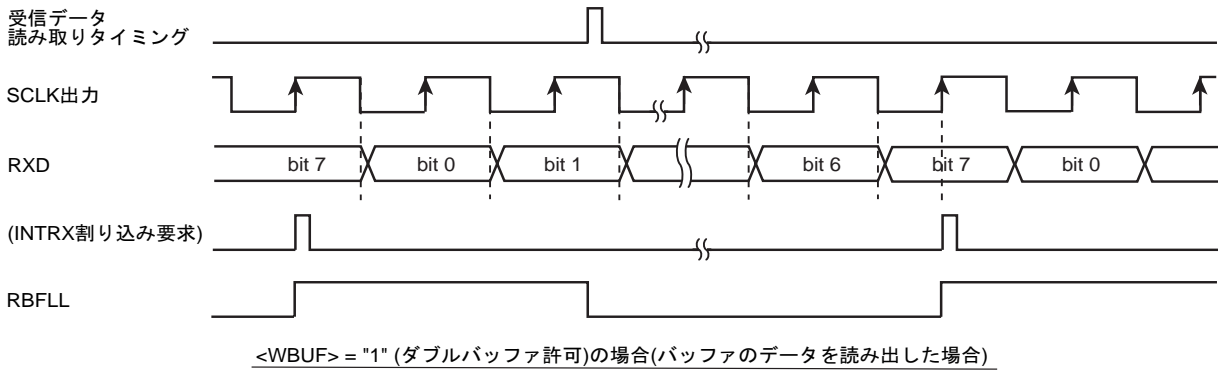
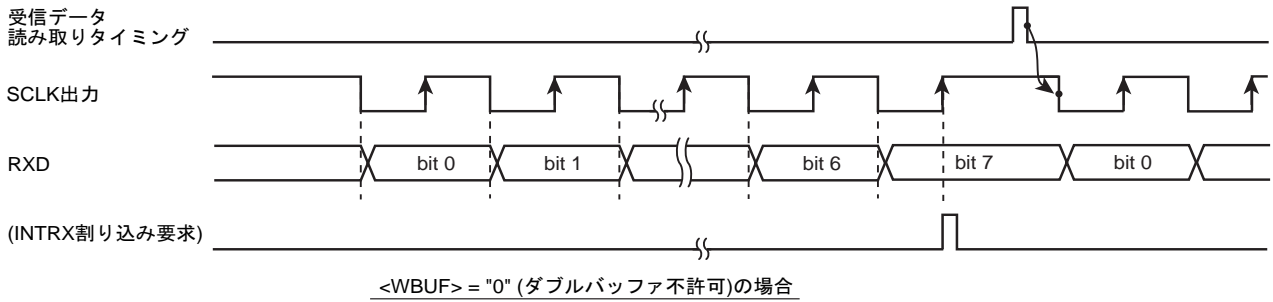


図 15-14 IO インタフェースモード受信動作 (SCLK 出力モード)

(2) SCLK 入力モード

SCLK 入力モードでは常に受信ダブルバッファが許可されており、受信したフレームはシフトレジスタから受信バッファに移され、連続して次のフレームを受信することができます。

受信データが受信バッファへ移されるごとに受信割り込み INTRX_x が発生します。

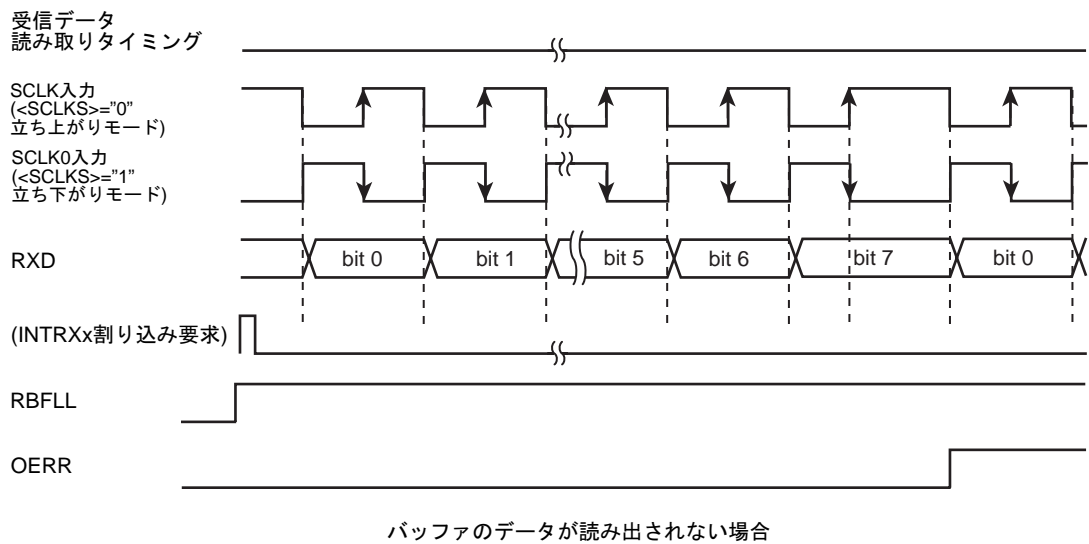
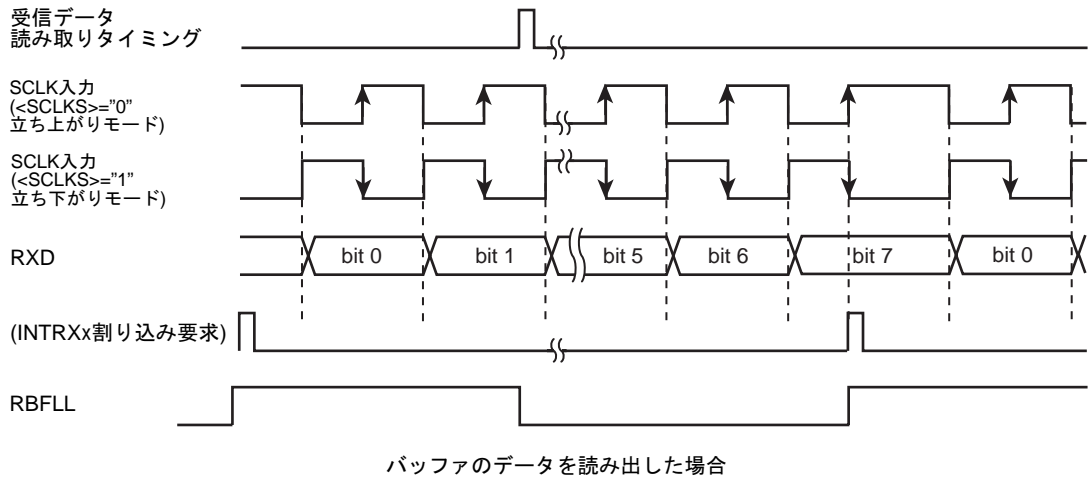


図 15-15 IO インタフェースモード受信動作 (SCLK 入力モード)

15.17.1.3 送受信 (全二重)

(1) SCLK 出力モード

- ダブルバッファ不許可 (SCxMOD2<WBUF> = "0") の場合

送信バッファにデータを書き込むと SCLK 出力を開始します。

SCLK の出力により 8 ビットデータが受信シフトレジスタにシフトインされ、受信割り込み (INTRX_x) が発生します。それと並行して送信バッファに書き込まれた 8 ビットデータが、TXD 端子より出力され、すべてのデータが送信されると送信割り込み (INTTX_x) が発生します。この状態で SCLK の出力は停止します。

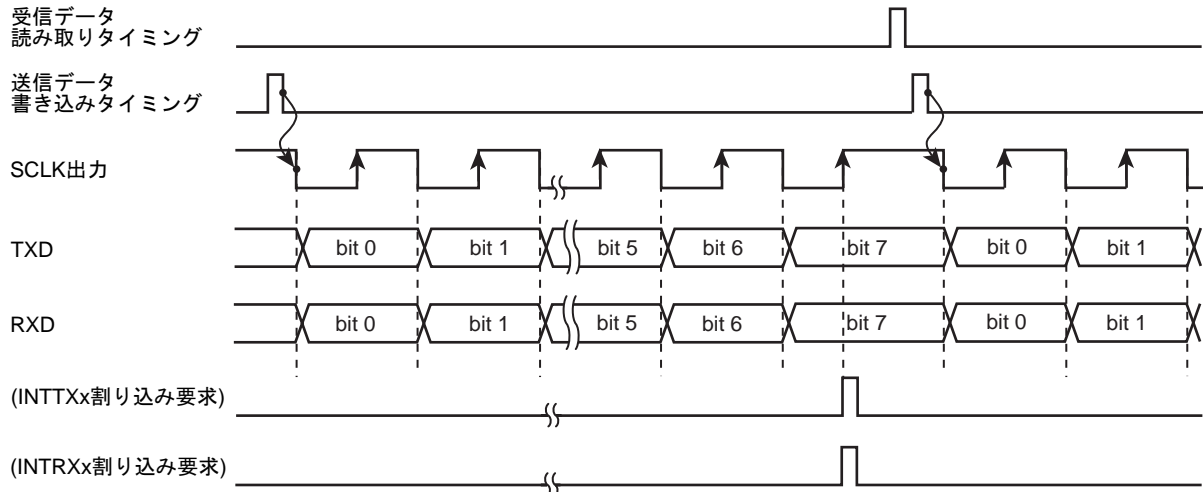
受信バッファの読み出しと送信バッファへのデータ書き込みを行うと次の送受信が開始されます。受信バッファの読み出しと送信バッファの書き込み順番は任意です。両方の条件が成立した場合に再開されます。

- ダブルバッファ許可 (SCxMOD2<WBUF> = "1") の場合

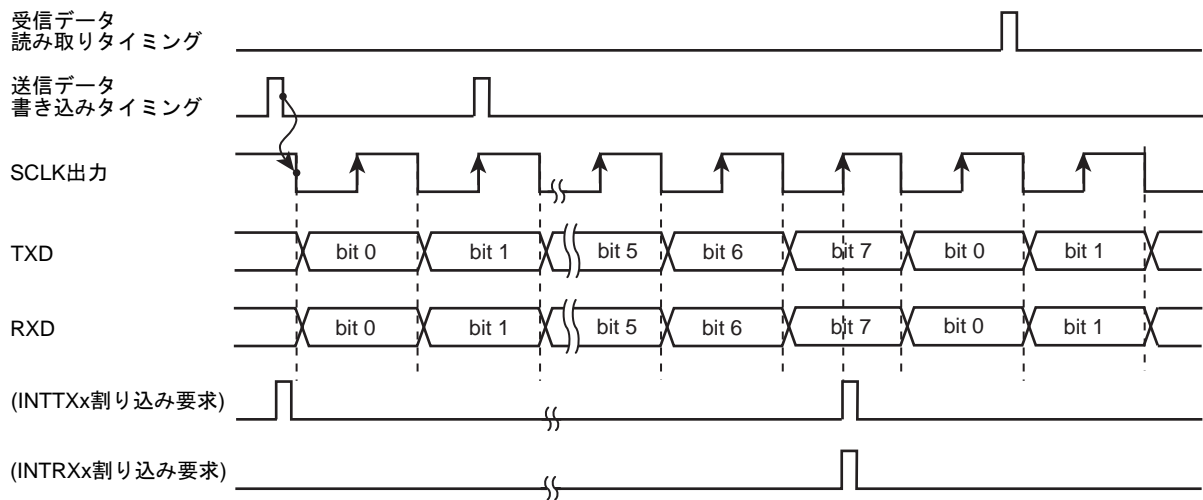
送信バッファにデータを書き込むと SCLK 出力を開始します。

8 ビットデータが受信シフトレジスタにシフトインされるとデータは受信バッファに移され、割り込み (INTRX_x) が発生します。受信と並行して 8 ビットデータが TXD 端子より出力され、データがすべて出力されると割り込み (INTTX_x) が発生して次のデータが送信バッファから送信シフトレジスタに移されます。

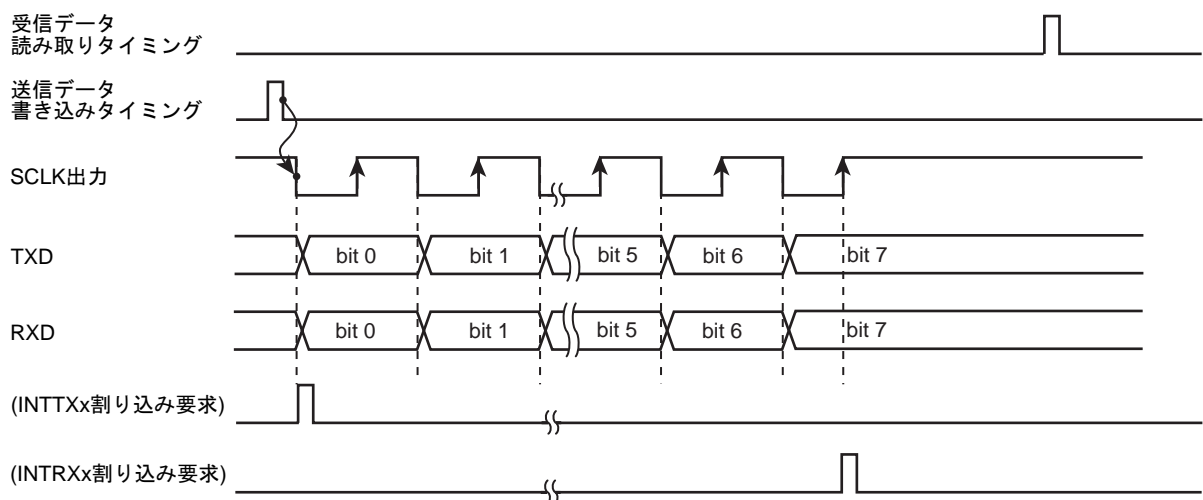
この時、送信バッファに移すデータが存在しない (SCxMOD2 <TBEMP> = "1") または受信バッファにデータが存在している (SCxMOD2 <RBFL> = "1") 場合は SCLK 出力が停止します。その後は受信データの読み出しと送信データの書き込みの両方の条件が成立すると再度 SCLK の出力が開始されて次の送受信が始まります。



<WBUF> = "0" (ダブルバッファ不許可)の場合



<WBUF> = "1" (ダブルバッファ許可)の場合



<WBUF> = "1" (ダブルバッファ許可)の場合

図 15-16 IO インタフェースモード送受信動作 (SCLK 出力モード)

(2) SCLK 入力モード

- 送信ダブルバッファ不許可 (SCxMOD2<WBUF> = "0") の場合

受信は SCxMOD2<WBUF> の設定に関わらずダブルバッファが有効になります。

送信バッファにデータが書き込まれている状態で SCLK が入力されると、8 ビットのデータが TXD より出力されると同時に 8 ビットのデータが受信バッファへシフトインされます。送信が終了すると割り込み (INTTXx) が発生し、受信が終了すると受信シフトレジスタから受信バッファへデータが移されると同時に割り込み (INTRXx) が発生します。

次のフレームの SCLK が入力される前にデータを送信バッファへ書き込むようにしてください。(図 15-17 に示す A 点までに書き込んでください)。受信データは、次のフレームの受信が終了する前に読み出してください。

- ダブルバッファ許可 (SCxMOD2<WBUF> = "1") の場合

送信シフトレジスタのデータの送信が終了すると、送信バッファのデータが送信シフトレジスタへ移されると同時に割り込み (INTRXx) が発生します。平行して受信が行われ、シフトレジスタにデータが揃うと受信バッファへ移され、割り込み (INTRXx) が発生します。

次のフレームの SCLK が入力される前に送信データを送信バッファへ書き込むようにしてください。(図 15-17 に示す A 点までに書き込んでください)。受信データは、次のフレームの受信が終了する前に読み出してください。

続けて次のフレームの SCLK が入力されると、送信バッファから送信シフトレジスタにデータを移して送信が始まり、並行して受信シフトレジスタでのデータ受信が行なわれます。

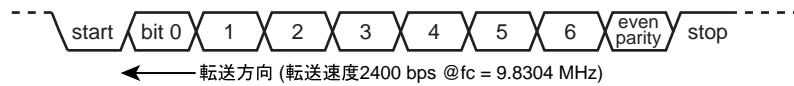
フレームの最終ビットの受信までに受信バッファのデータが読み出されていない場合はオーバーランエラーが発生します。また、次のフレームの SCLK 入力までに送信バッファへ転送データが書き込まれていない場合はアンダーランエラーが発生します。

15.17.2 モード 1 (7 ビット UART モード)

モードコントロールレジスタ (SCxMOD0 <SM[1: 0]>) を "01" にセットすると 7 ビット UART モードになります。

このモードではパリティビットの付加が可能で、コントロールレジスタ (SCxCR <PE>) でパリティビット付加のイネーブル / ディセーブルを制御しています。<PE> = "1" (イネーブル) のときは、SCxCR<EVEN> で偶数パリティ / 奇数パリティを選択できます。STOP ビットの長さは SCxMOD2<SBLEN> で指定することができます。

下記フォーマットのデータを送信する場合の各コントロールレジスタの設定を示します。



クロック条件	システムクロック :		高速 (fc)						
	高速クロックギア :		1 倍 (fc)						
	プリスケールクロック :		fperiph/2 (fperiph = fsys)						

	7	6	5	4	3	2	1	0	
SCxMOD0	x	0	-	0	0	1	0	1	7 ビット UART モードに設定
SCxCR	x	1	1	x	x	x	0	0	偶数パリティイネーブルに設定
SCxBRCR	0	0	1	0	0	1	0	0	2400bps に設定
SCxBUF	*	*	*	*	*	*	*	*	送信データを設定

x : don't care -: no change

15.17.3 モード 2 (8 ビット UART モード)

SCxMOD0 <SM[1:0]> を "10" にセットすると 8 ビット UART モードになります。このモードでは、パリティビットの付加が可能で SCxCR <PE> でパリティビット付加のイネーブル / ディセーブルを制御できます。<PE> = "1" (イネーブル) のとき、SCxCR <EVEN> で偶数パリティ / 奇数パリティの選択も可能です。

下記のフォーマットのデータを受信する場合の各コントロールレジスタの設定を示します。



クロック条件	システムクロック :		高速 (fc)						
	高速クロックギア :		1 倍 (fc)						
	プリスケールクロック :		fperiph/2 (fperiph = fsys)						

	7	6	5	4	3	2	1	0	
SCxMOD0	x	0	0	0	1	0	0	1	8 ビット UART モードに設定
SCxCR	x	0	1	x	x	x	0	0	奇数パリティイネーブルに設定
SCxBRCR	0	0	0	1	0	1	0	0	9600bps に設定
SCxMOD0	-	-	1	-	-	-	-	-	受信許可

x : don't care -: no change

15.17.4 モード 3 (9 ビット UART モード)

SCxMOD0 <SM[1:0]> を "11" にセットすると 9 ビット UART モードになります。このモードでは、パリティビットの付加を禁止 (SCxCR<PE> = "0") してください。

最上位ビット (9 ビット目) は、送信の場合 SCxMOD0 <TB8> に書き込み、受信の場合 SCxCR <RB8> に格納されます。また、バッファに対する書き込み、読み出しは必ず最上位ビットの方を先に行い、SCxBUF の方を後にします。STOP ビットの長さは SCxMOD2 <SBLLEN> で指定することができます。

15.17.4.1 ウェイクアップ機能

9 ビット UART モードでは、ウェイクアップ機能制御ビット SCxMOD0 <WU> を "1" にすることによって、スレーブコントローラのウェイクアップ動作が可能で、SCxCR <RB8> = "1" のときのみ割り込み (INTRXx) が発生します。

注) スレーブコントローラの TXD 端子は、必ず PxOD レジスタを設定してオープンドレイン出力モードにしてください。

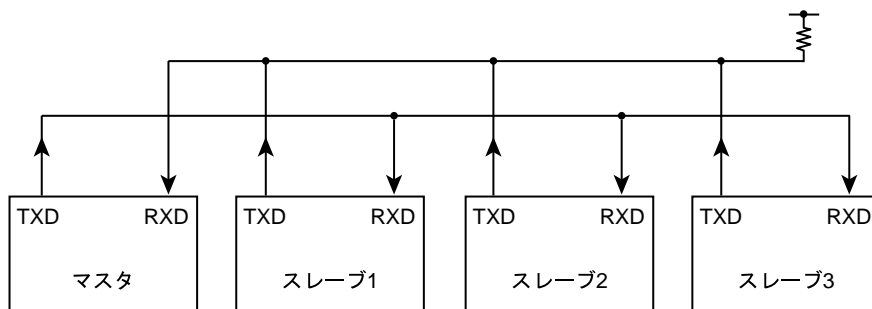
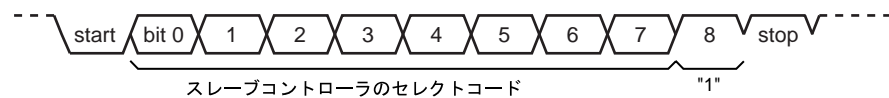


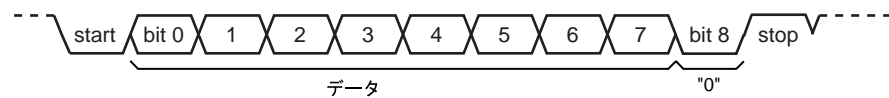
図 15-18 ウェイクアップ機能によるシリアルリンク

15.17.4.2 プロトコル

1. マスタおよびスレーブコントローラは9ビットUARTモードにします。
2. 各スレーブコントローラは $SC_xMOD0\langle WU \rangle$ を "1" にセットし、受信可能状態とします。
3. マスタコントローラは、スレーブコントローラのセレクトコード (8ビット) を含む 1 フレームを送信します。このとき最上位ビット (ビット 8) $\langle TB8 \rangle$ は "1" にします。



4. 各スレーブコントローラは、上記フレームを受信し、自分のセレクトコードと一致すれば、 $\langle WU \rangle$ を "0" にクリアします。
5. マスタコントローラは指定したスレーブコントローラ ($\langle WU \rangle = "0"$ にクリアされたコントローラ) に対しデータを送信します。このとき、最上位ビット (ビット 8) $\langle TB8 \rangle$ は "0" にします。



6. $\langle WU \rangle = "1"$ のままのスレーブコントローラは、受信データの最上位ビット (ビット 8) の $\langle RB8 \rangle$ が "0" であるため、割り込み (INTRX_x) が発生せず、受信データを無視します。また、 $\langle WU \rangle = "0"$ になったスレーブコントローラがマスタコントローラにデータを送信し、この送信データで受信終了をマスタコントローラに知らせることもできます。

第 16 章 非同期シリアル通信回路 (UART)

16.1 概要

本デバイスは、Modem 制御機能を持った非同期シリアル通信チャンネル (UART) を内蔵しています。特徴は以下の通りです。

- 送信 FIFO
 - 8-bit 幅 / 16 段
- 受信 FIFO
 - 12-bit 幅 / 16 段
- 送信 / 受信 データフォーマット
 - DATA 長 : 5,6,7,8 bits 選択 .
 - PARITY 付加 : 有り / 無し
 - STOP bit 長 : 1bit / 2 bits 選択
- FIFO 機能 ON/OFF
 - ON (FIFO モード)/
 - OFF(キャラクター モード)
- 割り込み機能
 - 複数要因の結合割り込みを割り込みコントローラへ出力
 - 各割り込み要因許可がプログラム可能
- ボーレートジェネレータ
 - UART 内部のリファレンスクロック入力から、送信、受信用共通のクロックを生成。
 - ボーレート最大 2.46Mbps @PCLK=40MHz
- DMA 機能
- 制御端子
 - U0TXD
 - U0RXD
 - U0CTS
 - U0RTS
- ハードウェアフロー制御
 - RTS 対応
 - CTS 対応

(1) UART 送信 / 受信時のデータフォーマット

送信 / 受信データフォーマット			
START	DATA (LSB → MSB)	PARITY	STOP

(2) 受信 FIFO データフォーマット

	受信データ (LSB → MSB)								フレーミン グ エラー flag	Parity エ ラー flag	Break エ ラー flag	Overrun エラー flag
Bit 数	0	1	2	3	4	5	6	7				
8-bit 受信 data	1	1	1	1	1	1	1	1				
7-bit 受信 data	1	1	1	1	1	1	1	0				
6-bit 受信 data	1	1	1	1	1	1	0	0				
5-bit 受信 data	1	1	1	1	1	0	0	0				

16.2 構成

図 16-1 に UART ブロック図を示します。

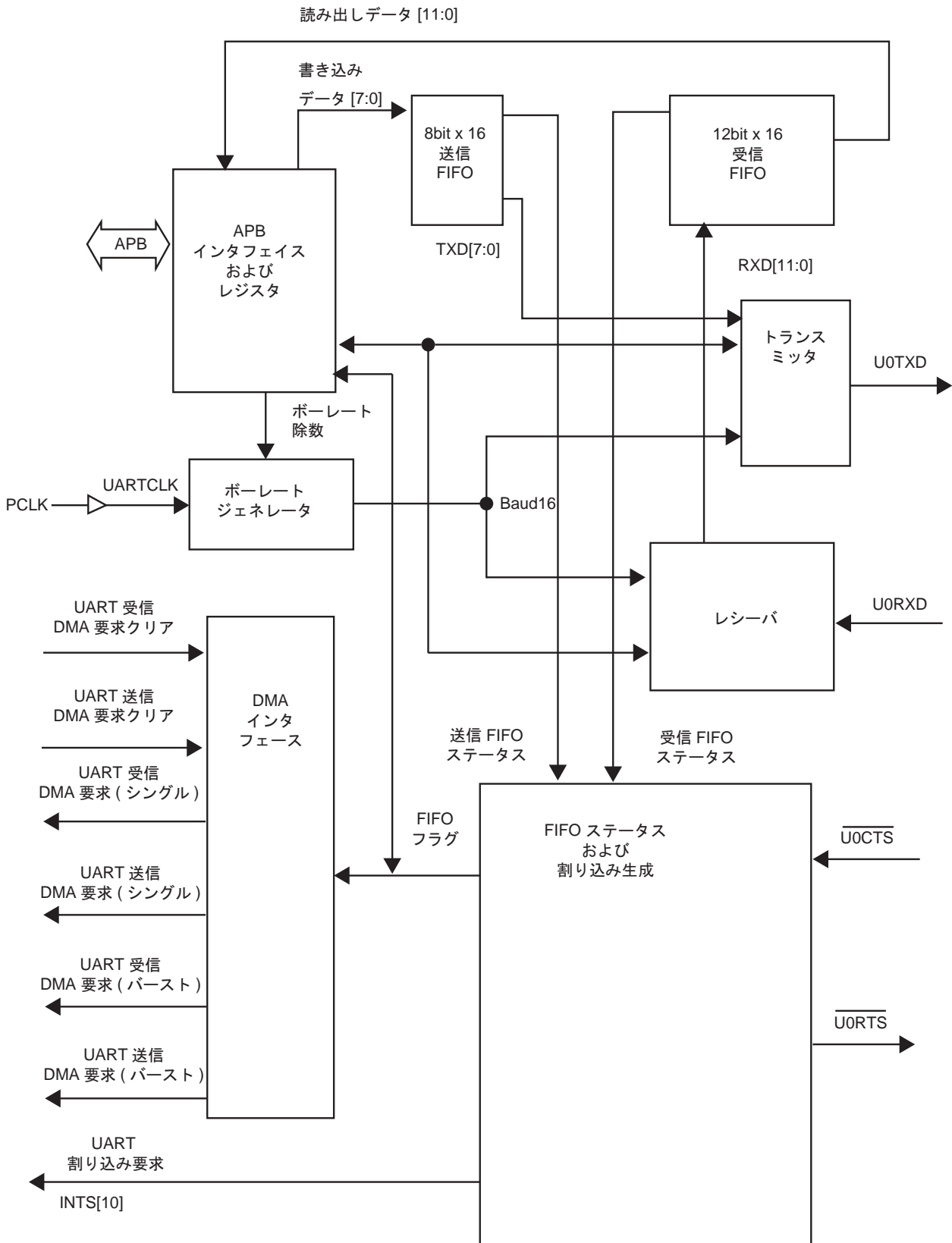


図 16-1 UART ブロック図

16.3 レジスタ詳細

16.3.1 レジスタ一覧

各チャンネルのレジスタとアドレスを示します。

Base Address = 0x4004 _ 8000

レジスタ名		Address (Base+)
Data register	UARTDR	0x0000
Receive status register	UARTRSR	0x0004
Error clear register	UARTECR	0x0004
Reserved	-	0x0008 ~ 0x0017
Flag register	UARTFR	0x0018
Reserved	-	0x001C
Reserved	-	0x0020
Integer baud rate register	UARTIBRD	0x0024
Fractional baud rate register	UARTFBRD	0x0028
Line control register	UARTLCR_H	0x002C
Control register	UARTCR	0x0030
Interrupt FIFO level select register	UARTIFLS	0x0034
Interrupt mask set/clear register	UARTIMSC	0x0038
Raw interrupt status register	UARTRIS	0x003C
Masked interrupt status register	UARTMIS	0x0040
Interrupt clear register	UARTICR	0x0044
DMA control register	UARTDMACR	0x0048
Reserved	-	0x004C to 0x0FFF

注) 制御レジスタを再設定するときは、UART を動作禁止にして下さい。UART を送信または受信の動作途中で動作禁止にすると、動作中の転送が完了しだい、停止状態となります。

16.3.2 UARTDR (UART Data register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	Undefined	Undefined	Undefined	Undefined	Undefined	Undefined	Undefined	Undefined
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	Undefined	Undefined	Undefined	Undefined	Undefined	Undefined	Undefined	Undefined
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	OE	BE	PE	FE
After reset	Undefined	Undefined	Undefined	Undefined	Undefined	Undefined	Undefined	Undefined
	7	6	5	4	3	2	1	0
bit symbol	DATA							
After reset	Undefined	Undefined	Undefined	Undefined	Undefined	Undefined	Undefined	Undefined

Bit	Bit Symbol	Type	Function
31-12	-	R	Read as undefined.
11	OE	R	オーバランエラー データ受信時に FIFO が既に一杯の場合には、このビットに 1 がセットされます。 FIFO に空き空間が生じ、新しい文字を書き込めるようになると、このビットは 0 にクリアされます。
10	BE	R	ブレークエラー 入力が (スタートビット、データビット、パリティビット、ストップビットとして定義された) フルワード送信時間よりも長く LOW で保持されたことを示します。 FIFO モードでは、このエラーは FIFO の最上位文字により発生します。ブレークは 1 個の 0 文字が FIFO にロードされたときのみ発生します。 次の文字は、受信データ入力が 1 (マーキング状態) になり、次の有効スタートビットが受信された後にイネーブルされます。
9	PE	R	パリティエラー このビットに 1 がセットされた場合は、受信されたデータ文字のパリティが UARTLCR_H レジスタのビット 2 および 7 によって定義されたパリティと一致しないことを示しています。 FIFO モードでは、このエラーは FIFO の最上位文字により発生します。
8	FE	R	フレーミングエラー このビットに 1 がセットされた場合には、受信した文字に有効ストップビット (有効ストップビットは 1) が含まれなかったことを示しています。 FIFO モードでは、このエラーは FIFO の最上位文字により発生します。
7-0	DATA[7:0]	R/W	リード : 受信データ ライト : 送信データ

16.3.3 UARTRSR (UART Receive status register)

UARTRSR とUARTECR レジスタは同じアドレスにマッピングされています。

これらのレジスタの機能は、リード時と書き込み時の動作により異なります。

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	OE	BE	PE	FE
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-4	-	R	Read as undefined.
3	OE	R	<p>オーバランエラー</p> <p>データ受信時に FIFO が既に一杯の場合は、このビットに 1 がセットされます。このビットは、UARTECR への書き込みによって 0 にクリアされます。</p> <p>FIFO が一杯の場合はデータがさらに書き込まれることがないため、FIFO の内容はそのまま有効であり、ソフトレジスタの内容だけが上書きされます。この場合、CPU がデータを読み出して FIFO を空にする必要があります。</p>
2	BE	R	<p>ブレークエラー</p> <p>ブレーク条件が検出されるとこのビットが 1 にセットされ、受信データ入力 (スタートビット、データビット、パリティビット、ストップビットをして定義された) フルワード送信時間よりも長く LOW で保持されたことを示します。</p> <p>このビットは、UARTECR への書き込み後に 0 にクリアされます。</p> <p>FIFO モードでは、このエラーは FIFO の最上位文字により発生します。ブレーク 1 個の 0 文字が FIFO にロードされたときのみ発生します。次の文字は、受信データ入力、1 になり、次の有効スタートビットが受信された後にイネーブルされます。</p>
1	PE	R	<p>パリティエラー</p> <p>このビットが 1 にセットされた場合は、受信されたデータ文字のパリティが UARTLOR_H レジスタのビット 2 および 7 によって定義されたパリティと一致しないことを示します。</p> <p>このビットは、UARTECR への書き込みによって 0 にクリアされます。FIFO モードでは、このエラーは FIFO の最上位文字により発生します。</p>
0	FE	R	<p>フレーミングエラー</p> <p>このビットに 1 がセットされた場合は、受信した文字に有効ストップビットが含まれていないことを示しています。(有効ストップビットは 1)</p> <p>このビットは、UARTECR への書き込みによって 0 にクリアされます。FIFO モードでは、このエラーは FIFO の最上位文字により発生します。</p>

16.3.4 UARTECR (UART Error clear register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	OE	BE	PE	FE
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-4	-	W	Write 0.
3	OE	W	UARTECR への書き込みが行われると、フレーミング、パリティ、ブレーク、オーバランの各エラーがクリアされます。データ値には関係なくクリアを実行します。 このレジスタのアドレスは、UARTRSR レジスタと同じです。
2	BE	W	
1	PE	W	
0	FE	W	

- 注 1) UARTRSR/UARTECR レジスタは、受信ステータス/エラークリアレジスタです。 受信ステータスは、UARTDR から読み出すこともできます。ステータスが、このレジスタから読み出される場合、ブレーク、フレーミング、ならびにパリティに関するステータス情報は、UARTRSR の読み出し前に UARTDR から読み出されたデータ文字に対応します。オーバランに関するステータス情報は、オーバラン条件が発生するとすぐにセットされます。UARTECR への書き込みが行われると、フレーミング、パリティ、ブレーク、オーバランの各エラーがクリアされます。リセット時には、全てのビットが 0 にクリアされます。
- 注 2) 受信データ文字は、UARTRSR からそのデータ文字に対応するエラーステータスを読み出す前に、UARTDR から読み出す必要があります。ステータスレジスタ UARTRSR は、データレジスタ UARTDR からの読み出しが発生した場合のみ更新されるため、この読み出しシーケンスを逆にすることはできません。しかし、ステータス情報は、UARTDR レジスタの読み出しによっても取得することができます。

16.3.5 UARTFR (UART Flag register)

<TXFE>, <RXFF>, <TXFF>, <RXFE> のビットは、UARTLCR_H レジスタの <FEN> ビットの状態に依存します。

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	Undefined	Undefined	Undefined	Undefined	Undefined	Undefined	Undefined	Undefined
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	Undefined	Undefined	Undefined	Undefined	Undefined	Undefined	Undefined	Undefined
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
After reset	Undefined	Undefined	Undefined	Undefined	Undefined	Undefined	Undefined	Undefined
	7	6	5	4	3	2	1	0
bit symbol	TXFE	RXFF	TXFF	RXFE	BUSY	-	-	CTS
After reset	1	0	0	1	0	Undefined	Undefined	Undefined

Bit	Bit Symbol	Type	Function
31-9	-	R	Read as undefined.
8	-	R	Read as undefined.

Bit	Bit Symbol	Type	Function
7	TXFE	R	<FEN>=1, 送信 FIFO 空フラグ 0: 空でない 1: 空
			<FEN>=0, 保持送信レジスタ空フラグ 0: 空でない 1: 空
6	RXFF	R	<FEN>=1, 受信 FIFO フルフラグ 0: フルでない 1: フル
			<FEN>=0, 受信保持レジスタフルフラグ 0: フルでない 1: フル
5	TXFF	R	<FEN>=1, 送信 FIFO フルフラグ 0: フルでない 1: フル
			<FEN>=0, 送信保持レジスタフルフラグ 0: フルでない 1: フル
4	RXFE	R	<FEN>=1, 受信 FIFO 空フラグ 0: 空でない 1: 空
			<FEN>=0, 受信保持レジスタ空フラグ 0: 空でない 1: 空
3	BUSY	R	UART ビジー 0: UART 送信が停止の時 1: 送信中であるとき (ビジー状態)
2	-	R	Read as undefined.
1	-	R	Read as undefined.
0	CTS	R	送信可能なクリア 1: Modem ステータスが 0 の時

1. 送信 FIFO

送信 FIFO は、8-bit 幅、16 段の FIFO メモリバッファです。APB インターフェース経由で書き込まれた CPU データは、送信ロジックによって読み出されるまで、この FIFO にストアされます。送信 FIFO はディセーブルすることによって、1 バイト保持レジスタのように動作させることができます。

2. 受信 FIFO

受信 FIFO は、12-bit 幅、16 段の FIFO メモリバッファです。受信データと対応するエラービットは、APB インタフェース経由で CPU によって読み出されるまで、受信ロジックによって受信 FIFO にストアされます。受信 FIFO は、ディセーブルすることによって 1 バイト保持レジスタのように動作させることができます。

16.3.6 UARTIBRD (UART Integer baud rate register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	Undefined	Undefined	Undefined	Undefined	Undefined	Undefined	Undefined	Undefined
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	Undefined	Undefined	Undefined	Undefined	Undefined	Undefined	Undefined	Undefined
	15	14	13	12	11	10	9	8
bit symbol	BAUDDIVINT							
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	BAUDDIVINT							
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-16	-	R	Read as undefined.
15-0	BAUDDIVINT [15:0]	R/W	整数ボーレート除数。(0x0001 ~ 0xFFFF) ボーレート除数値の整数部です。

- 注 1) UARTIBRD のデータアップは、UARTLCR_H が最後に書き込み実行された時に行われます。詳細については、UARTLCR_H の内容を参照して下さい。
- 注 2) UARTCR<UARTEN> を 1 にする前に設定して下さい。
- 注 3) 0x0000 を設定することはできません。

16.3.7 UARTFBRD (UART Fractional baud rate register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	Undefined	Undefined	Undefined	Undefined	Undefined	Undefined	Undefined	Undefined
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	Undefined	Undefined	Undefined	Undefined	Undefined	Undefined	Undefined	Undefined
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
After reset	Undefined	Undefined	Undefined	Undefined	Undefined	Undefined	Undefined	Undefined
	7	6	5	4	3	2	1	0
bit symbol	-	-	BAUDDIVFRAC					
After reset	Undefined	Undefined	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-6		R	Read as undefined.
5-0	BAUD DIVFRAC [5:0]	R/W	<p>ボーレート除数の小数部を設置します。0x01 ~ 0x3F ボーレート除数は以下のように求めることができます。 ボーレート除数 $BAUDDIV = (f_{UARTCLK}) / (16 \times \text{baud rate})$ $f_{UARTCLK}$ は、UART クロックの周波数です。 BAUDDIV は整数値 (BAUDDIVINT) と小数値 (BAUDDIVFRAC) から構成されます</p>

- 注 1) UARTFBRD のデータアップは、UARTLCR_H が最後に書き込み実行された時に行われます。詳細については、UARTLCR_H の内容を参照して下さい。
- 注 2) UARTCR<UARTEN> を 1 にする前に設定して下さい。
- 注 3) ボーレート除数の整数部に 0 を設定することはできません。また、ボーレート除数の小数部にも同様に設定することはできません。ボーレート除数に設定できる最小値は、"1" です。(整数値に "1" を設定すると、小数部に "0" を設定することはできません。)

例：除数値の計算

要求されるボーレートが、230400 で $f_{UARTCLK} = 4 \text{ MHz}$ の場合：

ボーレート除数 = $(4 \times 10^6) / (16 \times 230400) = 1.085$

したがって、BRDI = 1、BRDF = 0.085

上記から、小数部 $((0.085 \times 64) + 0.5) = 5.94$.

となり、整数値は、m=0x5

生成されるボーレート除数 = $1 + 5/64 = 1.078$

生成されるボーレート = $(4 \times 10^6) / (16 \times 1.078) = 231911$

誤差 = $(231911 - 230400) / 230400 \times 100 = 0.656 \%$

6 ビット UARTFBRD レジスタを使用した時の最大誤差は、 $= 1/64 \times 100 = 1.56 \%$

この誤差は、m = 1 の時に発生し、64 クロック間の累積誤差です。

標準ボーレート設定例

fUARTCLK = 40MHz 動作時

設定する整数値 (除数) (0x0000 ~ 0xFFFF)	設定する小数値 (除数) (0x00 ~ 0x3F)	要求される ビットレート (bps)	生成される ビットレート (bps)	誤差 (%)
0x0001x	0x01	-	2461538 (最高速)	-
0x0005	0x1B	460800	461095.1009	0.0640
0x0003	0x15	750000	751173.7089	0.1565
0x000A	0x36	230400	230547.5504	0.0640
0x0015	0x2D	115200	115190.7847	-0.0080
0x0020	0x23	76800	76812.28997	0.0160
0x002B	0x1A	57600	57595.39237	-0.0080
0x0041	0x07	38400	38396.92825	-0.0080
0x0082	0x0D	19200	19200.76803	0.0040
0x00AD	0x27	14400	14400.144	0.0010
0x0104	0x1B	9600	9599.808004	-0.0020
0x0411	0x2B	2400	2399.988	-0.0005
0x0823	0x15	1200	1200.003	0.0003
0x58C7	0x11	110	110.0000344	0.0000

16.3.8 UARTLCR_H (UART Line control register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	Undefined	Undefined	Undefined	Undefined	Undefined	Undefined	Undefined	Undefined
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	Undefined	Undefined	Undefined	Undefined	Undefined	Undefined	Undefined	Undefined
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
After reset	Undefined	Undefined	Undefined	Undefined	Undefined	Undefined	Undefined	Undefined
	7	6	5	4	3	2	1	0
bit symbol	SPS	WLEN		FEN	STP2	EPS	PEN	BRK
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-8	–	R	Read as undefined.
7	SPS	RW	スティックパリティ選択: UARTLCR_H レジスタのビット <SPS><EPS><PEN> がセットされている場合は、パリティビットが送信され、0 としてチェックされます。ビット <PEN> と <SPS> がセットされ、ビット <EPS> が 0 の場合には、パリティビットが送信され、1 としてチェックされます。このビットがクリアされると、スティックパリティビットがディセーブルされます。<SPS>、<EPS> ならびに <PEN> ビットの真理値表については、表 16-1 を参照して下さい。
6-5	WLEN[1:0]	RW	ワード長: 00: 5bit 01: 6bit 10: 7bit 11: 8bit これらのビットは、フレームで送信または受信されたデータビットの数を示します。
4	FEN	RW	イネーブル FIFO: 0: 文字モード (FIFO モード無効) 1: FIFO モード このビットに 1 がセットされると、送信および受信 FIFO バッファがイネーブルされます (FIFO モード)。このビットが 0 にクリアされると、これらの FIFO はディセーブルされ (文字モード) 1 バイトの保持レジスタになります。
3	STP2	RW	ストップビット選択: 0: 1bit 1: 2 bit このビットが 1 にセットされると、フレームの終わりで 2 つのストップビットが送信されます。受信ロジックは、受信中の 2 つのストップビットをチェックしません。
2	EPS	RW	偶数パリティ選択: 0: Odd 1: Even このビットに 1 がセットされると、送信中または受信中に偶数パリティの生成とチェックが実行されます。このチェックでは、データビットとパリティビットに含まれる 1 の数が偶数個かどうかをチェックされます。このビットが 0 にクリアされると、1 の数が奇数個かどうかをチェックする奇数パリティチェックが実行されます。パリティイネーブル (ビット <PEN>) が 0 にクリアされることによってパリティがディセーブルされている場合には、このビットの作用はありません。<SPS>、<EPS> ならびに <PEN> ビットの真理値表については、表 16-1 を参照して下さい。
1	PEN	RW	パリティイネーブル: 0: Disable 1: Enable このビットに 1 がセットされている場合は、パリティのチェックおよび生成がイネーブルされ、それ以外の場合には、パリティがディセーブルされ、データフレームにパリティビットが追加されません。<SPS>、<EPS> ならびに <PEN> ビットの真理値表については、表 16-1 を参照して下さい。
0	BRK	RW	送信ブレーク: 0: ブレーク送信しない 1: ブレーク送信する このビットに 1 がセットされている場合には、現在の文字の送信完了後に、U0TXD 出力に LOW レベルが出力され続けます。ブレーク条件を生成するためには、少なくとも 1 フレームの送信時間はこのビットをアサートする必要があります。ブレーク条件が生成されても、送信 FIFO の内容は影響を受けません。通常操作の場合には、このビットを 0 にクリアする必要があります。

注) UARTIBRD または UARTFBRD の内容を更新するには、UARTLCR_H の書き込みを常に最後に実行する必要があります。

表 16-1 は、UARTLCR_H レジスタの <SPS>、<EPS> ならびに <PEN> ビットの真理値表を示しています。

表 16-1 真理値表 UARTLCR _H <SPS>, <EPS>, <PEN>

パリティイ ネーブル <PEN>	偶数パリティ 選択 <EPS>	スティックパ リティ選択 <SPS>	パリティ選択 (送信またはチェック)
0	×	×	送信およびチェックなし
1	1	0	偶数パリティ
1	0	0	奇数パリティ
1	0	1	1
1	1	1	0

16.3.9 UARTCR (UART Control register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	Undefined	Undefined	Undefined	Undefined	Undefined	Undefined	Undefined	Undefined
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	Undefined	Undefined	Undefined	Undefined	Undefined	Undefined	Undefined	Undefined
	15	14	13	12	11	10	9	8
bit symbol	CTSEN	RTSEN	-	-	RTS	DTR	RXE	TXE
After reset	0	0	Undefined	Undefined	0	0	1	1
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	UARTEN
After reset	0	Undefined	Undefined	Undefined	Undefined	Undefined	Undefined	0

Bit	Bit Symbol	Type	Function
31-16	–	R	Read as undefined.
15	CTSEN	RW	CTS ハードウェアフロー制御イネーブル： 0: Disable 1: Enable このビットが 1 にセットされると、CTS ハードウェアフロー制御がイネーブルされます。データは $\overline{U0CTS}$ 信号がアサートされて初めて制御されます。
14	RTSEN	RW	RTS ハードウェアフロー制御イネーブル： 0: Disable 1: Enable このビットが 1 にセットされると、RTS ハードウェアフロー制御がイネーブルされます。データは、受信 FIFO にそのデータを受信する空間がある場合にのみ要求されます。
13-12	–	R	Read as undefined.
11	RTS	RW	送信要求 (RTS)： 0: モデムステータス出力を 1 にします 1: モデムステータス出力を 0 にします このビットは送信要求 (RTS) 出力の補数です。このビットに 1 がセットされていると、出力は 0 になります。
10	DTR	RW	データ送信準備完了 (DTS)： 0: Modem status output is 1 1: Modem status output is 0 このビットはデータ送信準備完了 (DTS) 出力の補数です。このビットに 1 がセットされていると、出力は 0 になります。
9	RXE	RW	受信イネーブル： 0: Disable 1: Enable このビットが 1 にセットされると、受信セクションがイネーブルされます。データ受信は、UART 信号で発生します。受信の途中で、UART がディセーブルされると、現在の文字の受信終了後に停止します。
8	TXE	RW	送信イネーブル： 0: Dsiable 1: Enable このビットが 1 にセットされると、送信セクションがイネーブルされます。データ送信は、UART 信号で発生します。送信の途中で、UART がディセーブルされると、現在の文字の送信終了後に停止します。
7	–	RW	Write 0.
6-3	–	R	Read as undefined.
2	–	RW	Write 0.
1	–	RW	Write 0.
0	UARTEN	R/W	UART イネーブル： 0: Disable 1: Enable このビットに 1 がセットされると、UART が許可されます。データの送信および受信は、UART 信号で発生します。UART は送信または受信の途中でディセーブルされると、現在の文字の伝送終了後に停止します。

16.3.10 UARTIFLS (UART Interrupt FIFO level select register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	Undefined	Undefined	Undefined	Undefined	Undefined	Undefined	Undefined	Undefined
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	Undefined	Undefined	Undefined	Undefined	Undefined	Undefined	Undefined	Undefined
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
After reset	Undefined	Undefined	Undefined	Undefined	Undefined	Undefined	Undefined	Undefined
	7	6	5	4	3	2	1	0
bit symbol	-	-	RXIFLSEL			TXIFLSEL		
After reset	Undefined	Undefined	0	1	0	0	1	0

Bit	Bit Symbol	Type	Function
31-6	-	R	Read as undefined .
5-3	RXIFLSEL[2:0]	RW	受信割り込み FIFO レベル選択 : 受信割り込みのトリガポイントは次の通り (1word = 12bit) 000: 受信 FIFO ≥ 1/8 フル (2word 目が受信 FIFO に格納されたとき) 001: 受信 FIFO ≥ 1/4 フル (4word 目が受信 FIFO に格納されたとき) 010: 受信 FIFO ≥ 1/2 フル (8word 目が受信 FIFO に格納されたとき) 011: 受信 FIFO ≥ 3/4 フル (12word 目が受信 FIFO に格納されたとき) 100: 受信 FIFO ≥ 7/8 フル (14word 目が受信 FIFO に格納されたとき) 101 ~ 111: 予約
2-0	TXIFLSEL[2:0]	RW	送信割り込み FIFO レベル選択 : 送信割り込みのトリガポイントは次の通り (1word = 8bit) 000: 送信 FIFO ≤ 1/8 フル (送信 FIFO が残り 2 word になったとき) 001: 送信 FIFO ≤ 1/4 フル (送信 FIFO が残り 4 word になったとき) 010: 送信 FIFO ≤ 1/2 フル (送信 FIFO が残り 8 word になったとき) 011: 送信 FIFO ≤ 3/4 フル (送信 FIFO が残り 12 word になったとき) 100: 送信 FIFO ≤ 7/8 フル (送信 FIFO が残り 14 word になったとき) 101 ~ 111: 予約

UARTIFLS レジスタは割り込み FIFO レベル選択レジスタです。この UARTIFLS レジスタを使用して、UARTTXINTR および UARTRXINTR がトリガされる FIFO レベルを定義することができます。

割り込みは、FIFO レベルに基づくのではなく、そのレベルを経由する遷移に基づいて生成されず。従って、選択された FIFO レベルのフルを超えた時に割り込みのトリガが生成されます。たとえば、2word のデータ受信後、3word 目データが受信 FIFO に格納されたときに割り込みが発生されます。

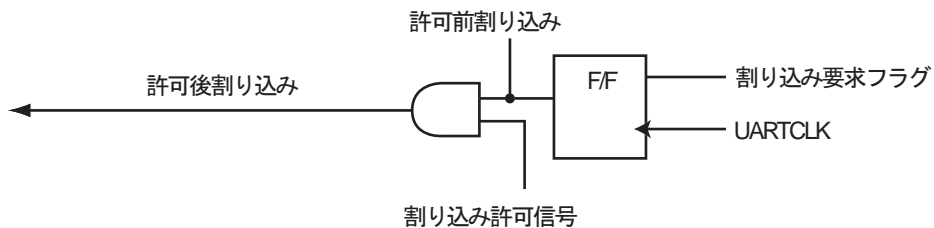
16.3.11 UARTIMSC (UART Interrupt mask set/clear register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	Undefined	Undefined	Undefined	Undefined	Undefined	Undefined	Undefined	Undefined
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	Undefined	Undefined	Undefined	Undefined	Undefined	Undefined	Undefined	Undefined
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	OEIM	BEIM	PEIM
After reset	Undefined	Undefined	Undefined	Undefined	Undefined	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	FEIM	RTIM	TXIM	RXIM	-	-	CTSMIM	-
After reset	0	0	0	0	Undefined	Undefined	0	Undefined

Bit	Bit Symbol	Type	Function
31-11	-	R	Read as undefined.
10	OEIM	RW	オーバランエラー割り込みマスク： 0: 禁止 1: 許可
9	BEIM	RW	ブレークエラー割り込みマスク： 0: 禁止 1: 許可
8	PEIM	RW	パリティエラー割り込みマスク： 0: 禁止 1: 許可
7	FEIM	RW	フレーミングエラー割り込みマスク： 0: 禁止 1: 許可
6	RTIM	RW	受信タイムアウト割り込みマスク： 0: 禁止 1: 許可
5	TXIM	RW	送信割り込みマスク： 0: 禁止 1: 許可
4	RXIM	RW	受信割り込みマスク： 0: 禁止 1: 許可
3	-	RW	Write 0.
2	-	RW	Write 0.
1	CTSMIM	RW	CTS モデム割り込みマスク： 0: 禁止 1: 許可
0	-	RW	Write 0.

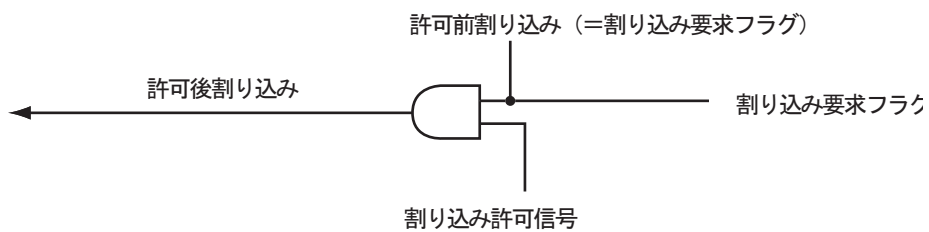
•UART 割り込み発生回路

1. ブレークエラー (<BE>), パリティエラー (<PE>), フレーミングエラー (<FE>) フラグの発生回路



- 割り込み要求フラグはリアルタイムに変化し、F/F に入力されて UARTCLK 同期で保持されます。各フラグは、割り込みクリアレジスタの該当するビットに "1" が書かれた場合にクリアされます。

2. オーバランエラー (<OE>) フラグの発生回路 .



- オーバランエラー (OE) により割り込み要求フラグ状態は、リアルタイムに変化し、状態は保持されません。OE フラグは、受信 FIFO をリードするとクリアされます。

16.3.12 UARTRIS (UART Raw interrupt status register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	Undefined	Undefined	Undefined	Undefined	Undefined	Undefined	Undefined	Undefined
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	Undefined	Undefined	Undefined	Undefined	Undefined	Undefined	Undefined	Undefined
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	OERIS	BERIS	PERIS
After reset	Undefined	Undefined	Undefined	Undefined	Undefined	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	FERIS	RTRIS	TXRIS	RXRIS	-	-	CTSRMIS	-
After reset	0	0	0	0	Undefined	Undefined	Undefined	Undefined

Bit	Bit Symbol	Type	Function
31-11	-	R	Read as undefined.
10	OERIS	R	オーバランエラー割り込みステータス： 0: 割り込み要求なし 1: 割り込み要求
9	BERIS	R	ブレークエラー割り込みステータス： 0: 割り込み要求なし 1: 割り込み要求
8	PERIS	R	パリティエラー割り込みステータス： 0: 割り込み要求なし 1: 割り込み要求
7	FERIS	R	フレーミングエラー割り込みステータス： 0: 割り込み要求なし 1: 割り込み要求
6	RTRIS	R	受信タイムアウト割り込みステータス： 0: 割り込み要求なし 1: 割り込み要求
5	TXRIS	R	送信割り込みステータス： 0: 割り込み要求なし 1: 割り込み要求
4	RXRIS	R	受信割り込みステータス： 0: 割り込み要求なし 1: 割り込み要求
3	-	R	Read as undefined.
2	-	R	Read as undefined.
1	CTSRMIS	R	CTS モデム割り込みステータス： 0: 割り込み要求なし 1: 割り込み要求
0	-	R	Read as undefined.

注) モデムの状態の割り込みビット (3 ~ 0) を除き、全てのビットは、リセット時 0 にクリアされます。なおモデムの状態は定義されません。

16.3.13 UARTMIS (UART Masked interrupt status register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	Undefined	Undefined	Undefined	Undefined	Undefined	Undefined	Undefined	Undefined
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	Undefined	Undefined	Undefined	Undefined	Undefined	Undefined	Undefined	Undefined
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	OEMIS	BEMIS	PEMIS
After reset	Undefined	Undefined	Undefined	Undefined	Undefined	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	FEMIS	RTMIS	TXMIS	RXMIS	-	-	CTSMMIS	-
After reset	0	0	0	0	Undefined	Undefined	Undefined	Undefined

Bit	Bit Symbol	Type	Function
31-11	-	R	Read as undefined.
10	OEMIS	R	オーバランエラーマスク割り込みステータス : 0: 割り込み要求なし 1: 割り込み要求
9	BEMIS	R	ブレークエラーマスク割り込みステータス : 0: 割り込み要求なし 1: 割り込み要求
8	PEMIS	R	パリティエラーマスク割り込みステータス : 0: 割り込み要求なし 1: 割り込み要求
7	FEMIS	R	フレーミングエラーマスク割り込みステータス : 0: 割り込み要求なし 1: 割り込み要求
6	RTMIS	R	受信タイムアウトマスク割り込みステータス : 0: 割り込み要求なし 1: 割り込み要求
5	TXMIS	R	送信マスク割り込みステータス : 0: 割り込み要求なし 1: 割り込み要求
4	RXMIS	R	受信マスク割り込みステータス : 0: 割り込み要求なし 1: 割り込み要求
3	-	R	Read as undefined.
2	-	R	Read as undefined.
1	CTSMMIS	R	CTS モデムマスク割り込みステータス : 0: 割り込み要求なし 1: 割り込み要求
0	-	R	Read as undefined.

注) モデムステータスの割り込みビット (3-0) を除き、全てのビットは、リセット時にクリアされます。なおモデムステータス割り込みビットの状態は定義されません。 .

16.3.14 UARTICR (UART Interrupt clear register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	Undefined	Undefined	Undefined	Undefined	Undefined	Undefined	Undefined	Undefined
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	Undefined	Undefined	Undefined	Undefined	Undefined	Undefined	Undefined	Undefined
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	OEIC	BEIC	PEIC
After reset	Undefined	Undefined	Undefined	Undefined	Undefined	Undefined	Undefined	Undefined
	7	6	5	4	3	2	1	0
bit symbol	FEIC	RTIC	TXIC	RXIC	-	-	CTSMIC	-
After reset	Undefined	Undefined	Undefined	Undefined	Undefined	Undefined	0	Undefined

Bit	Bit Symbol	Type	Function
31-11	-	W	Write 0.
10	OEIC	W	オーバランエラー割り込みクリア : 0: 無効 1: クリア
9	BEIC	W	ブレークエラー割り込みクリア : 0: 無効 1: クリア
8	PEIC	W	パリティエラー割り込みクリア : 0: 無効 1: クリア
7	FEIC	W	フレーミングエラー割り込みクリア : 0: 無効 1: クリア
6	RTIC	W	受信タイムアウト割り込みクリア : 0: 無効 1: クリア
5	TXIC	W	送信割り込みクリア : 0: 無効 1: クリア
4	RXIC	W	受信割り込みクリア : 0: 無効 1: クリア
3	-	W	Write 0.
2	-	W	Write 0.
1	CTSMIC	W	CTS モデム割り込みクリア : 0: 無効 1: クリア
0	-	W	Write 0.

注) UARTICR レジスタは、書き込みオンリーの割り込みクリアレジスタです。このレジスタのビットが1にセットされると、対応する割り込みがクリアされます。0の書き込みは無効です。

16.3.15 UARTDMACR (UART DMA control register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	DMAONERR	TXDMAE	RXDMAE
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-3	-	R	Read as undefined.
2	DMAONERR	RW	DMA オンエラー : 0: エラー時非制御 1: エラー時制御 このビットが 1 にセットされると、UART エラー割り込みがアサートされた時に、DMA 受信要求出力、UARTRXDMASREQ (UART receive DMA request (single)) または UARTRXDMABREQ (UART receive DMA request (burst)) がディセーブルされます。
1	TXDMAE	RW	送信 DMA イネーブル : 0: 禁止 1: 許可
0	RXDMAE	RW	受信 DMA イネーブル : 0: 禁止 1: 許可

注 1) 例えば、19 文字を受信する必要がある時に、ウォーターマークレベル (UARTIFLS<RXIFLSEL[2:0]>) が 4 になるようにプログラムされている場合には、DMA コントローラは 4 文字のバーストを 4 回転送し、3 回のシングル転送を行ってストリームを完了させます。

注 2) DMA コントローラを用いた送信 / 受信 FIFO のデータ送信の場合、バス幅を、8bit にする必要があります。

16.4 動作説明

16.4.1 ボーレートジェネレータ

ボーレートジェネレータは、UART 送信 / 受信制御のタイミングを生成する内部クロック (Baud16) で構成されています。

16.4.2 送信 FIFO

送信 FIFO は、8 ビットの幅と 16 段の深さを持つ FIFO メモリバッファです。APB インタフェース経由で書き込まれた CPU データは、送信ロジックによって読み出されるまで、この FIFO にストアされます。送信 FIFO はディセーブルすることによって 1 バイト保持レジスタのように動作させることができます。

16.4.3 受信 FIFO

受信 FIFO は、12 ビットの幅と 16 段の深さを持つ FIFO メモリバッファです。受信データと対応するエラービットは、APB インタフェース経由で CPU によって読み出されるまで、受信ロジックによって受信 FIFO にストアされます。受信 FIFO はディセーブルすることによって 1 バイト保持レジスタのように動作させることができます。

16.4.4 送信ロジック

送信ロジックは送信 FIFO から読み出されたデータの平行 / シリアル変換を行います。制御ロジックは、制御レジスタ内にプログラムされたコンフィグレーションに基づき、スタートビット、最下位ビット (LSB) で始まるデータビット、その後パリティビット、ストップビットと続くシリアルビットストリームを出力します。

16.4.5 受信ロジック

受信ロジックは、スタートビット検出後に受信されたビットストリームのシリアル / 平行変換を行います。オーバラン、パリティ、フレームの各エラーチェックとラインブレイクの検出も行われ、オーバラン、パリティ、フレーミング、ブレイクのエラービットに関連するデータが受信 FIFO に書き込まれます。

16.4.6 割り込み生成ロジック

UART は、割り込み要因別にマスク可能な結合割り込みを出力します

16.4.7 割り込み発生タイミング

割り込み種類	割り込み発生タイミング
オーバランエラー発生	過剰データの STOP ビット受信後
ブ레이크エラー 割り込み	STOP ビット受信後
パリティエラー発生	パリティデータ受信後
フレーミングエラー発生	フレームオーバーとなる Bit データを受信した後
受信タイムアウト割り込み	受信 FIFO にデータを取り込んでから、Baud16 の 511 クロック後
送信割り込み	最終 DATA (MSB データ) を送信した後
受信割り込み	STOP ビット受信後

注) STOP ビットは最終 STOP ビットのことを意味します。(UARTLCR_H<STP2> で STOP ビット選択 1/2 ビット可能)。

16.4.8 UART 割り込みブロック図

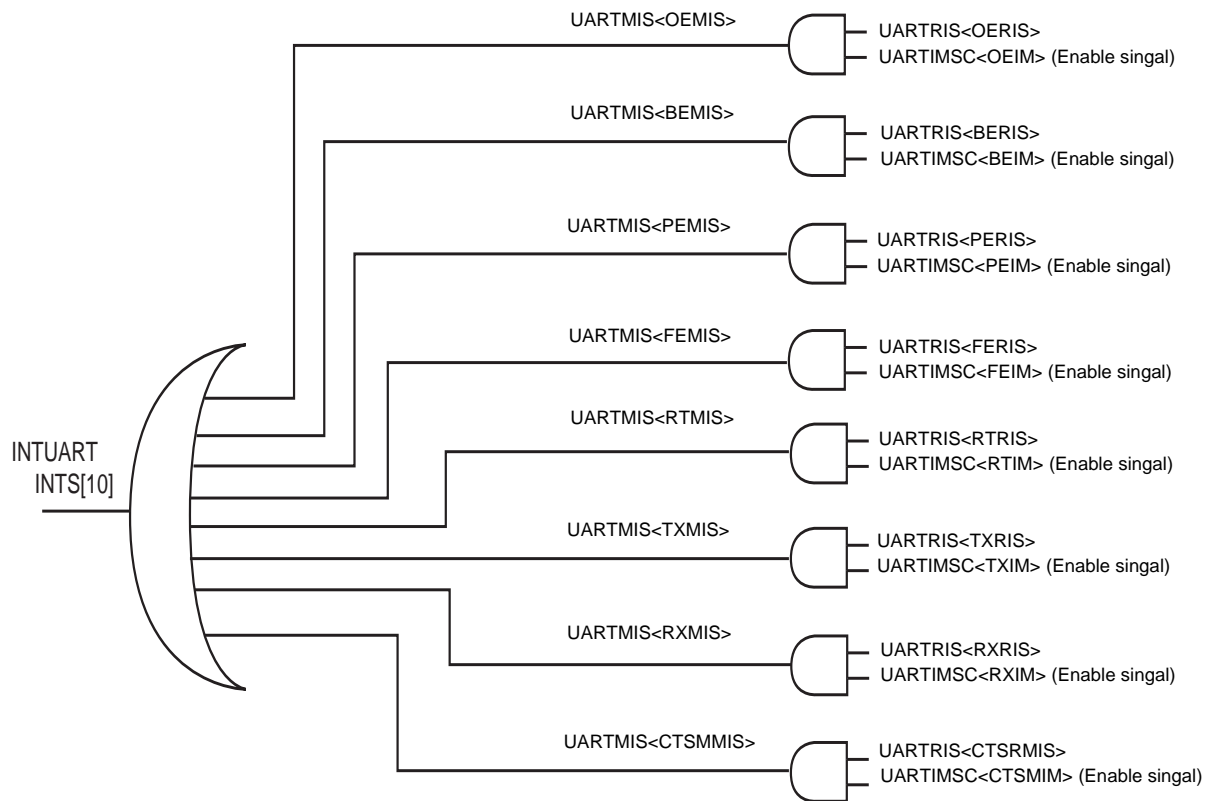


図 16-2 UART 割り込みブロック

16.4.9 DMA インタフェース

UART は、DMA をサポートしています。

16.4.10 ハードウェアフロー制御

ハードウェアフロー制御機能は選択可能であり、 $\overline{U0RTS}$ 出力シグナルと $\overline{U0CTS}$ 入力シグナルを用いてシリアルデータフローを制御することができます。

図 16-3 は、2つのデバイスがハードウェアフロー制御を用いてどのように通信するかを示しています。

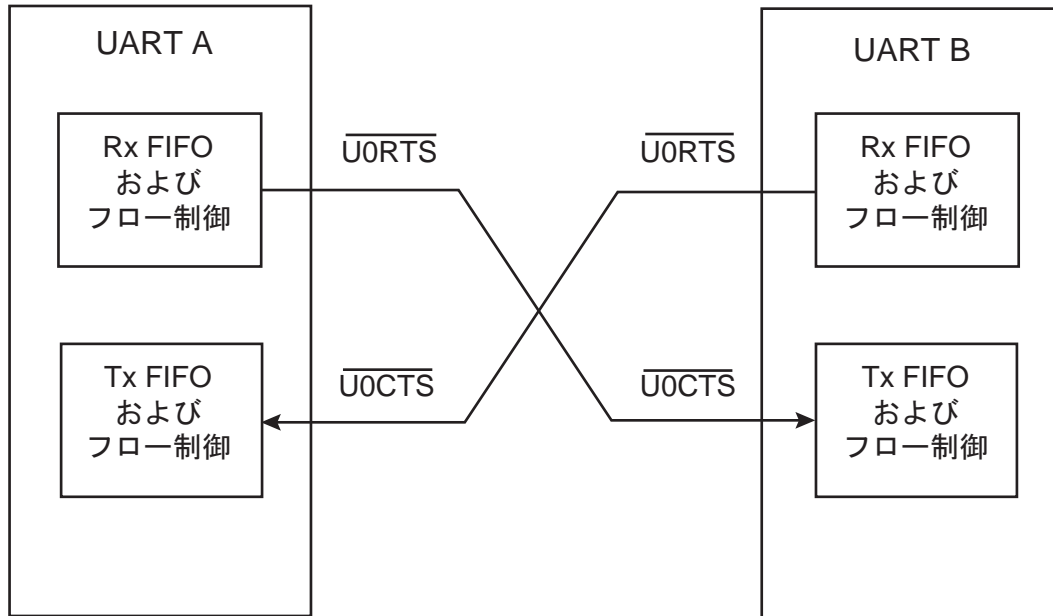


図 16-3 ハードウェアフロー制御

1. RTS フロー制御

RTS フロー制御ロジックは、プログラム可能な受信 FIFO ウォーターマークレベル (UARTIFLS<RXIFLSEL[2:0]>) にリンクしています。RTS フロー制御がイネーブルされている場合は、受信 FIFO がウォーターマークレベル未満の場合 $\overline{U0RTS}$ がアサートされます。受信 FIFO がウォーターマークレベル以上になると、 $\overline{U0RTS}$ がアサート解除され、データを受信するための空き場所がないことを示します。

受信 FIFO からデータが読み出され、ウォーターマークレベル未満になると、 $\overline{U0RTS}$ シグナルが再度アサートされます。

RTS フロー制御がディセーブル状態でも通信は可能です。

2. CTS フロー制御

CTS フロー制御がイネーブルされている場合、送信する前に $\overline{U0CTS}$ をチェックします。 $\overline{U0CTS}$ がアサートされていれば送信しますが、アサートされていなければ送信は発生しません。

$\overline{U0CTS}$ がアサートされ、かつ送信 FIFO が空でない間はデータが送信され続けます。送信 FIFO が空であれば、 $\overline{U0CTS}$ がアサートされていてもデータは送信されません。

CTS フロー制御がイネーブルされている時に $\overline{U0CTS}$ がアサート解除された場合には、現在送信中のデータが完了してから停止します。

CTS フロー制御がディセーブル状態でも通信は可能です。

表 16-2 ハードウェアフロー制御のイネーブル/ディセーブルに用いる制御ビット

UARTCR		$\overline{U0RTS}$	説 明
<CTSEN>	<RTSEN>		
1	1	0(注)	設定禁止
1	0	1	CTS フロー制御のみがイネーブルされます。
0	1	0(注)	設定禁止
0	0	1	設定禁止

注) <RTSEN> =1(Enable) の時は受信 FIFO がウォーターマークレベルに達するまで $\overline{U0RTS}$ = 0(Enable) となります。

第 17 章 シリアルバスインタフェース (I2C/SIO)

シリアルバスインタフェースを 1 チャンネル内蔵しています。シリアルバスインターフェースは、I2C バスモード (マルチマスタ) を持っています。

I2C バスモードでは、SCL および SDA を通して外部デバイスと接続されます。

表 17-1 シリアルバスインタフェース使用時のポート設定

チャンネル	動作モード	端子	ポート ファンクション レジスタ設定	ポート 出力コントロール レジスタ設定	ポート 入力コントロール レジスタ設定	ポート オープンドレイン コントロール レジスタ設定
SBI	I2C バスモード	SCL0 : PB4 SDA0 : PB5	PBFR1[5:4] = 11	PBCR[5:4] = 11	PBIE[5:4] = 11	PBOD[5:4] = 11

注) 内部のハードとしては、I2C と SIO をサポートしますが、本製品では、I2C 1Ch のみサポートします。SIO モードの設定を行わないでください。

17.1 構成

構成を図 17-1 に示します。

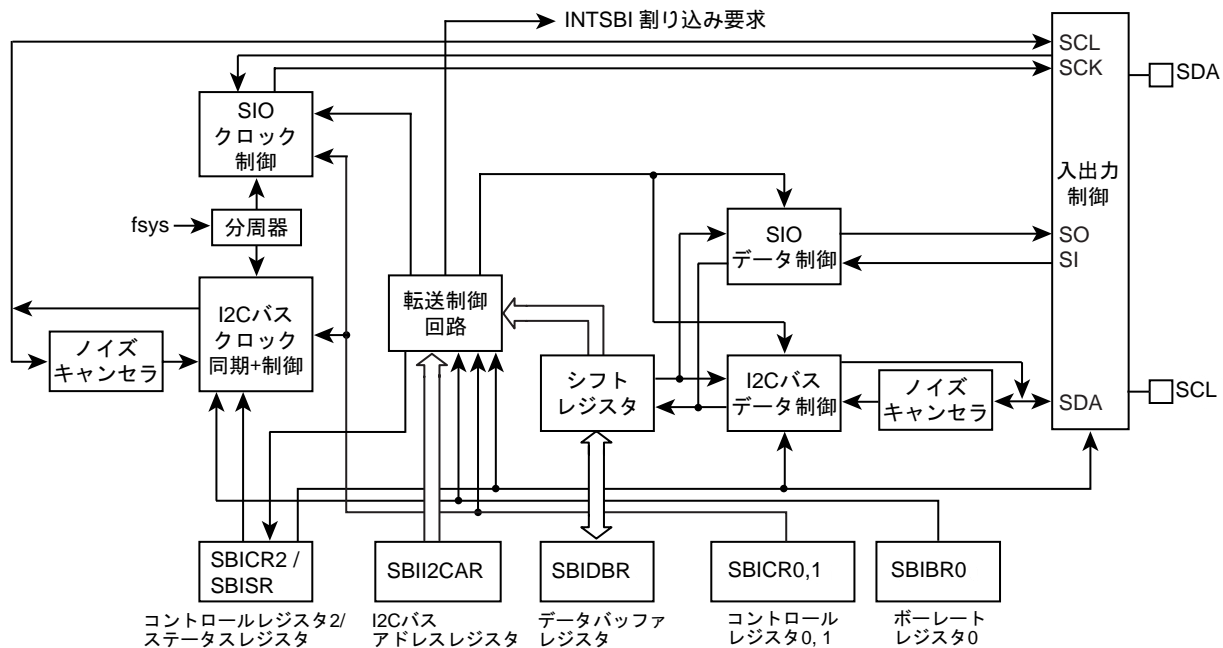


図 17-1 シリアルバスインタフェースブロック図

17.2 レジスタ説明

シリアルバスインタフェースの制御および動作状態のモニタを行うレジスタとアドレスは以下のとおりです。

17.2.1 チャンネル別レジスタ一覧

各チャンネルのレジスタとアドレスを示します。

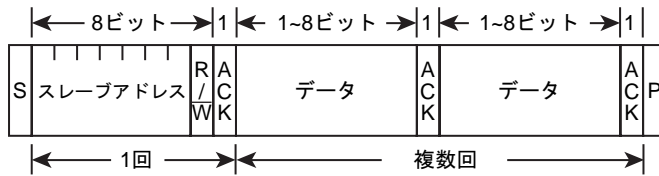
Base Address = 0x400E_0000

レジスタ名		Address(Base+)
コントロールレジスタ 0	SBICR0	0x0000
コントロールレジスタ 1	SBICR1	0x0004
データバッファレジスタ	SBIDBR	0x0008
I2C バスアドレスレジスタ	SBII2CAR	0x000C
コントロールレジスタ 2	SBICR2(ライト時)	0x0010
ステータスレジスタ	SBISR(リード時)	
ポーレートレジスタ 0	SBIBR0	0x0014

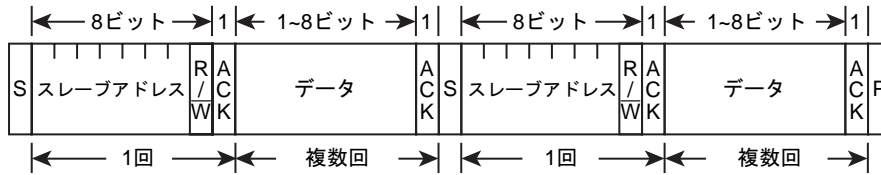
17.3 I2C バスモード時のデータフォーマット

I2C バスモード時のデータフォーマットを図 17-2 に示します。

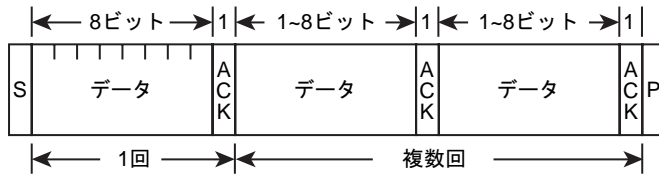
(a) アドレッシングフォーマット



(b) アドレッシングフォーマット (再スタートあり)



(c) フリーデータフォーマット (マスタデバイスからスレーブデバイスへデータを転送する転送フォーマット)



注) S: スタートコンディション
 R/W: 方向ビット
 ACK: アクノリッジビット
 P: ストップコンディション

図 17-2 I2C バスモード時のデータフォーマット

17.4 I2C バスモード時のコントロールレジスタ

シリアルバスインタフェースを I2C バスモードで使用するときの制御、および動作状態のモニタは以下のレジスタで行います。

17.4.1 SBICR0(コントロールレジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SBIEN	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると "0" が読めます。
7	SBIEN	R/W	シリアルバスインタフェース動作 0: 禁止 1: 許可 シリアルバスインタフェースを使用する場合、まずこのビットを許可にしてください。 許可の設定をして初めて、SBI に関連するレジスタのリード、ライトが可能になります。 禁止の場合、SBICR0 を除くすべてのクロックが停止しますので消費電力の低減が可能です。 いったん許可した後に禁止にした場合、各レジスタの設定は保持されます。
6-0	-	R	リードすると "0" が読めます。

注) シリアルバスインタフェースを使用する場合、まずこのビットを許可にしてください。

17.4.2 SBICR1(コントロールレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	BC			ACK	-	SCK2	SCK1	SCK0 / SWRMON
リセット後	0	0	0	0	1	0	0	1(注 2)

Bit	Bit Symbol	Type	機能																																																	
31-8	-	R	リードすると "0" が読めます。																																																	
7-5	BC[2:0]	R/W	転送ビット数の選択 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th rowspan="2"><BC></th> <th colspan="2"><ACK> = 0 のとき</th> <th colspan="2"><ACK> = 1 のとき</th> </tr> <tr> <th>クロック数</th> <th>データ長</th> <th>クロック数</th> <th>データ長</th> </tr> </thead> <tbody> <tr><td>000</td><td>8</td><td>8</td><td>9</td><td>8</td></tr> <tr><td>001</td><td>1</td><td>1</td><td>2</td><td>1</td></tr> <tr><td>010</td><td>2</td><td>2</td><td>3</td><td>2</td></tr> <tr><td>011</td><td>3</td><td>3</td><td>4</td><td>3</td></tr> <tr><td>100</td><td>4</td><td>4</td><td>5</td><td>4</td></tr> <tr><td>101</td><td>5</td><td>5</td><td>6</td><td>5</td></tr> <tr><td>110</td><td>6</td><td>6</td><td>7</td><td>6</td></tr> <tr><td>111</td><td>7</td><td>7</td><td>8</td><td>7</td></tr> </tbody> </table>	<BC>	<ACK> = 0 のとき		<ACK> = 1 のとき		クロック数	データ長	クロック数	データ長	000	8	8	9	8	001	1	1	2	1	010	2	2	3	2	011	3	3	4	3	100	4	4	5	4	101	5	5	6	5	110	6	6	7	6	111	7	7	8	7
<BC>	<ACK> = 0 のとき		<ACK> = 1 のとき																																																	
	クロック数	データ長	クロック数	データ長																																																
000	8	8	9	8																																																
001	1	1	2	1																																																
010	2	2	3	2																																																
011	3	3	4	3																																																
100	4	4	5	4																																																
101	5	5	6	5																																																
110	6	6	7	6																																																
111	7	7	8	7																																																
4	ACK	R/W	マスターモード 0: アクノリッジのためのメントクロックを発生しない 1: アクノリッジのためのメントクロックを発生する スレーブモード 0: アクノリッジのためのメントクロックをカウントしない 1: アクノリッジのためのメントクロックをカウントする																																																	
3	-	R	リードすると "1" が読めます。																																																	
2-1	SCK[2:1]	R/W	内部 SCL 出力クロックの周波数選択 <SCK[2:0]>@ ライト (注 1)																																																	
0	SCK[0]	W	<table border="1" style="margin-left: 20px;"> <tbody> <tr><td>000</td><td>n = 5</td><td>385 kHz</td></tr> <tr><td>001</td><td>n = 6</td><td>294 kHz</td></tr> <tr><td>010</td><td>n = 7</td><td>200 kHz</td></tr> <tr><td>011</td><td>n = 8</td><td>122 kHz</td></tr> <tr><td>100</td><td>n = 9</td><td>68 kHz</td></tr> <tr><td>101</td><td>n = 10</td><td>36 kHz</td></tr> <tr><td>110</td><td>n = 11</td><td>19 kHz</td></tr> <tr><td>111</td><td></td><td>reserved</td></tr> </tbody> </table> <div style="margin-left: 40px;"> システムクロック: f_{sys} (= 40MHz) クロックギア: $fc/1$ 周波数 = $\frac{f_{sys}}{2^n + 72}$ [Hz] </div>	000	n = 5	385 kHz	001	n = 6	294 kHz	010	n = 7	200 kHz	011	n = 8	122 kHz	100	n = 9	68 kHz	101	n = 10	36 kHz	110	n = 11	19 kHz	111		reserved																									
000	n = 5	385 kHz																																																		
001	n = 6	294 kHz																																																		
010	n = 7	200 kHz																																																		
011	n = 8	122 kHz																																																		
100	n = 9	68 kHz																																																		
101	n = 10	36 kHz																																																		
110	n = 11	19 kHz																																																		
111		reserved																																																		
	SWRMON	R	ソフトウェアリセット状態モニタ <SWRMON>@ リード 0: ソフトウェアリセット中 1: ソフトウェアリセット中ではない																																																	

- 注 1) SCL ラインクロックの周波数については、「17.5.1 シリアルクロック」を参照してください。
- 注 2) <SCK[0]/SWRMON> は、リセット後 "1" が読み出されます。
- 注 3) 読み出しの初期値とは関係なく、周波数選択の初期値は <SCK[2:0]>=000 です。
- 注 4) **マスターモードで <BC[2:0]>="001" で <ACK>="0" のとき、ストップコンディション発生後の SCL ラインの立下りによって、SCL ラインが "L" に固定されることがあり、他のマスタデバイスがバスを使用できなくなります。複数のマスタデバイスがバスに接続されている場合、ストップコンディション発生前に、転送ビット数を "2" 以上にしてください。**

17.4.3 SBICR2(コントロールレジスタ 2)

このレジスタをリードすると、SBISR レジスタとして機能します。

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	MST	TRX	BB	PIN	SBIM		SWRST	
リセット後	0	0	0	1	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると "0" が読めます。
7	MST	W	マスタモード / スレーブモードの選択 0: スレーブモード 1: マスタモード
6	TRX	W	送信 / 受信の選択 0: 受信 1: 送信
5	BB	W	スタート / ストップ状態の発生 0: ストップ状態発生 1: スタート状態発生
4	PIN	W	INTSBI 割り込み要求解除 0: - 1: 割り込み要求の解除
3-2	SBIM[1:0]	W	シリアルバスインタフェースの動作モード選択 (注) 00: ポートモード (シリアルバスインタフェースの出力禁止) 01: Reserved 10: I2C バスモード 11: Reserved
1-0	SWRST[1:0]	W	ソフトウェアリセットの発生 最初に "10"、次に "01" をライトすると、ソフトウェアリセットが発生します。

注) 通信中はモードを切り替えないでください。
 ポートモードへの切り替えはバスフリーを確認してから行ってください。
 また、ポートモードから I2C バスモードへの切り替えは、ポートの状態が "High" になっていることを確認してから行ってください。

17.4.4 SBISR(ステータスレジスタ)

このレジスタをライトすると、SBICR2 として機能します。

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	MST	TRX	BB	PIN	AL	AAS	ADO	LRB
リセット後	0	0	0	1	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると "0" が読めます。
7	MST	R	マスタ / スレーブ選択状態モニタ 0: スレーブモード 1: マスタモード
6	TRX	R	トランスミッタ / レシーバ選択状態モニタ 0: レシーバ 1: トランスミッタ
5	BB	R	I2C バス状態モニタ 0: バスフリー 1: バスビジー
4	PIN	R	INTSBI 割り込み要求状態モニタ 0: 割り込みサービス要求中 1: 割り込みサービス要求解除中
3	AL	R	アービトラージョンロスト検出モニタ 0: - 1: 検出
2	AAS	R	スレーブアドレス一致検出モニタ 0: - 1: 検出 (ゼネラルコール検出時もセットされます。)
1	ADO	R	ゼネラルコール検出モニタ 0: - 1: 検出
0	LRB	R	最終受信ビットモニタ 0: 最終受信ビット "0" 1: 最終受信ビット "1"

17.4.5 SBIBR0(ボーレートレジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	I2SBI	-	-	-	-	-	-
リセット後	1	0	1	1	1	1	1	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると "0" が読めます。
7	-	R	リードすると "1" が読めます。
6	I2SBI	R/W	IDLE モード時の動作 0: 停止 1: 動作
5-1	-	R	リードすると "1" が読めます。
0	-	R/W	必ず "0" をライトしてください。

17.4.6 SBIDBR(データバッファレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	DB							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると "0" が読めます。
7-0	DB[7:0]	R	受信データ
		W	送信データ

- 注 1) 送信データ書き込み時は、データを MSB(ビット 7) 側につめてライトしてください。また、受信データは LSB 側に格納されます。
- 注 2) SBIDBR は書き込み用のバッファと読み出し用のバッファを個別に持っているため、書き込んだデータを読み出すことはできません。したがって、ビット操作などのリードモディファイライト命令は使用できません。

17.4.7 SBII2CAR(I2C バスアドレスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SA							ALS
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると "0" が読めます。
7-1	SA[6:0]	R/W	スレーブデバイスとして動作するときのスレーブアドレスの設定
0	ALS	R/W	アドレス認識モードの指定 0: スレーブアドレスを認識する 1: スレーブアドレスを認識しない (フリーデータフォーマット)

- 注 1) <ALS> はフリーデータフォーマット使用時以外は必ず "0" に設定してください。"1" に設定した場合にはフリーデータフォーマットとして動作し、マスタ時は送信に、スレーブ時は受信に転送方向が固定されま
す。
- 注 2) スレーブモード時 SBII2CAR を "0x00" に設定しないでください。("0x00" に設定した場合、スレーブモ
ードで I2C バス規格の START バイト ("0x01") を受信した時にスレーブアドレスが一致したと判断します。)

17.5 I2C バスモード時の制御

17.5.1 シリアルクロック

17.5.1.1 クロックソース

SBICR1 <SCK[2:0]> で、マスタモード時に SCL 端子から出力されるシリアルクロックの最大転送周波数を選択します。



$$t_{LOW} = 2^{n-1}/f_{sys} + 58/f_{sys}$$

$$t_{HIGH} = 2^{n-1}/f_{sys} + 14/f_{sys}$$

$$f_{SCL} = 1/(t_{LOW} + t_{HIGH})$$

$$= \frac{f_{sys}}{2^n + 72}$$

SBICR1<SCK[2:0]>	n
000	5
001	6
010	7
011	8
100	9
101	10
110	11

図 17-3 クロックソース

注) 通信規格上、標準モード/高速モードの最高速は 100 kHz/400 kHz です。内部 SCL クロックの周波数の設定は、使用される fsys と上記計算式にて設定されますのでご注意願います。

17.5.1.2 クロック同期化

I2C バスでは、端子の構造上バスをワイヤードアンドで駆動させるため、クロックラインを最初に "Low" レベルに引いたマスタが、"High" レベルを出力しているマスタのクロックを無効にします。このため、"High" レベルを出力しているマスタは、これを検出し対応する必要があります。

シリアルバスインタフェース回路はクロック同期化機能をもっており、バス上に複数のマスタが存在する場合でも、正常に転送が行われます。

クロック同期の手順を、バス上に 2 つのマスタが同時に存在した場合を例に挙げて以下に示します。

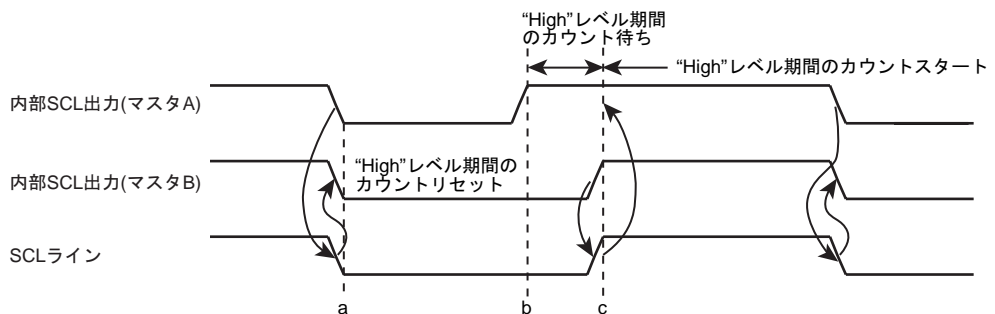


図 17-4 クロック同期化の例

a 点でマスタ A が内部 SCL 出力を "Low" レベルに引くことで、バスの SCL ラインは "Low" レベルになります。マスタ B はこれを検出し、マスタ B の "High" レベル期間のカウントをリセットし、内部 SCL 出力を "Low" レベルに引きます。

b 点でマスタ A は "Low" レベル期間のカウントを終わり、内部 SCL 出力を "High" レベルにします。しかし、マスタ B がバスの SCL ラインを "Low" レベルに保持し続けているので、マスタ A は "High" レベル期間のカウントを止めます。マスタ A は、c 点でマスタ B が内部 SCL 出力を "High" レベルにし、バスの SCL ラインが "High" レベルになったことを検出後、"High" レベル期間のカウントを始めます。その後、"High" レベル期間のカウントを終了したマスタ A が SCL 端子を "Low" に引くことでバスの SCL ラインは "Low" レベルになります。

以上のようにバス上のクロックは、バスに接続されているマスタの中で最も短い "High" レベル期間をもつマスタと最も長い "Low" レベル期間をもつマスタによって決定されます。

17.5.2 アクノリッジメントモードの指定

SBICR1<ACK> を "1" に設定するとアクノリッジメントモードとして動作します。マスタモードのときには、アクノリッジ信号のためのクロックを 1 クロック付加します。スレーブモードのときはアクノリッジ信号のためのクロックをカウントします。トランスミッタモードのときには、アクノリッジのためのクロック期間中 SDA 端子を開放し、レシーバからのアクノリッジ信号を受信できる状態にします。レシーバモードのときはクロック期間中 SDA 端子を "Low" レベルに引き、更に、スレーブモードのときにゼネラルコールを受信した場合にもアクノリッジのためのクロック期間中、SDA 端子を "Low" レベルに引き、アクノリッジ信号を発生します。

<ACK> を "0" に設定すると、非アクノリッジメントモードとして動作し、マスタモードのときにアクノリッジ信号のためのクロックを発生しません。スレーブモードのときはアクノリッジ信号のためのクロックをカウントしません。

17.5.3 転送ビット数の選択

SBICR1<BC[2:0]> により、次に送受信するデータのビット数を選択します。

<BC[2:0]> はスタートコンディションにより "000" にクリアされるため、スレーブアドレス、方向ビットの転送は必ず 8 ビットで行われます。それ以外のときは <BC[2:0]> は一度設定された値を保持します。

17.5.4 スレーブアドレスとアドレス認識モードの設定

スレーブアドレスを認識するアドレッシングフォーマットで動作させるときは、SBII2CAR<ALS> に "0" を設定し、SBII2CAR <SA[6:0]> にスレーブアドレスを設定します。

スレーブアドレスを認識しないフリーデータフォーマットで使用するときには <ALS> を "1" に設定します。なお、フリーデータフォーマットで使用情况の場合、スレーブアドレスと方向ビットの認識は行われず、スタートコンディション直後からデータとして扱われます。

17.5.5 動作モード

SBICR2<SBIM[1:0]> で動作モードを設定します。I2C バスモードで使用するとき、シリアルバスインタフェース端子の状態が "High" になっていることを確認後、<SBIM[1:0]> を "10" に設定してください。また、ポートモードへの切り替えは、バスフリーであることを確認してから行ってください。

17.5.6 トランスミッタ/レシーバの選択

SBICR2<TRX> を "1" に設定すると、トランスミッタとして動作し、<TRX> を "0" に設定すると、レシーバとして動作します。

スレーブモード時は、

- アドレッシングフォーマットのデータ転送を行うとき
- 受信したスレーブアドレスが SBII2CAR にセットした値と同じとき
- ゼネラルコール (スタートコンディション後の 8 ビットのデータがすべて "0") を受信したとき

ハードウェアによりマスタデバイスから送られてくる方向ビット (R/\bar{W}) が "1" の場合、<TRX> は "1" にセットされ、"0" の場合、<TRX> は "0" にクリアされます。

マスタモード時は、スレーブデバイスからアクノリッジが返ってくると、ハードウェアにより、送信した方向ビットが "1" の場合、<TRX> は "0" に、方向ビットが "0" の場合、<TRX> は "1" に変化します。アクノリッジが返ってこないときは、以前の状態を保ちます。

<TRX> はバス上のストップコンディションの検出、またはアービトレーションロストの検出で、ハードウェアにより "0" にクリアされます。

フリーデータフォーマットで使用する場合、<TRX> はハードウェアによって変化することはありません。

17.5.7 マスタ/スレーブの選択

SBICR2<MST> を "1" に設定すると、マスタデバイスとして動作します。

<MST> を "0" に設定すると、スレーブデバイスとして動作します。<MST> はバス上のストップコンディションの検出、またはアービトレーションロストの検出で、ハードウェアにより "0" にクリアされます。

17.5.8 スタート/ストップコンディションの発生

SBISR<BB> が "0" のときに、SBICR2<MST, TRX, BB, PIN> に "1" を書き込むと、バス上にスタートコンディションと、あらかじめデータバッファレジスタに書き込んだスレーブアドレスと方向ビットが出力されます。あらかじめ、<ACK> に "1" を設定しておいてください。

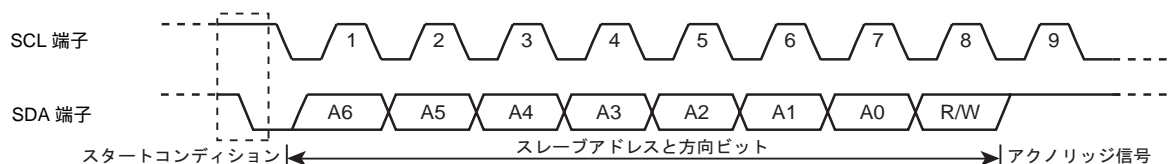


図 17-5 スタートコンディションの発生とスレーブアドレスの発生

<BB> = "1" のときに、<MST, TRX, PIN> に "1"、<BB> に "0" を書き込むと、バス上にストップコンディション出力のシーケンスが開始されます。バス上にストップコンディションが発生するまで、<MST, TRX, BB, PIN> の内容を書き替えないでください。

ストップコンディション発生時にバスの SCL ラインがほかのデバイスにより "Low" に引かれていた場合、SCL ラインが開放された後にストップコンディションが発生します。

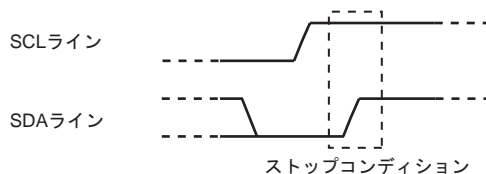


図 17-6 ストップコンディションの発生

また、SBISR<BB> を読み出すことで、バスの状態を知ることができます。<BB> は、バス上のスタートコンディションを検出すると "1" にセットされ (バスビジー状態)、ストップコンディションを検出すると "0" にクリアされます (バスフリー状態)。

17.5.9 割り込みサービス要求と解除

マスタモードの時、<BC> と <ACK> によって設定されたクロック数の転送が終了すると、シリアルバスインタフェース割り込み要求 (INTSBI) が発生します。

スレーブモードの場合は、以下のときに INTSBI が発生します。

- 受信したスレーブアドレスが SBII2CAR<SA[6:0]> に設定されたスレーブアドレスとアクノリッジ信号出力後
- ゼネラルコールを受信した時のアクノリッジ信号出力後
- スレーブアドレス一致、またはゼネラルコール受信後におけるデータ転送終了時

アドレス認識モード (<ALS> = "0") では、受信したスレーブアドレスが SBII2CAR にセットした値と同じとき、またはゼネラルコール (スタートコンディション後の 8 ビットのデータがすべて "0") を受信したときに INTSBI が発生します。

割り込み要求 (INTSBI) が発生すると、SBICR2<PIN> が "0" にクリアされます。<PIN> が "0" の間、SCL ラインを "Low" レベルに引きます。

<PIN> は SBIDBR にデータを書き込むか、SBIDBR からデータを読み出すと "1" にセットされます。<PIN> が "1" にセットされてから、SCL ラインが開放されるまで、 t_{LOW} の時間がかかります。プログラムで <PIN> に "1" を書き込むと "1" にセットされますが、"0" を書き込んでも "0" にクリアされません。

注) マスタモードでアービトレーションロストが発生した時、スレーブアドレスが一致なかった場合は、<PIN> は "0" にクリアされません。(INTSBI は発生します。)

17.5.10 アービトレーションロスト検出モニタ

I2C バスではマルチマスタ (1 つのバス上で同時に 2 つ以上のマスタが存在する) が可能なため、転送されるデータの内容を保証するためにバスのアービトレーション手順が必要となります。

バスビジーの状態のときにスタートコンディションを出力しようとした場合、SCL, SDA ラインには出力されずにアービトレーションロストが発生します。I2C バスではバスのアービトレーションに SDA ラインのデータを使用します。

アービトレーションの手順を、バス上に 2 つのマスタが同時に存在した場合を例に挙げて以下に示します。

a 点のビットまでマスタ A, マスタ B と同じデータを出力し、a 点でマスタ A が "Low" レベルを出力、マスタ B が "High" レベルを出力すると、バスの SDA ラインはワイヤードアンドで駆動されるためにマスタ A によって "Low" レベルに引かれます。b 点でバスの SCL ラインが立ち上がると、スレーブデバイスは SDA ラインデータ、すなわち、マスタ A のデータを取り込みます。このとき、マスタ B の出力したデータは無効になります。マスタ B のこの状態を "アービトレーションロスト" と呼びます。マスタ B は SDA 端子を開放し、他のマスタの出力するデータに影響を及ぼさないようにします。また、複数のマスタが 1 ワード目でまったく等しいデータを送信した場合、アービトレーションの手順は 2 ワード目以降も継続されます。

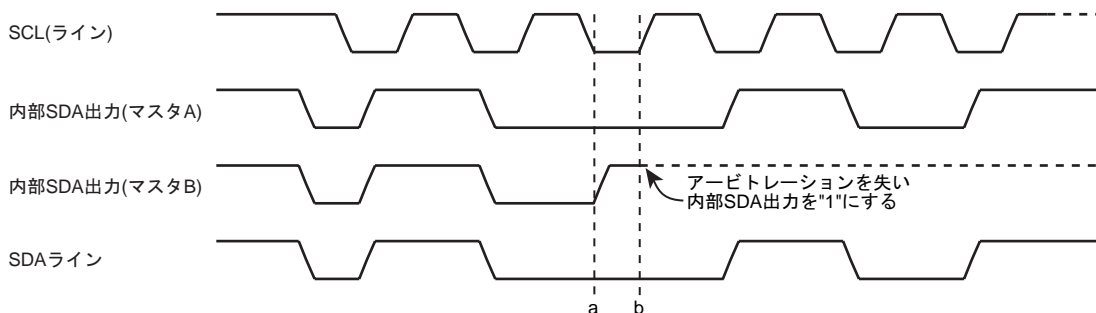


図 17-7 アービトレーションロスト

バスの SDA ラインのレベルと内部 SDA 出力のレベルの比較は、SCL ラインの立ち上がりで行います。この比較結果が不一致の場合アービトレーションロストになり、SBISR<AL> が "1" にセットされます。

<AL> が "1" にセットされると SBISR<MST, TRX> は "0" にクリアされ、スレーブレシーバモードになります。そのため、<AL> が "1" にセットされた後のデータ転送ではシリアルバスインタフェース回路はクロック出力を停止します。

<AL> は、SBIDBR にデータを書き込むか、SBIDBR からデータを読み込む、または SBICR2 にデータを書き込むと "0" にクリアされます。

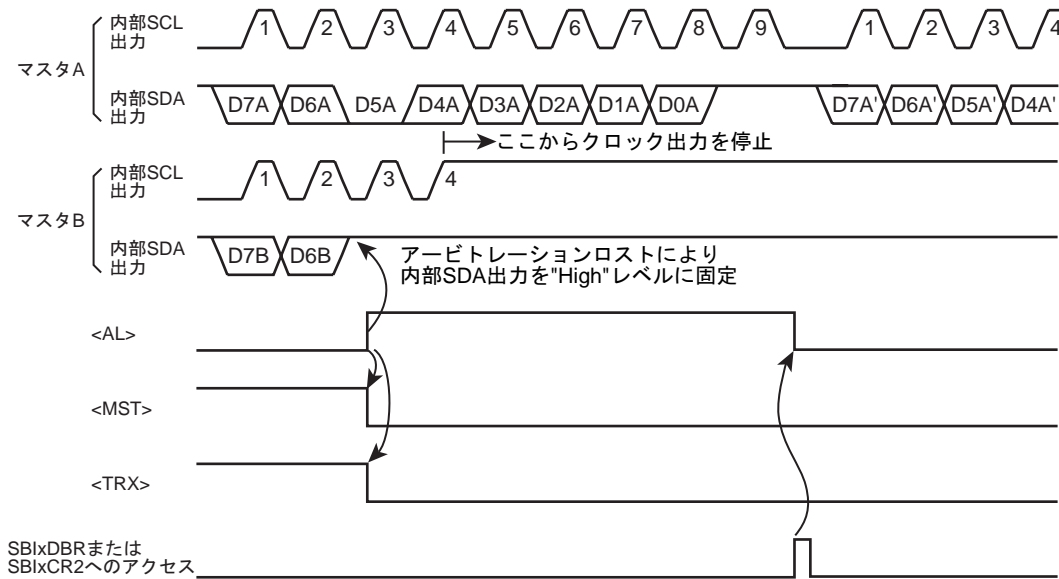


図 17-8 マスタ B の場合の例 (D7A=D7B, D6A=D6B)

17.5.11 スレーブアドレス一致検出モニタ

SBISR<AAS> は、スレーブモード時、アドレス認識モード (SBII2CAR<ALS> = "0") のとき、ゼネラルコールまたは SBII2CAR にセットした値と同じスレーブアドレスを受信すると "1" にセットされます。フリーデータフォーマット (<ALS> = "1") のときは、最初の 1 ワードが受信されると "1" にセットされます。<AAS> は SBIDBR にデータを書き込むか、SBIDBR からデータを読み出すと "0" にクリアされます。

17.5.12 ゼネラルコール検出モニタ

SBISR<ADO> は、スレーブモード時、ゼネラルコール (スタートコンディション後の 8 ビットのデータがすべて "0") を受信したとき "1" にセットされます。また、バス上のスタートコンディション、またはストップコンディションが検出されると "0" にクリアされます。

17.5.13 最終受信ビットモニタ

SBISR<LRB>には、SCL ラインの立ち上がりで取り込まれた SDA ラインの値がセットされます。アクノリジメントモードのとき、INTSBI 割り込み要求発生直後に SBISR<LRB>を読み出すと、ACK 信号が読み出されます。

17.5.14 データバッファレジスタ (SBIDBR)

SBIDBR をリード/ライトすることで、受信データの読み出し/送信データの書き込みを行います。また、マスタモード時において、このレジスタにスレーブアドレスと方向ビットを設定後、スタートコンディションが発生します。

17.5.15 ボーレートレジスタ (SBIBR0)

SBIBR0<I2SBI>はIDLEモードに遷移した際にシリアルバスインタフェース回路の動作の許可/禁止を設定するレジスタです。スタンバイモードに移る命令を実行する前に、あらかじめ設定してください。

17.5.16 ソフトウェアリセット

シリアルバスインタフェース回路が、外部からのノイズによりロックした場合、ソフトウェアリセット機能を使い、シリアルバスインタフェース回路を初期化することができます。

SBICR2<SWRST[1:0]>へ、最初に "10"、次に "01" をライトすると、シリアルバスインタフェース回路にリセット信号が入力され、回路が初期化されます。このとき、すべてのコントロールレジスタとステータスフラグはリセット直後の値となります。また、<SWRST> は、シリアルバスインタフェースを初期化すると、自動的に "0" にクリアされます。

注) ソフトウェアリセットをかけると動作モード選択もリセットされ、I2C モードから PORT モードになります。

17.6 I2C バスモード時のデータ転送手順

17.6.1 デバイスの初期化

最初に SBICR1<ACK, SCK[2:0]> を設定します。SBICR1[7:5] には、"0" を書き込んでください。

次に SBII2CAR にスレーブアドレス <SA[6:0]> と <ALS> (アドレッシングフォーマット時、<ALS> = "0") を設定します。

それから、シリアルバスインタフェース端子の状態が "High" になっていることを確認し、SBICR2<MST, TRX, BB> に "0", <PIN> に "1", <SBIM[1:0]> に "10", ビット 1, 0 に "0" を書き込み、初期状態をスレーブレシーバモードにします。

注) シリアルバスインタフェース回路の初期化は、バスに接続されているすべてのデバイスが初期化された後、どのデバイスも一定期間スタートコンディションを発生しない期間を設け、その期間内に終了させてください。この制約が守られない場合、シリアルバスインタフェース回路の初期化が終了する前にほかのデバイスが転送を開始することがあり、正常にデータを受信することができません。

	7	6	5	4	3	2	1	0	
SBICR1	← 0	0	0	X	0	X	X	X	ACK および SCL クロックの設定をします。
SBII2CAR	← X	X	X	X	X	X	X	X	スレーブアドレスおよびアドレス認識モードの設定をします。
SBICR2	← 0	0	0	1	1	0	0	0	スレーブレシーバモードにします。

注) X; Don't care

17.6.2 スタートコンディション, スレーブアドレスの発生

17.6.2.1 マスタモードの場合

マスタモード時は、スタートコンディションとスレーブアドレスを、次の手順で発生します。

はじめに、バスフリー状態 (<BB> = "0") を確認します。次に、SBICR1<ACK> に "1" を書き込んで、アクノリッジメントモードに設定します。また、SBIDBR に、送信するスレーブアドレスと方向ビットのデータを書き込みます。

<BB> = "0" の状態で、SBICR2<MST, TRX, BB, PIN> に "1111" を書き込むと、バス上にスタートコンディションが発生します。スタートコンディションの発生に次いで、SCL 端子から 9 クロックを出力します。最初の 8 クロックで、SBIDBR に設定したスレーブアドレスと方向ビットを出力します。9 クロック目で、SDA ラインを解放し、スレーブデバイスからのアクノリッジ信号を受信します。

9 クロック目の立ち下がりで、INTSBI 割り込み要求が発生し、<PIN> = "0" にされます。マスタモード時は、<PIN> = "0" の間 SCL ラインを "Low" レベルにひきます。また、スレーブデバイスからのアクノリッジ信号が返ってきたときのみ、INTSBI 割り込み要求の発生により、送信した方向ビットに合わせて <TRX> は変化します。

注) スレーブアドレスを出力するために SBIDBR に書き込む時は事前にソフトウェアによってバスフリーを検出してから行ってください。この制約が守られない場合、現在出力中のバス上のデータが破壊されることがあります。

メインルーチンでの設定

		7	6	5	4	3	2	1	0	
Reg.	←	SBISR								
Reg.	←	Reg. e 0x20								
if Reg.	≠	0x00								バスがフリー状態になるまで確認します。
Then										
SBICR1	←	X	X	X	1	0	X	X	X	アクノリッジメントモードに設定します。
SBIDBR	←	X	X	X	X	X	X	X	X	目的のスレーブのスレーブアドレスと方向をセットします。
SBICR2	←	1	1	1	1	1	0	0	0	スタートコンディションの発生を行います。

INTSBI 割り込みルーチンでの処理例

割り込み要求クリア
処理
割り込み終了

17.6.2.2 スレーブモードの場合

スレーブモードの場合は、スタートコンディションとスレーブアドレスを受信します。

マスタデバイスからのスタートコンディションを受信した後、SCL ラインの最初の 8 クロックで、マスタデバイスからのスレーブアドレスと方向ビットを受信します。ゼネラルコール、または SBII2CAR に設定されたスレーブアドレスと同一のアドレスを受信したとき、9 クロック目で SDA ラインを "Low" レベルに引き、アクノリッジ信号を出力します。

9 クロック目の立ち下がりで、INTSBI 割り込み要求が発生し、<PIN> = "0" にされます。スレーブモード時は、<PIN> = "0" の間 SCL ラインを "Low" レベルに引きます。

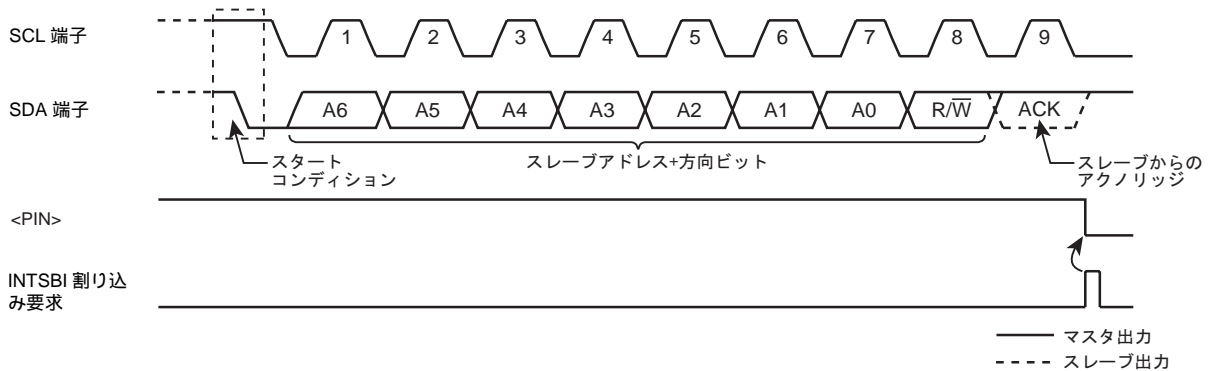


図 17-9 スタートコンディションとスレーブアドレスの発生

17.6.3 1ワードのデータ転送

1ワード転送終了の INTSBI 割り込みの処理で <MST> をテストし、マスタモード / スレーブモードの判断をします。

17.6.3.1 マスタモードの場合 (<MST> = "1")

<TRX> をテストし、トランスミッタ / レシーバの判断をします。

(1) トランスミッタモードの場合 (<TRX> = "1")

<LRB> をテストします。<LRB> = "1" のとき、レシーバはデータを要求していないのでストップコンディションを発生する処理 (後記参照) を行ってデータ転送を終了します。

<LRB> = "0" のときレシーバが次のデータを要求しています。次に転送するデータのビット数が 8 ビットするとき SBIDBR に転送データを書き込みます。8 ビット以外のときは <BC[2:0]>, <ACK> を設定し、転送データを SBIDBR に書き込みます。データを書き込むと <PIN> が "1" になり SCL 端子から次の 1ワードデータ転送用のシリアルクロックが発生され、SDA 端子から 1ワードのデータが転送されます。転送終了後 INTSBI 割り込み要求が発生し、<PIN> が "0" になり SCL 端子を "Low" レベルに引きます。複数ワードの転送が必要な場合は上記 <LRB> のテストから繰り返します。

INTSBI 割り込み

```

if MST = 0
Then スレーブモード時の処理へ移行
if TRX = 0
Then レシーバモード時の処理へ移行
if LRB = 0
Then ストップコンディションを発生する処理へ移行
SBICR1    ←  X  X  X  X  0  X  X  X      転送ビット数および ACK を設定します。
SBIDBR    ←  X  X  X  X  X  X  X  X      転送データを書き込みます。
割り込み処理終了
    
```

注) X; Don't care

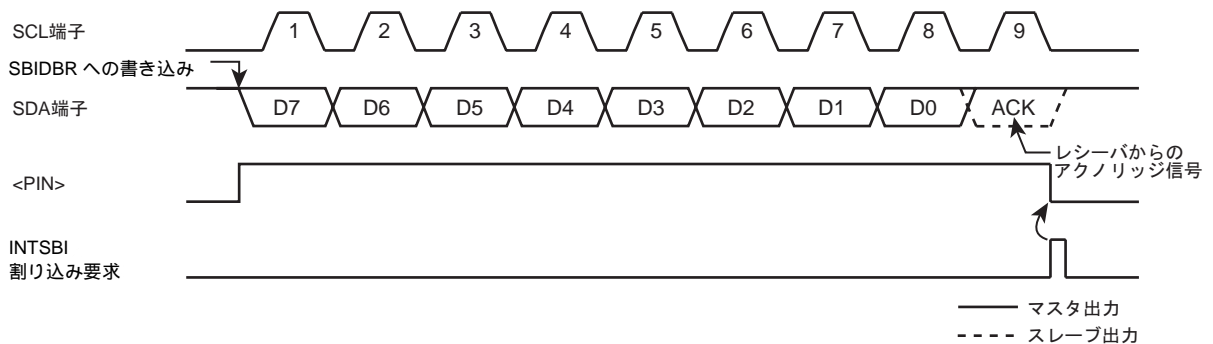


図 17-10 <BC[2:0]>="000", <ACK>="1" の場合 (トランスミッタモード)

(2) レシーバモードの場合 (<TRX> = "0")

次に転送するデータのビット数が 8 ビットの場合は SBIDBR に転送データを書き込みます。8ビット以外の場合は<BC[2:0]>, <ACK>を設定し、SCLラインを解放するためにSBIDBRから受信データを読み出します (スレーブアドレス送信直後のリードデータは不定です)。データを読み出すと<PIN>は"1"になり、次の1ワードデータ転送用のシリアルクロックをSCL端子に出力します。最後のビットでアクノリッジ信号の"Low"レベルのタイミングで"0"をSDA端子に出力します。

その後、INTSBI 割り込み要求が発生し、<PIN>が"0"になりSCL端子を"Low"レベルに引きます。SBIDBRから受信データを読み出すたびに1ワードの転送クロックとアクノリッジを出力します。

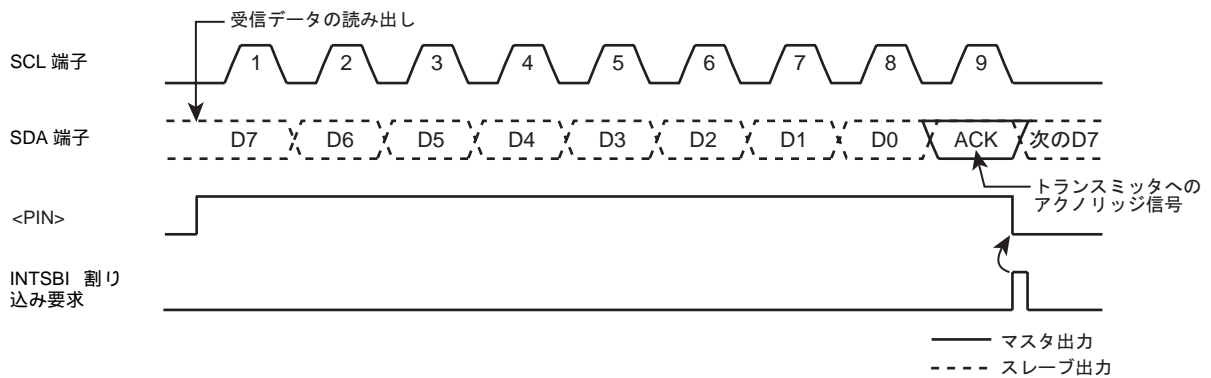


図 17-11 <BC[2:0]>="000", <ACK>="1" のときの例 (レシーバモード)

トランスミッタに対してデータの送信を終了させるときは、最後に受信したいデータの 1 ワード手前のデータを読み出す前に <ACK> を "0" にします。これにより、最終データのアクノリッジのためのクロックは発生されなくなります。転送終了の割り込み要求発生後の処理で、<BC[2:0]> = "001" に設定し、データを読み出すと、1 ビット転送のためのクロックを発生します。このときマスタはレシーバなのでバスの SDA ラインは "High" レベルを保ちます。トランスミッタは ACK 信号としてこの "High" レベルを受信するので、レシーバはトランスミッタへ送信終了を知らせることができます。

この 1 ビット転送の受信終了割り込み要求後の処理で、ストップコンディションを発生させ、データ転送を終了させます。

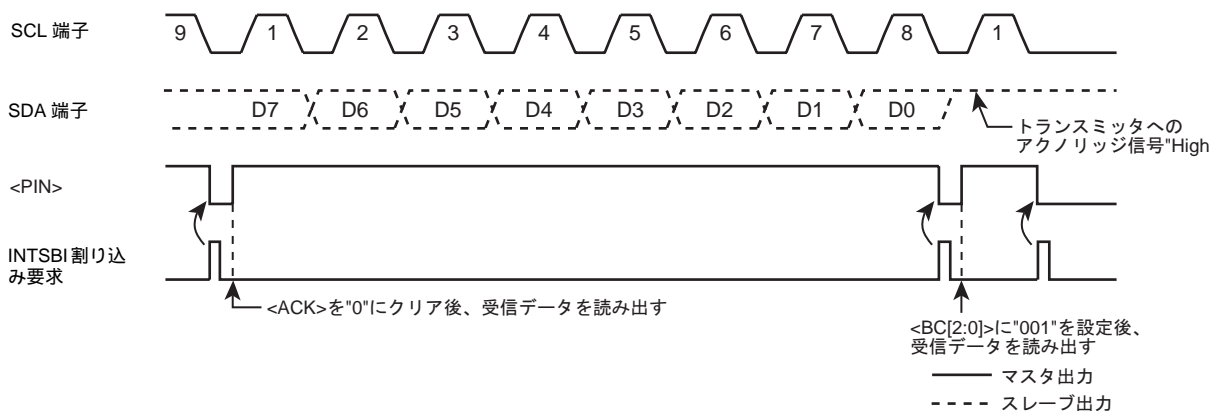


図 17-12 マスタレシーバモード時、データの送信を終了させるときの処理

例：データを N 回受信する場合

INTSBI 割り込み (データ送信後)

```

          7  6  5  4  3  2  1  0
SBICR1 ← X  X  X  X  0  X  X  X
Reg.    ← SBIDBR
割り込み終了
    
```

受信データのビット数および ACK を設定します。
ダミーデータを取り込みます。

INTSBI 割り込み (データ受信 1~(N - 2) 回目)

```

          7  6  5  4  3  2  1  0
Reg.    ← SBIDBR
割り込み終了
    
```

1~(N - 2) 回目のデータを取り込みます。

INTSBI 割り込み (データ受信 (N - 1) 回目)

```

          7  6  5  4  3  2  1  0
SBICR1 ← X  X  X  0  0  X  X  X
Reg.    ← SBIDBR
割り込み終了
    
```

アクノリッジ信号のクロックを発生しないようにし
ます。
(N - 1) 回目のデータを取り込みます。

INTSBI 割り込み (データ受信 N 回目)

```

          7  6  5  4  3  2  1  0
SBICR1 ← 0  0  1  0  0  X  X  X
Reg.    ← SBIDBR
割り込み終了
    
```

1 ビット転送のためのクロックを発生します。
N 回目のデータを取り込みます。

INTSBI 割り込み (データ受信後)

ストップコンディションを発生する処理
割り込み終了

データ転送を終了させます。

注) X; Don't care

17.6.3.2 スレーブモードの場合 (<MST> = "0")

スレーブモードのとき、マスタが送ったスレーブアドレス、またはゼネラルコールを受信したとき、もしくは、受信したスレーブアドレスが一致した後、またはゼネラルコールを受信した後のデータ転送終了時に INTSBI 割り込み要求が発生します。また、マスタモードのとき、アービトレーションロストを検出するとスレーブモードとして動作し、アービトレーションロストを検出したワード転送の終了時に INTSBI 割り込み要求が発生します。INTSBI 割り込み要求が発生すると <PIN> が "0" にされ、SCL 端子を "Low" レベルに引きます。SBIDBR にデータを書き込む、SBIDBR からデータを読み出す、または <PIN> に "1" を設定すると SCL 端子が t_{LOW} 後に開放されます。

スレーブモード時は、通常のスレーブモードとしての処理、またはアービトレーションロストを検出し、スレーブモードになったときの処理を行います。

SBISR<AL>, <TRX>, <AAS>, <ADO> をテストし、場合分けを行います。「表 17-2 スレーブモード時の処理」にスレーブモード時の状態と必要な処理を示します。

例：スレーブレシーバモード時スレーブアドレスが一致し、方向ビットが "1" の場合

INTSBI 割り込み

```

if TRX = 0
Then その他処理へ移行
if AL = 0
Then その他処理へ移行
if AAS = 0
Then その他処理へ移行
SBICR1    ←  X  X  X  1  0  X  X  X      送信ビット数を設定します。
SBIDBR    ←  X  X  X  X  X  X  X  X      送信データをセットします。

```

注) X; Don't care

表 17-2 スレーブモード時の処理

<TRX>	<AL>	<AAS>	<ADO>	状態	処理
1	1	1	0	スレーブアドレス送信中にアービトレーションロストを検出し、他のマスタが送った方向ビットが "1" のスレーブアドレスを受信	1 ワードのビット数を <BC[2:0]> にセットし、送信するデータを SBIDBR に書き込みます。
		1	0	スレーブレシーバモード時、マスタが送った方向ビットが "1" のスレーブアドレスを受信	
	0	0	0	スレーブトランスミッタモード時、1 ワードのデータの送信が終了	<LRB> をテストし、"1" にセットされていた場合、レシーバが次のデータを要求していないので <PIN> に "1" をセット、<TRX> を "0" にリセットしバスを開放します。<LRB> が "0" にリセットされていた場合、レシーバが次のデータを要求しているため 1 ワードのビット数を <BC[2:0]> にセットし、送信するデータを SBIDBR に書き込みます。
0	1	1	1/0	スレーブアドレス送信中にアービトレーションロストを検出し、他のマスタが送った方向ビットが "0" のスレーブアドレス、またはゼネラルコールを受信	<PIN> を "1" にセットするために SBIDBR を読み出します。(ダミー読み出し) または <PIN> に "1" を書き込みます。
		0	0	スレーブアドレスを送信中またはデータ送信中にアービトレーションロストを検出し、そのワードの転送が終了	
	0	1	1/0	スレーブレシーバモード時、マスタの送った方向ビットが "0" のスレーブアドレス、またはゼネラルコールを受信	
		0	1/0	スレーブレシーバモード時、1 ワードのデータの受信が終了	

17.6.4 ストップコンディションの発生

SBISR<BB> = "1" のときに、SBICR2<MST, TRX, PIN> に "1"、<BB> に "0" を書き込むとバス上にストップコンディション出力のシーケンスを開始します。バス上にストップコンディションが発生するまで、<MST, TRX, BB, PIN> の内容を書き替えないでください。

なお、バスの SCL ラインが他のデバイスにより引かれていた場合、SCL ラインが開放されてから、SDA 端子が立ち上がり、ストップコンディションが発生します。

7 6 5 4 3 2 1 0
SBICR2 ← 1 1 0 1 1 0 0 0 ストップコンディションを発生させます。

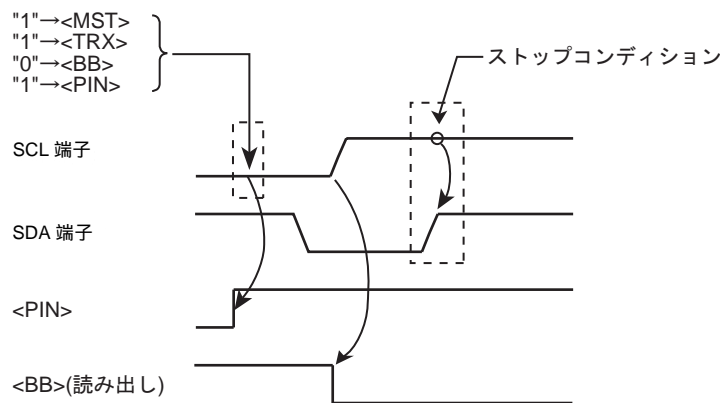


図 17-13 ストップコンディションの発生

17.6.5 再スタートの手順

再スタートはマスタデバイスがスレーブデバイスに対して、データ転送を終了させずに転送の方向を変化させるときに使用します。マスタモード時、再スタートが発生する場合の手順を以下に示します。

まず、SBICR2<MST, TRX, BB> に "0"、<PIN> に "1" を書き込み、バスを開放します。このとき SDA 端子は "High" レベルを保ち、SCL 端子が開放され、バス上にストップコンディションが発生されないため、他のデバイスからみるとバスはビジー状態のままです。このあと、SBISR<BB> をテストして "0" になるまで待ち、SCL 端子が開放されたことを確認します。次に <LRB> をテストして "1" になるまで待ち、他のデバイスがバスの SCL ラインを "Low" レベルに引いていないことを確認します。以上の手順によってバスがフリー状態になっていることを確認した後に前記「17.6.2 スタートコンディション、スレーブアドレスの発生」の手順で、スタートコンディションの発生を行います。

なお、再スタート時のセットアップタイムを満たすために、バスフリーの確認からスタートの発生まで最低 4.7 μs (標準モード時) のソフトウェアによる待ち時間が必要です。

注 1) <MST> = "0" の状態の時に <MST> = "0" をライトしないでください (再スタートできません)。

注 2) マスタデバイスがレシーバのとき、再スタートを発生させる前にトランスミッタとなっているスレーブデバイスからのデータ送信を終了させる必要があります。データ送信を終了させるために、"High" レベルのアクノリッジ信号をスレーブデバイスに受信させます。このため、再スタート発生前の <LBR> は "1" となり、再スタートの手順で <LBR> = "1" であることを確認しても、SCL ラインの立ち上がりを確認できません。SCL ラインの状態を確認するにはポートを読み出してください。

		7	6	5	4	3	2	1	0		
→	SBICR2	←	0	0	0	1	1	0	0	0	バスを開放します。
→	if SBISR<BB> ≠ 0										SCL 端子の開放を確認します。
→	Then										
	if SBISR<LRB> ≠ 1										他のデバイスの SCL 端子 "Low" レベルの確認を行います。
	Then										
	4.7 μs Wait										
	SBICR1	←	X	X	X	1	0	X	X	X	アクノリッジメントモードに設定します。
	SBIDBR	←	X	X	X	X	X	X	X	X	目的のスレーブのスレーブアドレスと方向をセットします。
	SBICR2	←	1	1	1	1	1	0	0	0	スタートコンディションの発生を行います。

注) X; Don't care

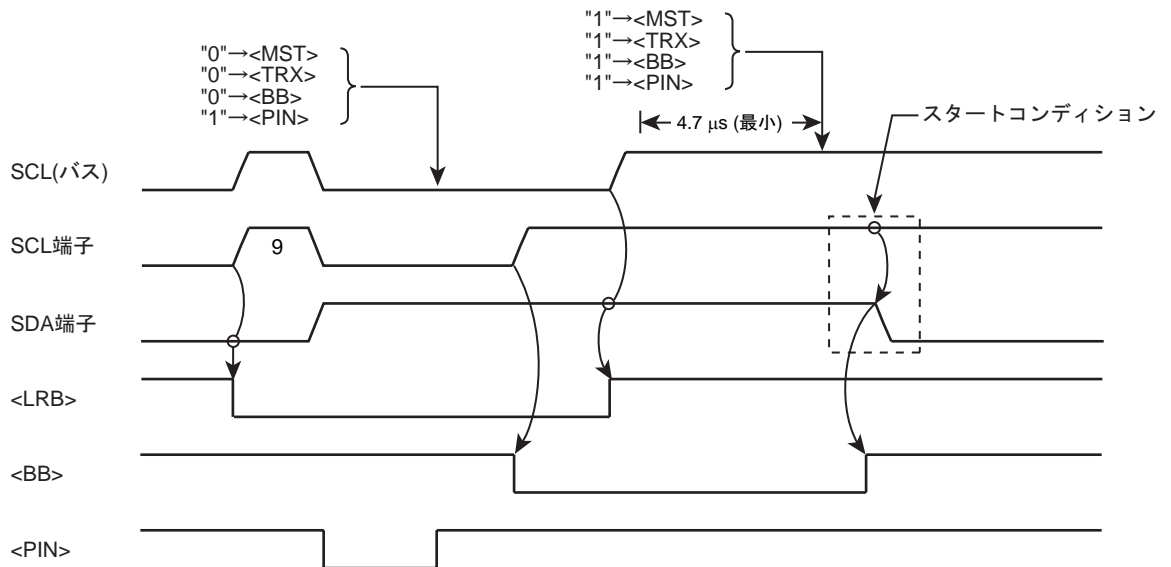


図 17-14 再スタートを発生する場合のタイミングチャート

第 18 章 同期式シリアルインタフェース (SSP)

18.1 概要

同期式シリアルインタフェース (SSP: Synchronous Serial Port) を 1 チャンネル内蔵しています。各チャンネルの特長を下表に示します。

通信プロトコル	SPI を含む 3 種類の同期式シリアル ・ Motorola SPI (SPI) フレームフォーマット ・ TI synchronous (SSI) フレームフォーマット ・ National Microwire (Microwire) フレームフォーマット	
動作モード	マスタ / スレーブモード	
送信 FIFO	幅 16-bit / 深さ 8 段	
受信 FIFO	幅 16-bit / 深さ 8 段	
送受信データのサイズ	4 ~ 16 ビット	
割り込みの種類	送信割り込み 受信割り込み 受信オーバーラン割り込み タイムアウト割り込み	
通信速度	マスタモード時	$f_{sys} / 2$ (最大 20Mbps)
	スレーブモード時	$f_{sys} / 12$ (最大 4.5Mbps)
DMA	サポート	
内部テスト機能	内部ループバックテストモードの使用が可能	
制御端子	SPCLK, SPFSS, SPDO, SPDI	

18.2 ブロック図

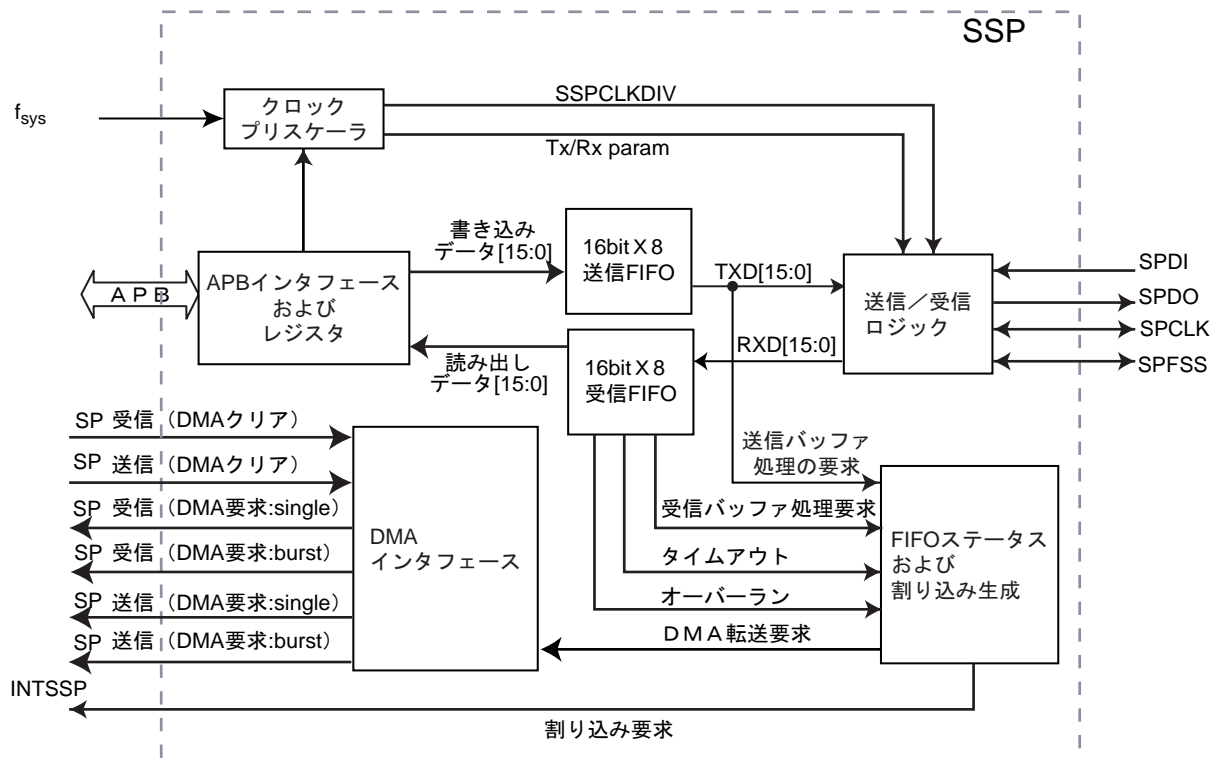


図 18-1 SSP ブロック図

18.3 レジスタ

18.3.1 レジスタ一覧

Base Address = 0x400 _ 0000

レジスタ名		Address(Base+)
制御レジスタ 0	SSPCR0	0x0000
制御レジスタ 1	SSPCR1	0x0004
受信 FIFO(読み出し) および送信 FIFO(書き込み) データレジスタ	SSPDR	0x0008
ステータスレジスタ	SSPSR	0x000C
クロックプリスケールレジスタ	SSPCPSR	0x0010
割り込み許可 / 禁止レジスタ	SSPIMSC	0x0014
許可前の割り込みステータスレジスタ	SSPRIS	0x0018
許可後の割り込みステータスレジスタ	SSPMIS	0x001C
割り込みクリアレジスタ	SSPICR	0x0020
DMA 制御レジスタ	SSPDMACR	0x0024
Reserved	-	0x0028 ~ 0x0FFC

注 1) 上記レジスタはワード (32bit) アクセスのみとなります。

注 2) "Reserved" 表記のアドレスにはアクセスしないでください。

18.3.2 SSPCR0(制御レジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	SCR							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SPH	SPO	FRF		DSS			
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能																																
31-16	-	W	"0" を書き込んでください。																																
15-8	SCR[7:0]	R/W	シリアルクロックレート設定 パラメータ :0x00 ~ 0xFF の値 SSP の送信ビットレートおよび受信ビットレートの生成に使用されます。 このビットレートは以下の式から求められます。 ビットレート = $f_{sys} / (<CPSDVSr> \times (1 + <SCR>))$ <CPSDVSr> は、SSPCPSR レジスタからプログラムされる 2 ~ 254 の偶数値であり、<SCR> は 0 ~ 255 の値を取ります。																																
7	SPH	R/W	SPCLK フェーズ設定 0:1st クロックエッジでデータを取り込み 1:2nd クロックエッジでデータを取り込み (Motorola SPI フレーム形式のみに適用可能, [Motorola SPI フレーム形式] 参照)。																																
6	SPO	R/W	SPCLK 極性選択 0:SPCLK は Low 状態 1:SPCLK は High 状態 (Motorola SPI フレーム形式のみに適用可能, [Motorola SPI フレーム形式] 参照)。																																
5-4	FRF[1:0]	R/W	フレームフォーマット選択 00: SPI フレームフォーマット 01: SSI シリアルフレームフォーマット 10: Microwire フレームフォーマット 11: Reserved(動作未定義)																																
3-0	DSS[3:0]	R/W	データサイズ選択 <table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td>0000:</td> <td>Reserved(動作未定義)</td> <td>1000:</td> <td>9 ビットデータ</td> </tr> <tr> <td>0001:</td> <td>Reserved(動作未定義)</td> <td>1001:</td> <td>10 ビットデータ</td> </tr> <tr> <td>0010:</td> <td>Reserved(動作未定義)</td> <td>1010:</td> <td>11 ビットデータ</td> </tr> <tr> <td>0011:</td> <td>4 ビットデータ</td> <td>1011:</td> <td>12 ビットデータ</td> </tr> <tr> <td>0100:</td> <td>5 ビットデータ</td> <td>1100:</td> <td>13 ビットデータ</td> </tr> <tr> <td>0101:</td> <td>6 ビットデータ</td> <td>1101:</td> <td>14 ビットデータ</td> </tr> <tr> <td>0110:</td> <td>7 ビットデータ</td> <td>1110:</td> <td>15 ビットデータ</td> </tr> <tr> <td>0111:</td> <td>8 ビットデータ</td> <td>1111:</td> <td>16 ビットデータ</td> </tr> </table>	0000:	Reserved(動作未定義)	1000:	9 ビットデータ	0001:	Reserved(動作未定義)	1001:	10 ビットデータ	0010:	Reserved(動作未定義)	1010:	11 ビットデータ	0011:	4 ビットデータ	1011:	12 ビットデータ	0100:	5 ビットデータ	1100:	13 ビットデータ	0101:	6 ビットデータ	1101:	14 ビットデータ	0110:	7 ビットデータ	1110:	15 ビットデータ	0111:	8 ビットデータ	1111:	16 ビットデータ
0000:	Reserved(動作未定義)	1000:	9 ビットデータ																																
0001:	Reserved(動作未定義)	1001:	10 ビットデータ																																
0010:	Reserved(動作未定義)	1010:	11 ビットデータ																																
0011:	4 ビットデータ	1011:	12 ビットデータ																																
0100:	5 ビットデータ	1100:	13 ビットデータ																																
0101:	6 ビットデータ	1101:	14 ビットデータ																																
0110:	7 ビットデータ	1110:	15 ビットデータ																																
0111:	8 ビットデータ	1111:	16 ビットデータ																																

注) スレーブモード時はクロックプリスケールを $SSPCR0<SCR[7:0]> = 0x00$, $SSPCPSR<CPSDVSr[7:0]> = 0x02$ に設定してご使用ください。

18.3.3 SSPCR1(制御レジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	SOD	MS	SSE	LBM
リセット後	不定	不定	不定	不定	0	0	0	0

Bit	Bit Symbol	Type	機能
31-4	-	W	"0" を書き込んでください。
3	SOD	R/W	スレープモード SPDO 出力制御 0: 許可 1: 禁止 スレープモード出力ディセーブル。このビットは、スレープモード (<MS>=1) の場合にのみ作用します。
2	MS	R/W	マスタ/スレープモード選択 (注) 0: デバイスがマスタ 1: デバイスがスレープ
1	SSE	R/W	SSP 動作禁止 / 許可 0: 禁止 1: 許可
0	LBM	R/W	ループバックモード 0: 通常シリアルポート動作イネーブル 1: 送信シリアルシフタの出力が受信シリアルシフタの入力に内部で接続されます。

注) マスタ/スレープの切り替えビットです。スレープモードでかつ送信時は、以下の設定順序を必ず守ってください。

- 1) スレープモードに設定 :<MS>=1
- 2) 送信データを FIFO に設定 :<DATA>=0x****
- 3) SSP をイネーブルに設定 :<SSE>=1

18.3.4 SSPDR(データレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	DATA							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	DATA							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	W	"0" を書き込んでください。
15-0	DATA[15:0]	R/W	送信 / 受信 FIFO のデータ (0x0000 ~ 0xFFFF) リード時: 受信 FIFO ライト時: 送信 FIFO 16 ビット未満のデータサイズに合わせてプログラムしている場合は、データを右寄せ (LSB) にする必要があります。先頭の未使用ビットは送信ロジックによって無視されます。受信ロジックは自動的に右寄せを行います。

18.3.5 SSPSR(ステータスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	BSY	RFF	RNE	TNF	TFE
リセット後	不定	不定	不定	0	0	0	1	1

Bit	Bit Symbol	Type	機能
31-5	-	W	"0" を書き込んでください。
4	BSY	R	ビジーフラグ 0: アイドル 1: ビジー <BSY>="1": 現在フレームの送信中 / 受信中であるか、送信 FIFO が空ではないことを示します。
3	RFF	R	受信 FIFO フルフラグ 0: 受信 FIFO がフルではない 1: 受信 FIFO がフル
2	RNE	R	受信 FIFO 空きフラグ 0: 受信 FIFO が空 1: 受信 FIFO が空ではない
1	TNF	R	送信 FIFO フルフラグ 0: 送信 FIFO がフル 1: 送信 FIFO がフルではない
0	TFE	R	送信 FIFO 空きフラグ 0: 送信 FIFO が空ではない 1: 送信 FIFO が空

18.3.6 SSPCPSR (クロックプリスケールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	CPSDVSR							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	W	"0" を書き込んでください。
7-0	CPSDVSR[7:0]	R/W	クロックプリスケール除数 設定値 :2- 254 の偶数値 クロックプリスケール除数。fsys の周波数に基づき、2 ~ 254 の偶数値を設定する必要があります。最下位ビットは読み出し時に常に 0 を戻します。

注) スレーブモード時はクロックプリスケールを $SSPCR0<SCR[7:0]> = 0x00$, $SSPCPSR<CPSDVSR[7:0]>=0x02$ に設定してご使用ください。

18.3.7 SSPIMSC(割り込み許可 / 禁止レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	TXIM	RXIM	RTIM	RORIM
リセット後	不定	不定	不定	不定	0	0	0	0

Bit	Bit Symbol	Type	機能
31-4	-	W	"0" を書き込んでください。
3	TXIM	R/W	送信 FIFO 割り込み許可 / 禁止設定 0: 禁止 1: 許可 送信 FIFO に半分以下の空領域がある条件割り込みの許可 / 禁止
2	RXIM	R/W	受信 FIFO 割り込み許可 / 禁止設定 0: 禁止 1: 許可 受信 FIFO の半分以下がフルである条件割り込みの許可 / 禁止
1	RTIM	R/W	受信タイムアウト 割り込み許可 / 禁止設定 0: 禁止 1: 許可 タイムアウト期限までに受信 FIFO にデータが存在し、読み出されていないことを示す割り込みの許可 / 禁止
0	RORIM	R/W	受信オーバーラン 割り込み許可 / 禁止設定 0: 禁止 1: 許可 受信 FIFO がフルのときに書き込みが行われたことを示す条件割り込みの許可 / 禁止

18.3.8 SSPRIS (許可前の割り込みステータスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	TXRIS	RXRIS	RTRIS	RORRIS
リセット後	不定	不定	不定	不定	1	0	0	0

Bit	Bit Symbol	Type	機能
31-4	-	W	"0" を書き込んでください。
3	TXRIS	R	許可前の送信割り込みフラグ 0: 割り込み無し 1: 割り込み有り
2	RXRIS	R	許可前の受信割り込みフラグ 0: 割り込み無し 1: 割り込み有り
1	RTRIS	R	許可前の受信タイムアウト割り込みフラグ 0: 割り込み無し 1: 割り込み有り
0	RORRIS	R	許可前の受信オーバーラン割り込みフラグ 0: 割り込み無し 1: 割り込み有り

18.3.9 SSPMIS (許可後の割り込みステータスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	TXMIS	RXMIS	RTMIS	RORMIS
リセット後	不定	不定	不定	不定	0	0	0	0

Bit	Bit Symbol	Type	機能
31-4	-	W	"0" を書き込んでください。
3	TXMIS	R	許可後の送信割り込みフラグ 0: 割り込み無し 1: 割り込み有り
2	RXMIS	R	許可後の受信割り込みフラグ 0: 割り込み無し 1: 割り込み有り
1	RTMIS	R	許可後の受信タイムアウト割り込みフラグ 0: 割り込み無し 1: 割り込み有り
0	RORMIS	R	許可後の受信オーバーラン割り込みフラグ 0: 割り込み無し 1: 割り込み有り

18.3.10 SSPICR (割り込みクリアレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	RTIC	RORIC
リセット後	不定	不定	不定	不定	不定	不定	不定	不定

Bit	Bit Symbol	Type	機能
31-2	-	W	"0" を書き込んでください。
1	RTIC	W	受信タイムアウト割り込みフラグをクリア 0: 無効 1: クリア
0	RORIC	W	受信オーバーラン割り込みフラグをクリア 0: 無効 1: クリア

18.3.11 SSPDMACR (DMA 制御レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	TXDMAE	RXDMAE
リセット後	不定	不定	不定	不定	不定	不定	0	0

Bit	Bit Symbol	Type	機能
31-2	-	W	"0" を書き込んでください。
1	TXDMAE	R/W	送信 FIFO の DMA 制御 0: 禁止 1: 許可
0	RXDMAE	R/W	受信 FIFO の DMA 制御 0: 禁止 1: 許可

18.4 SSP の概要

本 LSI は 1 チャンネルの SSP を内蔵しています。

SSP は、3 種類の同期シリアルインタフェース機能を持つ周辺デバイスと、シリアル通信が可能なインタフェースです。

SSP は、周辺デバイスから受信したデータのシリアル - パラレル変換を実行します。

送信パスと受信パスは、送信モードと受信モードにおいて 16 ビット幅 8 段のそれぞれ独立した送信 FIFO と受信 FIFO にデータをバッファリングします。シリアルデータは、SPDO から送信し、SPDI から受信します。

SSP には、入力クロック f_{sys} からシリアル出力クロック SPCLK を生成するために、プログラム可能なプリスケアラが含まれています。SSP の動作モード、フレーム形式ならびにデータサイズは、制御レジスタ SSPCR0 および SSPCR1 を通じてプログラムします。

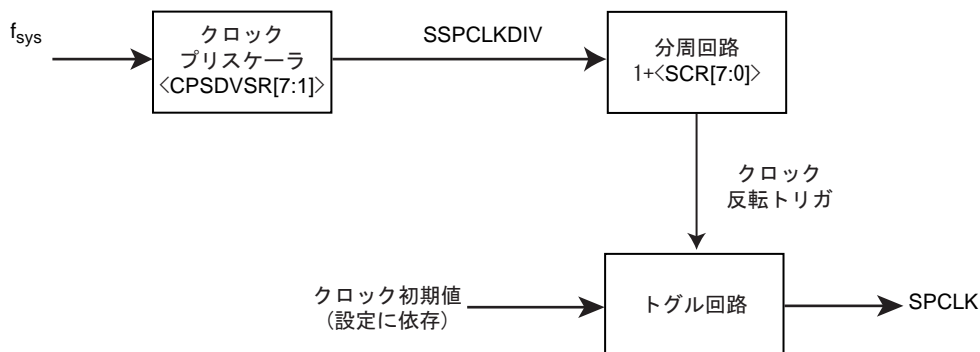
18.4.1 クロックプリスケアラ

マスタとして動作する場合、シリアル出力クロック SPCLK を生成するために、シリアルにリンクした 2 つのフリーランカウンタから構成されるクロックプリスケアラが使用されます。

このクロックプリスケアラは、SSPCPSR レジスタを介し、2 ~ 254 の偶数ステップで f_{sys} を除算するようにプログラムすることができます。SSPCPSR レジスタの最下位ビットを使用しないことにより、奇数ステップによるプログラミングはされなくなります。

プリスケアラの出力は、さらに SSPCR0 レジスタにプログラミングされた値に +1 された 1 ~ 256 のステップで除算され、マスタ出力クロック SPCLK が生成されます。

$$\text{ビットレート} = f_{\text{sys}} / (\langle \text{CPSDVSR} \rangle \times (1 + \langle \text{SCR} \rangle))$$



18.4.2 送信 FIFO

マスタおよびスレーブモード共有の 16 ビット幅 8 段の送信 FIFO バッファです。

18.4.3 受信 FIFO

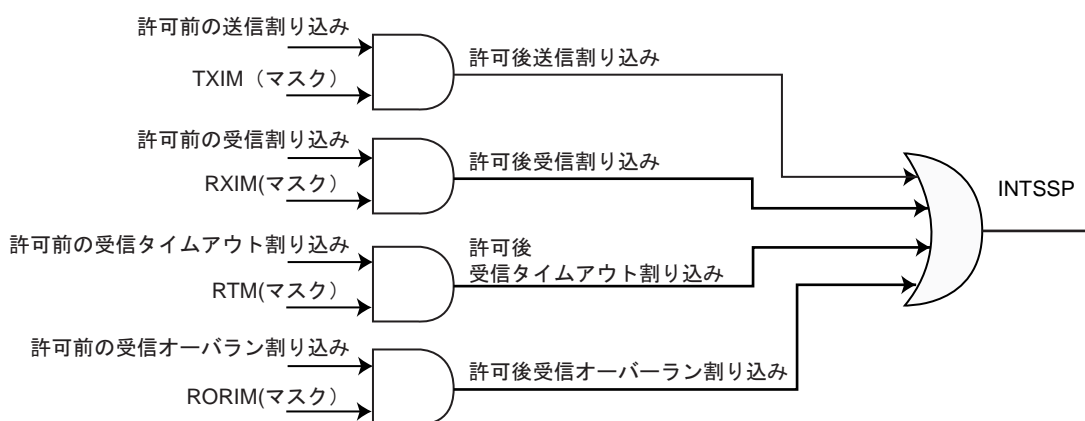
マスタおよびスレーブモード共有の 16 ビット幅 8 段の受信 FIFO バッファです。

18.4.4 割り込み生成ロジック

SSP によって、個々にマスク可能なアクティブの割り込みが生成されます。

送信割り込み	送信 FIFO の空領域が半分以上である条件割り込み (送信 FIFO 内の有効データ数 4)
受信割り込み	受信 FIFO の有効データが半分以上である条件割り込み (受信 FIFO 内の有効データ数 4)
タイムアウト割り込み	タイムアウトまでに読み出されていないデータが受信 FIFO に存在することを示す割り込み
オーバーラン割り込み	受信 FIFO がフルのときに書き込みが行われたことを示す条件割り込み

また、マスクされた個々のソースを 1 つの割り込みに結合しています。上記割り込みのいずれかがアサートされると、結合割り込み INTSSP がアサートされます。



a. 送信割り込み

送信割り込みは、送信 FIFO 内の有効エントリが 4 エントリ以下になるとアサートされます。SSP 動作ディセーブル (SSPCR1<SSE>=0) でも送信割り込みが発生します。

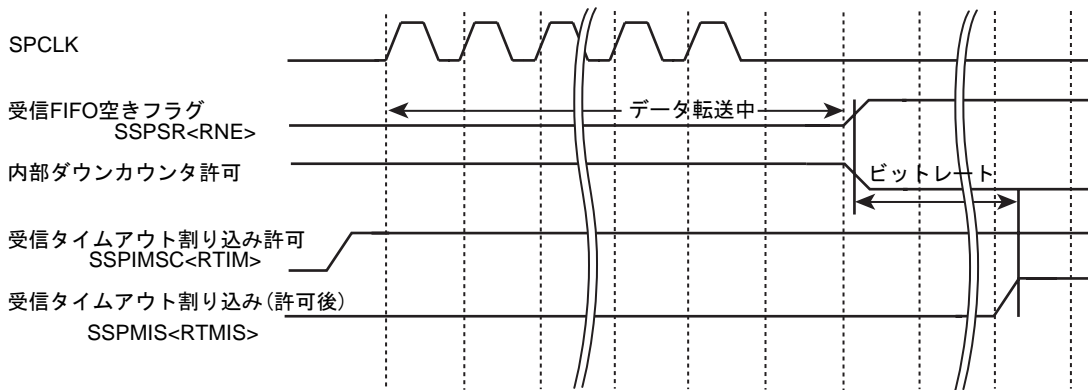
初回の送信データは、本割り込みを使用して FIFO に書き込むことができます。

b. 受信割り込み

受信 FIFO 内の有効エントリが 4 エントリ以上になるとアサートされます。

c. タイムアウト割り込み

タイムアウト割り込みは、受信 FIFO が空ではないときに SSP が一定の 32 ビット周期 (ビットレート) の間アイドル状態を続けるとアサートされます。この機構により、ユーザは受信 FIFO にまだデータが存在し、処理が必要であることを認識することができます。マスタ/スレーブ モード共に発生します。タイムアウト割り込みが発生した場合は、受信 FIFO から全データをリードしてください。全データをリードしない場合でも、受信 FIFO に空きがあり、かつ転送データ数が受信 FIFO の空き以下であれば送受信可能です。なお、転送開始でタイムアウト割り込みはクリアされます。また、受信 FIFO に空きがない状態で送受信を行った場合、タイムアウト割り込みはクリアされオーバーラン割り込みが発生します。



d. オーバーラン割り込み

受信 FIFO が既にフルのときに次のデータ (9 個目) を受信すると、転送終了直後、受信オーバーラン割り込みが発生します。オーバーラン割り込み発生以降の受信データ (9 個目のデータを含む) は無効となり、破棄されます。ただし、9 個目のデータ受信前 (割り込み発生する前) に受信 FIFO のデータをリードすると、9 個目の受信データは有効データとして受信 FIFO に書き込まれます。オーバーラン割り込みが発生した場合、正しい転送を行なうためには、SSPICR<RORIC> に "1" を書き込んだ後、受信 FIFO から全データをリードしてください。全データをリードしない場合でも、受信 FIFO に空きがあり、かつ転送データ数が受信 FIFO の空き以下であれば送受信可能です。なお、オーバーラン割り込みをクリアした後、一定の 32 ビット周期 (ビットレート) の間、受信 FIFO をリードしない場合 (受信 FIFO が空ではない時) はタイムアウト割り込みが発生します。

18.4.5 DMA インタフェース

SSP の DMA 操作は SSPDMACR レジスタを介して制御されます。

受信 FIFO に格納されるデータがウォーターマークレベル (FIFO の 1/2) 以上になると受信 DMA 要求がアサートされます。

送信 FIFO に格納するデータがウォーターマークレベル (FIFO の 1/2) 以下になると送信 DMA 要求が送信 / 受信 DMA 要求信号をクリアするために、DMA コントローラによってアサートされる送信 / 受信 DMA 要求クリア信号の入力端子を持っています。

また、DMA のバースト長は 4 ワードに設定してください。

注) 残りの 3 ワードに対し、SSP はバースト要求をアサートしません。

各要求シグナルは、関連する DMA クリアシグナルがアサートされるまでアサートされ続けます。要求クリアシグナルがアサート解除された後、前述の条件に従って要求シグナルを再度アクティブにすることができます。SSP がディセーブルされたり、DMA イネーブルシグナルがクリアされると、全ての要求シグナルがアサート解除されます。

以下の表は、送信 FIFO および受信 FIFO に対する DMABREQ のトリガポイントを示しています。

ウォーターマークレベル	バースト長	
	送信 (空き位置の数)	受信 (充填位置の数)
1/2	4	4

18.5 SSP の動作

18.5.1 SSP の初期設定

SSP 通信プロトコルの設定は SSP がディセーブルの状態、設定する必要があります。制御レジスタ SSPCR0 および SSPCR1 を使って、以下のいずれかのプロトコルに設定し、本 SSP をマスタまたはスレーブに設定してください。また、通信速度に関して、クロックプリスケールレジスタ SSPCPSR および SSPCR0<SCR> を設定してください。

本 SSP は以下のプロトコルをサポートします。

- SPI
- SSI
- Microwire

18.5.2 SSP のイネーブル

送信 FIFO に送信データが書き込まれていて、かつ動作イネーブルした時、もしくは動作イネーブル状態で送信 FIFO に送信データが書き込まれたときに転送が開始されます。

ただし、動作イネーブルにした時に送信 FIFO が 4 エントリ以下の場合には送信割り込みが発生します。この割り込みを使って初回データを書き込むことも可能です。

注) SPI のスレーブモードでかつ SPFSS 端子未使用の場合、イネーブルする前に必ず 1Byte 以上のデータを送信 FIFO に書き込んでください。送信 FIFO が空の状態ではイネーブルすると、転送データが正常に出力されません。

18.5.3 クロック比

f_{sys} の周波数設定は以下の条件を満たす必要があります。

- マスタモードの場合

$$f_{\text{SPCLK}}(\text{最大}) \rightarrow f_{\text{sys}} / 2$$

$$f_{\text{SPCLK}}(\text{最小}) \rightarrow f_{\text{sys}} / (254 \times 256)$$

- スレーブモードの場合

$$f_{\text{SPCLK}}(\text{最大}) \rightarrow f_{\text{sys}} / 12$$

$$f_{\text{SPCLK}}(\text{最小}) \rightarrow f_{\text{sys}} / (254 \times 256)$$

注) マスタモード時の最大転送速度は 20Mbps 以下になるように設定してください。

18.6 フレーム形式

各フレームフォーマットは、プログラムされたデータのサイズにより、4 ~ 16 ビットの幅を持ち、MSB から送信が開始されます。

- シリアルクロック (SPCLK)

SSP がアイドル状態の間は SSI と Microwire では Low でホールドされ、SPI では非アクティブでホールドされます。また、データ送信中にのみ設定されたビットレートで出力されます。

- シリアルフレーム (SPFSS)

SPI および Microwire のフレーム形式では、Low アクティブとなり、フレームの送信中は常に Low にアサートされます。

SSI フレーム形式の場合は、各フレームの送信前に 1 ビットレートの間のみアサートされません。このフレーム形式では、SPCLK の立ち上がりエッジで出力データを送信し、その立下りエッジで入力データを受信します。

各フレームフォーマットの詳細は「18.6.1 ~ 18.6.3」を参照してください。

18.6.1 SSI のフレームフォーマット

このモードでは、SSP はアイドル状態で SPCLK および SPFSS が Low にセットされ、送信データライン SPDO が Hi-Z になります。送信 FIFO にデータをライトすると、マスタは SPFSS ラインに 1 SPCLK 分の High パルスを出力します。送信データは送信 FIFO から送信のシリアルシフトレジスタに転送されます。SPCLK の次の立ち上がりエッジで、MSB から 4 ~ 16 ビットのデータが SPDO 端子により出力されます。

同様に、受信データは SPCLK の立ち下がりエッジで MSB から SPDI 端子に入力されます。受信されたデータは、その LSB データがラッチされた後、SPCLK の立ち上がりエッジでシリアルシフトレジスタから受信 FIFO に転送されます。

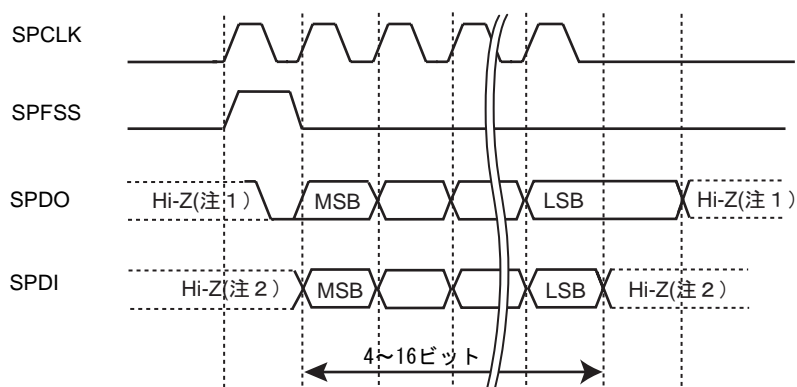


図 18-2 SSI フレームフォーマット (シングル転送送受信)

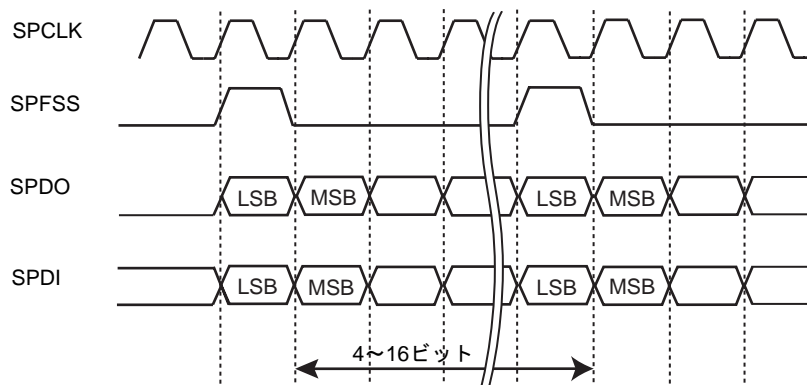


図 18-3 SSI フレームフォーマット (連続転送送受信)

- 注 1) SPDO 端子は非送信中に出力 OFF となり Hi-Z 状態となります。そのため、システムに合わせプルアップ / プルダウン抵抗によるレベル固定をしてください。
- 注 2) SPDI 端子は常時入力となっていますので、送信側が非送信中に出力 OFF となる場合はプルアップ / プルダウン抵抗によるレベル固定をしてください。

18.6.2 SPI フレームフォーマット

SPI インタフェースは 4 線インタフェースであり、SPFSS はスレーブ選択として動作します。SPI フォーマットの主な特長は、SPCLK の動作タイミングを SSPCR0 レジスタ内の <SPO> ビットと <SPH> ビットを使って、設定できます。

SSPCR0<SPO> はアイドル状態時の SPCLK をホールドするレベルを設定します。

SSPCR0<SPH> はデータをラッチするクロックエッジを選択します。

	SSPCR0<SPO>	SSPCR0<SPH>
0	Low 状態	1st クロックエッジでデータを取り込み
1	High 状態	2nd クロックエッジでデータを取り込み

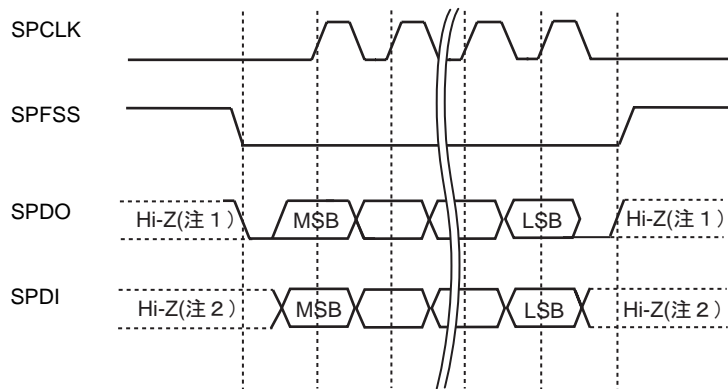


図 18-4 SPI フレームフォーマット (シングル転送、<SPO>=0 & <SPH>=0)

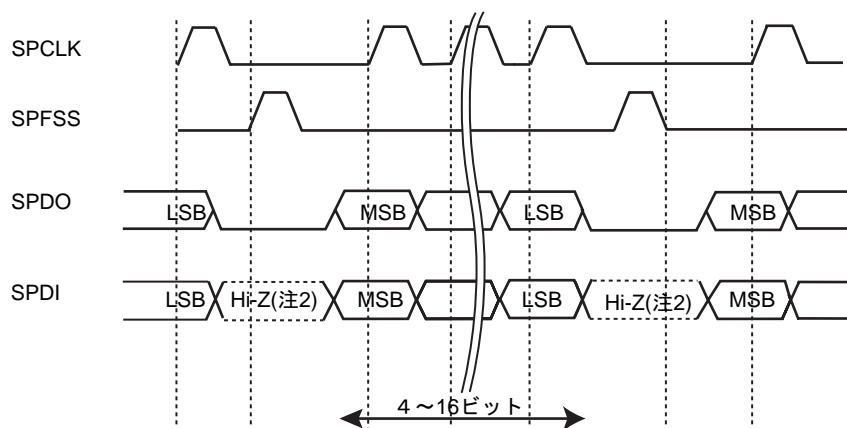


図 18-5 SPI フレームフォーマット (連続転送、<SPO>=0 & <SPH>=0)

注 1) SPDO 端子は非送信中に出力 OFF となり Hi-Z 状態となります。そのため、システムに合わせプルアップ / プルダウン抵抗によるレベル固定をしてください。

注 2) SPDI 端子は常時入力となっていますので、送信側が非送信中に出力 OFF となる場合はプルアップ / プルダウン抵抗によるレベル固定をしてください。

<SPO>=0 におけるアイドル周期では、

- SPCLK が Low にセットされます。
- SPFSS が High にセットされます。
- 送信データライン SPDO が Low にセットされます。

SSP がイネーブルされているときに送信 FIFO 内に有効データが存在する場合、送信開始は Low でドライブされる SPFSS マスタシグナルによって通知されます。これにより、マスタの SPDI 入力ラインでスレーブデータがイネーブルされます。

SPCLK の半周期後、有効マスタデータが SPDO ピンに転送されます。これで、マスタデータとスレーブデータの両方がセットされ、SPCLK のさらに半周期後に SPCLK マスタクロックピンが High になります。その後、データは SPCLK シグナルの立ち上がりエッジで捕捉され、立下りエッジで伝達されます。

シングル転送の場合、そのデータワードの全ビットの転送が完了し、その末尾ビットが捕捉されてから SPCLK 1 周期後に、SPFSS ラインがアイドル High 状態に戻ります。

しかし、連続転送の場合には、各データワード転送間で SPFSS シグナルを High でパルスする必要があります。これは、スレーブ選択ピンがそのシリアルペリフェラルレジスタにデータをフリーズし、<SPH> ビットが論理 0 の場合は変更を許可しないためです。

したがって、シリアルペリフェラルデータの書き込みをイネーブルするには、マスタデバイスが各データ転送間でスレーブデバイスの SPFSS ピンをドライブする必要があります。連続転送が完了すると、末尾ビットが捕捉されてから SPCLK 1 周期後に SPFSS ピンがアイドル状態に戻ります。

18.6.3 Microwire のフレームフォーマット

Microwire 形式は半二重モードで動作する特殊なマスタ - スレーブ伝達方式を使用します。このモードでは、フレームの開始時に 8 ビットの制御メッセージがスレーブに送信されます。この送信中、SSP はデータを受信しません。メッセージが送信された後、スレーブがそれをデコードし、8 ビット制御メッセージの末尾ビットの送信から 1 シリアルクロック間待機した後、要求されたデータで応答します。戻されるデータの長さは 4 ~ 16 ビットであり、全体のフレーム長は 13 ~ 25 ビットとなります。

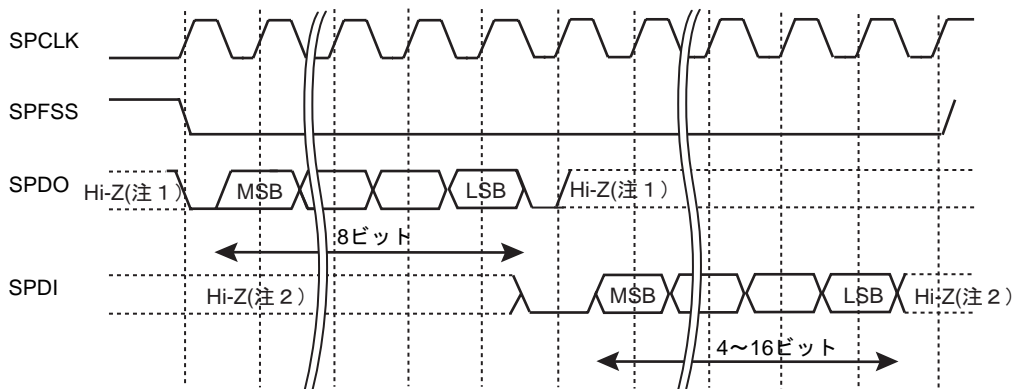


図 18-6 Microwire フレームフォーマット (シングル転送)

- 注 1) SPDO 端子は非送信中に出力 OFF となり Hi-Z 状態となります。そのため、システムに合わせプルアップ / プルダウン抵抗によるレベル固定をしてください。
- 注 2) SPDI 端子は常時入力となっていますので、送信側が非送信中に出力 OFF となる場合はプルアップ / プルダウン抵抗によるレベル固定をしてください

Microwire 形式は SPI 形式と非常に似ていますが、全二重ではなく半二重通信のマスタ - スレーブメッセージ伝達方式を使用する点が異なります。各シリアル伝送は、SSP からオフチップスレーブデバイスに送信される 8 ビットの制御ワードで開始されます。この送信中、SSP は入力データを受信しません。このメッセージの送信後、オフチップスレーブがこれをデコードし、8 ビット制御メッセージの末尾ビット送信後から 1 シリアルクロックが経過するまで待機し、要求されたデータで応答します。戻されるデータは 4 ~ 16 ビット長、フレーム全体は 13 ~ 25 ビット長になります。このコンフィギュレーションにおけるアイドル周期では：

- SPCLK が Low にセットされます。
- SPFSS が High にセットされます。
- 送信データライン SPDO が Low にセットされます。

伝送は送信 FIFO への制御バイトの書き込みによってトリガされます。SPFSS の立下りエッジによって送信 FIFO の最下位エントリにストアされていた値が送信ロジックのシリアルシフトレジスタに転送され、8 ビット制御フレームの MSB が SPDO ピンにシフトアウトされます。

このフレーム伝送の間、SPFSS は Low でホールドされ、SPDI ピンはトライステートでホールドされます。オフチップシリアルスレーブデバイスは、SPCLK の立ち上がりエッジでそのシリアルシフトに各制御ビットをラッチします。

スレーブデバイスによって末尾ビットがラッチされると、1 クロックウェイト状態の間にその制御バイトがデコードされ、スレーブはデータを送信することによって SSP に応答します。各ビットは、SPCLK の立下りエッジで SPDI ラインにドライブされます。

一方、SSP は SPCLK の立ち上がりエッジで各ビットをラッチします。シングル転送の場合は、フレームの終わりで末尾ビットが受信シリアルシフトにラッチされてから 1 クロック周期後に SPFSS シグナルが High にプルされ、これによってデータが受信 FIFO に転送されます。

注) オフチップスレーブデバイスは、受信シフトによって LSB がラッチされた後の SPCLK の立下りエッジで、または SPFSS ピンが High になるときのどちらかで、受信ラインをトライステートでホールドすることができます。

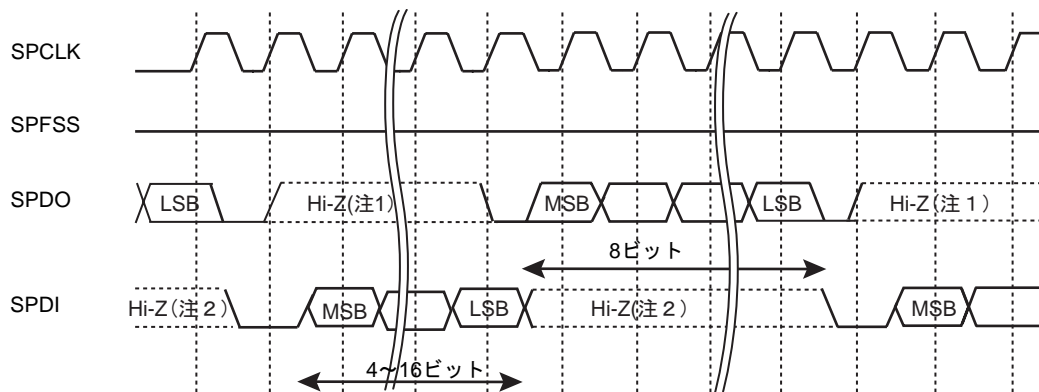


図 18-7 Microwire フレームフォーマット (連続転送)

- 注 1) SPDO 端子は非送信中に出力 OFF となり Hi-Z 状態となります。そのため、システムに合わせプルアップ / プルダウン抵抗によるレベル固定をしてください。
- 注 2) SPDI 端子は常時入力となっていますので、送信側が非送信中に出力 OFF となる場合はプルアップ / プルダウン抵抗によるレベル固定をしてください。

連続転送の場合、データ伝送の開始と終了はシングル転送の場合と同じように行われます。しかし、SPFSS ラインは常にアサート (Low でホールド) され、データの伝送が次から次に発生します。

次のフレームの制御バイトは、現在のフレームから受信されたデータの LSB の直後に続きます。受信された各値は、そのフレームの LSB が SSP にラッチされた後、SPCLK の立下りエッジで受信シフトから転送されます。

- 注) (接続例) SSP は、システム内におけるマスタ / スレーブの dynamics 切り替えをサポートしていません。各 SSP の例は、マスタまたはスレーブのどちらかとして構成 / 接続されています。

第 19 章 可変データ長シリアルインタフェース (VSIO)

19.1 概要

本製品はデータ長が設定可能な、同期式シリアル入出力を 1Unit、2 チャンネル内蔵しています。

VSIO はプリスケアラ、シリアルクロック生成回路、送信バッファ / 受信バッファとその制御回路で構成されています。転送クロック : VSIOSCK と送信データ : VSIO_TXD、受信データ : VSIO_RXD および Chip Select : VSIO_CS0, VSIO_CS1 の全二重送受信専用の SIO 回路です。

表 19-1 概要機能一覧表

項目	機能	備考
通信方式	クロック同期式 4 線通信	VSIOSCK、VSIO_TXD、VSIO_RXD VSIO_CS0、VSIO_CS1
チャンネル数	Chip Select による切り替え 2ch 対応	
通信速度	最大 12.5Mbps	常に、 $f_{sys} > \phi T_n$ の関係が必要
マスター / スレーブ	クロックマスター専用	
送受信	送信 / 受信対応 送受信全二重本式	全二重送受信専用
データ長	8bit ~ 40bit まで設定可能	1bit 単位での変更が可能
データフォーマット	MSB first / LSB first 選択可能 立ち上がりエッジ / 立下りエッジ選択可能 CS を正論理 / 負論理切り替え可能	
タイミング調整	CS アサートと CLK 出力制御間に CS の セット、ホールド時間を制御可能 連続送信、連続受信の際のインターバル時 間の設定可能	
バッファ	FIFO(5byte) 内蔵	
割り込み、DMA	送信完了または FIFO の Fill レベル 受信完了または FIFO の Fill レベル	

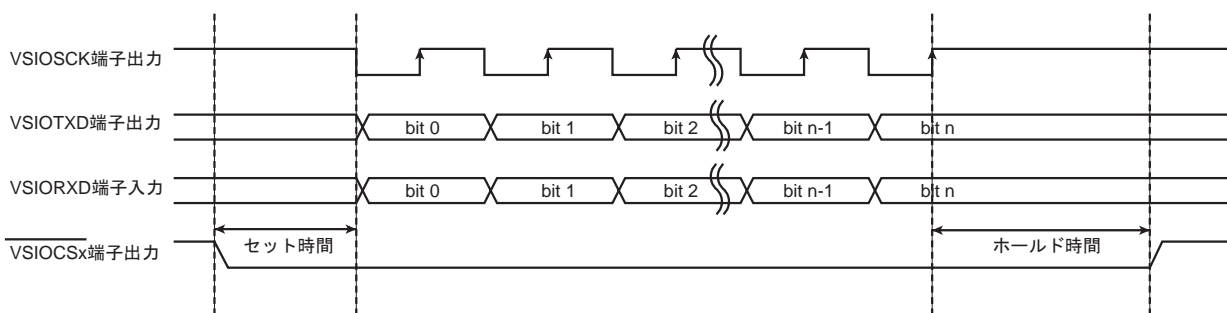


図 19-1 標準動作波形

19.2 構成

図 19-2 に VSIO のブロック図を示します。

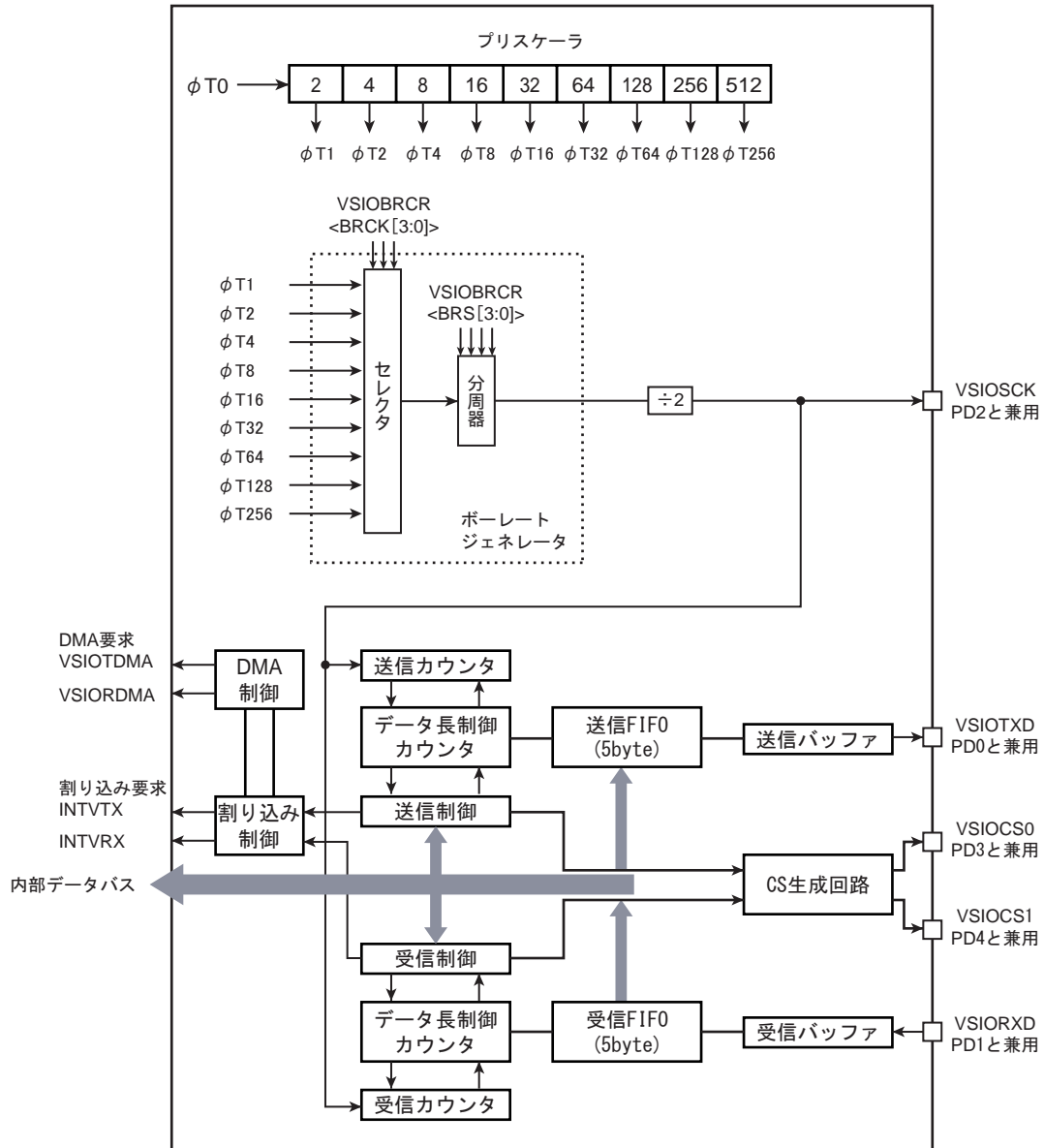


図 19-2 VSIO のブロック図

19.3 レジスタ説明

19.3.1 レジスタ一覧

Base Address = 0x4006_2000

レジスタ名		Address(Base+)
イネーブルレジスタ	VSIOEN	0x0000
バッファレジスタ	VSIobuf	0x0004
コントロールレジスタ 0	VSIOCR0	0x0008
コントロールレジスタ 1	VSIOCR1	0x000C
コントロールレジスタ 2	VSIOCR2	0x0010
コントロールレジスタ 3	VSIOCR3	0x0014
ポーレートジェネレータコントロールレジスタ	VSIORCR	0x0018
受信 FIFO コンフィグレジスタ	VSIORFC	0x001C
送信 FIFO コンフィグレジスタ	VSIOTFC	0x0020
受信 FIFO ステータスレジスタ	VSIORST	0x0024
送信 FIFO ステータスレジスタ	VSIOTST	0x0028

19.3.2 VSIOEN (イネーブルレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SWRST		-	-	-	-	-	SIOE
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能																
31-8	-	R	リードすると "0" が読めます。																
7-6	SWRST[1:0]	W	<p>ソフトリセット "10"→"01" の順に書き込むことでソフトウェアリセットが発生します。 ソフトウェアリセットにより、以下のビットが初期化されます。また、送受信回路と FIFO は初期状態になります。(注 1)(注 2)</p> <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>レジスタ名</th> <th>ビット</th> </tr> </thead> <tbody> <tr> <td>VSIOCR1</td> <td><TRXE>,<SM[1:0]>,<SC[1:0]></td> </tr> <tr> <td>VSIOCR2</td> <td><FDPX[1:0]></td> </tr> <tr> <td>VSIOCR3</td> <td><TBEMP>,<RBFL>,<ORER>,<TXRUN>,<RXRUN>,<RWEND>,<TWEND>,<DMARE> (DMA 要求クリア),<DMATE> (DMA 要求クリア),<INTRXEE>,<INTRXFE>,<INTRXWE>,<INTTXFE>,<INTTXWE></td> </tr> <tr> <td>VSIORFC</td> <td><RFCS> (FIFO 内クリア),<RIL[2:0]></td> </tr> <tr> <td>VSIOTFC</td> <td><TFCS> (FIFO 内クリア),<TIL[2:0]></td> </tr> <tr> <td>VSIORST</td> <td><RLVL[2:0]></td> </tr> <tr> <td>VSIOTST</td> <td><TLVL[2:0]></td> </tr> </tbody> </table>	レジスタ名	ビット	VSIOCR1	<TRXE>,<SM[1:0]>,<SC[1:0]>	VSIOCR2	<FDPX[1:0]>	VSIOCR3	<TBEMP>,<RBFL>,<ORER>,<TXRUN>,<RXRUN>,<RWEND>,<TWEND>,<DMARE> (DMA 要求クリア),<DMATE> (DMA 要求クリア),<INTRXEE>,<INTRXFE>,<INTRXWE>,<INTTXFE>,<INTTXWE>	VSIORFC	<RFCS> (FIFO 内クリア),<RIL[2:0]>	VSIOTFC	<TFCS> (FIFO 内クリア),<TIL[2:0]>	VSIORST	<RLVL[2:0]>	VSIOTST	<TLVL[2:0]>
レジスタ名	ビット																		
VSIOCR1	<TRXE>,<SM[1:0]>,<SC[1:0]>																		
VSIOCR2	<FDPX[1:0]>																		
VSIOCR3	<TBEMP>,<RBFL>,<ORER>,<TXRUN>,<RXRUN>,<RWEND>,<TWEND>,<DMARE> (DMA 要求クリア),<DMATE> (DMA 要求クリア),<INTRXEE>,<INTRXFE>,<INTRXWE>,<INTTXFE>,<INTTXWE>																		
VSIORFC	<RFCS> (FIFO 内クリア),<RIL[2:0]>																		
VSIOTFC	<TFCS> (FIFO 内クリア),<TIL[2:0]>																		
VSIORST	<RLVL[2:0]>																		
VSIOTST	<TLVL[2:0]>																		
5-1	-	R	リードすると "0" が読めます。																
0	SIOE	R/W	<p>SIO 動作 0: 禁止 1: 動作 SIO の動作を指定します。SIO を使用する場合は、まず <SIOE> に "1" をセットしてください。 動作禁止の状態では、イネーブルレジスタを除く SIO のすべてのクロックが停止しますので消費電力の低減が可能です。</p>																

注 1) 転送動作中に、ソフトウェアリセットを実施する場合は 2 回連続して実行してください。

注 2) ソフトウェアリセット動作が完了するのに、時間が必要です。詳細は「19.14 ソフトウェアリセット」を参照してください。

注 3) ソフトウェアリセット動作を実行するには、回路全体がアクティブな状態 <SIOE>=1 であることが必要です。<SIOE>=0 の状態から、ソフトウェアリセットを実行する場合は、0x0000_0001 を書き込み後に、0x0000_0081 → 0x0000_0041 を書き込むようにしてください。

19.3.3 VSIIOBUF (バッファレジスタ)

バッファレジスタは、送信用、受信用と 2 種類存在しますが、アクセスするレジスタはひとつにまとめられており、書き込み時は送信バッファ、読み出し時は受信バッファとして機能します。

本製品では、データ長を可変可能ですので、あらかじめ VSIOCR0<DL[5:0]> で設定されたデータ長に合わせてアクセスします。例えば、8 ビット長に設定した場合には <TRB[7:0]> のみ有効 (下詰め) となり、他のビット <TRB[31:8]> は全て無効ビットになります。

	31	30	29	28	27	26	25	24
bit symbol	TRB							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	TRB							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	TRB							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TRB							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-0	TRB[31:0]	R/W	送受信バッファ [ライト時]:送信バッファ [リード時]:受信バッファ





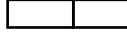

注) 33 ~ 40bit のデータ長を利用する場合は、レジスタへのアクセスは 2 回必要となります。

R/W	詳細	設定ビット
ライト時	1 回目: bit31 - bit0 をライトします。	<TRB[31:0]>
	2 回目: bitn - bit32 を下詰めでライトします。(n=32 ~ 39)	<TRB[m:0]> (m=7~0)
リード時	1 回目: bit31 - bit0 をリードします。	<TRB[31:0]>
	2 回目: bitn - bit32 を下詰めでリードします。(n=32 ~ 39)	<TRB[m:0]> (m=7~0)

レジスタへのアクセス順序が守られない場合、正常な動作が出来ません。

19.3.4 VSIOCR0 (コントロールレジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	CS1PH	CS0PH
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	CKPH	DRCHG	DL					
リセット後	0	0	0	0	1	0	0	0

Bit	Bit Symbol	Type	機能
31-10	-	R	リードすると "0" が読めます。
9	CS1PH	R/W	VSIOCS1 の論理 0: 負論理: "L" レベルでアサート、"H" レベルでネゲート 1: 正論理: "H" レベルでアサート、"L" レベルでネゲート VSIOCS1 端子の論理を設定します。
8	CS0PH	R/W	VSIOCS0 の論理 0: 負論理: "L" レベルでアサート、"H" レベルでネゲート 1: 正論理: "H" レベルでアサート、"L" レベルでネゲート VSIOCS0 端子の論理を設定します。
7	CKPH	R/W	クロック位相 0: 立ち上がり 1: 立ち下がり 転送クロックとデータの位相を決定するビットです。 <div style="text-align: center;"> <p><CKPH>=0</p> <p>VSIO_TXD  クロックの立ち下がり でデータを変化させます。</p> <p>VSIO_RXD  クロックの立ち上がり でデータをラッチします。</p> <p>VSIO_SCK </p> <p><CKPH>=1</p> <p>VSIO_TXD  クロックの立ち上がり でデータを変化させます。</p> <p>VSIO_RXD  クロックの立ち下がり でデータをラッチします。</p> <p>VSIO_SCK </p> </div>
6	DRCHG	R/W	転送方向 LSB / MSB first を選択します。 0: LSB first 1: MSB first
5-0	DL[5:0]	R/W	データ長設定 8bit ~ 40bit のデータ長を 1 ビット単位で設定可能です。 例: 8 ビットに設定する場合は、<DL[5:0]>=00_1000 (初期値) と設定します。 (注) 00_0000 ~ 00_0111(0 ~ 7) および 10_1001 ~ 11_1111 (41 ~ 63) は設定禁止

注) 転送動作中の切り替えは行わないでください。

19.3.5 VSIOCR1 (コントロールレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TRXE	-	-	CSS	SM		SC	
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると "0" が読めます。
7	TRXE	R/W	送信制御 0: 通信停止 1: 通信許可 通信許可ビットです。 送信バッファや送信 FIFO に有効データが存在する場合に、送信を開始します。送信 FIFO やシフトレジスタに有効なデータが無い場合には、送信は開始されませんので、送信 FIFO にデータを書き込んだ後に送信開始するやり方と、送信許可状態で送信データを書き込む方法で送信を開始出来ます。 送信中にこのビットが禁止に設定された場合はそのフレームの転送が終了してから、禁止になります。 送信開始の条件のみで、受信も同時に開始します (受信バッファが FULL の状態でも、通信を開始します)
6-5	-	R	"00" をライトしてください。
4	CSS	R/W	CS 選択 0: CS0 1: CS1 使用する CS を選択します。
3-2	SM[1:0]	R/W	シリアル転送モード 00: 同期通信 01 ~ 11: Reserved 必ず "00" をライトしてください。
1-0	SC[1:0]	R/W	転送ボーレート選択 00: ボーレートジェネレータ 01 ~ 11: Reserved 必ず "00" をライトしてください。

19.3.6 VSIOCR2 (コントロールレジスタ 2)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	FDPX		-	TXE		SINT		
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると "0" が読めます。
7-6	FDPX[1:0]	R/W	<p>転送モード設定</p> <p>00: 転送禁止 01: 設定禁止 10: 設定禁止 11: 全二重送受信</p> <p>転送禁止状態 (<FDPX[1:0]>="00") から、通信を開始 (再開) する場合、以前の通信の余計な割り込みや、フラグ変化も同時にクリアさせる為に、通信停止 (<FDPX[1:0]>="00") のまま、SW リセットを実行するようにしてください。</p> <p>VSIOCR1<TRXE> の通信停止制御 (1 → 0) は、通信中動作が終了してから停止しますが、<FDPX[1:0]>="00" の転送禁止は、強制的に通信をとめますので、通信停止後は SW リセットで、内部回路を初期化してから再度通信を再開する必要があります。(注)</p>
5	-	R	"0" をライトしてください。
4-3	CSHD[1:0]	R/W	<p>CS アサート HLD 時間</p> <p>00: 1SCLK 01: 2SCLK 10: 4SCLK 11: 8SCLK</p> <p>VSIOCSx 端子がアサートされてから、VSIOCSCK 端子が変化するまでの時間と、最終 bit での VSIOCSCK 端子の変化から、VSIOCSx 端子のネゲートまでの時間で制御します。通信クロック周期分の時間を制御します。</p>
2-0	SINT[2:0]	R/W	<p>連続転送時のインターバル時間</p> <p>000: なし 001: 1SCLK 010: 2SCLK 011: 4SCLK 100: 8SCLK 101: 16SCLK 110: 32SCLK 111: 64SCLK</p>

注) 通信中に、送信 / 受信を切り替えた場合、FIFO 内にデータが残っていたとしても、必ず FIFO をクリアするか、SW リセットをしてから再度通信を実行してください (FIFO 内データは保障されません)。

19.3.7 VSIOCR3 (コントロールレジスタ 3)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	TBEMP	RBFL	ORER	TXRUN	RXRUN	-	RWEND	TWEND
リセット後	1	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	DMARE	DMATE	-	INTRXEE	INTRXFE	INTRXWE	INTTXFE	INTTXWE
リセット後	0	0	0	1	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	–	R	リードすると "0" が読めます。
15	TBEMP	R	送信 FIFO エンプティフラグ 0: Full 1: Empty 送信 FIFO のデータ empty を示すフラグです。empty になると "1" になり、送信データが書き込まれると "0" になります。 本レジスタを読み出すことでクリアはできません。
14	RBFL	R	受信 FIFO full フラグ 0: Empty 1: Full 受信 FIFO のデータ full を示すフラグです。データが格納されると "1" になり、読み出すと "0" になります。 本レジスタを読み出すことでクリアはできません。
13	ORER	R/W	受信エラーフラグ 0: エラーなし 1: エラーあり 受信 FIFO の Full フラグがセットされた状態で、さらに新しいデータを受信した場合にセットされます (受信 FIFO が Full の状態では、新しい受信データは破棄されます)。Over_Run_Error フラグがセットされた状態では、送信も継続できません。 本レジスタに "0" をライトすることで、フラグのクリアが可能です。
12	TXRUN	R	送信動作中フラグ 0: 停止 1: 動作 送信動作中を示すステータスフラグです。 表 19-2 に各ビットにおける状態を示します。
11	RXRUN	R	受信動作中フラグ 0: 停止 1: 動作 受信動作中を示すステータスフラグです。 表 19-2 に各ビットにおける状態を示します。
10	–	R	リードすると "0" が読めます。
9	RWEND	R/W	受信完了フラグ 0: - 1: 受信完了 受信終了時に、"1" にセットされます (内部 FIFO に取り込まれ、通信サイクルが終了した時点)。 "0" を書き込むとフラグがクリアされます。 受信 FIFO から Data を読み出すとクリアされます。 VSIOCR1<TRXE> を "0" にするとフラグがクリアされます。
8	TWEND	R/W	送信完了フラグ 0: - 1: 送信完了 送信が完了した時に、"1" にセットされます (送信完了し、通信サイクルが終了した時点)。 "0" を書き込むとフラグがクリアされます。 送信 FIFO へ Data を書き込むとクリアされます。 VSIOCR1<TRXE> を "0" にするとフラグがクリアされます。
7	DMARE	R/W	受信 DMA 制御 0: 禁止 1: 許可 DMA は、設定された Fill レベル以上になった時に、常に DMA 要求を出します。 DMA 転送終了時に、Fill レベル以上の状態であれば、再度 DMA 要求を出します。
6	DMATE	R/W	送信 DMA 制御 0: 禁止 1: 許可 DMA は、設定された Fill レベル以下になった時に、常に DMA 要求を出します。 DMA 転送終了時に、Fill レベル以下の状態であれば、再度 DMA 要求を出します。

Bit	Bit Symbol	Type	機能
5	–	R	"0" をライトしてください。
4	INTRXEE	R/W	受信エラー割り込み制御 (ORER) 0: 禁止 1: 許可 受信エラー割り込み (Over Run Error) の許可ビットです。
3	INTRXFE	R/W	受信 FIFO 割り込み制御 (FIL _ LVL) 0: 禁止 1: 許可 受信 FIFO の Fill レベル割り込みの許可ビットです。 割り込み発生時の Fill レベルは VSIORFC<RIL[2:0]> で設定されたレベルで設定されます。
2	INTRXWE	R/W	受信完了割り込み制御 (W 受信) 0: 禁止 1: 許可 1 回の受信単位 (1Word 分) 割り込みの許可ビットです。 1Word とは VSIOCR0<DL[5:0]> で設定されたデータ長で決定されます。 割り込みの発生は最終 bit を送信後、CS 信号のネゲートタイミングで発生します。 (連続通信の場合は、CS 信号が連続します。詳細はタイミング波形を参照してください)
1	INTTXFE	R/W	送信 FIFO 割り込み制御 (FIL _ LVL) 0: 禁止 1: 許可 送信 FIFO の Fill レベル割り込みの許可ビットです。 割り込み発生時の Fill レベルは VSIOTFC<TIL[2:0]> で設定されたレベルで設定されます
0	INTTXWE	R/W	送信完了割り込み制御 (W 送信) 0: 禁止 1: 許可 送信完了 (1Word 分) 割り込みの許可ビットです。 1Word とは VSIOCR0<DL[5:0]> で設定されたデータ長で決定されます。 割り込みの発生は最終 bit を送信後、CS 信号のネゲートタイミングで発生します。 (連続通信の場合は、CS 信号が連続します。詳細はタイミング波形を参照してください)

表 19-2 各通信状態におけるフラグ

<TXRUN/ <RXRUN>	<TBEMP>	<RBFL>	<ORER>	状態	
1	0	0	0	送受信動作中	
	1	0			
	0	1			
	1	1			
0	0	0		0	停止、または次回通信待ち
	1	0			
	0	1			受信データリード必要状態 (Over _ Run 前状態)
	1	1			受信データリード必要状態
–	–	–	1		Over Run Error 状態

各フラグのクリア条件は「表 19-6 各種フラグとクリア方法」を参照してください。

19.3.8 VSIOBRCCR (ボーレートジェネレータコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	BRCK				BRS			
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると "0" が読めます。
7-4	BRCK[3:0]	R/W	ボーレートジェネレータ入力クロック選択 0000: ϕ T1 0101: ϕ T32 0001: ϕ T2 0110: ϕ T64 0010: ϕ T4 0111: ϕ T128 0011: ϕ T8 1000: ϕ T256 0100: ϕ T16 1001~1111:Reservd
3-0	BRS[3:0]	R/W	分周値 "N" の設定 0000: 16 分周 0001: 1 分周 0010: 2 分周 : 1111: 15 分周

19.3.9 VSIORFC (受信 FIFO コンフィグレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	RFCS	-	-	-	-	RIL		
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能																																																
31-8	-	R	リードすると "0" が読めます。																																																
7	RFCS	W	受信 FIFO クリア (注) 0: 無効 1: クリア "1" を書き込むと受信 FIFO がクリアされます。リードすると "0" が読めます。																																																
6-3	-	R	リードすると "0" が読めます。																																																
2-0	RIL[2:0]	R/W	受信割り込み発生条件 本デバイスでは、8 ~ 40bit までのデータ長を選択できます。1-Word とは VSIOCR<DL[5:0]> に設定されたデータ長を示します。<RIL>="000" 設定の場合は受信割り込みは発生しません。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th><DL[5:0]> <RIL[2:0]></th> <th>00_1000 (8bit)</th> <th>00_1001 ~ 01_0000 (9~16bit)</th> <th>01_0001 ~ 01_1000 (17~24bit)</th> <th>01_1001 ~ 10_0000 (25~32bit)</th> <th>10_0001 ~ 10_1000 (33~40bit)</th> </tr> </thead> <tbody> <tr> <td>000</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> </tr> <tr> <td>001</td> <td>1W 以上</td> <td>1W 以上</td> <td>1W 以上</td> <td>1W 以上</td> <td>1W 以上</td> </tr> <tr> <td>010</td> <td>2W 以上</td> <td>2W 以上</td> <td>-</td> <td>-</td> <td>-</td> </tr> <tr> <td>011</td> <td>3W 以上</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> </tr> <tr> <td>100</td> <td>4W 以上</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> </tr> <tr> <td>101</td> <td>5W</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> </tr> <tr> <td>110~111</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> </tr> </tbody> </table>	<DL[5:0]> <RIL[2:0]>	00_1000 (8bit)	00_1001 ~ 01_0000 (9~16bit)	01_0001 ~ 01_1000 (17~24bit)	01_1001 ~ 10_0000 (25~32bit)	10_0001 ~ 10_1000 (33~40bit)	000	-	-	-	-	-	001	1W 以上	1W 以上	1W 以上	1W 以上	1W 以上	010	2W 以上	2W 以上	-	-	-	011	3W 以上	-	-	-	-	100	4W 以上	-	-	-	-	101	5W	-	-	-	-	110~111	-	-	-	-	-
<DL[5:0]> <RIL[2:0]>	00_1000 (8bit)	00_1001 ~ 01_0000 (9~16bit)	01_0001 ~ 01_1000 (17~24bit)	01_1001 ~ 10_0000 (25~32bit)	10_0001 ~ 10_1000 (33~40bit)																																														
000	-	-	-	-	-																																														
001	1W 以上	1W 以上	1W 以上	1W 以上	1W 以上																																														
010	2W 以上	2W 以上	-	-	-																																														
011	3W 以上	-	-	-	-																																														
100	4W 以上	-	-	-	-																																														
101	5W	-	-	-	-																																														
110~111	-	-	-	-	-																																														

注) 受信 FIFO クリアは、SIO の転送モードを設定した後に行ってください。

19.3.10 VSIOTFC (送信 FIFO コンフィグレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TFCS	-	-	-	-	TIL		
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能																																										
31-8	-	R	リードすると "0" が読めます。																																										
7	TFCS	W	送信 FIFO クリア (注) 0: 無効 1: クリア "1" を書き込むと送信 FIFO がクリアされます。リードすると "0" が読めます。																																										
6-3	-	R	リードすると "0" が読めます。																																										
2-0	TIL[2:0]	R/W	送信割り込み発生条件 本デバイスでは、8 ~ 40bit までのデータ長を選択できます。1-Word とは VSIOCR<DL[5:0]> に設定されたデータ長を示します。 <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th><DL[5:0]> <TIL[2:0]></th> <th>00_1000 (8bit)</th> <th>00_1001 ~ 01_0000 (9~16bit)</th> <th>01_0001 ~ 01_1000 (17~24bit)</th> <th>01_1001 ~ 10_0000 (25~32bit)</th> <th>10_0001 ~ 10_1000 (33~40bit)</th> </tr> </thead> <tbody> <tr> <td>000(Empty)</td> <td>0W</td> <td>0W</td> <td>0W</td> <td>0W</td> <td>0W</td> </tr> <tr> <td>001</td> <td>1W 以下</td> <td>1W 以下</td> <td>-</td> <td>-</td> <td>-</td> </tr> <tr> <td>010</td> <td>2W 以下</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> </tr> <tr> <td>011</td> <td>3W 以下</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> </tr> <tr> <td>100</td> <td>4W 以下</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> </tr> <tr> <td>101~111</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> </tr> </tbody> </table>	<DL[5:0]> <TIL[2:0]>	00_1000 (8bit)	00_1001 ~ 01_0000 (9~16bit)	01_0001 ~ 01_1000 (17~24bit)	01_1001 ~ 10_0000 (25~32bit)	10_0001 ~ 10_1000 (33~40bit)	000(Empty)	0W	0W	0W	0W	0W	001	1W 以下	1W 以下	-	-	-	010	2W 以下	-	-	-	-	011	3W 以下	-	-	-	-	100	4W 以下	-	-	-	-	101~111	-	-	-	-	-
<DL[5:0]> <TIL[2:0]>	00_1000 (8bit)	00_1001 ~ 01_0000 (9~16bit)	01_0001 ~ 01_1000 (17~24bit)	01_1001 ~ 10_0000 (25~32bit)	10_0001 ~ 10_1000 (33~40bit)																																								
000(Empty)	0W	0W	0W	0W	0W																																								
001	1W 以下	1W 以下	-	-	-																																								
010	2W 以下	-	-	-	-																																								
011	3W 以下	-	-	-	-																																								
100	4W 以下	-	-	-	-																																								
101~111	-	-	-	-	-																																								

注) 送信 FIFO クリアは、SIO の転送モードを設定した後に行ってください。

19.3.11 VSIORST (受信 FIFO ステータスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	RLVL		
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能												
31-3	-	R	リードすると "0" が読めます。												
2-0	RLVL[2:0]	R/W	受信 FIFO の fill レベル 本デバイスでは、8 ~ 40bit までのデータ長を選択できます。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th><RLVL[2:0]></th> <th><DL[5:0]></th> </tr> </thead> <tbody> <tr> <td>000 ~ 101</td> <td>00_1000 (8bit)</td> </tr> <tr> <td>000 ~ 010</td> <td>00_1001 ~ 01_0000 (9~16bit)</td> </tr> <tr> <td>000 ~ 001</td> <td>01_0001 ~ 01_1000 (17~24bit)</td> </tr> <tr> <td>000 ~ 001</td> <td>01_1001 ~ 10_0000 (25~32bit)</td> </tr> <tr> <td>000 ~ 001</td> <td>10_0001 ~ 10_1000 (33~40bit)</td> </tr> </tbody> </table>	<RLVL[2:0]>	<DL[5:0]>	000 ~ 101	00_1000 (8bit)	000 ~ 010	00_1001 ~ 01_0000 (9~16bit)	000 ~ 001	01_0001 ~ 01_1000 (17~24bit)	000 ~ 001	01_1001 ~ 10_0000 (25~32bit)	000 ~ 001	10_0001 ~ 10_1000 (33~40bit)
<RLVL[2:0]>	<DL[5:0]>														
000 ~ 101	00_1000 (8bit)														
000 ~ 010	00_1001 ~ 01_0000 (9~16bit)														
000 ~ 001	01_0001 ~ 01_1000 (17~24bit)														
000 ~ 001	01_1001 ~ 10_0000 (25~32bit)														
000 ~ 001	10_0001 ~ 10_1000 (33~40bit)														

<RLVL[2:0]> のクリア条件は「表 19-6 各種フラグとクリア方法」を参照してください。

19.3.12 VSIOTST (送信 FIFO ステータスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TUR	-	-	-	-	TLVL		
リセット後	1	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能												
31-3	-	R	リードすると "0" が読めます。												
2-0	TLVL[2:0]	R/W	送信 FIFO の fill レベル 本デバイスでは、8 ~ 40bit までのデータ長を選択できます。1-Word とは VSIOCR<DL[5:0]> に設定されたデータ長を示します。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th><TLVL[2:0]></th> <th><DL[5:0]></th> </tr> </thead> <tbody> <tr> <td>000 ~ 101</td> <td>00_ 1000 (8bit)</td> </tr> <tr> <td>000 ~ 010</td> <td>00_ 1001 ~ 01_ 0000 (9~16bit)</td> </tr> <tr> <td>000 ~ 001</td> <td>01_ 0001 ~ 01_ 1000 (17~24bit)</td> </tr> <tr> <td>000 ~ 001</td> <td>01_ 1001 ~ 10_ 0000 (25~32bit)</td> </tr> <tr> <td>000 ~ 001</td> <td>10_ 0001 ~ 10_ 1000 (33~40bit)</td> </tr> </tbody> </table>	<TLVL[2:0]>	<DL[5:0]>	000 ~ 101	00_ 1000 (8bit)	000 ~ 010	00_ 1001 ~ 01_ 0000 (9~16bit)	000 ~ 001	01_ 0001 ~ 01_ 1000 (17~24bit)	000 ~ 001	01_ 1001 ~ 10_ 0000 (25~32bit)	000 ~ 001	10_ 0001 ~ 10_ 1000 (33~40bit)
<TLVL[2:0]>	<DL[5:0]>														
000 ~ 101	00_ 1000 (8bit)														
000 ~ 010	00_ 1001 ~ 01_ 0000 (9~16bit)														
000 ~ 001	01_ 0001 ~ 01_ 1000 (17~24bit)														
000 ~ 001	01_ 1001 ~ 10_ 0000 (25~32bit)														
000 ~ 001	10_ 0001 ~ 10_ 1000 (33~40bit)														

<TLVL[2:0]> のクリア条件は「表 19-6 各種フラグとクリア方法」を参照してください。

19.4 クロック制御

19.4.1 プリスケーラ

9ビットのプリスケーラを実装しており、 $\Phi T0$ の2/4/8/16/32/64/128/256/512分周のクロックを生成します。

プリスケーラの入力クロック $\Phi T0$ は、クロック/モード制御部のCGSYSCRレジスタで選択します。

19.4.2 シリアルクロック生成回路

送受信クロック (VSIO_SCK) を生成するブロックで、ボーレートジェネレータとモードによりクロックを選択する回路で構成されています。

19.4.2.1 ボーレートジェネレータ

ボーレートジェネレータは、シリアルチャネルの転送速度を定める送受信クロックを生成するための回路です。

(1) ボーレートジェネレータ入力クロック

ボーレートジェネレータの入力クロックは、プリスケーラ出力の2/4/8/16/32/64/128/256/512分周から選択します。

入力クロックの選択はVSIOBRCCR<BRCK[3:0]>で行います。

(2) ボーレートジェネレータ出力クロック

ボーレートジェネレータの出力クロック分周値は、VSIOBRCCR<BRS[3:0]>で設定します。

ボーレートの算出方法

$$\text{ボーレート} = \frac{\text{ボーレートジェネレータ入力クロック (<BRCK[3:0]>)}{\text{分周値 (<BRS[3:0]>) \times 2}}$$

ボーレートジェネレータで生成される最高のボーレートは、 $\Phi T1$ が25MHzのときで、ボーレートジェネレータの分周値="1"のときの、12.5Mbpsが最高になります。

19.5 送受信制御

FIFO、送受信バッファ等を完全に独立させており、共通のクロックを利用した全二重通信を行います。データ長は送受信がまったく同一であることが必要です。

受信 FIFO が FULL の状態での受信すると、後続の受信データはシフトレジスタに取り込まれず破棄され、シフトレジスタ内の古いデータが保持されます。

また、VSIOCR<CKPH> の設定に従って、クロックの位相設定が可能です。

表 19-3 転送の種類とフラグ、割り込み、DMA 一覧

ステータスおよびフラグ		全二重送受信		半二重受信	半二重送信
		割り込み	DMA		
<TBEMP>	送信 FIFO _ Empty	○(注)	○(注)	サポートなし	
<RBFLL>	受信 FIFO _ Full	○(注)	○(注)		
<TLVL[2:0]>	送信 FIFO の FILL レベル	○	○		
<RLVL[2:0]>	受信 FIFO の FILL レベル	○	○		
<ORER>	受信 Over Run エラー	○	NA		
<TXRUN>	送信中 (CS 信号がアサート)	NA	NA		
<RXRUN>	受信中 (CS 信号がアサート)	NA	NA		
<TWEND>	1Word のデータ送信終了	○	NA		
<RWEND>	1Word のデータ受信終了	○	NA		

○: 対応

NA: 非対応

注) <TBEMP>/<RBFLL> そのものは単なるフラグですので、このフラグでの割り込みや DMA 起動は発生しません。FIFO の FILL レベルと、割り込み (DMA) の発生条件を設定可能な為、<TBEMP>/<RBFLL> と同一の条件での割り込み発生や DMA 起動が可能です。

19.6 VSIOSCK 信号制御

VSIOCR0<CKPH> の設定で、クロック位相を変更できます。

19.7 Chip Select 信号制御

本製品では Chip Select 信号 (VSIOCS0、VSIOCS1) を 2 信号具備し、2 種類の外部デバイスとの通信に対応可能です。

ただし、内部回路や FIFO は 1Unit のみとなりますので、通信は各々の通信が完全に完了した後（通信完了割り込み等で制御が必要）の切り替えを必要とします。

図 19-3 に CS0 と CS1 の送信切り替え動作例を示します。CS0 の送信完了割り込みにて、CS を CS0 → CS1 に切り替えて (VSIOCR1<CSS>=0 → 1) その後送信バッファに送信データを書き込みます。

また、各々の信号を個別に論理制御することが可能です。VSIOCR0<CS0PH> で CS0 の論理を、VSIOCR0<CS1PH> で CS1 の論理設定します。初期値は負論理設定になっている為、初期設定時にはクロックの制御と含めてご注意ください。

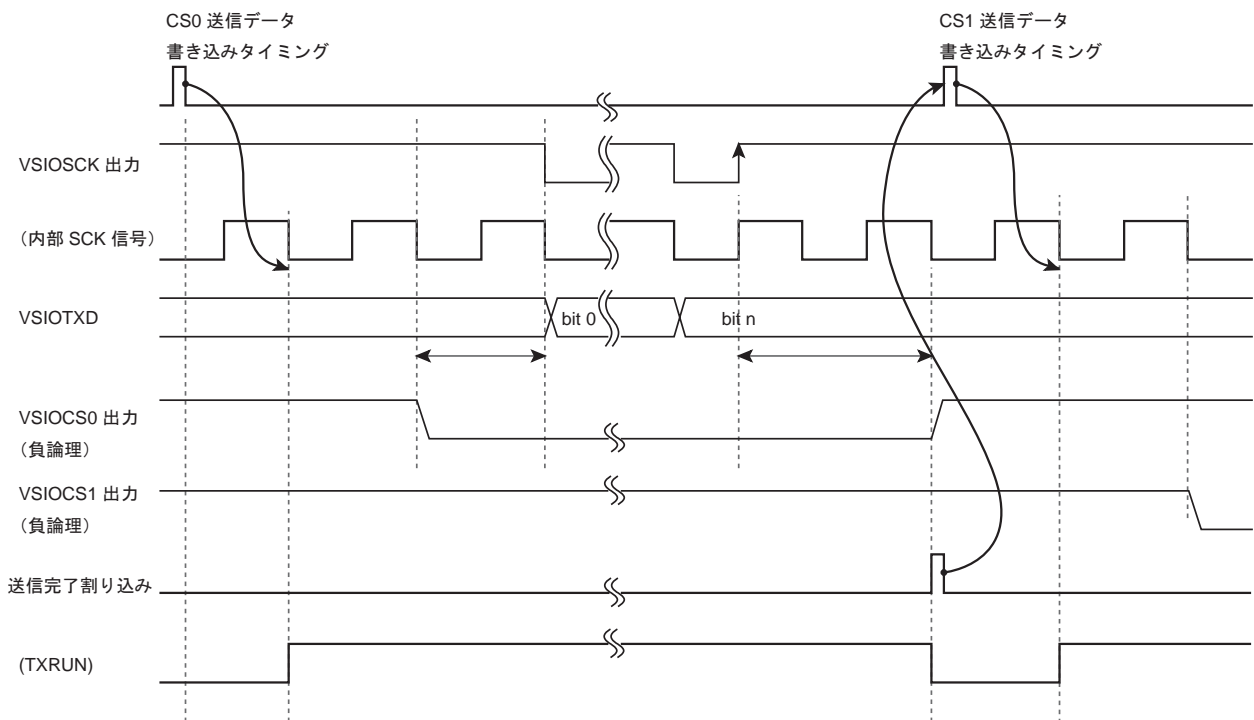


図 19-3 CS0 と CS1 の送信切り替え動作例

19.7.1 CS 信号発生タイミング

CS 信号発生タイミング時間を調整することが出来ます。

19.7.1.1 CS 発生タイミング調整

VSIOCR2<CSHD[1:0]> の設定で、VSIOCSx 端子がアサートされてから、VSIOSCK 端子が変化するまでの時間と、最終 bit での VSIOSCK 端子の変化から、VSIOCSx 端子のネゲートまでの時間で制御します。

2 種類の CS 信号に対して、個別の調整は出来ません。同一の設定になります。

表 19-4 VSIOCSx 端子と VSIOSCK 端子設定表

VSIOCR2 <CSHD[1:0]>	VSIOCSx 端子がアサートされてから、 VSIOSCK 端子が変化するまでの時間	最終 bit での VSIOSCK 端子の変化から、 VSIOCSx 端子のネゲートまでの時間 (注)
00	1 × SCK	1.5 × SCK
01	2 × SCK	2.5 × SCK
10	4 × SCK	4.5 × SCK
11	8 × SCK	8.5 × SCK

注) CS 端子のネゲートまでの時間は、クロックエッジからの定義のため、最終ビットのデータホールド時間 (0.5 クロック) が追加されます。

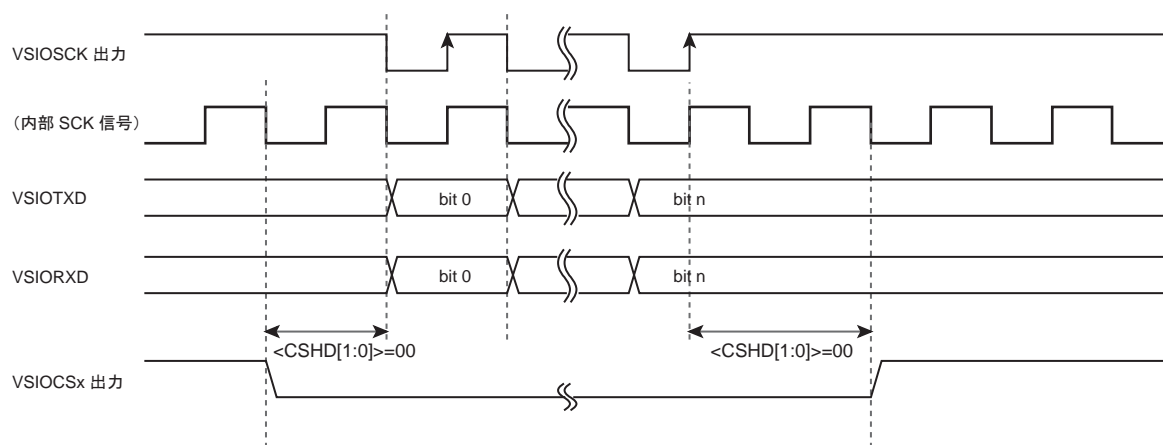


図 19-4 VSIOCSx 端子と VSIOSCK 端子のタイミング設定

19.7.1.2 連続通信

連続通信の場合、通信間の CS 信号の最低ネゲート時間を制御することができます。

表 19-5 VSIOCR2 端子ネゲート時間設定表

VSIOCR2 <SINT[2:0]>	連続通信時の VSIOCR2 端子のネゲート 時間設定
000	0 × SCK
001	1 × SCK
010	2 × SCK
011	4 × SCK
100	8 × SCK
101	16 × SCK
110	32 × SCK
111	64 × SCK

連続通信とは、同一の CS 内にて、送信では、送信シフトレジスタ + FIFO に 2W 以上の送信データが準備されている場合や、受信では、受信シフトレジスタ + FIFO の空きが 2W 以上存在する状態での通信を意味しています。

かならず Word 通信間に CS のエッジを立てたい場合に有効です。

異なる CS 端子を跨いだ連続通信はできません。

CS の切り替えには、完全に通信が終了してからの切り替えが必要です。

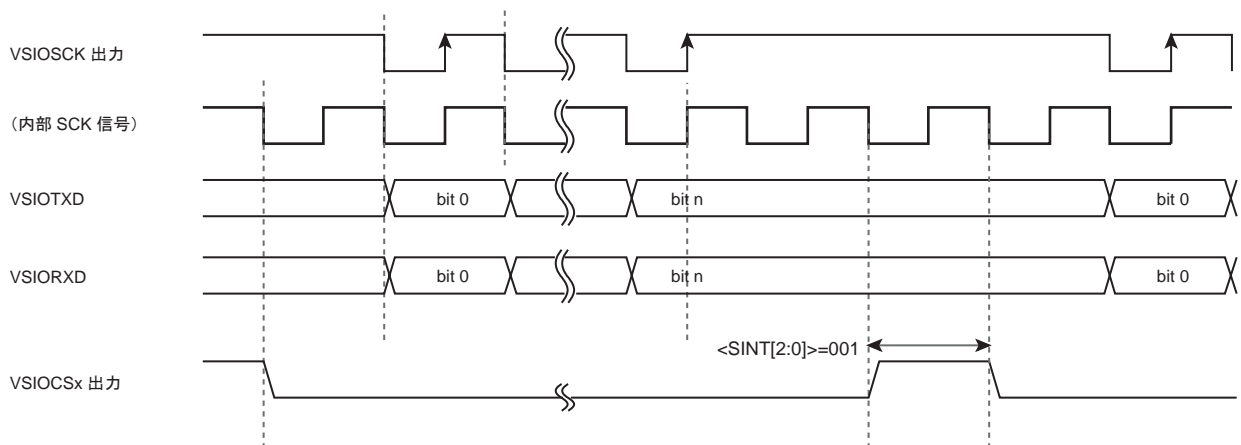


図 19-5 連続動作とインターバル時間

注) 連続通信インターバル時間を無し VSIOCR2<SINT[2:0]>=000 に設定した場合は、送信完了フラグの発生前に、オーバーランエラーフラグが発生しますので、受信 FIFO 内のエラー処理を正しく処理出来ない場合があります。ご注意願います。詳細は「19.15 各種動作説明」を参照してください。

19.8 データ転送方向

VSIOCR0 レジスタの <DRCHG> の設定により、転送方向を MSB ファーストまたは LSB ファーストに切り替えることができます。

注) 転送動作中の切り替えは行わないでください。

19.9 ステータスフラグ

VSIOCR3 には、送信 FIFO が Empty になったことを示す <TBEMP>、受信 FIFO が Full になったことを示す <RBFLL>、オーバーラン受信を示す <ORER>、送信動作状態を示す <TXRUN>、受信動作状態を示す <RXRUN> と、5 種類のフラグが存在します。

また、VSIORST には受信 FIFO の Fill レベル <RLVL[2:0]>、VSIOTST には送信 FIFO の Fill レベル <TLVL[2:0]> が示されます。

表 19-6 各種フラグとクリア方法

ステータスおよびフラグ		クリア方法
<TBEMP>	送信 FIFO _ Empty	(FIFO クリア、ソフトリセットにて FIFO は Empty 状態になります。)
<RBFLL>	受信 FIFO _ Full	受信データの読み出し 受信 FIFO リセット ソフトリセット
<TLVL[2:0]>	送信 FIFO の FILL レベル	送信完了による FIFO 内データ吐き出し 送信 FIFO リセット (VSIOTFC<TFCS>=1) ソフトリセット
<RLVL[2:0]>	受信 FIFO の FILL レベル	受信データの読み出し 受信 FIFO クリア (VSIORFC<RFCS>=1) ソフトリセット
<ORER>	受信 Over Run エラー (注)	<ORER> フラグへの "0" 書き込み ソフトリセット
<TXRUN>	送信中	ソフトリセット
<RXRUN>	受信中	ソフトリセット
<TWEND>	送信完了時 (CS 信号がネゲートされるタイミング) に、セットされます。	送信 FIFO へのデータ書き込み 通信停止 (VSIOCR1<TRXE>=0) とした場合 (通信を終了した後) <TWEND> フラグに "0" をライト
<RWEND>	受信シフトレジスタから受信 FIFO のシフトイン (CS 信号がネゲートされるタイミング) された場合にセットされます。	受信 FIFO の読み出し 通信停止 (VSIOCR1<TRXE>=0) とした場合 (通信を終了した後) <RWEND> フラグに "0" をライト

注) オーバーランエラー割り込みは、送信割り込みのみを使用します (受信割り込みや受信フラグは使用しないでください)。送信割り込み処理の中で、オーバーランエラーフラグと、送信終了フラグを確認し、送信終了フラグのみ場合は、通常の受信処理を行い、オーバーランエラーフラグと送信終了フラグの両方が発生している場合には、受信の取りこぼしが発生しているため、受信 FIFO のデータを全て読み出すか、受信 FIFO クリアするなどの処理で、エラー処理を行います。ただし、連続通信インターバル時間を無し VSIOCR2<SINT[2:0]>=000 に設定した場合は、送信完了フラグの発生前に、オーバーランエラーフラグが発生しますので、受信 FIFO 内のエラー処理を正しく処理出来ない場合があります。詳細は「19.15 各種動作説明」を参照してください。

19.10送信 / 受信バッファと FIFO

19.10.1 FIFO

送信 / 受信用の FIFO は、5byte 準備されています。各データ長に応じて FIFO の深さが異なります。

表 19-7 送信 / 受信 FIFO と深さ (FIFO 段数)

ビット長	利用可能な FIFO 段数	
8bit	5 段	全ての FIFO が使用可能
9~16bit	2 段	後半 1byte はダミーエリア、また 9~15bit 通信ではダミーエリア有
17~24bit	1 段	後半 2byte はダミーエリア、また 16~23bit 通信ではダミーエリア有
25~32bit	1 段	後半 1byte はダミーエリア、また 25~31bit 通信ではダミーエリア有
33~40bit	1 段	33~39bit 通信ではダミーエリア有

19.10.2 送信 / 受信バッファ

送信 / 受信バッファは、二重構造 (シフトレジスタ + FIFO) に対応可能となっています。

19.11 受信

19.11.1 受信カウンタ

受信カウンタは VSIOCLK でカウントアップされます。

カウンタのクリアは、VSIOCR0<DL[5:0]> に設定されたデータ長によって決まり、8 ビット (8 カウント) から、40 ビット (40 カウント) まで、1bit 単位のデータ長に対応しています。

19.11.2 受信動作

19.11.2.1 受信バッファの動作

受信シフトレジスタに受信データが 1 ビットずつ格納され、データ長数全ビット格納した時点で、受信 FIFO へ移されます。

受信 FIFO の FILL レベル設定まで、受信 FIFO に受信データが格納されると同時に、受信割り込み INTVRX が発生します。

受信 FIFO に有効データが格納されていることを示します (受信データの読み出しは受信 FIFO に対して行われます)。

受信 FIFO が Full の状態になると、VSIOCR3<RBFLL> がセットされます。

19.11.2.2 受信動作例

以下に、8bit 長にて、5word(1word=8bit) のデータを受信する場合の動作例を示します。

VSIOCR0<DL[5:0]> = 00_1000	: データ長を 8bit に設定
VSIOCRFC<RIL[2:0]> = 101	: 受信割り込み発生条件を 5W に設定
VSIOCR1<TRXE>=1	: データ受信を開始

5W(5Byte) 受信後、VSIOCR3<RBFLL> に 1 がセットされ、同時に受信を終了 (VSIOSCK を STOP) します。

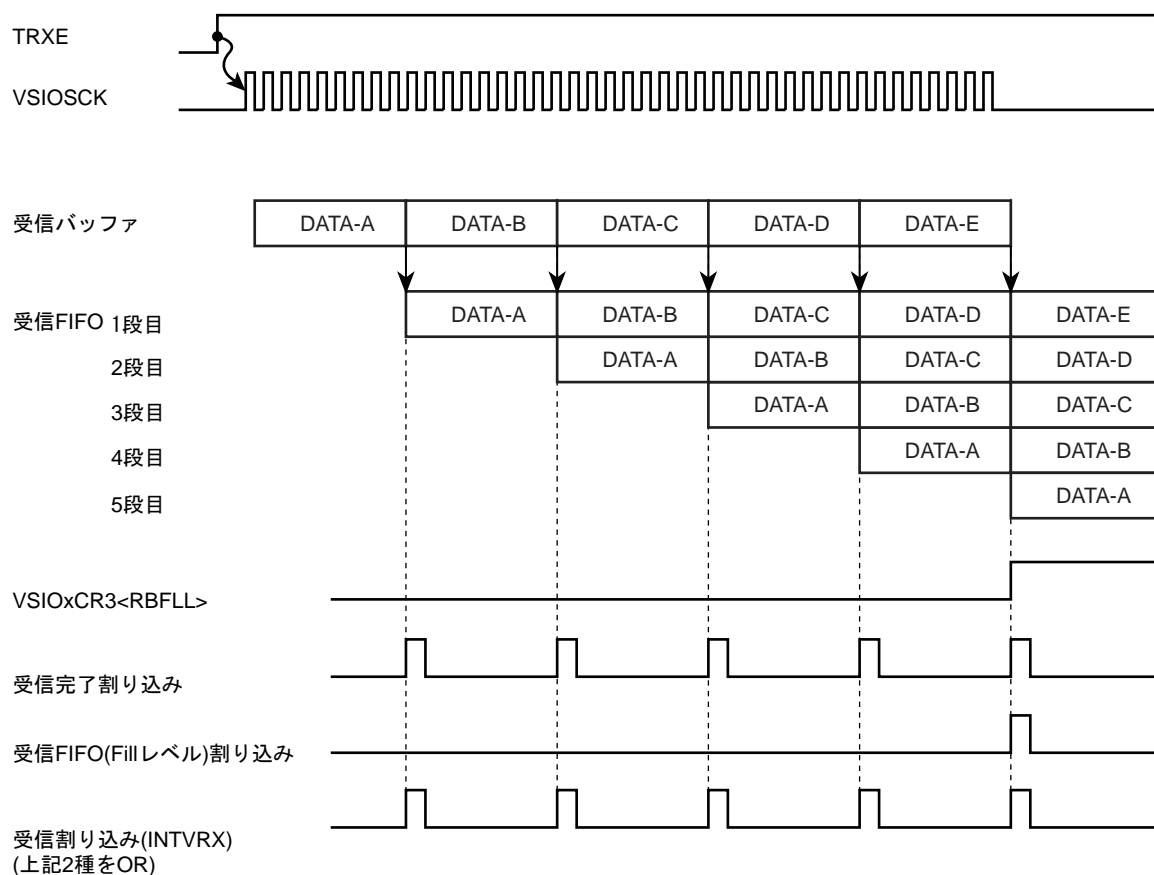


図 19-6 受信 FIFO の動作

注) 本タイミングでは、CS 信号の表記が省略されている為、受信完了割り込みと、FIFO Fill レベル割り込みが同時に発生するように記述されていますが、詳細なタイミングは異なります。詳細なタイミングは、「19.15 各種動作説明」を参照してください。

19.12 送信

19.12.1 送信カウンタ

送信カウンタは、受信カウンタと同様、VSIOSCK でカウントアップされます。

カウンタのクリアは、ビット長設定レジスタに設定されたビット長によって決まり、8 ビット (8 カウント) から、40 ビット (40 カウント) まで可変に対応しています。

19.12.2 送信動作

19.12.2.1 送信バッファの動作

送信 FIFO に指定サイズの送信データが書き込まれると、送信バッファ (シフトレジスタ型) データが移され、通信を開始します。

送信 FIFO 内のデータが、送信 FIFO の FILL レベル設定まで達すると同時に、送信割り込み INTVTX が "1" にセットされ送信 FIFO に空きが発生したことを示します。

送信 FIFO が空の状態になると、VSIOCR3<TBEMP> がセットされます。

19.12.2.2 送信動作例

以下に 16bit のデータ長で、2Word (1word=16bit) のデータを送信する場合の動作例示します。

VSIOCR0<DL[5:0]> = 01_0000 : データ長を 16bit に設定

VSIOCF<TIL[2:0]> = 000 : FIFO 送信割り込み発生条件を Empty 設定

送信 FIFO に 2word の送信データをライト

VSIOCR1<TRXE>=1 : データ送信を開始

1word 送信毎に、送信完了割り込みが発生 (マスク可能)

2Word 目のデータを送信バッファに移動し、送信 FIFO が空になると送信 Empty フラグ (VSIOCR2<TBEMP>) をセットし、最終データを送信完了で送信終了 (VSIOSCK を STOP) します。

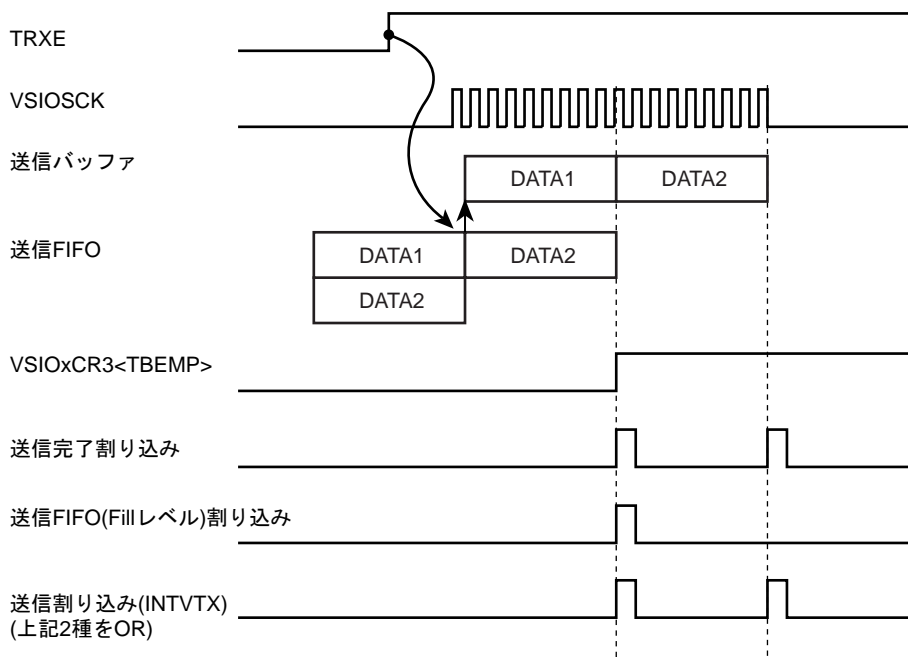


図 19-7 送信 FIFO の動作

注) 本タイミングでは、CS 信号の表記が省略されている為、送信完了割り込みと、FIFO Fill レベル割り込みが同時に発生するように記述されていますが、詳細なタイミングは異なります。詳細なタイミングは、「19.15 各種動作説明」を参照してください。

19.13 割り込み

割り込み信号としては、INTVTX と INTVRX の 2 種類の割り込み信号が準備されています。各々の信号は関係する信号がひとつの信号にまとめられて出力されています。各々の割り込み信号は、許可 / 禁止の対応が可能です。

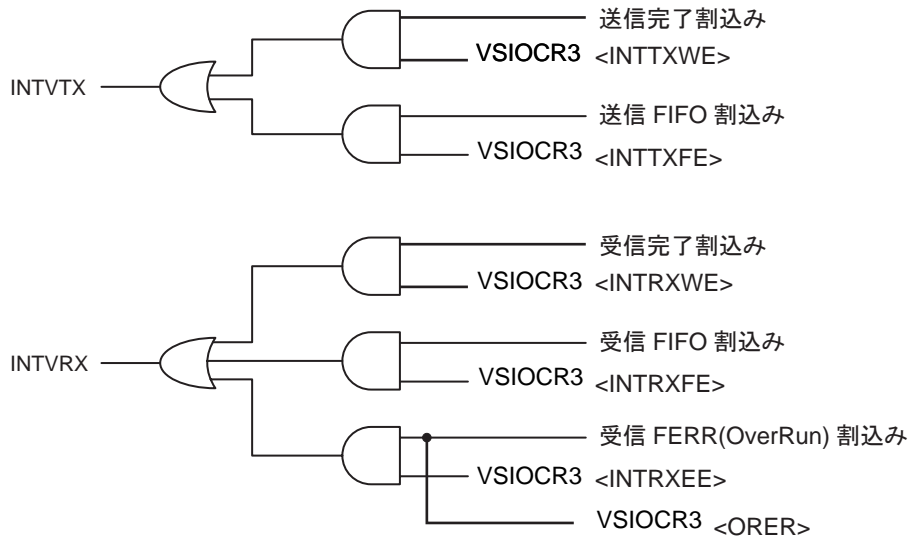


図 19-8 割り込み信号回路イメージ

19.13.1 FIFO の Fill レベルと DMA、割り込みについて

1. 送信 FIFO

割り込み	設定された Fill レベル +1 のレベルから、設定 Fill レベルに変化した時に一度だけ割り込みが発生します。
DMA	設定された Fill レベル以下になった時に、常に DMA 要求を出します。 DMA 転送終了時に、Fill レベル以下の状態であれば、再度 DMA 要求を出します。

2. 受信 FIFO

割り込み	設定された Fill レベル -1 のレベルから、設定 Fill レベルに変化した時に一度だけ割り込みが発生します。
DMA	設定された Fill レベル以上になった時に、常に DMA 要求を出します。 DMA 転送終了時に、Fill レベル以上の状態であれば、再度 DMA 要求を出します。

注) DMA 要求の開始は、Fill レベルの条件が整った直後ではなく、通信終了 (CS 信号のネグート) を待ってから開始となりますのでご注意ください。詳細は「19.15 各種動作説明」を参照ください。

19.13.2 DMA 起動、割り込み発生と通信制御 (VSIOCR1<TRXE>) の関係について

割り込みおよび、DMA の起動については、前述の条件で発生となりますが、通信制御である <TRXE> ビットの状態によって、各々の挙動が異なりますので、ご注意ください。受信終了割り込みと送信完了割り込みは、同様の意味となります。以下、一覧表にまとめます。

<TRXE> 状態	割り込み					DMA	
	FILL レベル		通信終了		エラー		
	VSIOCR3 <INTTXFE>=1	VSIOCR3 <INTRXFE>=1	VSIOCR3 <INTTXWE>=1	VSIOCR3 <INTRXWE>=1	VSIOCR3 <INTRXEE>=1	VSIOCR3 <DMATE>	VSIOCR3 <DMARE>
0	-	-	-	-	-	発生する	発生する
1	発生する	発生する	発生する	使用禁止	発生する	発生する	発生する
1->0 (注)	FIFO 内データ (条件)が停止 タイミングに 依存(注)	発生する	発生する	使用禁止	-	FIFO 内データ (条件)が停止 タイミングに 依存(注)	発生する

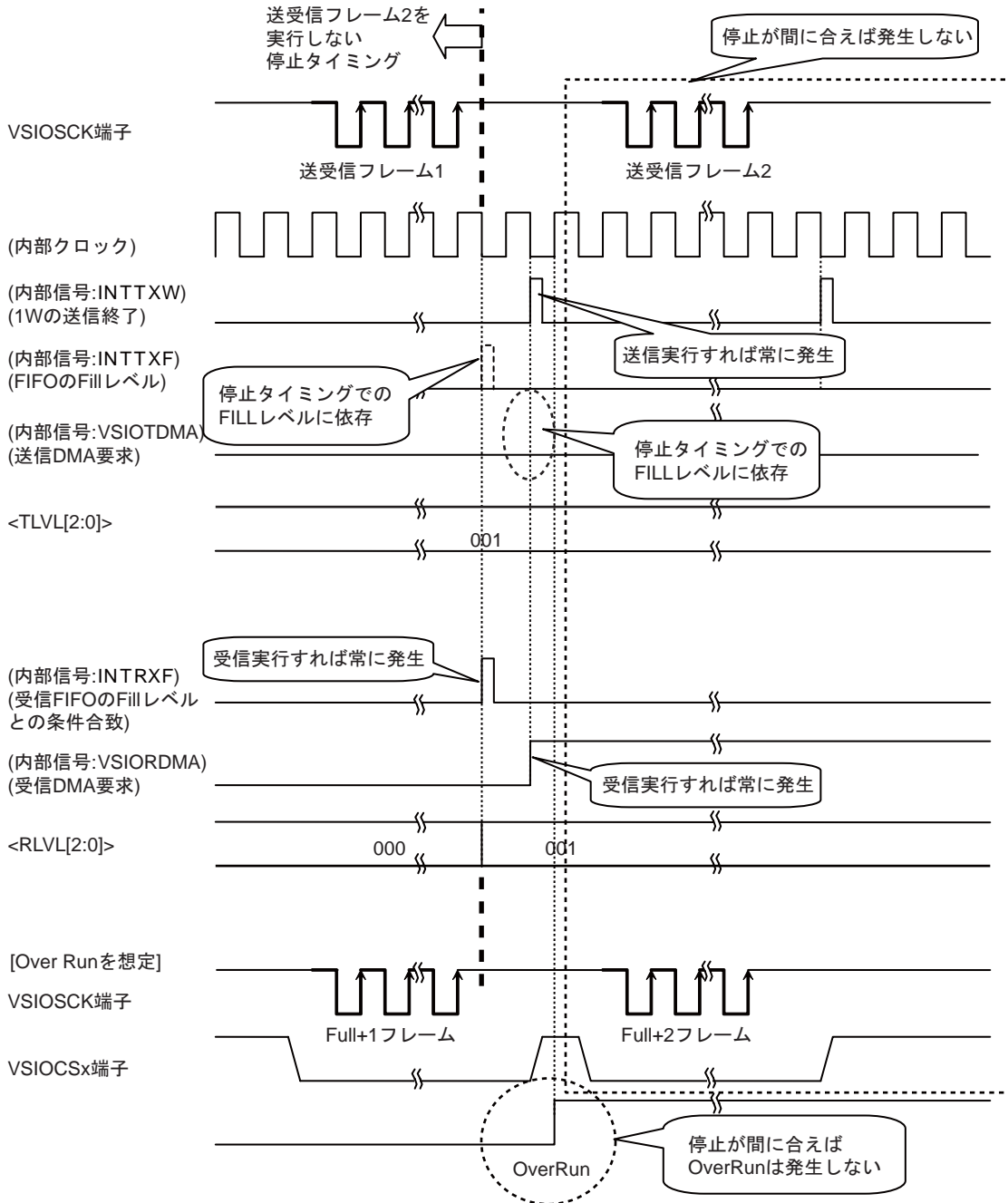
注) 途中で通信を停止するタイミングに依存します。詳細なタイミングは「19.13.3 通信停止制御タイミングについて」を参照してください。

19.13.3 通信停止制御タイミングについて

送受信フレーム 1 の最終 bit の立ち上がりエッジ前に、通信停止を実行すると、終了割り込み TWEND、受信 FILL 割り込み、受信 DMA は発生します。その後、送受信は停止するため、送受信フレーム 2 は実行されません。

送受信フレーム 1 の最終 bit の立ち上がりエッジから、通信クロックの半クロック後以前タイミングに、通信停止を実行すると、FILL レベルで制御される送信 / 受信割り込みや送信 / 受信 DMA も発生し、終了割り込み TWEND も発生します。その後、送受信は停止する為、送受信フレーム 2 は実行されません。

送受信フレーム 1 の最終 bit の立ち上がりエッジから、通信クロックの半クロック後以降のタイミングに、通信停止を実行すると、送受信フレーム 2 を実行後に停止します。また、OverRun 割り込みは通信停止が間に合った場合には、発生しません。



19.14ソフトウェアリセット

SCxMOD2<SWRST[1:0]> に "10" → "01" の順でライトすることによりソフトウェアリセットが発生します。これにより、SCxMOD0<RXE>、SCxMOD1<TXE>、SCxMOD2<TBEMP><RBFL><TXRUN>、SCxCR<OERR> <PERR> <FERR> が初期化され、送受信回路と FIFO は初期状態になります。その他の状態は保持されます。

VSI0EN<SWRST[1:0]> を "10" → "01" と続けてのライトすることによりソフトウェアリセットが発生します。初期化されるレジスタ情報は以下です。

<TBEMP>、<RBFL>、<TLVL[2:0]>、<RLVL[2:0]>、<ORER>、<TXRUN>、<RXRUN>、<RWEND>、<TWEND>、<DMARE>、<DMATE>、<INTREE>、<INTRXFE>、<INTRXWE>、<INTTXFE>、<INTTXWE> の各種ステータスおよびフラグと、送受信 FIFO ポインタ、<TRXE>、送受信 FIFO の Fill レベル、転送モード選択が初期化されます。同時に、内部カウンタなどの状態も初期化されます。

回路 Enable、CS 選択、CS 論理、クロックエッジ、転送方向、データ長、インターバル時間、CS アサート HLD 時間、ポーレートジェネレータの情報は初期化されず、以前の状態が保持されます。

なお、ソフトウェアリセットが完了後、通信を再開するために、各種設定をするまでの間、通信速度に応じた時間 (ウエイト) を待つ必要があります。

ソフトウェアリセットを実行すると、CS 信号はネゲートされます。

ウエイト時間は、次回 CS 信号がアサートされるまでのネゲート時間 (VSIOSCK クロック数) に依存します。(CS 信号を利用しない通信では、ウエイト期間は不要です)

ウエイト期間 = (CS ネゲートクロック数 - 0.5) クロック

例) 12.5MHz で通信を行っていて、CS ネゲート期間を 2clk 必要とする場合

ウエイト期間 = (CS ネゲートクロック数 - 0.5) = (2 - 0.5) = 1.5 CLK

1clk は、80nS のため、 $80 \times 1.5 = 120\text{nS}$

よって、上記例の場合、ソフトウェアリセット実行から、120nS 待った後に、次回通信の設定を開始してください。

19.15 各種動作説明

19.15.1 word 単位での送受信 (全二重送受信)

全二重送受信の場合は、受信許可 (VSIOCR1<TRXE>) の設定は無視されます。

通信開始の条件は、送信シフトレジスタ +FIFO に有効データが格納されており、かつ、送信開始 (許可) ビット (VSIOCR1<TRXE>) がセットされていると送受信を開始します。本例では、1word を最長の 40bit、LSB First、立ち上がりエッジ、送信 FIFO の FILL レベル割り込みは 0W、受信 FIFO の FILL レベル割り込みは 1W と設定しています。

受信 FIFO に 1W 格納され、受信シフトレジスタにはまだ空きがありますので、受信としては、連続受信できる形ですが、送信 FIFO、送信シフトレジスタに有効データが無くなった時点で通信は停止します。

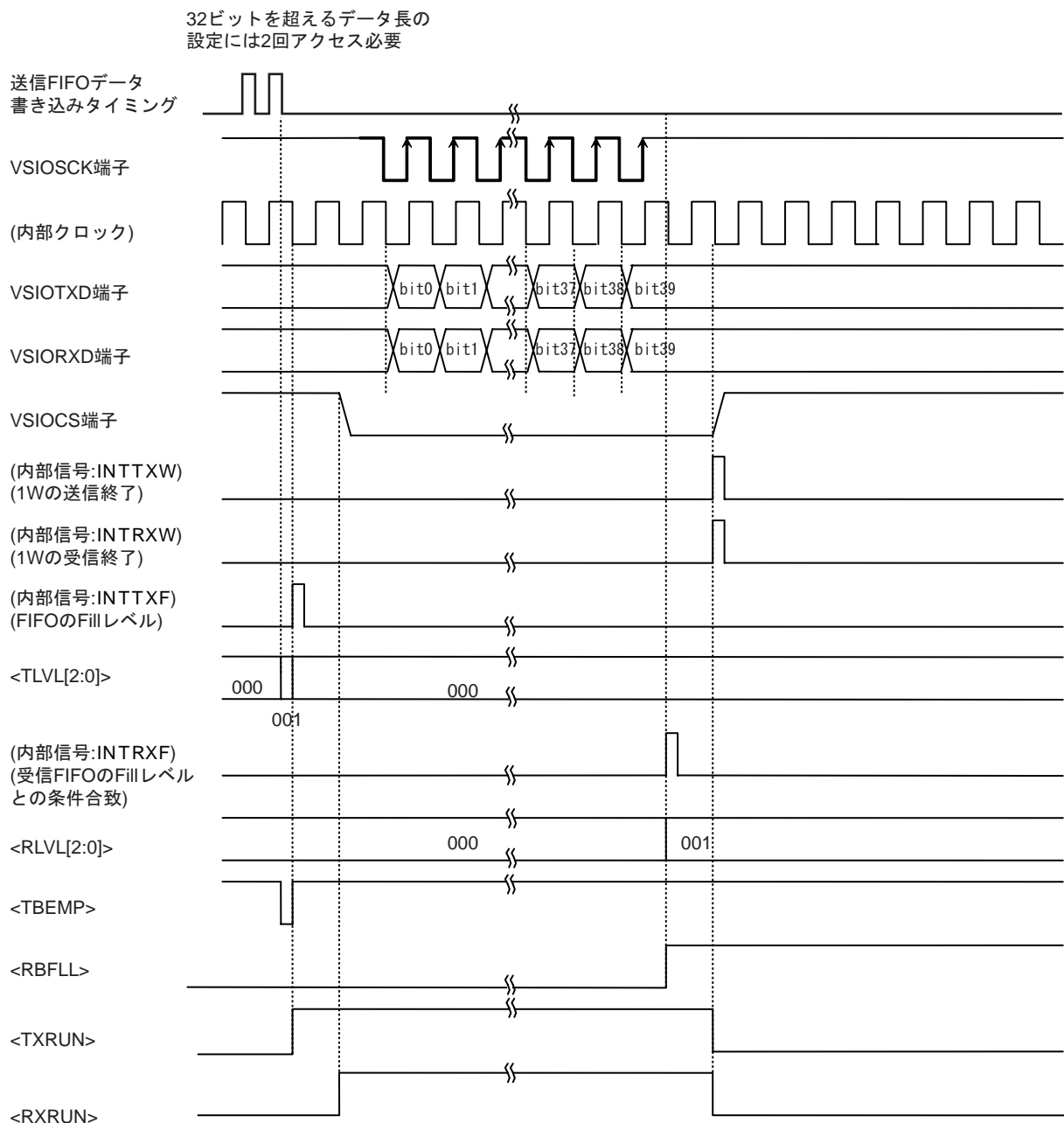


図 19-9 全二重送受信

19.15.2 連続送受信 (全二重送受信)

通信開始の条件は、送信シフトレジスタ +FIFO に有効データが格納されており、かつ、送受信開始 (許可) ビット (VSIOCR1<TRXE>) がセットされていると送受信を開始します。

以下の例では、40bit の送信データを 2W(シフトレジスタに 1W、FIFO に 1W) 格納した状態からの送信開始 (TRXE) をした想定です。

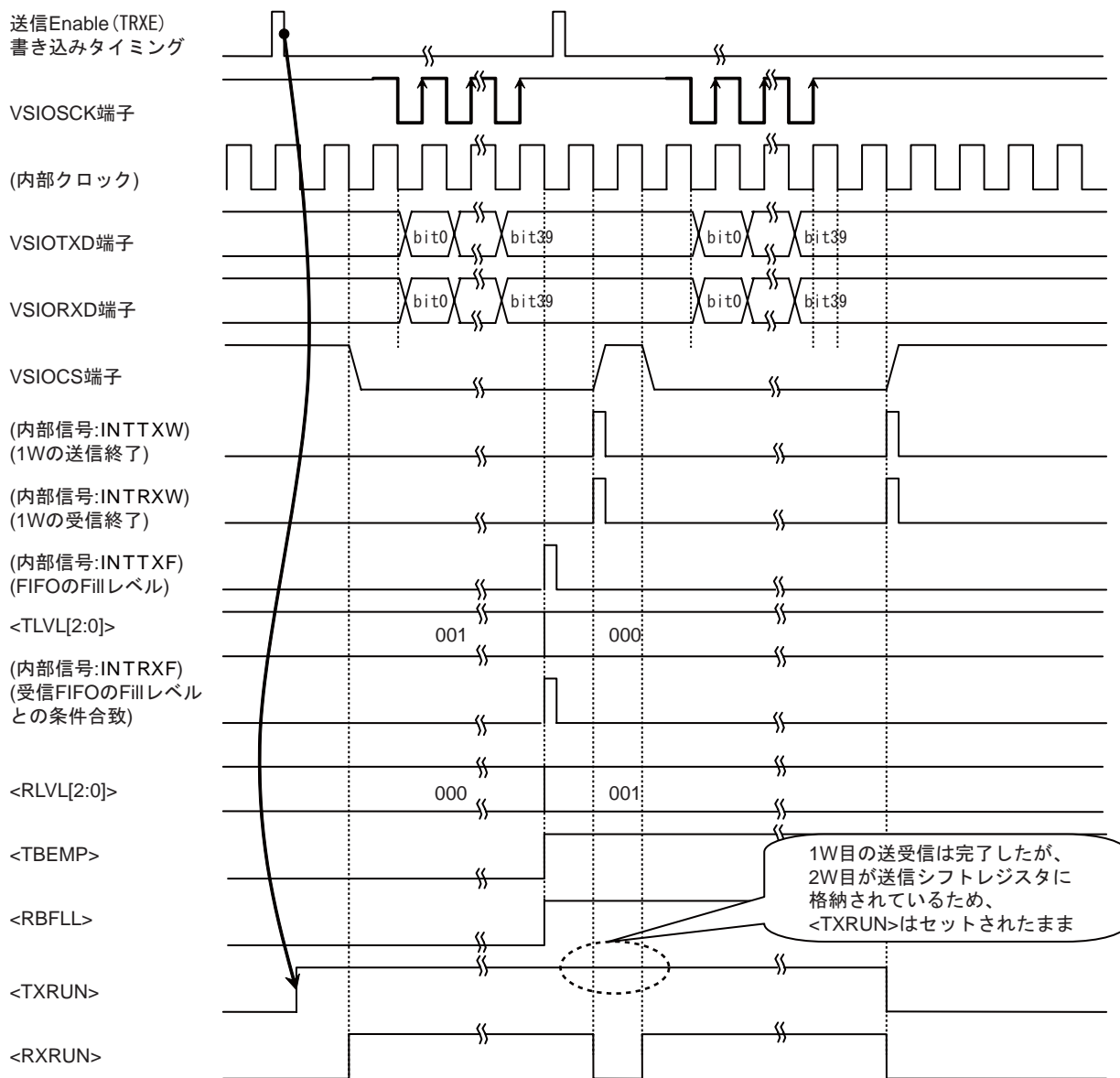


図 19-10 連続の全二重送受信

19.15.3 OverRun について

通信開始条件は、送信シフトレジスタ +FIFO に有効データが格納されており、かつ、送信開始（許可）ビット (VSIOCR1<TRXE>) がセットされていると送受信を開始しますので、受信 FIFO+ シフトレジスタが FULL の状態でさらに受信が開始される状態が発生する場合があります。

このときに、OverRun フラグが発生し同時に OverRun 割込みが発生します。

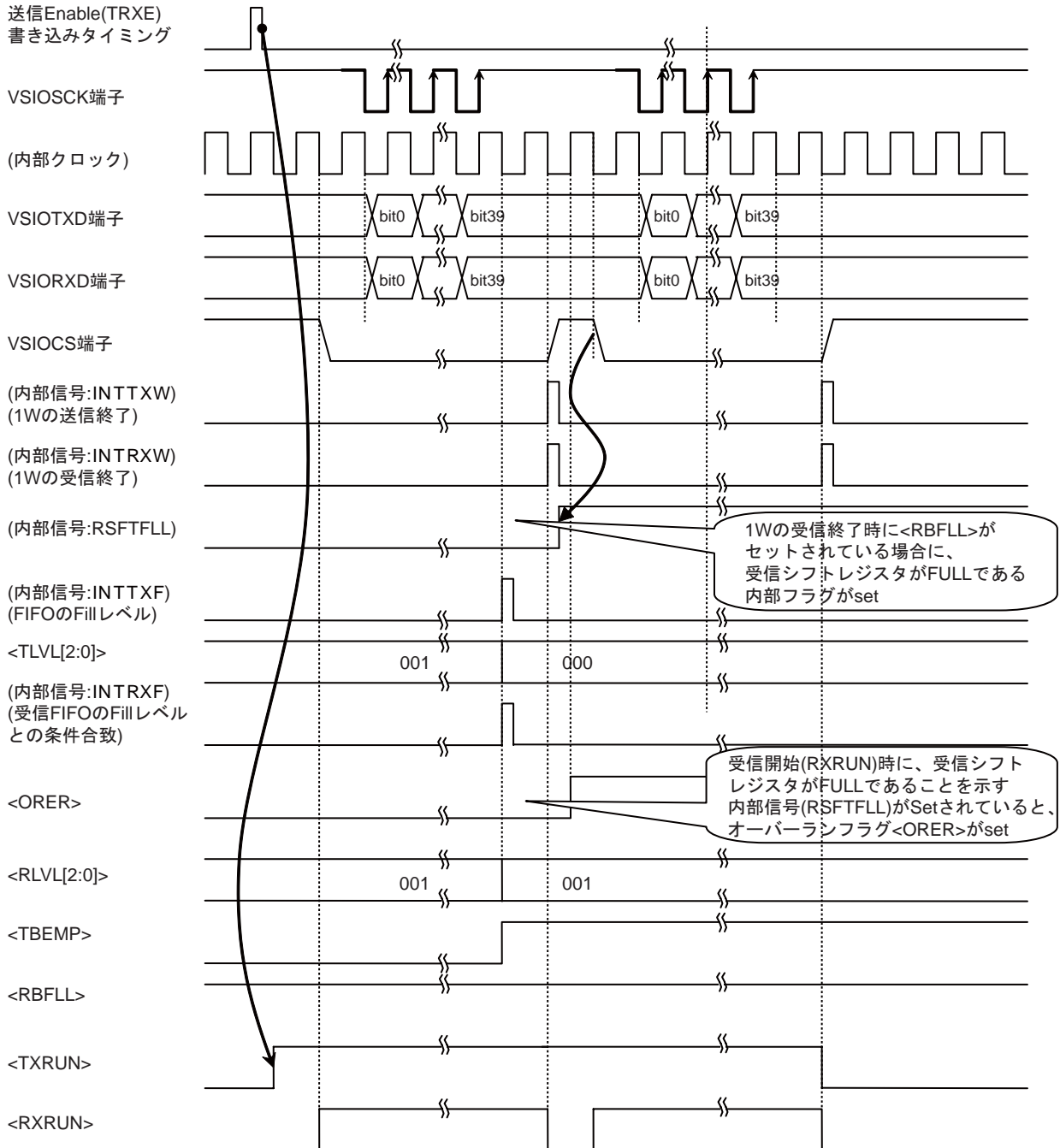
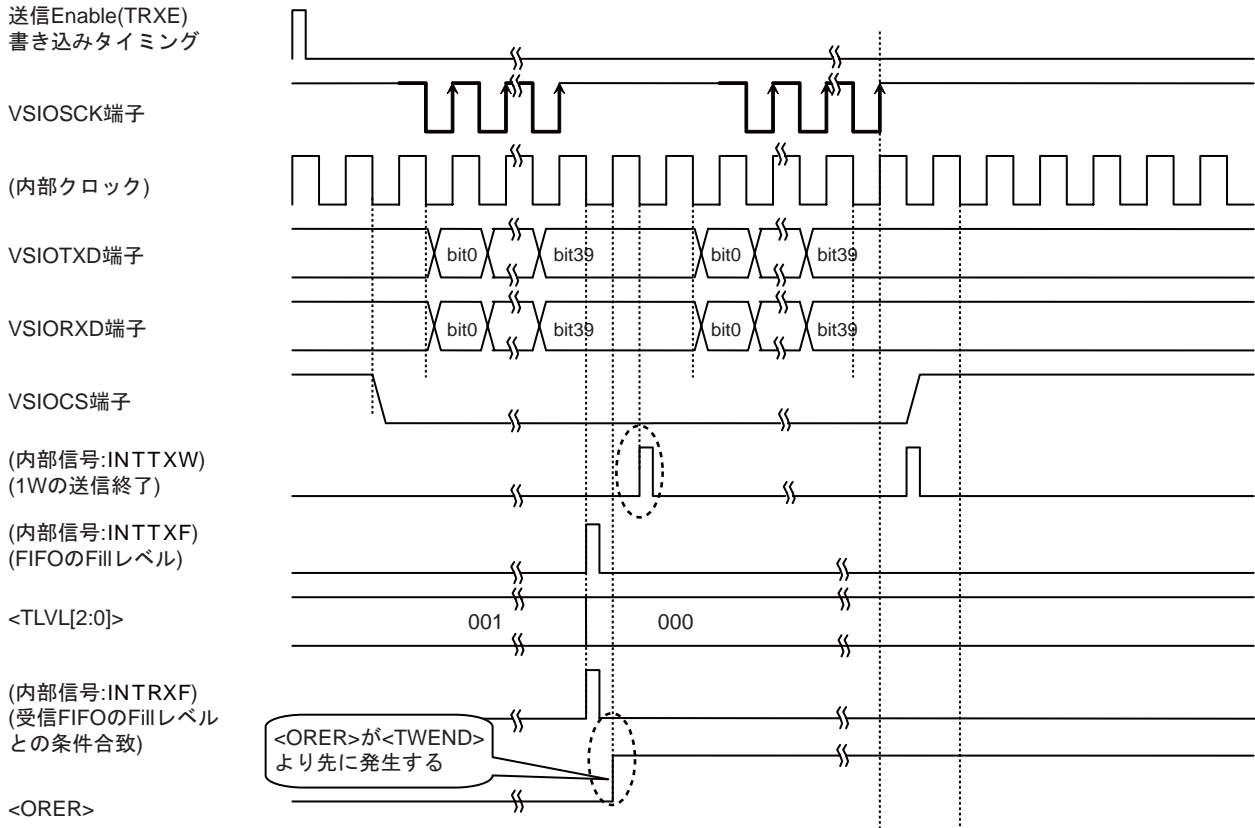


図 19-11 全二重送受信時の OverRun

連続転送インターバル時間を無しに設定 (VSIOCR2<SINT[2:0]>= "000") した場合には、オーバーランエラーは、利用しないでください。

以下のタイミングに示すように、インターバル時間を無しにした場合は、1W の終了 (INTTXW) よりも、オーバーランエラー (ORER) が先行する形になり、オーバーランエラー割り込み処理の中で、は送信終了フラグがセットされていない場合があります。

オーバーランエラー処理の中で、受信 FIFO の内容をクリアしても、既にクリアされたはずの送信終了割り込みが発生してしまいますので、ご注意ください。



20 MCD通信用シリアル チャネル (MCDSIO)

20.1 MCUとMCDの接続について

本製品は MCD との通信用に同期式シリアル出力 (MCDSIO) を 1 チャンネル内蔵しています。

SiP_Package に 2 種類の Chip を実装していますが、MCD 内部のレジスタ制御のために、転送クロック (内部信号: SCLK3_OUT) と送信データ (内部信号: TXD3_OUT) の 2 線式の送信専用の SIO 回路を經由して接続されています。また、加えて汎用ポート (PL2) が、MCD チップと内部接続されています。

本章では、MCD 内部のレジスタ制御方法と、MCD 通信用シリアルチャネルの仕様について説明いたします。

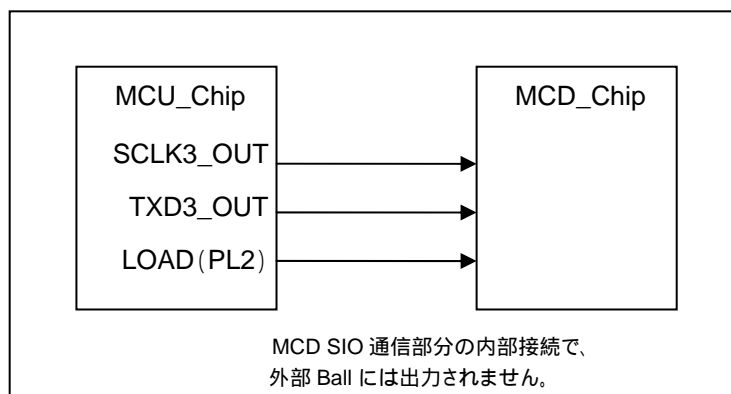


図 20.1.1 SiP_Package 内、MCU - MCD 間通信部接続イメージ

20.2 MCUとMCDの通信について

MCD 部は各設定をするモードコントロールレジスタを持っています。

コントロールレジスタは、「モータドライバ機能」の章を参照してください。

モードコントロールレジスタへの書き込み方法を下記の通信プロトコルで示します。

各々のレジスタは、8bit の Address と 8bit の Data(コマンド)で構成されており、MCU からは、MCD に対して、ポートで送信スタートを示す信号(High パルス)を送信した後、Address+Data にて書き込みを行います。

MCD への通信には各レジスタへの書き込みに、毎回 LOAD_OUT + Address + Data のアクセスが必要です。

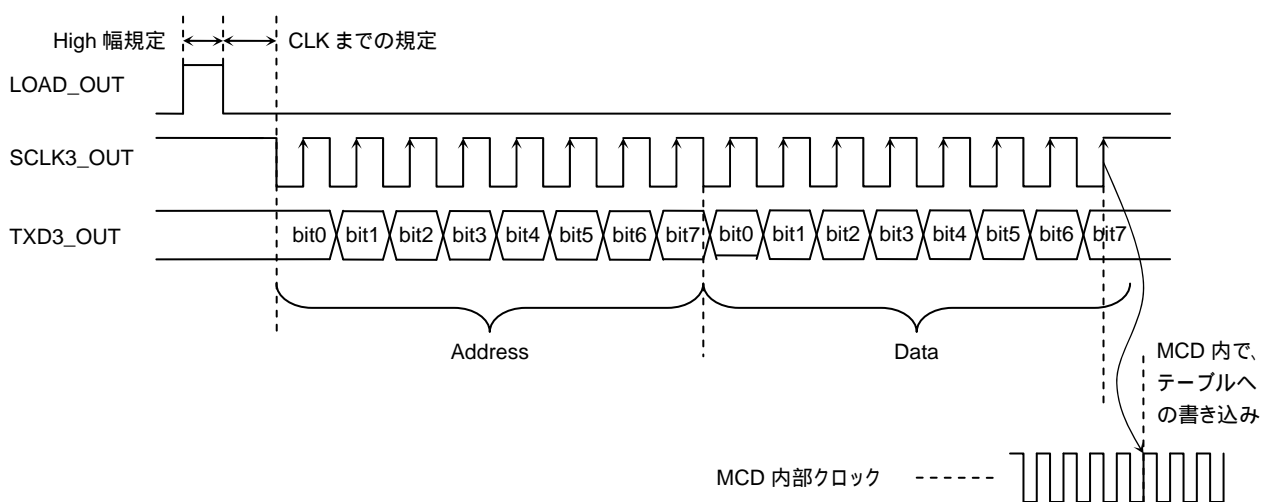


図 20.2.1 通信プロトコルイメージ

MCU から MCD チップに通信を行う際には、動作クロック上の注意が必要です。また、MCD チップが、ドライバ部等を正常とする為の、最低クロックの制約もありますので、以下表に合わせて動作させるようにしてください。

項目	コメント、制約事項
MCU のクロックギア設定	fc、fc/2、fc/4、fc/8 から選択可能
MCU へのクロック供給	fc、fc/2、停止から選択可能 1) MCD の Motor Driver 回路を動作させる場合： MCD への供給クロックは、16/18/20/22/24/25MHz での設定が必要です。外部発振乗数により供給クロック周波数を選択してください 2) MCD の Driver 回路を動作させる必要がない場合： 特に制約はありません
*LOAD_OUT 端子の High 幅規定	100nS 以上
*LOAD_OUT 端子が LOW に変化してからクロックを出力するまでの時間	100nS 以上
*LOAD_OUT 端子が LOW に変化してからクロックを出力するまでの時間	100nS 以上
*通信間のインターバル時間	MCD 供給のクロック 4 発以上

* 詳細は、「電源制御」、「クロックモード制御」、「モータドライバ機能」の章を参照願います。

SIO 回路機能としては、通信速度などの変更が可能です。MCD との通信は、以下のプロトコルで固定する必要があります。

表 20.2.1 MCD 通信プロトコル一覧表

項目	機能	備考
通信速度	8 ~ 10Mbps	常に、 $f_{sys} > T_n$ の関係が必要
データ長	8bit 長固定	
データフォーマット	LSB first 固定 立ち上がりエッジ固定	
Buffer	ダブルバッファ方式固定	

20.3 MCDSIOの特長

本製品は MCD との通信用に同期式シリアル出力を 1 チャンネル内蔵 (MCDSIO) しています。

MCDSIO はプリスケアラ、シリアルクロック生成回路、送信バッファとその制御回路で構成されており、転送クロック (内部信号: SCLK3_OUT) と送信データ (内部信号: TXD3_OUT) の 2 線式の送信専用の SIO 回路です。

本製品は MCU_Chip と MCD_Chip が 1 パッケージングされた SiP 製品であり、この Chip 間通信はパッケージの内部で行われます。その為、MCDSIO の信号は外部の端子には出力されませんのでご注意ください。

表 20.3.1 機能概要一覧表

項目	機能	備考
通信方式	クロック同期式 2 線通信	SCLK3_OUT、TXD3_OUT
マスター / スレーブ	クロックマスター専用	
通信速度	最大 10Mbps	常に、 $f_{sys} > T_n$ の関係が必要
送受信	送信専用	
データ長	8bit 長固定	
データフォーマット	LSB first/LSB first 立ち上がりエッジ固定	データはクロックの立ち下がりで変化し、受信側は、クロックの立ち上がりでデータを取り込みます。
Buffer	ダブルバッファ方式	
割り込み	転送終了	

20.4 ブロック図

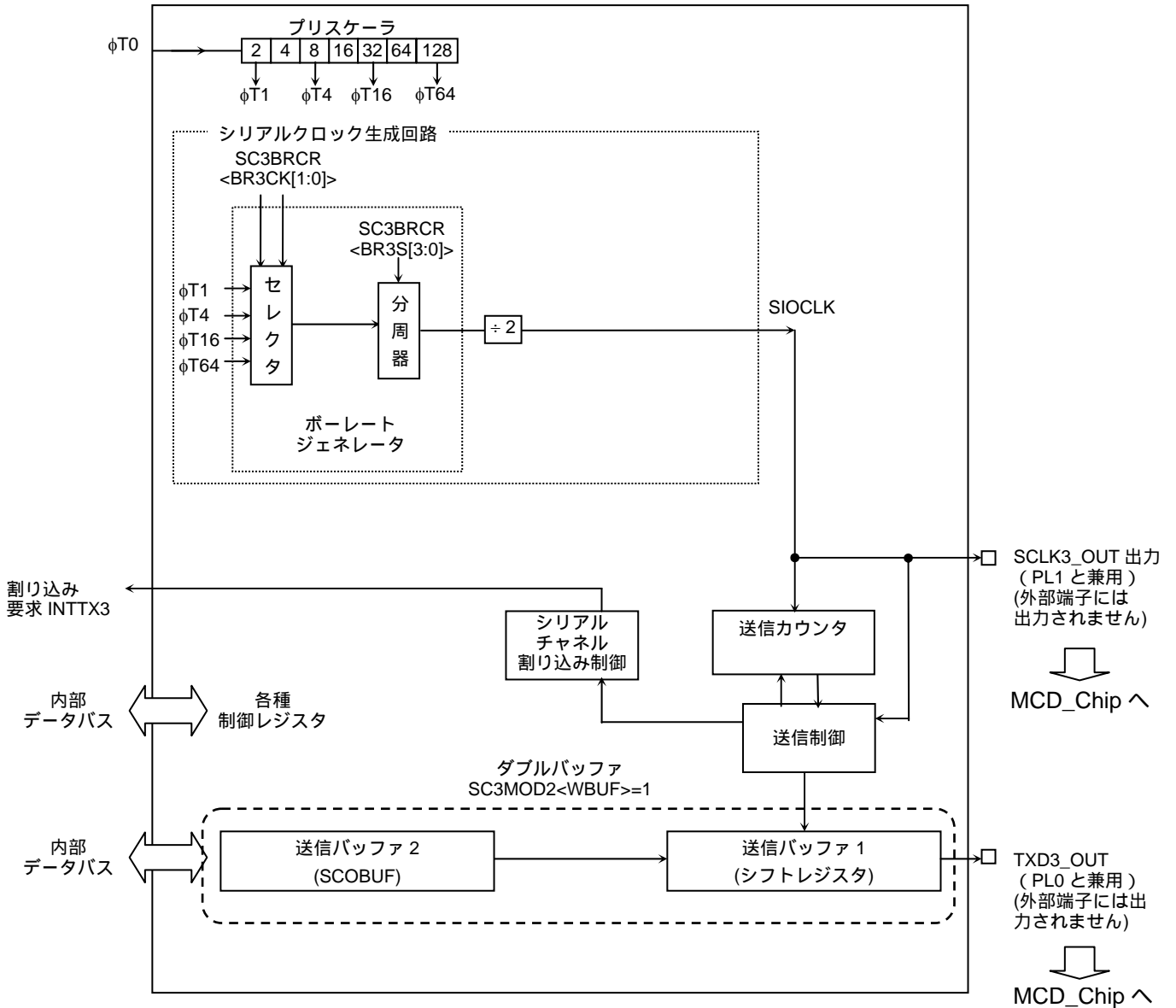


図 20.4.1 ブロック図

20.5 回路別の動作説明

20.5.1 クロックドメインについて

本回路には、通信クロックを生成するために、7 ビットプリスケアラがありますが、プリスケアラの入力クロック $\phi T0$ は、CG 部の SYSCR1 <PRCK2:0> にて選択した fperiph/1、fperiph/2、fperiph/4、fperiph/8、fperiph/16、fperiph/32 のいずれかのクロックが選択されます。

また、fperiph は CG 部の SYSCR1 <FPSEL> で選択されるクロック fgear またはクロックギアで分周される前のクロック fc のいずれかです。

使用時の組み合わせとなりますが、例えば CPU 用のクロック (fsys) をクロックギア 1/8 で使用することが想定される場合、fperiph を fc に選択し、 $\phi T0$ を 1/8 に設定しておけば、CPU のクロックギア変更を意識せず本回路の動作が可能です。

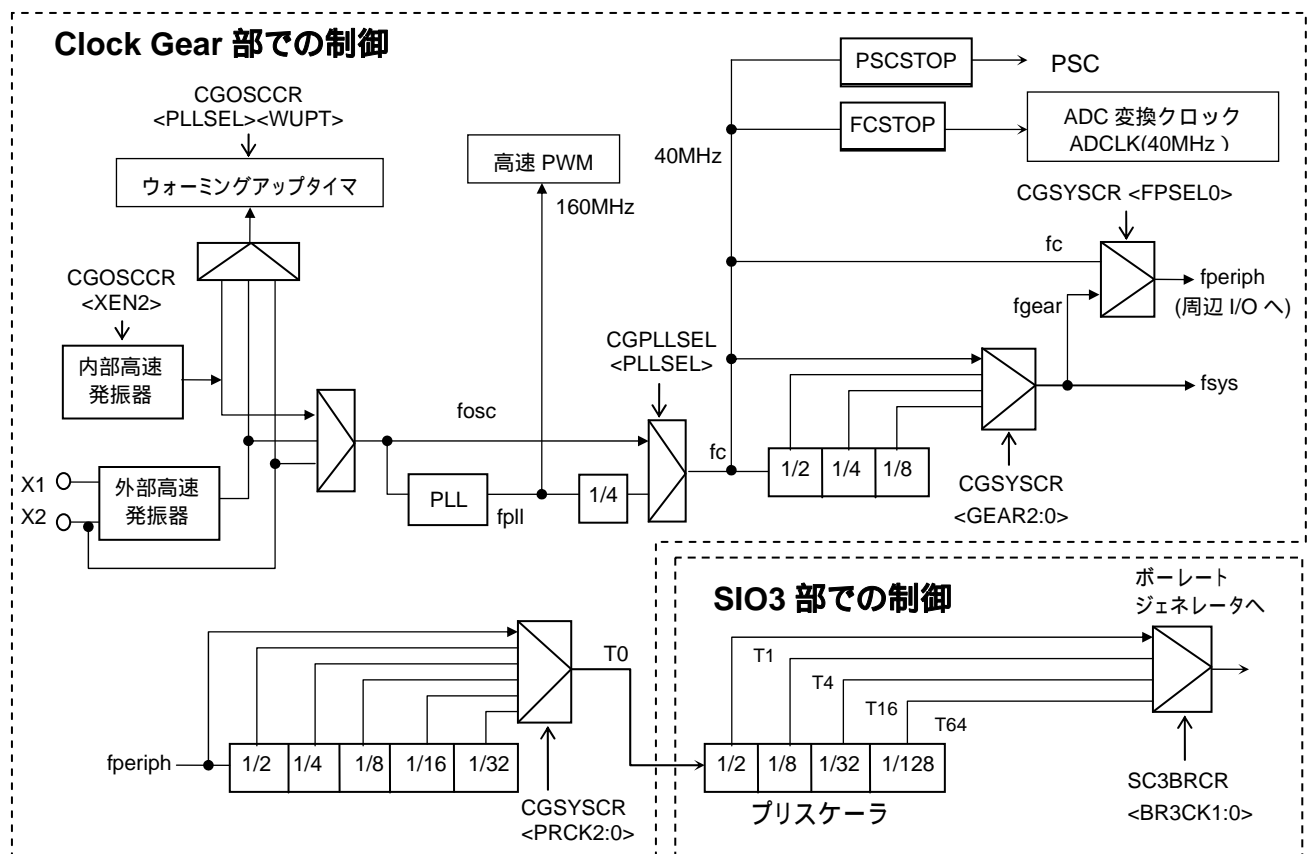


図 20.5.1 クロックギアとプリスケアラブロック図

(注1) プリスケアラ出力クロック ϕTn は、かならず $\phi Tn < fsys$ を満足するように (ϕTn が $fsys$ よりも遅くなるように) 選択してください。

(注2) SIO 動作中はクロックギアの切り替えは行わないでください。

20.5.2 ボーレートジェネレータ

ボーレートジェネレータは、シリアルチャネルの転送速度を定める送信クロックを生成するための回路です。

ボーレートジェネレータへの入力クロックは7ビットプリスケアラより、 $\phi T1$ 、 $\phi T4$ 、 $\phi T16$ 、 $\phi T64$ を 사용합니다。この入力クロックの選択はボーレートジェネレータコントロールレジスタ SC3BRCCR <BR3CK1:0>で設定します。

ボーレートジェネレータは、1~16分周が可能な分周器を内蔵しており、ボーレートジェネレータコントロールレジスタ SC3BRCCR<BR3S3:0>の設定に従い分周を行い、転送速度を決定します。

ボーレートの算出方法

$$\text{ボーレート} = \frac{\text{ボーレートジェネレータの入力クロック}}{\text{ボーレートジェネレータの分周値}} \div 2$$

ボーレートジェネレータで生成される最高のボーレートは、 $\phi T0$ が 40MHz ($T1=20\text{MHz}$) のときで、ボーレートジェネレータの分周値="1"のときの、10Mbps が最高になります。

ただし、ダブルバッファを使用しない場合は、ボーレートジェネレータの分周値="2"のときの、5Mbps が最高になります。

(注) 分周値"N"に1分周("0001")を設定できるのは、ダブルバッファを使用する場合のみです。

20.5.3 シリアルクロック生成回路

送信基本クロックを生成する回路です。前記ボーレートジェネレータの出力を2分周して、基本クロックをつくります。

20.5.4 送信制御部

SCLK3_OUT 端子より出力されるシフトクロックで送信バッファのデータを1ビットずつ TXD3_OUT 端子へ出力します。

20.5.5 送信バッファ

送信バッファ (SC3BUF) は2重構造になっています。

シリアルモードコントロールレジスタ 2 (SC3MOD2) のダブルバッファ制御ビット<WBUF>の設定により、ダブルバッファの有効/無効を制御できます。

ダブルバッファを無効に設定している場合は、送信データの書き込みは送信バッファ 1 に対して行われず。

ダブルバッファが有効のときは、送信バッファ 2 (SC3BUF) へデータが書き込まれると、そのデータは送信バッファ 1 (シフトレジスタ) へ移されます。

割り込みは、ダブルバッファ無効時には、送信が終了と共に送信割り込み INTTX3 が発生します。

ダブルバッファが有効のときは、送信バッファ 2 (SC3BUF) から送信バッファ 1 (シフトレジスタ) へ移されるときに、送信割り込み INTTX3 と、SC3MOD2 の送信バッファエンプティフラグ<TBEMP>が同時にセットされます。これは、送信バッファ 2 が空になったことを示し、次の送信データの書き込みが可能になります。次の送信データが送信バッファ 2 に書き込まれると<TBEMP>フラグが"0"にクリアされます。

20.5.6 データ転送方向

シリアルモードコントロールレジスタ 2(SC3MOD2)の転送方向設定ビット<DRCHG>の設定により、転送方向を MSB ファーストまたは LSB ファーストを切り替えることができます。

(注) 転送動作中の切り替えは行わないでください。

20.5.7 ステータスフラグ

SC3MOD2 レジスタのビット 7<TBEMP>はダブルバッファ有効 (SC3MOD2<WBUF>="1") 時の送信バッファ 2 が空になったことを示すフラグです。送信バッファ 2 から送信バッファ 1 (シフトレジスタ) ヘデータが移されると、送信バッファ 2 が空になったことを示すために"1"がセットされます。

送信バッファにデータをセットすると"0"にクリアされます。<WBUF>="0"のときは意味を持ちませんのでステータスフラグとして使用しないでください。

20.5.8 送受信バッファの構成

<WBUF> = 0	<WBUF> = 1
シングル	ダブル

<WBUF>=1 で使用してください。

20.5.9 ソフトリセット

SC3MOD2 レジスタのビット 1,0<SWRST1:0>を"10" → "01"と続けてのライトすることによりソフトウェアリセットが発生します。これにより、モードレジスタの SC3MOD1<TXE>, SC3MOD2<TBEMP>, <TXRUN> 及び内部回路が初期化されます。その他の状態は保持されます。

20.5.10 各信号発生タイミング

割り込み発生タイミング (<WBUF> = 0)	最終ビットの SCLK3_OUT の立ち上がり直後
割り込み発生タイミング (<WBUF> = 1)	最終ビットの SCLK3_OUT の立ち上がり直後または送信バッファ 1 ヘデータを移した直後

(注 1) 送信中に制御レジスタの変更は行わないでください。

(注 2) 送信動作中に送信動作を停止(SC3MOD1<TXE>="0")しないでください。

20.6 レジスタ説明

表 20.6.1 レジスタ一覧表

BaseAddress = 0x400E_1300

レジスタ名		Address(Base+)
イネーブルレジスタ	SC3EN	0x0000
送信バッファレジスタ	SC3BUF	0x0004
Reserved	-	0x0008
モードコントロールレジスタ 0	SC3MOD0	0x000C
ポーレートジェネレータコントロールレジスタ	SC3BRCR	0x0010
Reserved	-	0x0014
モードコントロールレジスタ 1	SC3MOD1	0x0018
モードコントロールレジスタ 2	SC3MOD2	0x001C

20.6.1 SC3EN (イネーブルレジスタ)

	31	30	29	28	27	26	25	24
bit Symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit Symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit Symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit Symbol	-	-	-	-	-	-	-	SIOE
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-1	-	R	リードすると"0"が読めます。
0	SIOE	R/W	<p>SIO3 動作</p> <p>0:禁止 1:許可</p> <p>SIO3 の回路全体の動作を指定します。</p> <p>SIO3 の通信回路を使用する場合は、まず<SIOE> に"1" をセットしてください。</p> <p>動作禁止の状態では、イネーブルレジスタを除く SIO3 のすべてのクロックが停止しますので消費電力の低減が可能です。</p> <p>SIO3 を一旦動作させた後に動作禁止にした場合は、各レジスタの設定は保持されます。</p>

20.6.2 SC3BUF (バッファレジスタ)

SC3BUF は、送信バッファとして機能します。

	31	30	29	28	27	26	25	24
bit Symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit Symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit Symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit Symbol	TB							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-0	TB[7:0]	W	送信用バッファ リード時は不定値が読まれます。

20.6.3 SC3MOD0 (モードコントロールレジスタ0)

	31	30	29	28	27	26	25	24
bit Symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit Symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit Symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit Symbol	-	-	-	-	SM		SC	
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-4	-	R/W	Reserved 必ず、"0"をライトしてください。
3-2	SM[1:0]	R/W	シリアル転送モード 00: I/O インタフェース 01: Reserved 10: Reserved 11: Reserved 転送モードを選択します。I/O インタフェースを設定します。 必ず、"00"をライトしてください。
1-0	SC[1:0]	W	転送ポーレート 00: Reserved 01: 転送ポーレート 10: Reserved 11: Reserved ポーレートジェネレータを設定します。 必ず、"01"をライトしてください。

20.6.4 SC3MOD1 (モードコントロールレジスタ1)

	31	30	29	28	27	26	25	24
bit Symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit Symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit Symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit Symbol	-	FDPX		TXE	SINT			-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	-	R/W	Reserved 必ず、"0"をライトして下さい。
6-5	FPDX[1:0]	R/W	転送モード設定 00: 転送禁止 01: Reserved 10: 送信モード 11: Reserved 転送モードを選択するビットです。 "10" 送信モードを選択してください。
4	TXE	R/W	送信制御 (注) 0: 禁止 1: 許可転送モード設定 送信許可ビットです。 送信中にこのビットが禁止に設定された場合はそのフレームの転送が終了してから、禁止になります。
3-1	SINT[2:0]	R/W	連続転送時のインターバル時間 000: なし 001: 1SCLK 010: 2SCLK 011: 4SCLK 100: 8SCLK 101: 16SCLK 110: 32SCLK 111: 64SCLK ダブルバッファが許可されている時に連続転送のインターバル時間を指定します。
0	-	R/W	Reserved 必ず、"0"をライトしてください。

(注 1) <TXE> ビットは、すべての設定を行った後に許可してください。

(注 2) 送信中に動作を停止(SCxMOD1<TXE> を"0" にクリア) しないでください。

20.6.5 SC3MOD2 (モードコントロールレジスタ 2)

	31	30	29	28	27	26	25	24
bit Symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit Symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit Symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit Symbol	TBEMP	-	TXRUN	-	DRCHG	WBUF	SWRST	
リセット後	1	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能											
31-8	-	R	リードすると“0”が読めます。											
7	TBEMP	R	送信 buffer empty flag 0: Full 1: Empty ダブルバッファ不許可の場合はこのフラグは意味を持ちません。送信ダブルバッファのデータ empty を示すフラグです。送信ダブルバッファのデータが送信シフトレジスタに移され empty になると“1”になり、送信データが書き込まれると“0”になります。											
6	-	R	Reserved. リードすると“0”が読めます。											
5	TXRUN	R	送信動作中 flag 0: 停止 1: 動作 送信シフト動作中を示すステータスフラグです。 <TXRUN>と<TBEMP>ビットで以下のような状態を示します。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th><TXRUN></th> <th><TBEMP></th> <th>状態</th> </tr> </thead> <tbody> <tr> <td>1</td> <td></td> <td>送信動作中</td> </tr> <tr> <td rowspan="2">0</td> <td>1</td> <td>送信が完全に終了</td> </tr> <tr> <td>0</td> <td>送信バッファに次のデータがあり送信待ち</td> </tr> </tbody> </table>	<TXRUN>	<TBEMP>	状態	1		送信動作中	0	1	送信が完全に終了	0	送信バッファに次のデータがあり送信待ち
<TXRUN>	<TBEMP>	状態												
1		送信動作中												
0	1	送信が完全に終了												
	0	送信バッファに次のデータがあり送信待ち												
4	-	R/W	Reserved. 必ず、“0”をライトしてください。											
3	DRCHG	R/W	転送方向設定 0: LSB first 1: 設定禁止 “0”をライトし、LSB first で使用してください。											
2	WBUF	R/W	ダブルバッファの許可 0: 不許可 1: 許可 “1”をライトし、ダブルバッファ許可で使用してください。											
1-0	SWRST[1:0]	R/W	ソフトウェアリセット “10” “01” の順に書き込むことでソフトウェアリセットが発生します。 ソフトウェアリセットにより、以下のビットと内部回路が初期化されます。(注1)(注2)(注3) <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>レジスタ名</th> <th>ビット</th> </tr> </thead> <tbody> <tr> <td>SC3MOD1</td> <td>TXE</td> </tr> <tr> <td>SC3MOD2</td> <td>TBEMP, TXRUN,</td> </tr> </tbody> </table>	レジスタ名	ビット	SC3MOD1	TXE	SC3MOD2	TBEMP, TXRUN,					
レジスタ名	ビット													
SC3MOD1	TXE													
SC3MOD2	TBEMP, TXRUN,													

(注1) 転送動作中にソフトリセットを実施する場合は2回連続して実行してください。

(注2) ソフトウェアリセット動作が完了するのに、命令実行後2クロックが必要です。

(注3) ソフトウェアリセットを実施した場合、他のビットは初期化されますので、モードレジスタ及びコントロールレジスタの再設定が必要となります。

20.6.6 SC3BRCCR (ポーレートジェネレータコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit Symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit Symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit Symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit Symbol	-	-	BR3CK		BR3S			
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると“0”が読めます。
7-6	-	R/W	Reserved 必ず、“0”をライトしてください。
5-4	BR3CK[1:0]	R/W	プリスケラ入力クロック選択 00: $\phi T1$ 01: $\phi T4$ 10: $\phi T16$ 11: $\phi T64$ ポーレートジェネレータ入力クロックを選択するビットです。
3-0	BR3S[3:0]	R/W	ポーレートジェネレータの分周値 “N” の設定 0000: 16 分周 0001: 1 分周 0010: 2 分周 : 1111: 15 分周 分周値 “N” を設定するビットです。

(注) 分周値 “N” に 1 分周 (“0001”) を設定できるのは、ダブルバッファを使用する場合のみです。

20.7 その他動作説明

20.7.1 Byte単位での送信

SC3MOD2<WBUF>="0"で送信ダブルバッファが不許可の場合、CPU が送信バッファにデータを書き込むたびに、8 ビットのデータが TXD3_OUT 端子、同期クロックが SCLK3_OUT 端子より出力されます。

データがすべて出力されると割り込み (INTTX3) が発生します。

SC3MOD2<WBUF>="1"で送信ダブルバッファが許可されている場合は、送信が停止している状態で CPU が送信バッファ 2 にデータを書き込んだとき、または送信バッファ 1 (シフトレジスタ) のデータ送出が終了したときに送信バッファ 2 より、送信バッファ 1 にデータが移されます。

これと同時に送信バッファ empty フラグ SC3MOD2<TBEMP>が"1"にセットされます。同時に、割り込み (INTTX3) が発生します。このときに送信バッファ 2 に送信バッファ 1 へ移すデータが存在しない場合は、割り込み (INTTX3)を発生せず、SCLK3_OUT 出力も停止します。

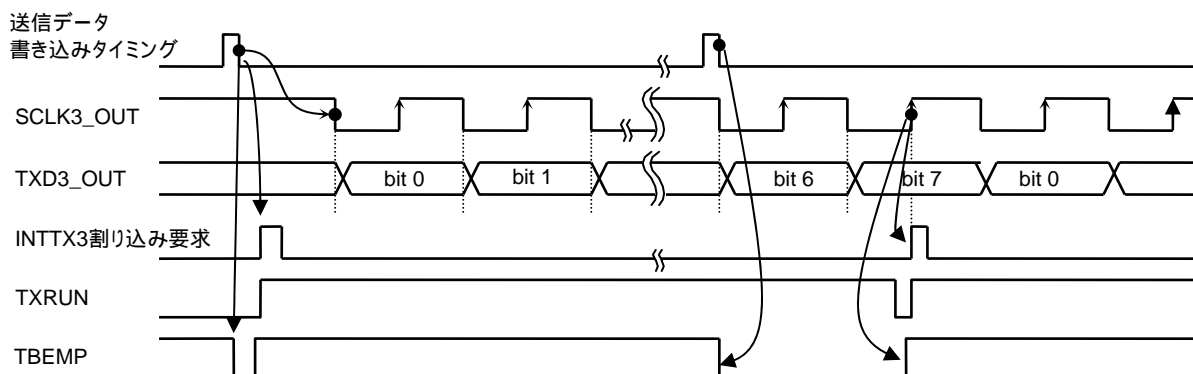


図 20.7.1 <WBUF> = "1" (ダブルバッファ許可) の場合 (バッファ 2 にデータがある場合)

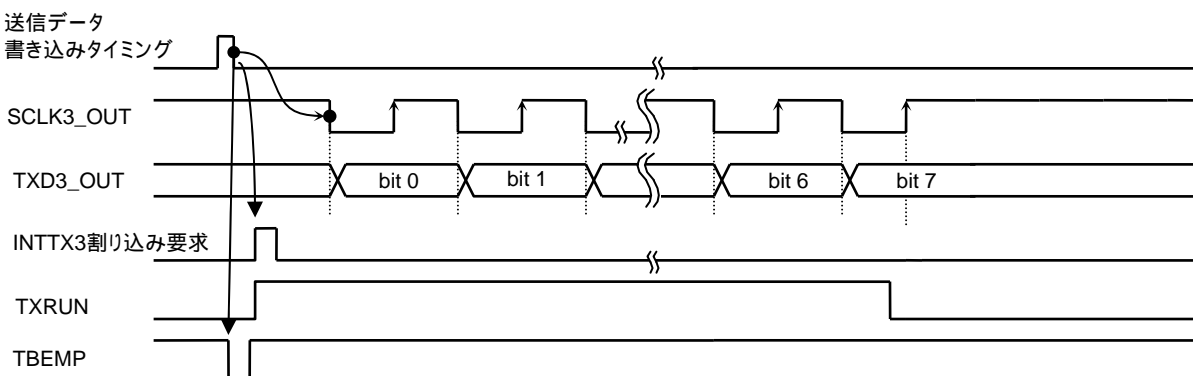
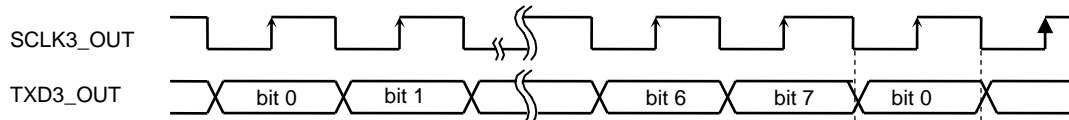


図 20.7.2 <WBUF> = "1" (ダブルバッファ許可) の場合 (バッファ 2 にデータがない場合)

20.7.2 連続送信

連続した送信の場合、Byte 単位の送信が連続して実行されますが、各々の Byte 送信間に固定時間を挿入することができます。SC3MOD1<SINT2:0>でインターバル時間を通信クロックの 0～64 クロックまで設定可能です。(0/1/2/4/8/16/32/64)

インターバル時間設定無し (SINT2:0=000) の例



インターバル時間 1 設定 (SINT2:0=001) の例

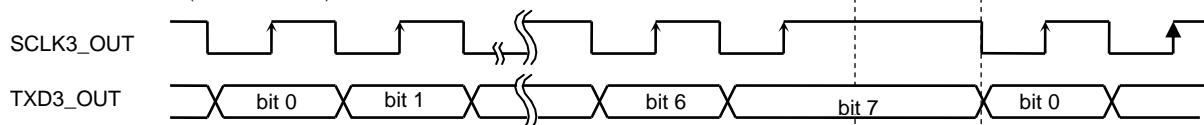


図 20.7.3 連続送信とインターバル時間

第 21 章 アナログ / デジタルコンバータ (ADC)

21.1 特徴

TMPM342FYXBG は、8 チャンネル (unitA) , 4 チャンネル (unitB) のアナログ入力を持つ、12 ビット逐次変換方式アナログ / デジタルコンバータ (A/D コンバータ) を 2 unit 内蔵しています。

8 チャンネル (AINA0 ~ AINA7) , 4 チャンネル (AINB0 ~ AINB3) のアナログ入力端子は、入出力ポートと兼用です。

ADC unitB 使用時は、DSADC を使用できません。

12 ビット A/D コンバータは、以下のような特徴があります。

- 通常 AD 変換、最優先 AD 変換の起動
 - ソフトウェアによる起動
 - 16 ビットタイマ (TMRB) による起動
- AD 変換機能
 - チャンネル固定シングル変換モード
 - チャンネルスキャンシングル変換モード
 - チャンネル固定リピート変換モード
 - チャンネルスキャンリピート変換モード
- 最優先 AD 変換機能
- 通常 AD 変換終了、最優先 AD 変換終了割り込み機能
- 通常 AD 変換機能、最優先 AD 変換機能は以下のステータスフラグ有します。
 - AD 変換結果データ有効を示すフラグ <ADRF>、上書きを示すフラグ <ADOVRF>
 - 通常 AD 変換終了、最優先 AD 変換終了フラグ
 - 通常 AD 変換ビジー、最優先 AD 変換ビジーフラグ
- AD 監視機能
 - AD 監視機能有効時に、任意比較条件と一致した場合、割り込みを発生します。
- AD 変換クロックを $1/f_c \sim 1/8f_c$ まで制御可能
- AD 変換終了時、2 種類の DMA リクエストをサポート
- スタンバイモードをサポート
- 変換結果レジスタを PSC よりリード可能

21.2 構成

図 21-1 に AD コンバータブロック図を示します。

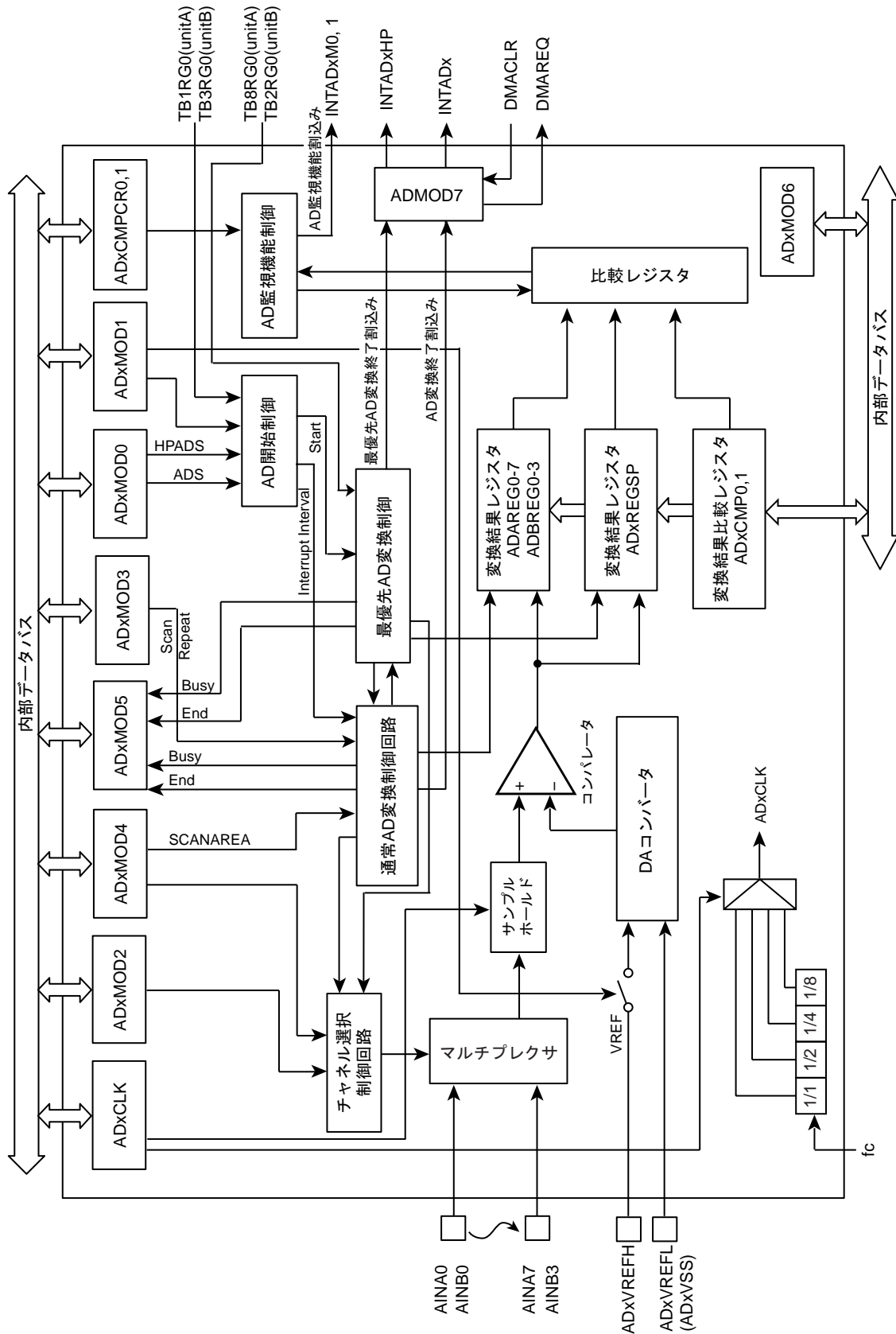


図 21-1 AD コンバータブロック図 (x=A,B)

21.3 レジスタ

21.3.1 レジスタ一覧

AD コンバータは、AD モードコントロールレジスタ (ADxMOD0 ~ ADxMOD7, (x=A,B)) により制御します。AD 変換結果は、AD 変換結果レジスタ ADAREG0 ~ ADAREG7, ADBREG0 ~ ADBREG3 の 12 個のレジスタに格納され、最優先変換結果は ADAREGSP, ADBREGSP に格納されます。

Unit x	Access	Base Address
UnitA	CPU	0x4005_0000
UnitB	CPU	0x4005_1000
UnitA	PSC	0x4007_4000
UnitB	PSC	0x4007_9000

CPU アクセスレジスタ

レジスタ名 (x=A,B)		Address(Base+)
クロック設定レジスタ	ADxCLK	0x0000
モードコントロールレジスタ 0	ADxMOD0	0x0004
モードコントロールレジスタ 1	ADxMOD1	0x0008
モードコントロールレジスタ 2	ADxMOD2	0x000C
モードコントロールレジスタ 3	ADxMOD3	0x0010
モードコントロールレジスタ 4	ADxMOD4	0x0014
モードコントロールレジスタ 5	ADxMOD5	0x0018
モードコントロールレジスタ 6	ADxMOD6	0x001C
モードコントロールレジスタ 7	ADxMOD7	0x0020
監視割り込みコントロールレジスタ 0	ADxCMPCR0	0x0024
監視割り込みコントロールレジスタ 1	ADxCMPCR1	0x0028
変換結果比較レジスタ 0	ADxCMP0	0x002C
変換結果比較レジスタ 1	ADxCMP1	0x0030
変換結果格納レジスタ 0	ADxREG0	0x0034
変換結果格納レジスタ 1	ADxREG1	0x0038
変換結果格納レジスタ 2	ADxREG2	0x003C
変換結果格納レジスタ 3	ADxREG3	0x0040
変換結果格納レジスタ 4	ADAREG4	0x0044
変換結果格納レジスタ 5	ADAREG5	0x0048
変換結果格納レジスタ 6	ADAREG6	0x004C
変換結果格納レジスタ 7	ADAREG7	0x0050
Reserved	-	0x0054 - 0x0073
最優先変換結果格納レジスタ	ADxREGSP	0x0074
Reserved	-	0x0F00
Reserved	-	0x0F04
Reserved	-	0x0F00 - 0x0F0B

PSC アクセスレジスタ

レジスタ名 (x=A,B)		Address(Base+)
Reserved	-	0x0000 - 0x0033
変換結果格納レジスタ 0	AD_MIRxREG0	0x0034
変換結果格納レジスタ 1	AD_MIRxREG1	0x0038
変換結果格納レジスタ 2	AD_MIRxREG2	0x003C
変換結果格納レジスタ 3	AD_MIRxREG3	0x0040
変換結果格納レジスタ 4	AD_MIRxREG4	0x0044
変換結果格納レジスタ 5	AD_MIRxREG5	0x0048
変換結果格納レジスタ 6	AD_MIRxREG6	0x004C
変換結果格納レジスタ 7	AD_MIRxREG7	0x0050
Reserved	-	0x0054 - 0x0073
最優先変換結果格納レジスタ	AD_MIRxREGSP	0x0074
Reserved	-	0x0F00
Reserved	-	0x0F04
Reserved	-	0x0F00 - 0x0F0B

注) PSC がアクセス可能なレジスタは Read Only となります。"-" において PSC はアクセスしないでください。

注) "Reserved" 表記のアドレスにはアクセスしないでください。

21.3.2 ADxCLK (クロック設定レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ADSH				-	ADCLK		
リセット後	0	0	0	0	0	0	0	1

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると "0" が読めます。
7-4	ADSH[3:0]	R/W	ADC サンプルホールド時間選択 0000: 40 × <ADCLK> 0001: 50 × <ADCLK> 0010: 60 × <ADCLK> 0011: 70 × <ADCLK> 0100: 110 × <ADCLK> 0101 to 1111: Reserved
3	-	R	リードすると "0" が読めます。
2-0	ADCLK[2:0]	R/W	ADC プリスケアラ出力選択 000: fc 001: fc/2 010: fc/4 011: fc/8 100 to 111: Reserved

注) 4MHz ≤ ADxCLK ≤ 40MHz の範囲内で使用してください。例えば、fosc = 12MHz、PLL = 4 週倍で使用する
場合、fc = 48MHz となりますが、この場合は ADxCLK<ADCLK[2:0]> = "000" 以外を使用してください。

注) <ADCLK[2:0]>ADC プリスケアラ出力選択は、AD 変換停止且つ ADxMOD1<VREFON>="0" で行なってくだ
さい。

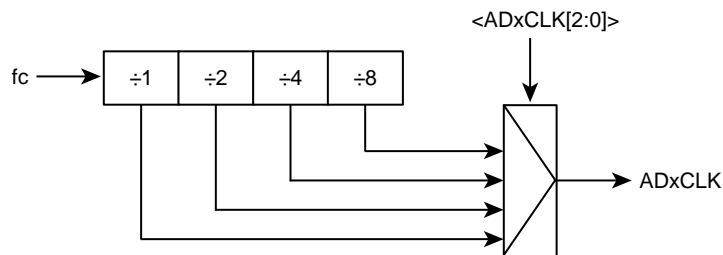


図 21-2 AD 変換クロック (ADxCLK)

下表にサンプルホールド時間および変換時間を示します。

<ADCLK[2:0]> 設定	<ADSH[3:0]>	変換時間 (Tconv)		
		fc=32MHz	fc=40MHz	fc=48MHz
000 (fc)	40 × ADCLK	1.25 μs	1.00 μs	–
	50 × ADCLK	1.56 μs	1.25 μs	–
	60 × ADCLK	1.88 μs	1.50 μs	–
	70 × ADCLK	2.19 μs	1.75 μs	–
	110 × ADCLK	3.44 μs	2.75 μs	–
001 (fc/2)	40 × ADCLK	2.50 μs	2.00 μs	1.67 μs
	50 × ADCLK	3.13 μs	2.50 μs	2.08 μs
	60 × ADCLK	3.75 μs	3.00 μs	2.50 μs
	70 × ADCLK	4.38 μs	3.50 μs	2.92 μs
	110 × ADCLK	6.88 μs	5.50 μs	4.58 μs
010 (fc/4)	40 × ADCLK	5.00 μs	4.00 μs	3.33 μs
	50 × ADCLK	6.25 μs	5.00 μs	4.17 μs
	60 × ADCLK	7.50 μs	6.00 μs	5.00 μs
	70 × ADCLK	8.75 μs	7.00 μs	5.83 μs
	110 × ADCLK	–	–	9.17 μs
011 (fc/8)	40 × ADCLK	10.0 μs	8.00 μs	6.67 μs
	50 × ADCLK	–	10.0 μs	8.33 μs
	60 × ADCLK	–	–	10.00 μs
	70 × ADCLK	–	–	–
	110 × ADCLK	–	–	–

注) AD 変換中は、A/D 変換クロック設定を変更しないで下さい。

注) "–" は設定禁止です。<ADCLK[2:0]> の設定は、変換時間 1μs ~ 10μs の範囲内で使用してください。

21.3.3 ADxMOD0 (モードコントロールレジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	HPADS	ADS
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	-	R	リードすると "0" が読めます。
1	HPADS	W	最優先 A/D 変換開始を設定します。 0: Don't care 1: 変換開始 リード時、常に "0" になります。
0	ADS	W	通常 (ソフト) A/D 変換開始を設定します。 0: Don't care 1: 変換開始 リード時、常に "0" になります。

注) ADC を使用する場合、ADxMOD1<VREFON> = "1" に設定した後、ADxMOD0<ADS>、<HPADS> にて AD 変換開始を行なってください。

注) 最優先 AD 変換 <HPADS> と通常 AD 変換 (ソフト) の両方をイネーブルにした場合、最優先 AD 変換が優先して起動します。通常 AD 変換は起動しません。

21.3.4 ADxMOD1 (モードコントロールレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	VREFON	I2AD	RCUT	-	HPADHWS	HPADHWE	ADHWS	ADHWE
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると "0" が読めます。
7	VREFON	R/W	VREF 印加制御 (注 1、注 2) 0: OFF 1: ON
6	I2AD	R/W	IDLE モード時の ADC 動作制御 (WFI (Wait For Interrupt) 命令実行時の動作を制御します) 0: 停止 1: 動作
5	RCUT	R/W	AVREFH-AVREFL 間のリファレンス電流を制御します。 0: 変換中のみ通電 1: リセット時以外常時通電
4	-	R	リードすると "0" が読めます。
3	HPADHWS	R/W	最優先 AD 変換を開始するためのハードウェア起動要因を設定します。 0: 設定禁止 1: タイマレジスタ 0 (TB8RG0(unitA), TB2RG0(unitB)) の一致
2	HPADHWE	R/W	ハードウェア要因 (TB8RG0(unitA), TB2RG0(unitB) 一致) による最優先 AD 変換開始を制御します。 0: 禁止 1: 許可
1	ADHWS	R/W	通常 AD 変換を開始するためのハードウェア起動要因を設定します。 0: 設定禁止 1: タイマレジスタ 0 (TB1RG0(unitA), TB3RG0(unitB)) の一致
0	ADHWE	R/W	ハードウェア要因 (TB1RG0(unitA), TB3RG0(unitB) 一致) による通常 AD 変換開始を制御します。 0: 禁止 1: 許可

注 1) AD 変換をスタートさせる場合、ADxMOD1<VREFON>="1" に設定してから、ADxMOD0<ADS>,<HPADS> にて AD 変換スタートを行ってください。なお、ADxMOD1<VREFON> = ON("1") の起動後、3μs の安定時間が必要です。

注 2) AD 変換終了後にスタンバイモードへ移行する場合は、<VREFON> ビットを "0" に設定してください。

注) IDLE、STOP モードにより電源電流を低減させる場合、以下の条件で使用される場合には A/D コンバータ動作終了後、スタンバイモードに遷移する命令を実行してください。

1. ADxMOD1<I2AD>="0" で IDLE モードへ遷移する場合
2. STOP1/STOP2 モードへ遷移する場合

21.3.5 ADxMOD2 (モードコントロールレジスタ 2)

	31	30	29	28	27	26	25	24	
bit symbol	-	-	-	-	-	-	-	-	
リセット後	0	0	0	0	0	0	0	0	
	23	22	21	20	19	18	17	16	
bit symbol	-	-	-	-	-	-	-	-	
リセット後	0	0	0	0	0	0	0	0	
	15	14	13	12	11	10	9	8	
bit symbol	-	-	-	-	-	-	-	-	
リセット後	0	0	0	0	0	0	0	0	
	7	6	5	4	3	2	1	0	
bit symbol	-	HPADCH				-	ADCH		
リセット後	0	0	0	0	0	0	0	0	

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると "0" が読めます。
7	-	R	リードすると "0" が読めます。
6-4	HPADCH[2:0]	R/W	最優先 AD 変換時のアナログ入力チャンネルを選択します。(表 21-1 参照)
3	-	R	リードすると "0" が読めます。
2-0	ADCH[2:0]	R/W	通常 AD 変換時のアナログ入力チャンネルを選択します。("1111" の設定は禁止です)(表 21-1 参照)

表 21-1 通常 AD 変換、最優先 AD 変換時の入力チャンネル選択 (x=A,B)

<HPADCH[2:0]>	最優先 AD 変換時の アナログ入力チャンネル	<ADCH[2:0]>	通常 AD 変換時の アナログ入力チャンネル
000	AINx0	000	AINx0
001	AINx1	001	AINx1
010	AINx2	010	AINx2
011	AINx3	011	AINx3
100	AINA4	100	AINA4
101	AINA5	101	AINA5
110	AINA6	110	AINA6
111	AINA7	111	AINA7

21.3.6 ADxMOD3 (モードコントロールレジスタ 3)

	31	30	29	28	27	26	25	24	
bit symbol	-	-	-	-	-	-	-	-	
リセット後	0	0	0	0	0	0	0	0	
	23	22	21	20	19	18	17	16	
bit symbol	-	-	-	-	-	-	-	-	
リセット後	0	0	0	0	0	0	0	0	
	15	14	13	12	11	10	9	8	
bit symbol	-	-	-	-	-	-	-	-	
リセット後	0	0	0	0	0	0	0	0	
	7	6	5	4	3	2	1	0	
bit symbol	-	ITM				-	-	REPEAT	SCAN
リセット後	0	0	0	0	0	0	0	0	

Bit	Bit Symbol	Type	機能
31-7	-	R	リードすると "0" が読めます。
6-4	ITM[2:0]	R/W	チャンネル固定リピート変換モード時の割り込み発生タイミングを設定します。(表 21-2 参照)
3-2	-	R	リードすると "0" が読めます。
1	REPEAT	R/W	リピートモードを設定します。 0: シングル変換 1: リピート変換
0	SCAN	R/W	スキャンモードを設定します。 0: チャンネル固定 1: チャンネルスキャン

表 21-2 チャンネル固定リピート変換モードの割り込み発生タイミング

<ITM[2:0]>	チャンネル固定リピート変換モード <SCAN> = "0", <REPEAT> = "1"	unit
000	1 回毎、割り込み発生	unitA, unitB
001	2 回毎、割り込み発生	unitA, unitB
010	3 回毎、割り込み発生	unitA, unitB
011	4 回毎、割り込み発生	unitA, unitB
100	5 回毎、割り込み発生	unitA
101	6 回毎、割り込み発生	unitA
110	7 回毎、割り込み発生	unitA
111	8 回毎、割り込み発生	unitA

注) <ITM[2:0]> は、チャンネル固定リピートモード (<REPEAT>=1,<SCAN>=0) 時のみ有効です。

注) リピート変換中 (<REPEAT>=1、チャンネル固定、チャンネルスキャンの時)、リピート変換を中止する場合、<REPEAT>=0 にクリアします。その場合、<REPEAT> ビット以外は書き換えしないでください。

21.3.7 ADxMOD4 (モードコントロールレジスタ 4)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	SCANAREA			-	SCANSTA		
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると "0" が読めます。
7	-	R	リードすると "0" が読めます。
6-4	SCANAREA[2:0]	R/W	チャンネルスキャンの範囲を設定します。
3	-	R	リードすると "0" が読めます。
2-0	SCANSTA[2:0]	R/W	チャンネルスキャンの先頭チャンネルを設定します。

ADxMOD3<SCAN> = "1", <REPEAT> = "0" に設定するとチャンネルスキャンシングルモードになり、ADxMOD3<SCAN> = "1", <REPEAT> = "1" に設定するとチャンネルスキャンリピートモードになります。まず、チャンネルスキャンをスタートさせたいチャンネルを選択します。次に、設定したスタートチャンネルからスキャンしたいチャンネル数を選択します。

例えば、ADxMOD4<SCANSTA> = "001"(AINx1), <SCANAREA>="010"(3ch スキャン) を設定した場合、AINx1 ~ AINx3(3チャンネル分) のチャンネルスキャンを行います。

表 21-3 に <SCANSTA> の設定と <SCANAREA> の設定可能な範囲の関係を示します。

表 21-3 チャンnelsキャン設定範囲

unitA

<SCANSTA[2:0]>	スタート チャンネル	<SCANAREA[2:0]>	設定可能な チャンネルスキャン範囲	格納レジスタ
000	(AINA0)	000 ~ 111	(1ch ~ 8ch)	ADAREG0 ~ ADAREG7
001	(AINA1)	000 ~ 110	(1ch ~ 7ch)	ADAREG1 ~ ADAREG7
010	(AINA2)	000 ~ 101	(1ch ~ 6ch)	ADAREG2 ~ ADAREG7
011	(AINA3)	000 ~ 100	(1ch ~ 5ch)	ADAREG3 ~ ADAREG7
100	(AINA4)	000 ~ 011	(1ch ~ 4ch)	ADAREG4 ~ ADAREG7
101	(AINA5)	000 ~ 010	(1ch ~ 3ch)	ADAREG5 ~ ADAREG7
110	(AINA6)	000 ~ 001	(1ch ~ 2ch)	ADAREG6 ~ ADAREG7
111	(AINA7)	000	(1ch)	ADAREG7

unitB

<SCANSTA[2:0]>	スタート チャンネル	<SCANAREA[2:0]>	設定可能な チャンネルスキャン範囲	格納レジスタ
000	(AINB0)	000 ~ 011	(1ch ~ 4ch)	ADBREG0 ~ ADBREG3
001	(AINB1)	000 ~ 010	(1ch ~ 3ch)	ADBREG1 ~ ADBREG3
010	(AINB2)	000 ~ 001	(1ch ~ 2ch)	ADBREG2 ~ ADBREG3
011	(AINB3)	000	(1ch)	ADBREG3

注) 上記以外の設定場合、ADxMOD0 レジスタにて AD 変換スタートしても、変換スタートしません。

21.3.8 ADxMOD5 (モードコントロールレジスタ 5)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	HPEOCF	HPADBF	EOCF	ADBF
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-4	-	R	リードすると "0" が読めます。
3	HPEOCF	R	最優先 A/D 変換終了フラグ (注 1) 0: 変換前または変換中 1: 変換終了
2	HPADBF	R	最優先 A/D 変換 BUSY フラグ 0: 変換停止 1: 変換中
1	EOCF	R	通常 A/D 変換終了フラグ (注 1) 0: 変換前または変換中 1: 変換終了
0	ADBF	R	通常 A/D 変換 BUSY フラグ 0: 変換停止 1: 変換中

注 1) <EOCF>,<HPEOCF> は、読み出すことにより "0" にクリアされます。

注) IDLE、STOP モードにより電源電流を低減させる場合、以下の条件で使用される場合には A/D コンバータ動作終了後、スタンバイモードに遷移する命令を実行してください。

1. ADxMOD1<I2AD>="0" で IDLE モードへ遷移する場合
2. STOP1/STOP2 モードへ遷移する場合

21.3.9 ADxMOD6 (モードコントロールレジスタ 6)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	ADRST	
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	-	R	リードすると "0" が読めます。
1-0	ADRST[1:0]	W	10 → 01 のライトで ADC をソフトウェアリセットを行います。 ADxCLK<ADCLK> ビットを除くレジスタは、全て初期化されます。

- 注) AD 変換終了割り込みを利用して DMA 転送を行う場合、ADxMOD6<ADRST> ソフトウェアリセットを行ってから、DMAC を動作させ (DMA 要求待機状態)、ADC の設定 (開始) を行ってください。
- 注) ソフトウェアリセットを行なう場合、ADxMOD1<VREFON> ビットが "1" の場合のみ有効です。
- 注) ソフトウェアリセットを行なう場合、初期化に 3μs の時間が必要となります。

21.3.10 ADxMOD7 (モードコントロールレジスタ 7)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	INTADHPDM A	INTADDMA
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-4	-	R	リードすると "0" が読めます。
3-2	-	R/W	常に "0" をライトしてください。
1	INTADHPDMA	R/W	最優先 AD 変換 DMA 起動要因設定 最優先 AD 変換終了割り込み (INTADxHP) をトリガに DMAC を起動することが可能です。 0: 禁止 1: 許可
0	INTADDMA	R/W	通常 AD 変換 DMA 起動要因設定 通常 AD 変換終了割り込み (INTADx) をトリガに DMAC を起動することが可能です。 0: 禁止 1: 許可

21.3.11 ADxCMPCR0 (監視割り込みコントロールレジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	CMPCNT0			
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	CMP0EN	-	CMPCOND0	ADBIG0	-	AINS0		
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能																				
31-12	-	R	リードすると "0" が読めます。																				
11-8	CMPCNT0[3:0]	R/W	<p>大小判定カウント数を設定します。カウント数に達すると割り込みを発生します。</p> <table border="0"> <tr> <td>0000 : 1 回カウント</td> <td>0101 : 6 回カウント</td> <td>1010 : 11 回カウント</td> <td>1111 : 16 回カウント</td> </tr> <tr> <td>0001 : 2 回カウント</td> <td>0110 : 7 回カウント</td> <td>1011 : 12 回カウント</td> <td></td> </tr> <tr> <td>0010 : 3 回カウント</td> <td>0111 : 8 回カウント</td> <td>1100 : 13 回カウント</td> <td></td> </tr> <tr> <td>0011 : 4 回カウント</td> <td>1000 : 9 回カウント</td> <td>1101 : 14 回カウント</td> <td></td> </tr> <tr> <td>0100 : 5 回カウント</td> <td>1001 : 10 回カウント</td> <td>1110 : 15 回カウント</td> <td></td> </tr> </table>	0000 : 1 回カウント	0101 : 6 回カウント	1010 : 11 回カウント	1111 : 16 回カウント	0001 : 2 回カウント	0110 : 7 回カウント	1011 : 12 回カウント		0010 : 3 回カウント	0111 : 8 回カウント	1100 : 13 回カウント		0011 : 4 回カウント	1000 : 9 回カウント	1101 : 14 回カウント		0100 : 5 回カウント	1001 : 10 回カウント	1110 : 15 回カウント	
0000 : 1 回カウント	0101 : 6 回カウント	1010 : 11 回カウント	1111 : 16 回カウント																				
0001 : 2 回カウント	0110 : 7 回カウント	1011 : 12 回カウント																					
0010 : 3 回カウント	0111 : 8 回カウント	1100 : 13 回カウント																					
0011 : 4 回カウント	1000 : 9 回カウント	1101 : 14 回カウント																					
0100 : 5 回カウント	1001 : 10 回カウント	1110 : 15 回カウント																					
7	CMP0EN	R/W	<p>A/D 監視機能 0</p> <p>0: 禁止 1: 許可</p> <p><CMP0EN>="0" (禁止) に設定することにより、それまでの大小判定カウント数はクリアされます。</p>																				
6	-	R	リードすると "0" が読めます。																				
5	CMPCOND0	R/W	<p>判定カウント条件を設定します。</p> <p>0: 連続方式 1: 累積方式</p> <p>連続方式は <ADBIG0> に設定した状態が連続し、<CMPCNT0> に設定したカウント回数に達すると AD 監視割り込み (INTADxM0) が発生します。設定カウント数を超えた後も判定条件が真の場合は、その都度 AD 監視割り込み (INTADxM0) が発生します。<ADBIG0> に設定した状態と異なる場合はカウンタ値をクリアします。</p> <p>累積方式は、<ADBIG0> に設定した状態が累積して <CMPCNT0> に設定したカウント回数に達すると AD 監視割り込み (INTADxM0) が発生し、カウントをクリアします。<ADBIG0> に設定した状態と異なる場合でもカウンタ値を保持します。</p>																				
4	ADBIG0	R/W	<p>大小判定を設定します。</p> <p>0: 比較レジスタより大 1: 比較レジスタより小</p> <p>比較レジスタ (ADxCMP0) よりも比較対象アナログ入力の変換結果が、大きいか、小さいかを設定します。AINS0[2:0] で設定した AD 変換が終了するたびに大・小比較判定を行い、判定結果が <ADBIG0> の設定にあてはまればカウンタをプラスします。</p>																				
3	-	R	リードすると "0" が読めます。																				
2-0	AINS0[2:0]	R/W	<p>比較対象のアナログ入力を設定します。</p> <table border="0"> <tr> <td>unitA</td> <td>unitA</td> <td>unitA</td> <td>unitB</td> <td>unitB</td> </tr> <tr> <td>000 : AINA0</td> <td>011 : AINA3</td> <td>110 : AINA6</td> <td>000 : AINB0</td> <td>010 : AINB2</td> </tr> <tr> <td>001 : AINA1</td> <td>100 : AINA4</td> <td>111 : AINA7</td> <td>001 : AINB1</td> <td>011 : AINB3</td> </tr> <tr> <td>010 : AINA2</td> <td>101 : AINA5</td> <td></td> <td></td> <td></td> </tr> </table>	unitA	unitA	unitA	unitB	unitB	000 : AINA0	011 : AINA3	110 : AINA6	000 : AINB0	010 : AINB2	001 : AINA1	100 : AINA4	111 : AINA7	001 : AINB1	011 : AINB3	010 : AINA2	101 : AINA5			
unitA	unitA	unitA	unitB	unitB																			
000 : AINA0	011 : AINA3	110 : AINA6	000 : AINB0	010 : AINB2																			
001 : AINA1	100 : AINA4	111 : AINA7	001 : AINB1	011 : AINB3																			
010 : AINA2	101 : AINA5																						

注) AD 監視機能は、固定リポート変換モード、スキャンリポート変換モードで使用します。

21.3.12 ADxCMP1 (監視割り込みコントロールレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	CMPCNT1			
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	CMP1EN	-	CMPCOND1	ADBIG1	-	AINS1		
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能																				
31-12	-	R	リードすると "0" が読めます。																				
11-8	CMPCNT1[3:0]	R/W	<p>大小判定カウント数を設定します。カウント数に達すると割り込みが発生します。</p> <table border="0"> <tr> <td>0000 : 1 回カウント</td> <td>0101 : 6 回カウント</td> <td>1010 : 11 回カウント</td> <td>1111 : 16 回カウント</td> </tr> <tr> <td>0001 : 2 回カウント</td> <td>0110 : 7 回カウント</td> <td>1011 : 12 回カウント</td> <td></td> </tr> <tr> <td>0010 : 3 回カウント</td> <td>0111 : 8 回カウント</td> <td>1100 : 13 回カウント</td> <td></td> </tr> <tr> <td>0011 : 4 回カウント</td> <td>1000 : 9 回カウント</td> <td>1101 : 14 回カウント</td> <td></td> </tr> <tr> <td>0100 : 5 回カウント</td> <td>1001 : 10 回カウント</td> <td>1110 : 15 回カウント</td> <td></td> </tr> </table>	0000 : 1 回カウント	0101 : 6 回カウント	1010 : 11 回カウント	1111 : 16 回カウント	0001 : 2 回カウント	0110 : 7 回カウント	1011 : 12 回カウント		0010 : 3 回カウント	0111 : 8 回カウント	1100 : 13 回カウント		0011 : 4 回カウント	1000 : 9 回カウント	1101 : 14 回カウント		0100 : 5 回カウント	1001 : 10 回カウント	1110 : 15 回カウント	
0000 : 1 回カウント	0101 : 6 回カウント	1010 : 11 回カウント	1111 : 16 回カウント																				
0001 : 2 回カウント	0110 : 7 回カウント	1011 : 12 回カウント																					
0010 : 3 回カウント	0111 : 8 回カウント	1100 : 13 回カウント																					
0011 : 4 回カウント	1000 : 9 回カウント	1101 : 14 回カウント																					
0100 : 5 回カウント	1001 : 10 回カウント	1110 : 15 回カウント																					
7	CMP1EN	R/W	<p>A/D 監視機能 1</p> <p>0: 禁止 1: 許可</p> <p><CMP1EN>="0" (禁止) に設定することにより、それまでの大小判定カウント数はクリアされます。</p>																				
6	-	R	リードすると "0" が読めます。																				
5	CMPCOND1	R/W	<p>判定カウント条件を設定します。</p> <p>0: 連続方式 1: 累積方式</p> <p>連続方式は、<ADBIG1> に設定した状態が連続し、<CMPCNT1> に設定したカウント回数に達すると AD 監視割り込み (INTADxM1) が発生します。設定カウント数を超えた後も判定条件が真の場合は、その都度 AD 監視割り込み (INTADxM1) が発生します。<ADBIG1> に設定した状態と異なる場合はカウンタ値をクリアします。</p> <p>累積方式は、<ADBIG1> に設定した状態が累積して <CMPCNT1> に設定したカウント回数に達すると AD 監視割り込み (INTADxM1) が発生し、カウントをクリアします。<ADBIG1> に設定した状態と異なる場合でもカウンタ値を保持します。</p>																				
4	ADBIG1	R/W	<p>大小判定を設定します。</p> <p>0: 比較レジスタより大 1: 比較レジスタより小</p> <p>比較レジスタ (ADxCMP1) よりも比較対象アナログ入力の変換結果が、大きいか、小さいかを設定します。AINS1[2:0] で設定した AD 変換が終了するたびに大・小比較判定を行い、判定結果が <ADBIG1> の設定にあてはまればカウンタをプラスします。</p>																				
3	-	R	リードすると "0" が読めます。																				
2-0	AINS1[2:0]	R/W	<p>比較対象のアナログ入力を設定します。</p> <table border="0"> <tr> <td>unitA</td> <td>unitA</td> <td>unitA</td> <td>unitB</td> <td>unitB</td> </tr> <tr> <td>000 : AINA0</td> <td>011 : AINA3</td> <td>110 : AINA6</td> <td>000 : AINB0</td> <td>010 : AINB2</td> </tr> <tr> <td>001 : AINA1</td> <td>100 : AINA4</td> <td>111 : AINA7</td> <td>001 : AINB1</td> <td>011 : AINB3</td> </tr> <tr> <td>010 : AINA2</td> <td>101 : AINA5</td> <td></td> <td></td> <td></td> </tr> </table>	unitA	unitA	unitA	unitB	unitB	000 : AINA0	011 : AINA3	110 : AINA6	000 : AINB0	010 : AINB2	001 : AINA1	100 : AINA4	111 : AINA7	001 : AINB1	011 : AINB3	010 : AINA2	101 : AINA5			
unitA	unitA	unitA	unitB	unitB																			
000 : AINA0	011 : AINA3	110 : AINA6	000 : AINB0	010 : AINB2																			
001 : AINA1	100 : AINA4	111 : AINA7	001 : AINB1	011 : AINB3																			
010 : AINA2	101 : AINA5																						

注) AD 監視機能は、固定リポート変換モード、スキャンリポート変換モードで使用します。

21.3.13 ADxCMP0 (変換結果比較レジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	AD0CMP			
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	AD0CMP							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-12	-	R	リードすると "0" が読めます。
11-0	AD0CMP[11:0]	R/W	A/D 変換結果比較値を設定します。

注) このレジスタへ値を設定する時、または値を変更する時は、AD 監視機能を禁止 (ADxCMPCR0<CMP0EN> = "0") にした状態で行ってください。

21.3.14 ADxCMP1 (変換結果比較レジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	AD1CMP			
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	AD1CMP							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-12	-	R	リードすると "0" が読めます。
11-0	AD1CMP[11:0]	R/W	A/D 変換結果比較値を設定します。

注) このレジスタへ値を設定する時、または値を変更する時は、AD 監視機能を禁止 (ADxCMP1CR1<CMP1EN> = "0") にした状態で行ってください。

21.3.15 ADAREG0 ~ ADRAEG7 (通常 AD 変換結果レジスタ 0 ~ 7 (CPU リード用 UnitA))

ADBREG0 ~ ADBREG3 (通常 AD 変換結果レジスタ 0 ~ 3 (CPU リード用 UnitB))

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	ADOVRF	ADRF	ADR			
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ADR							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-14	-	R	リードすると "0" が読めます。
13	ADOVRF	R	オーバーランフラグ 0: 発生なし 1: 発生あり AD 変換結果レジスタ (ADAREG0 ~ 7, ADBREG0 ~ 3) を読み出す前に AD 変換結果が上書きされると "1" にセットされます。 このフラグは ADAREG0 ~ 7, ADBREG0 ~ 3 レジスタをリードすると "0" にクリアされます。
12	ADRF	R	AD 変換結果格納フラグ 0: 変換結果なし 1: 変換結果あり AD 変換値が格納されると "1" にセットされます。 このフラグは ADAREG0 ~ 7, ADBREG0 ~ 3 レジスタをリードすると "0" にクリアされます。
11-0	ADR[11:0]	R	12 ビットの通常 A/D 変換結果値が格納されます。 AD 変換中に ADAREG0 ~ 7, ADBREG0 ~ 3 レジスタをリードすると前回の変換結果がリードされます。

注) AD 変換中、他のアナログ/入出力兼用ポートを出力ポートとして使用した場合、出力スイッチングは極力行わないでください。

21.3.16 AD_MIRAREG0 ~ AD_MIRRAEG7 (通常 AD 変換結果レジスタ 0 ~ 7 (PSC リード用 UnitA))

AD_MIRBREG0 ~ AD_MIRBREG3 (通常 AD 変換結果レジスタ 0 ~ 3 (PSC リード用 UnitB))

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	ADRM			
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ADRM							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-12	-	R	リードすると "0" が読めます。
11-0	ADRM[11:0]	R	12 ビットの通常 A/D 変換結果値が格納されます。 AD 変換中に AD_MIRAREG0 ~ 7, AD_MIRBREG0 ~ 3 レジスタをリードすると前回の変換結果がリードされます。

注) AD 変換中、他のアナログ / 入出力兼用ポートを出力ポートとして使用した場合、出力スイッチングは極力行なわないでください。

21.3.17 ADxREGSP (最優先 AD 変換結果格納レジスタ (CPU リード用))

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	ADOVRFSP	ADRFSP	ADRSP			
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ADRSP							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-14	-	R	リードすると "0" が読めます。
13	ADOVRFSP	R	オーバーランフラグ 0: 発生なし 1: 発生あり 最優先 AD 変換結果格納レジスタ (ADxREGSP) を読み出す前に最優先 AD 変換結果が書きされると "1" にセットされます。 このフラグは ADxREGSP レジスタをリードすると "0" にクリアされます。
12	ADRFSP	R	最優先 AD 変換結果格納フラグ 0: 変換結果なし 1: 変換結果あり 最優先 AD 変換値が格納されると "1" にセットされます。 このフラグは ADxREGSP レジスタをリードすると "0" にクリアされます。
11-0	ADRSP[11:0]	R	12 ビットの最優先 A/D 変換結果値が格納されます。 AD 変換中に ADxREGSP レジスタをリードすると前回の変換結果がリードされます。

注) AD 変換中、他のアナログ / 入出力兼用ポートを出力ポートとして使用した場合、出力スイッチングは極力行なわないでください。

21.3.18 AD _MIRxREGSP (最優先 AD 変換結果格納レジスタ (PSC リード用))

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	ADRMSP			
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ADRMSP							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-12	-	R	リードすると "0" が読めます。
11-0	ADRMSP[11:0]	R	12 ビットの最優先 A/D 変換結果値が格納されます。 AD 変換中に ADxREGSP レジスタをリードすると前回の変換結果がリードされます。

注) AD 変換中、他のアナログ/入出力兼用ポートを出力ポートとして使用した場合、出力スイッチングは極力行なわないでください。

21.4 動作説明

21.4.1 アナログ基準電圧

アナログ基準電圧の "H" レベル側を ADxVREFH 端子に、"L" レベル側を ADxVREFL 端子に印加します。ADxMOD1<RCUT> ビットに "0" を書き込むことにより、ADxVREFH - ADxVREFL 間のスイッチを OFF できます。AD 変換をスタートさせる場合は、必ず <VREFON> ビットに "1" を書き込んだ後、内部基準電圧が安定するまでの 3 μ s 待ってから ADxMOD0<ADS> ビットに "1" を書き込んで下さい。

21.4.2 AD 変換モード

A/D 変換には、通常 AD 変換と最優先 AD 変換の 2 種類があります。

21.4.2.1 通常 AD 変換

通常 AD 変換には次の 4 種類の動作モードが用意されています。動作モードの設定は ADxMOD3<REPEAT, SCAN> の設定により選択することが出来ます。

- チャンネル固定シングル変換モード
- チャンネルスキャンシングル変換モード
- チャンネル固定リピート変換モード
- チャンネルスキャンリピート変換モード

(1) チャンネル固定シングル変換モード

ADxMOD3<REPEAT, SCAN> に "00" を設定すると、チャンネル固定シングル変換モードになります。

このモードでは、ADxMOD2<ADCH> で選択した 1 チャンネルの変換を 1 回だけ行います。変換が終了した後、ADxMOD5<EOCF> が "1" にセット、ADxMOD5<ADBF> が "0" にクリアされ、INTADx の割り込み要求が発生します。ADxMOD5<EOCF> は読み出す事により "0" にクリアされます。

(2) チャンネルスキャンシングル変換モード

ADxMOD3<REPEAT,SCAN> に "01" を設定すると、チャンネルスキャンシングル変換モードになります。

このモードでは、ADxMOD4<SCANSTA> で選択したスタートチャンネルから、ADxMOD4<SCANAREA> で設定したスキャンチャンネル範囲の変換を 1 回だけ行います。スキャン変換が終了した後、ADxMOD5<EOCF> が "1" にセット、ADxMOD5<ADBF> が "0" にクリアされ、INTADx の割り込み要求が発生します。ADxMOD5<EOCF> は読み出す事で "0" にクリアされます。

(3) チャネル固定リピート変換モード

ADxMOD3<REPEAT,SCAN> に "10" を設定するとチャネル固定リピート変換モードになります。

このモードでは、ADxMOD2<ADCH> で選択した 1 チャネルの変換を ADxMOD3<ITM> で設定した回数分繰り返した後、割り込み要求が発生します (INTADx の割り込み要求発生タイミングの選択ができます)。変換が終了した後、ADxMOD5<EOCF> が "1" にセットされますが、ADxMOD5<ADBF> は "0" にならず "1" を保持します。ADxMOD5<EOCF> がセットされるタイミングも割り込みのタイミングに連動します。ADxMOD5<EOCF> は読み出す事により "0" にクリアされます。

(4) チャネルスキャンリピート変換モード

ADxMOD3<REPEAT,SCAN> に "11" を設定するとチャネルスキャンリピート変換モードになります。

このモードでは、ADxMOD4<SCANSTA> で選択したスタートチャネルから、ADxMOD4<SCANAREA> で設定したスキャンチャネル範囲の変換を繰り返し行います。1 回のスキャン変換が終了するごとに ADxMOD5<EOCF> が "1" にセットされ、INTADx 割り込み要求が発生します。ADxMOD5<ADBF> は "0" にならず "1" を保持します。ADxMOD5<EOCF> は読み出す事により "0" にクリアされます。

21.4.2.2 最優先 AD 変換

最優先 AD 変換は、通常 AD 変換に割り込んで AD 変換を行うことができます。

動作モードはチャネル固定のシングル変換のみです。ADxMOD3<REPEAT,SCAN> の設定は関係ありません。起動条件が成立すると、ADxMOD2<HPADCH> で指定されるチャネルの変換を一度だけ行います。変換が終了すると、最優先変換終了割り込み要求 (INTADxHP) が発生して、ADxMOD5<HPEOCF> は "1" にセットされ、<HPADBF> は "0" に戻ります。<HPEOCF> フラグを読み出すと "0" にクリアされます。

また、最優先 AD 変換中の最優先 AD 変換の起動は無視されます。

21.4.3 AD 監視機能

チャネル固定リピートモード、スキャンリピートモードの設定時に使用する機能です。

ADxCMPCR0 <CMP0EN>、ADxCMPCR1 <CMP1EN> に "1" をセットすると AD 監視機能が有効になり、2 つの監視機能を同時に有効にすることも可能です。

ADxCMPCR0 を例に説明します。

ADxCMPCR0 レジスタの <AINS0[2:0]> にて比較対象のアナログ入力、<ADBIG0> にて大・小判定、<CMPCOND0> にて判定カウンタの条件、<CMPCNT0[3:0]> にて判定カウンタ数を設定します。

AD 変換をスタートさせると、1 回の AD 変換が終了する毎に大・小比較判定を行い、判定結果が <ADBIG0> の設定にあてはまれば判定カウンタをプラスします。

判定カウンタの条件には、連続方式と累計方式があります。連続方式は、<ADBIG0> に設定した状態が連続し、<CMPCNT0[3:0]> に設定したカウント回数に達すると AD 監視割り込み (INTADxM0) が発生し、カウンタ値をクリアします。<ADBIG0> に設定した状態と異なる場合もカウンタ値をクリアします。累積方式は、<ADBIG0> に設定した状態が累積して <CMPCNT0[3:0]> に設定したカウント回数に達すると AD 監視割り込み (INTADxM0) が発生します。<ADBIG0> に設定した状態と異なる場合でもカウンタ値を保持します。なお、ADxCMPCR0 レジスタで指定された変換結果格納レジスタの内容が比較対象レジスタの値とイコールの場合は、カウンタをプラスせず、AD 監視機能割り込み (INTADxM0) は発生しません。(ADxCMPCR1 の場合も同様)

この比較動作は対象変換結果格納レジスタへ結果が格納される毎に行われ、条件が成立すると割り込み (INTADxM0) が発生します。また、AD 監視機能に割りあてている格納レジスタは通常ではソフトで読み出しは行われませんので、オーバーランフラグ ADAREG0 ~ 7 と ADBREG0~3 の <ADOVRF> の該当するレジスタは常にセットされていることになり、変換結果格納フラグ ADREG00 ~ 14<ADRF> もまたセットされている事になります。したがって、AD 監視機能を使用する場合は当該変換結果格納レジスタのフラグを使用しないで下さい。

1. AINx0 入力をチャンネル固定リピート変換に設定し、AD 変換結果比較レジスタ値 (0x0888) を比較判定
 - ADxMOD3=0x0002：チャンネル固定リピート変換 AD 変換終了割り込み (INTADx) はディセーブル設定
 - ADxCMPCR0 =0x0280：比較対象チャンネル：AINx0、大小判定：比較レジスタより大、判定カウント条件：連続方式、AD 監視機能：許可、大小判定カウント数 :3 回カウント
 - ADxCMP0=0x0888：AD 変換結果比較レジスタ (比較値 0x0888)

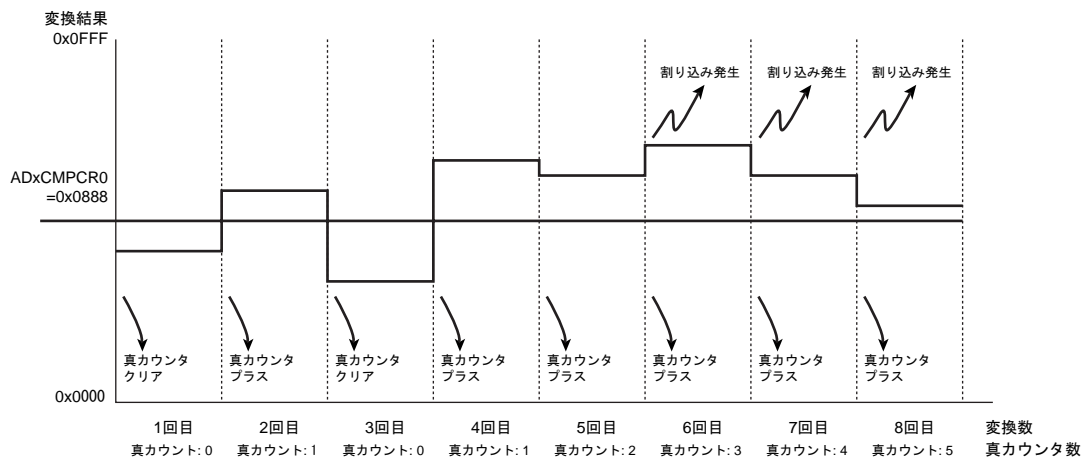


図 21-3 AD 監視機能 (チャンネル固定リピート、判定カウント連続方式)

2. AINx0 入力をチャンネル固定リピート変換に設定し、AD 変換結果比較レジスタ値 (0x0888) を比較判定
 - ADxMOD3=0x0002：チャンネル固定リピート変換 AD 変換終了割り込み (INTADx) はディセーブル設定
 - ADxCMPCR0 =0x02A0：比較対象チャンネル：AINx0、大小判定：比較レジスタより大、判定カウント条件：累積方式、AD 監視機能：許可、大小判定カウント数 :3 回カウント
 - ADxCMP0=0x0888：AD 変換結果比較レジスタ (比較値 0x0888)

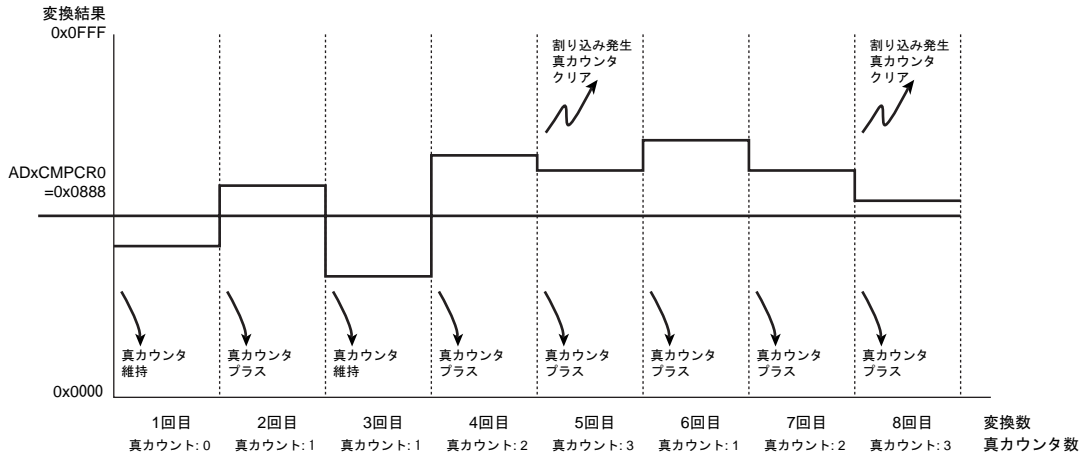


図 21-4 AD 監視機能 (チャンネル固定リピート、判定カウント累積方式)

21.4.4 入力チャンネルの選択

リセット後は ADxMOD3<REPEAT,SCAN> は "00" に ADxMOD2<ADCH[2:0]> は "000" に初期化されます。

変換するチャンネルは、AD コンバータの動作モードにより以下のように選択されます。

1. 通常 AD 変換時

- アナログ入力チャンネルを固定で使用する場合 (ADxMOD3<SCAN> = "0")
 - ADxMOD2<ADCH> の設定により、アナログ入力 AINA0 ~ 7 端子、AINB0 ~ 3 端子の中からそれぞれ 1 チャンネルを選択します。
- アナログ入力チャンネルをスキャンで使用する場合 (ADxMOD3<SCAN> = "1")
 - ADxMOD4<SCANSTA> にてスタートさせたいチャンネルを設定し、ADxMOD4<SCANAREA> にてスキャンさせたいチャンネル数を設定することができます。

2. 最優先 AD 変換時

ADxMOD2<HPADCH> の設定により、アナログ入力 AINA0 ~ 7 端子、AINB0 ~ 3 端子の中からそれぞれ 1 チャンネルを選択します。通常 AD 変換中に最優先 AD 変換の起動が掛かると、直ちに通常 AD 変換を中断して最優先 AD 変換の起動が実行されます。最優先 AD 終了後に通常 AD 変換を中断したチャンネルから再開します。

21.4.5 AD 変換動作詳細

21.4.5.1 AD 変換の起動

通常 AD 変換は ADxMOD0<ADS> に "1" をセットすることにより起動されます。また、最優先 AD 変換は ADxMOD2<HPADS> に "1" をセットすることにより起動されます。

通常 AD 変換は ADxMOD3<REPEAT,SCAN> で指定される 4 種類の動作モードから 1 つの動作モードが選択されます。最優先 AD 変換の動作モードはチャンネル固定のシングル変換のみです。

また、通常 AD 変換は ADxMOD1<ADHWS>、最優先 AD 変換は ADxMOD1<HPADHWS> で選択されるハードウェア起動ソースにより起動することができます。<ADHWS>、<HPADHWS> が "1" の場合、通常 AD 変換は 16 ビットタイマのチャンネル 1 の TB1RG0(unitA) 一致で、チャンネル 3 の TB3RG0(unitB) 一致で起動され、最優先 AD 変換の場合はチャンネル 8 の TB8RG0(unitA) 一致で、チャンネル 2 の TB2RG0(unitB) 一致で起動されます。

ハードウェア起動を許可するには、通常 AD 変換では ADxMOD1<ADHWE>、最優先 AD 変換では ADxMOD1<HPADHWE> に "1" をセットします。

ハードウェア起動が許可された場合でもソフトウェア起動は有効です。

21.4.5.2 AD 変換動作

通常 AD 変換が開始されると、AD 変換中を示す AD 変換 BUSY フラグ (ADxMOD5<ADBF>) に "1" がセットされます。

また、最優先 AD 変換が開始されると、最優先 AD 変換中を示す最優先 AD 変換 BUSY フラグ (ADxMOD5<HPADBF>) に "1" がセットされます。このとき、通常 AD 変換用の BUSY フラグ ADxMOD5<ADBF> と通常 AD 変換用の変換終了フラグ ADxMOD5<EOCF> は最優先 AD 変換の開始前の値を保持します。

注) 最優先 AD 変換中に通常 AD 変換を再起動させないでください。(最優先 A/D 変換終了フラグがセットされません。また、以前の通常 A/D 変換のフラグがクリアされません)

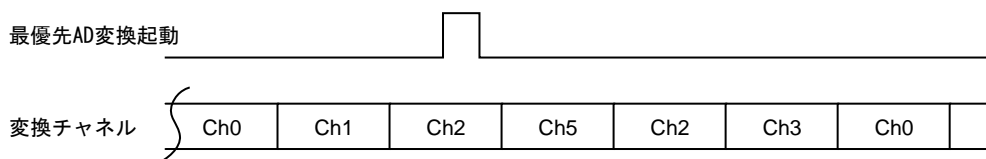
21.4.5.3 通常 AD 変換中の最優先変換要求

通常 AD 変換中に最優先 AD 変換が起動されると、通常 AD 変換を中断し、最優先 AD 変換の終了後に通常 AD 変換を再開します。

通常 AD 変換中に AD_xMOD0<HPADS> に "1" をセットすると、現在変換中の AD 変換は中断されて最優先 AD 変換を起動し、AD_xMOD2<HPADCH> で指定されるチャンネルの AD 変換 (チャンネル固定のシングル変換) が行われます。この結果を変換結果レジスタ AD_xREGSP へ格納すると、中断した通常 AD 変換を再開します。

通常 AD 変換中にハードウェアによる最優先 AD 変換の起動が許可されている場合は、ハードウェア起動ソースの起動条件が成立すると現在変換中の AD 変換は中断され、最優先 AD 変換が始まり AD_xMOD2<HPADCH> で指定されるチャンネルの AD 変換 (チャンネル固定のシングル変換) が開始されます。この結果を変換結果レジスタ AD_xREGSP へ格納すると、中断したチャンネルから通常 AD 変換を再開します。

例えば、チャンネル AINA0~AINA3 までのチャンネルリピート変換が起動されており、AINA2 の変換中に <HPADS> に "1" がセットされた場合は AINA2 の変換が中断され、<HPADCH> で指定されたチャンネルの変換 (下図の場合 AINA5) を行い、結果を ADAREGSP へ格納後に AINA2 からチャンネルリピート変換を再開します。



21.4.5.4 リピート変換モードの停止

リピート変換モード (チャンネル固定リピートまたはチャンネルスキャンリピート変換モード) の動作を停止させたい場合は、AD_xMOD3<REPEAT> に "0" を書き込んでください。実行中の変換を終了した時点で、リピート変換モードは終了し、AD_xMOD5<ADBF> は "0" にクリアされます。

21.4.5.5 通常 AD 変換の再起動

通常 AD 変換中に ADxMOD0<ADS> に "1" を設定すると通常 AD 変換が再起動されます。再起動された時点でそれまでの通常 AD 変換は直ちに中断されます。この時、通常 AD 変換 Busy フラグ ADxMOD5<ADBF>、通常 AD 変換終了フラグ ADxMOD5<EOCF>、格納結果フラグ ADxREGm<ADOVRF>、<ADRF> は "0" にクリアされます。(unitA:m=0-7,unitB:m=0-3)

通常 AD 変換中にハードウェアリソースによる通常 AD 変換の起動が許可されている場合は、リソースからの起動条件が成立すると通常 AD 変換が再起動されます。再起動された時点でそれまでの通常 AD 変換は直ちに中断されます。この時、通常 AD 変換 Busy フラグ ADxMOD5<ADBF>、通常 AD 変換終了フラグ ADxMOD5<EOCF>、格納結果フラグ ADxREGm <ADOVRF>、<ADRF> は "0" にクリアされます。(unitA:m=0-7,unitB:m=0-3)

21.4.5.6 変換終了

(1) 通常 AD 変換の終了

通常 AD 変換が終了すると、変換終了割り込み要求 (INTADx) が発生します。また、AD 変換結果がレジスタに格納され、AD 変換終了を示す ADxMOD5<EOCF> と変換中を示す ADxMOD5<ADBF> が変化します。変換モードにより、割り込み要求発生タイミング、変換結果レジスタ、<EOCF><ADBF> の変化タイミングは異なります。

チャンネル固定リピート変換モード以外のモードでは、変換結果はチャンネルに対応した変換結果レジスタ (ADxREGm) に格納されます。(unitA:m=0-7,unitB:m=0-3)

チャンネル固定リピート変換モードでは、ADAREG0 から ADAREG7 へ、ADBREG0 から ADBREG3 へと順次格納されます。ただし、割り込み発生を <ITM> で 1 回ごとに指定した場合は ADxREG0 のみに格納され、<ITM> で 8 回ごと (unitA)、4 回ごと (unitB) に指定した場合は ADAREG0~ADAREG7 へ、ADBREG0~ADBREG3 へと順次格納されます。

モードごとの割り込み要求発生、フラグ変化、変換結果格納レジスタは以下の通りです。

• チャンネル固定シングル変換モード

変換が終了した後、ADxMOD5<EOCF> が "1" にセット、ADxMOD5<ADBF> が "0" にクリアされ、変換終了割り込み要求が発生します。

変換結果はチャンネルに対応する変換結果レジスタに格納されます。

• チャンネルスキャンシングル変換モード

スキャン変換が終了した後、ADxMOD5<EOCF> が "1"、ADxMOD5<ADBF> が "0" となり、変換終了割り込み要求が発生します。

変換結果はチャンネルに対応する変換結果レジスタに格納されます。

• チャンネル固定リピート変換モード

ADxMOD5<ADBF> は "0" とはならず "1" を保持します。割り込み要求発生タイミングは ADxMOD3<ITM> の設定により選択できます。ADxMOD5<EOCF> がセットされるタイミングも割り込みのタイミングに連動します。

a. 1 回変換

ADxMOD3<ITM> を "000"、ADxMOD2<ADCH> を "000" (AINx0) に設定すると AINx0 の AD 変換が 1 回終了するごとに割り込み要求が発生します。この場合、変換結果は常に変換結果レジスタの ADxREG0 に格納されます。格納時点で <EOCF> は "1" になります。

b. 4 回変換

ADxMOD3<ITM> を "011"、ADxMOD2<ADCH> を "011" (AINx3) に設定すると AD 変換が 4 回終了するごとに割り込み要求が発生します。この場合、変換結果は変換結果レジスタの ADxREG0~ADxREG3 に順次格納されます。ADxREG3 格納後 <EOCF> は "1" にセットされ、再び ADxREG0 から格納を始めます。

c. 8 回変換 (unitA)

ADxMOD3<ITM> を "111"、ADxMOD2<ADCH> を "111" (AINA7) に設定すると AD 変換が 8 回終了するごとに割り込み要求が発生します。この場合、変換結果は変換結果レジスタの ADAREG0~ADAREG7 に順次格納されます。ADAREG7 格納後 <EOCF> は "1" にセットされ、再び ADAREG0 から格納を始めます。

・ チャンネルスキャンリピート変換モード

1 回のスキャン変換が終了するごとに ADxMOD5<EOCF> が "1" にセットされ、INTADx 割り込み要求が発生します。ADxMOD5<ADBF> は "0" にならず "1" を保持します。

ADxMOD4 <SCANSTA> を "001" (AINx1)、ADxMOD4 <SCANAREA> を "010" (3 チャンネルスキャン) に設定すると AD 変換が終了するごとに ADxMOD5<EOCF> は "1" にセットされ、割り込み要求が発生します。ADxMOD5<ADBF> は "0" にならず "1" を保持します。

変換結果はチャンネルに対応する変換結果レジスタに格納されます。

(2) 最優先 AD 変換の終了

最優先 AD 変換が終了すると、最優先変換終了割り込み要求 (INTADxHP) が発生し、最優先 AD 変換終了を示す ADxMOD5<HPEOCF> が "1" にセットされます。

変換結果は変換結果レジスタ SP に格納されます。

(3) データポーリング

割り込みを使用せずに、ポーリングで変換終了を確認することもできます。変換が終了すると ADxMOD5<EOCF> に "1" がセットされますのでこのビットをポーリングすることで変換終了を確認し変換結果を読み出してください。

変換結果レジスタは、ワードアクセスで読んでください。<ADOVRF> = "0"、<ADRF> = "1" であれば、正しい変換結果が得られたことになります。

(4) DMA 要求

通常 AD 変換終了割り込み (INTADx)、最優先 AD 変換終了割り込み (INTADxHP) 発生後、DMAC に対して DMA 要求を発行します。ADxMOD7 レジスタにて、上記割り込みが発生した場合の DMA 要求を許可 / 禁止に設定することが可能です。また、AD 変換終了割り込み (INTADx、INTADxHP) 発生後の 2 システムクロック (fsys) 後に DMA 要求を発行します。

21.4.5.7 割り込み発生タイミングと変換結果格納レジスタ

表 21-4 に、AD 変換モード、割り込み発生タイミング、フラグの関係を、表 21-5 にアナログ入力チャンネルと変換結果レジスタの対応をまとめます。

表 21-4 AD 変換モードと割り込み発生タイミング、フラグ動作の関係

変換モード		スキャン/リピートモード設定 (ADxMOD3)			割り込み発生 タイミング	(ADxMOD5)		
		<REPEAT>	<SCAN>	<ITM[2:0]>		<EOCF>/ <HPEOCF> セットタイミ ング (注 1)	<ADBF> (割り込み 発生後)	<ADBFHP> (割り込み 発生後)
通常変換	チャンネル固定 シングル変換	0	0	-	変換終了後	変換終了後	0	-
	チャンネル固定 リピート変換	1	0	000	1 回変換ごと	変換 1 回終了後	1	-
				001	2 回変換ごと	変換 2 回終了後	1	-
				010	3 回変換ごと	変換 3 回終了後	1	-
				011	4 回変換ごと	変換 4 回終了後	1	-
				100	5 回変換ごと	変換 5 回終了後	1	-
				101	6 回変換ごと	変換 6 回終了後	1	-
				110	7 回変換ごと	変換 7 回終了後	1	-
				111	8 回変換ごと	変換 8 回終了後	1	-
チャンネルスキャン シングル変換	0	1	-	スキャン変換 終了後	スキャン変換 終了後	0	-	
チャンネルスキャン リピート変換	1	1	-	1 回のスキャン 変換終了後	1 回のスキャン 変換終了後	1	-	
最優先変換	-	-	-	変換終了後	変換終了後	-	0	

注 1) ADxMOD5<EOCF><HPEOCF> はリードすると "0" にクリアされます。

注) リピートモードの時、ADxMOD5<ADBF> は割り込みが発生しても "0" にクリアされません。リピート動作を停止する為に、ADxMOD3<REPEAT> に "0" を書き込み、AD 変換が終了した時点で ADxMOD5<ADBF> は "0" にクリアされます。

表 21-5 アナログ入力チャンネルと AD 変換結果レジスタの対応 (unitA)

チャンネル固定シングルモード		チャンネル固定リピートモード		
チャンネル	格納レジスタ	ADAMOD3<ITM[2:0]>		格納レジスタ
AINA0	ADAREG0	000	1 回毎、割り込み発生	ADAREG0
AINA1	ADAREG1	001	2 回毎、割り込み発生	ADAREG0 ~ ADAREG1
AINA2	ADAREG2	010	3 回毎、割り込み発生	ADAREG0 ~ ADAREG2
AINA3	ADAREG3	011	4 回毎、割り込み発生	ADAREG0 ~ ADAREG3
AINA4	ADAREG4	100	5 回毎、割り込み発生	ADAREG0 ~ ADAREG4
AINA5	ADAREG5	101	6 回毎、割り込み発生	ADAREG0 ~ ADAREG5
AINA6	ADAREG6	110	7 回毎、割り込み発生	ADAREG0 ~ ADAREG6
AINA7	ADAREG7	111	8 回毎、割り込み発生	ADAREG0 ~ ADAREG7

チャンネルスキャンシングルモード / リピートモード (例 . ADAREG3 ~ 任意のスキャンチャンネル幅)		
ADAMOD4<SCANSTA> (スタートチャンネル)	ADAMOD4<SCANAREA> (スキャンチャンネル幅)	格納レジスタ
AINA0	8 チャンネル	ADAREG0 ~ ADAREG7
AINA1	7 チャンネル	ADAREG1 ~ ADAREG7
AINA2	6 チャンネル	ADAREG2 ~ ADAREG7
AINA3	5 チャンネル	ADAREG3 ~ ADAREG7
AINA4	4 チャンネル	ADAREG4 ~ ADAREG7
AINA5	3 チャンネル	ADAREG5 ~ ADAREG7
AINA6	2 チャンネル	ADAREG6 ~ ADAREG7
AINA7	1 チャンネル	ADAREG7

注) チャンネルスキャンモードで設定可能なチャンネルスキャン範囲を超える設定を行なった場合、ADAMOD0 にて変換スタートしても起動しません。

表 21-6 アナログ入力チャンネルと AD 変換結果レジスタの対応

チャンネル固定シングルモード		チャンネル固定リピートモード		
チャンネル	格納レジスタ	ADBMOD3<ITM[2:0]>		格納レジスタ
AINB0	ADBREG0	000	1 回毎、割り込み発生	ADBREG0
AINB1	ADBREG1	001	2 回毎、割り込み発生	ADBREG0 ~ ADBREG1
AINB2	ADBREG2	010	3 回毎、割り込み発生	ADBREG0 ~ ADBREG2
AINB3	ADBREG3	011	4 回毎、割り込み発生	ADBREG0 ~ ADBREG3

チャンネルスキャンシングルモード / リピートモード (例 . ADBREG1 ~ 任意のスキャンチャンネル幅)		
ADBMOD4<SCANSTA> (スタートチャンネル)	ADBMOD4<SCANAREA> (スキャンチャンネル幅)	格納レジスタ
AINB0	4 チャンネル	ADBREG0 ~ ADBREG3
AINB1	3 チャンネル	ADBREG1 ~ ADBREG3
AINB2	2 チャンネル	ADBREG2 ~ ADBREG3
AINB3	1 チャンネル	ADBREG3

注) チャンネルスキャンモードで設定可能なチャンネルスキャン範囲を超える設定を行なった場合、ADBMOD0 にて変換スタートしても起動しません。

AD コンバータ入力に対する設計時の注意事項

< 入力インピーダンスに関して >

本製品外の信号源インピーダンスは、以下を考慮して設計する必要があります。

-- 外部インピーダンスの許容算出式 --

$$R_{EXAIN} < T_{scyc} \div (ADCLK \times C_{ADC} \times \ln(2^{14})) - R_{AIN}$$

MCU 情報	Symbol	Min	Typ	Max	単位
A/DC クロック周波数	ADCLK	4	-	40	MHz
総 AIN 入力 MCU 内容量	C _{ADC}	-	-	12.2	pF
AIN MCU 内抵抗	R _{AIN}	-	-	1	kΩ
サンプルホールド期間のサイクル数	T _{scyc}	10	-	80	Cycle

R_{EXAIN} 最大値一覧表 (ADCLK = 40MHz)

T _{scyc}	R _{EXAIN}	単位
10	1.1	kΩ
20	3.2	kΩ
30	5.3	kΩ
40	7.5	kΩ
80	15.9	kΩ

< 安定化容量の付加に関して >

高速 AD 変換が必要で且つ、サンプルホールド期間が外部インピーダンスの許容算出式の条件を満たせない場合、AIN 端子に安定化容量を付加してください。容量に関しては、外部基板回路に依存するため付加容量値などは最終基板セットにより異なりますが、0.1μF から 1μF 程度の容量を付加し、基板回路に適した安定化容量を付加してください。この時、付加する容量の位置は AIN 端子のすぐ近くに接続してください。

< サンプルホールド 期間の調整に関して >

サンプルホールド期間を長く設定することにより、変換対象 (アナログ入力端子) の入力電圧を安定させ、入力電圧誤差を小さくすることが出来ます。

AD コンバータ使用時の注意

電源電圧の変動や周囲のノイズの影響によって AD 変換結果がばらつくことがあります。AD 変換中に AD 入力に兼用となっている端子への入力及び端子出力を変化させる、または AD 変換中に出力ポートに設定している端子の出力電流が変動すると AD 変換精度が低下することがあります。プログラムで複数回の変換結果の平均値をとるなどして対策して下さい。

第 22 章 16 ビット $\Delta\Sigma$ アナログ / デジタルコンバータ (DSADC)

4 チャンネルのアナログ入力を持つ、16 ビット $\Delta\Sigma$ 変換方式アナログ / デジタルコンバータ (DSADC) を内蔵しています。

4 チャンネルのアナログ差動入力端子 (AINC2P/AINC2N ~ AINC5P/AINC5N: 以下 AINC2 ~ AINC5) は、入力ポートと兼用です。

DSADC 使用時は、ADC のユニット B は使用できません。

22.1 特徴

DSADC は、以下のような特徴があります。

- 通常 AD 変換、最優先 AD 変換の起動
 - ソフトウェアによる起動
 - 16 ビットタイマ (TMRB) による起動 (CP0 一致割り込み)
- AD 変換機能
 - チャンネル固定シングル変換モード
 - チャンネルスキャンシングル変換モード
 - チャンネル固定リピート変換モード
 - チャンネルスキャンリピート変換モード
- 最優先 AD 変換機能
 - 通常 AD 変換実行中に最優先 AD 変換を優先して実行が可能
(最優先変換終了後の通常変換は、ソフトウェアにて再起動が必要)
- 通常 AD 変換終了、最優先 AD 変換終了割り込み機能
- 通常 AD 変換、最優先 AD 変換のステータスフラグ
 - AD 変換結果格納フラグ DSADREGn<ADRnF>(n=0 ~ 5)
 - 上書きを示すフラグ DSADREGn<ADOVRnF>(n=0 ~ 5)
 - 通常 AD 変換終了フラグ <EOCF>
 - 最優先 AD 変換終了フラグ <HPEOCF>
 - 通常 AD 変換ビジーフラグ <ADBF>
 - 最優先 AD 変換ビジーフラグ <HPADBF>
- AD 変換クロックを $1/2f_c, 1/4f_c$ に分周可能
- AD 変換終了時、2 種類の DMA リクエストをサポート
- スタンバイモードをサポート
- AD 変換結果レジスタを PSC よりリード可能

22.2 16ビット ΔΣADコンバータブロック図

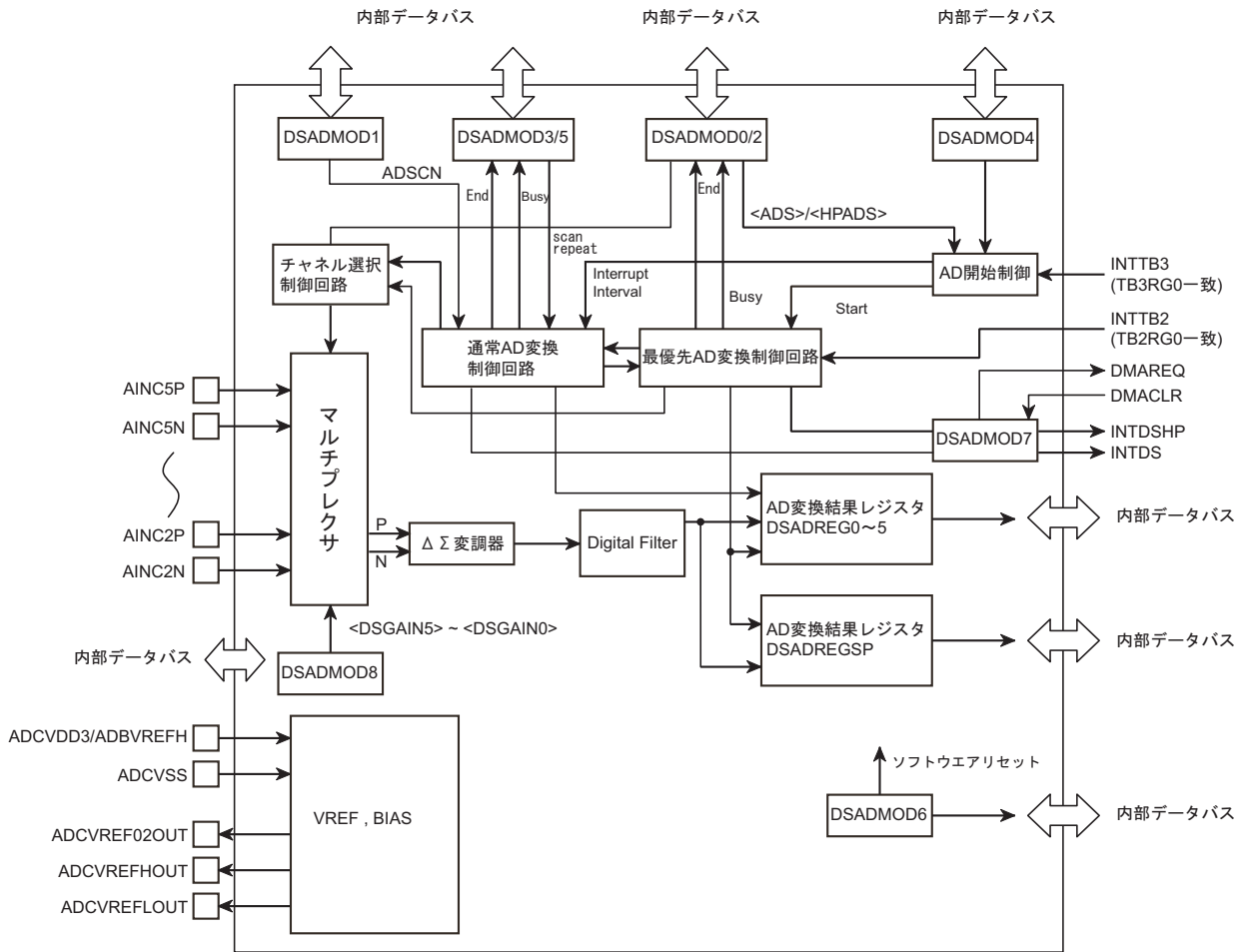


図 22-1 16ビット ΔΣADコンバータのブロック図

22.3 起動シーケンス

DSADC の起動シーケンスは、下図のようになります。

注) シーケンスどおりに動作させない場合には、リーク電流が流れたり、誤動作する可能性があります。

DSADC を使用しない場合、下記のとおり端子処理を行ってください。

- ADCVDD3 (ADBVREFH) は ADBVDD3 に接続
- ADCVREFHOUT は ADCVDD3(ADBVREFH) に接続 またはオープン
- ADCVREFLOUT は ADBVSS に接続 またはオープン
- ADCVREF02OUT はオープン

22.3.1 電源起動時のシーケンス

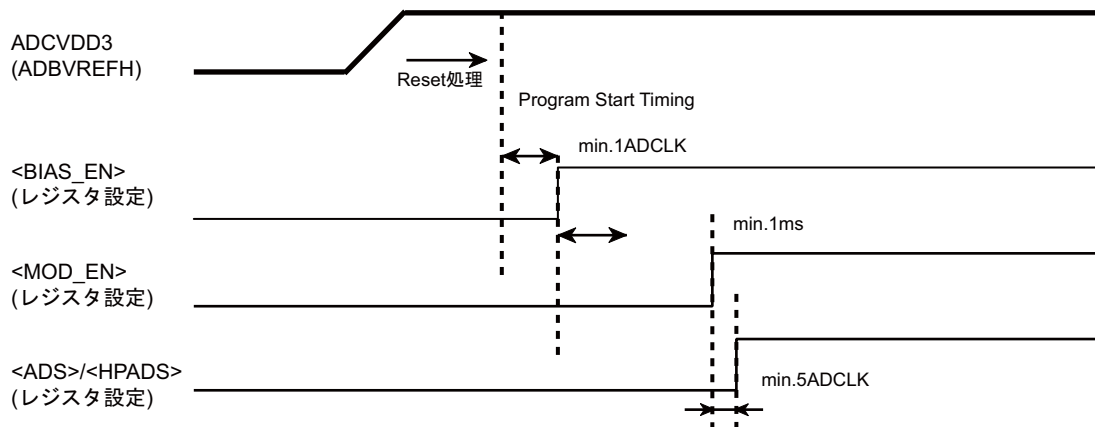
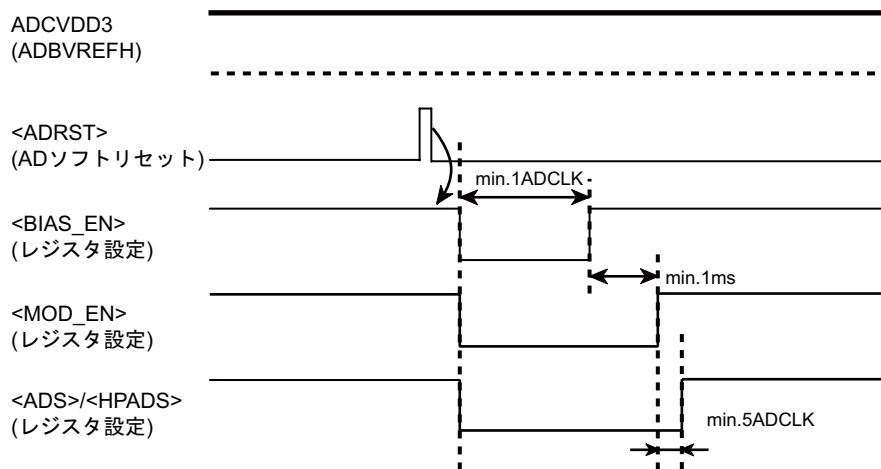


図 22-2 DSADC の電源投入から変換開始までの、レジスタ設定タイミング

注) ADCVDD3、DVDD3 端子の立ち上げ順序に制約はありません。ただし、ADC の ADCVDD3 端子は未使用時においても OPEN にはせず、規定の電源電圧を入力してください。

22.3.2 リセットから再起動シーケンス

図 22-3 16 ビット $\Delta\Sigma$ ADC のリセット～再起動シーケンス

22.3.3 変換中 → IDLE 時 → 変換中のシーケンス

- DSADMOD1<I2AD>=1 のとき
 <I2AD>=1 のときは、IDLE 中も変換を継続します。
- DSADMOD1<I2AD>=0 のとき
 <I2AD>=0 のときは、下記の動作となります
 1. IDLE モードに入り次第、変換を停止します。
 2. IDLE モードが解除されても、停止された変換は再開しません。
 3. IDLE モードが解除されてから 5 ADCLK 後に再起動が可能です。(IDLE 中のレジスタは保持)

注) IDLE への移行時、IDLE からの解除シーケンスは「クロック / モード制御」の章を参照願います。

22.3.4 変換中 →STOP1 時 → 変換中のシーケンス

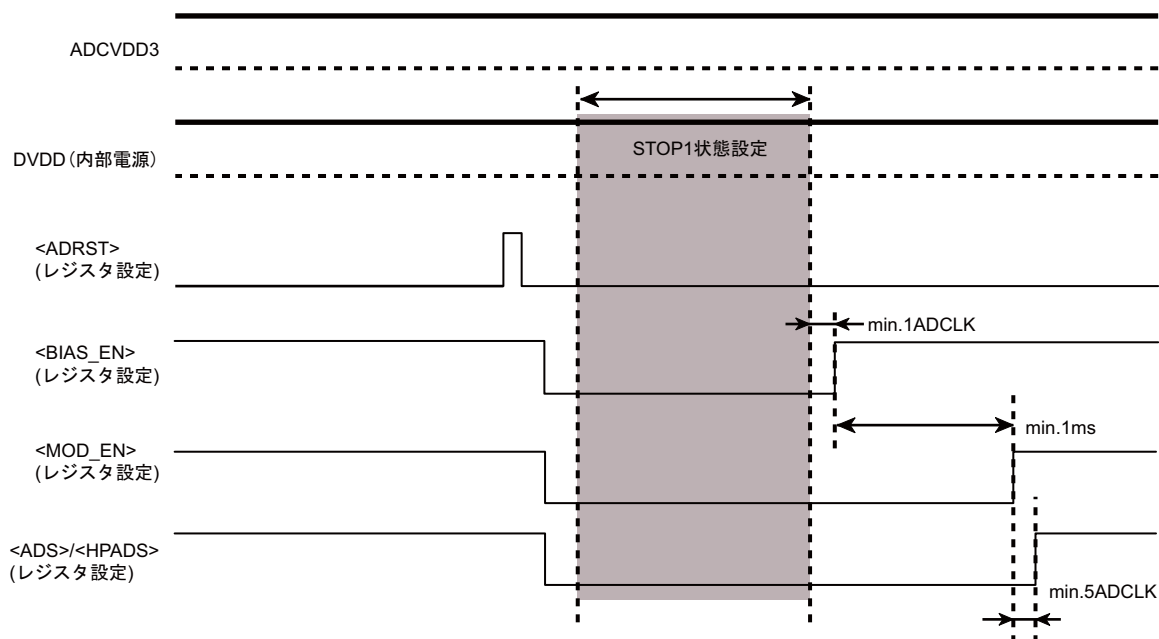


図 22-4 変換中 →STOP1→ 変換中のシーケンス

注) STOP1 への移行時、STOP1 からの解除シーケンスは「クロック/モード制御」の章を参照願います。

22.3.5 変換中 →STOP2 時 → 変換中のシーケンス

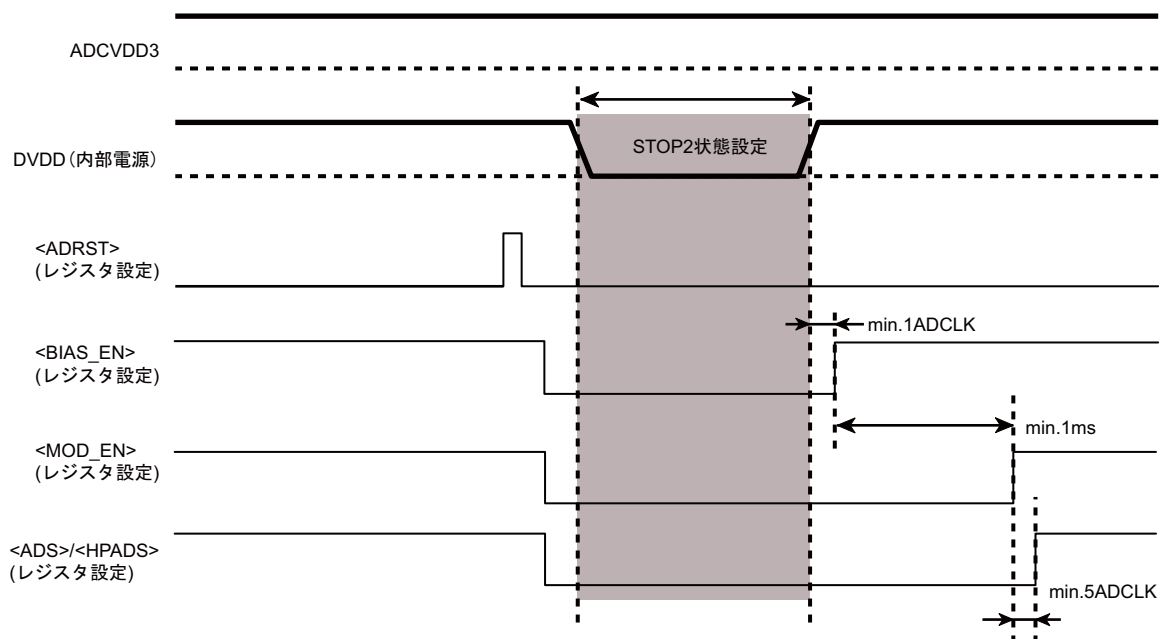


図 22-5 変換中 →STOP2→ 変換中のシーケンス

注) STOP2 への移行時、STOP1/STOP2 からの解除シーケンスは「クロック/モード制御」の章を参照願います。

22.4 入力レンジと AD 変換結果

DSADC は、差動の入力チャンネルを 4ch 搭載しています。シングルエンドの信号が入力される場合、差動信号が入力される場合での、信号振幅、AD 変換値の関係を図 22-6、図 22-7 に示します。

(下図説明の VREFH は ADCVDD3 端子に、AVSS は ADCVSS 端子、AINP,AINN は AINCnP,AINCnN 端子 (n=2 ~ 5) に相当します)

22.4.1 差動信号が入力された場合

差動信号が入力された場合、図 22-6 のとおり、入力振幅の最大値は AINCnP- AINCnN 端子 (図の AINP,AINN) の差動振幅で $4/3VREFH$ となります。このとき、ADC の振幅範囲としては、2 の補数表現 $0x8000 \sim 0x7FFF$ までの範囲となり、16 ビットとなります。

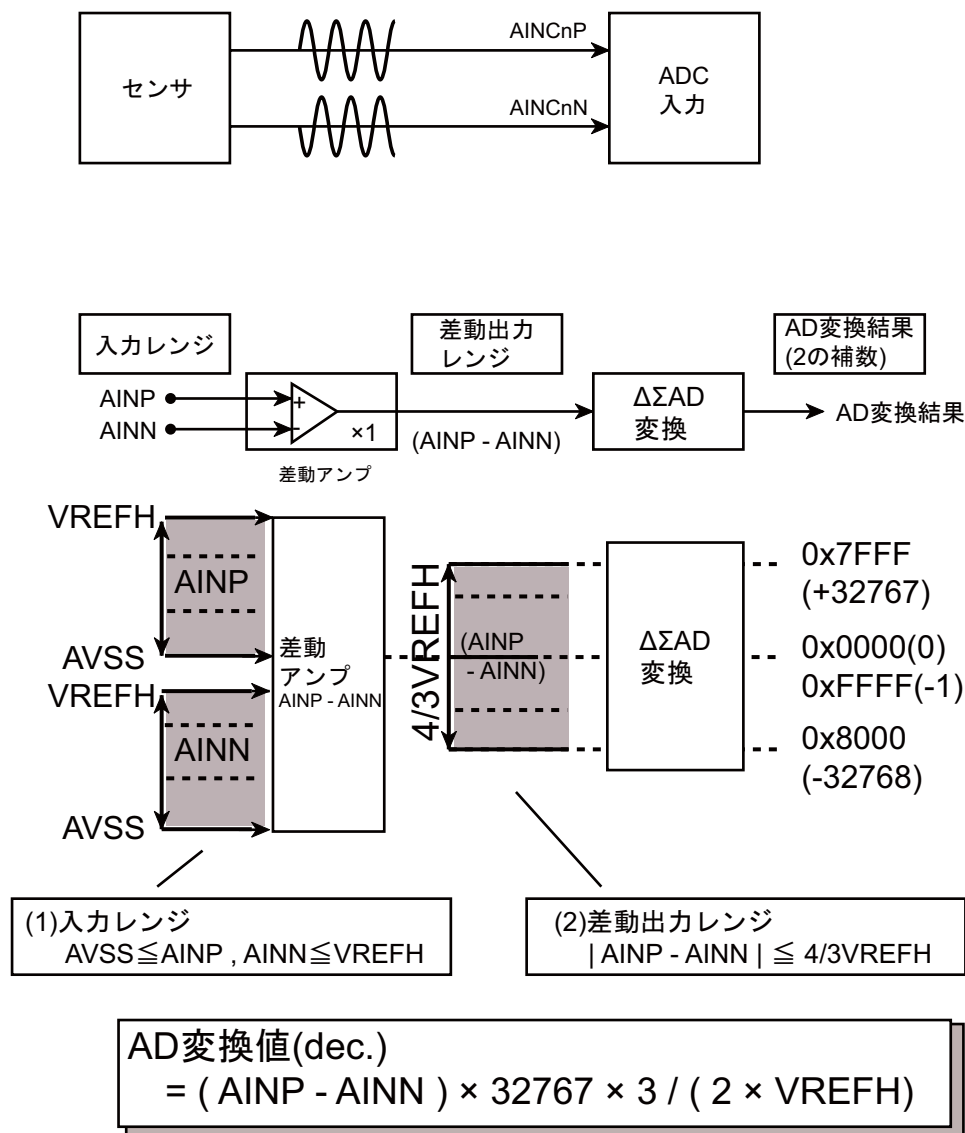


図 22-6 差動入力端子の差動入力信号、出力データの関係

22.4.2 シングルエンド信号が入力された場合

シングルエンドの信号が入力された場合、図 22-7 のとおり、入力振幅の最大値は AINCnP- AINCnN 端子 (図の AINP,AINN) の差動振幅で VREFH となります。このとき、ADC の振幅範囲としては、2 の補数表現 0xA000 ~ 0x5FFF までの範囲となり、15.6 ビット相当となります。

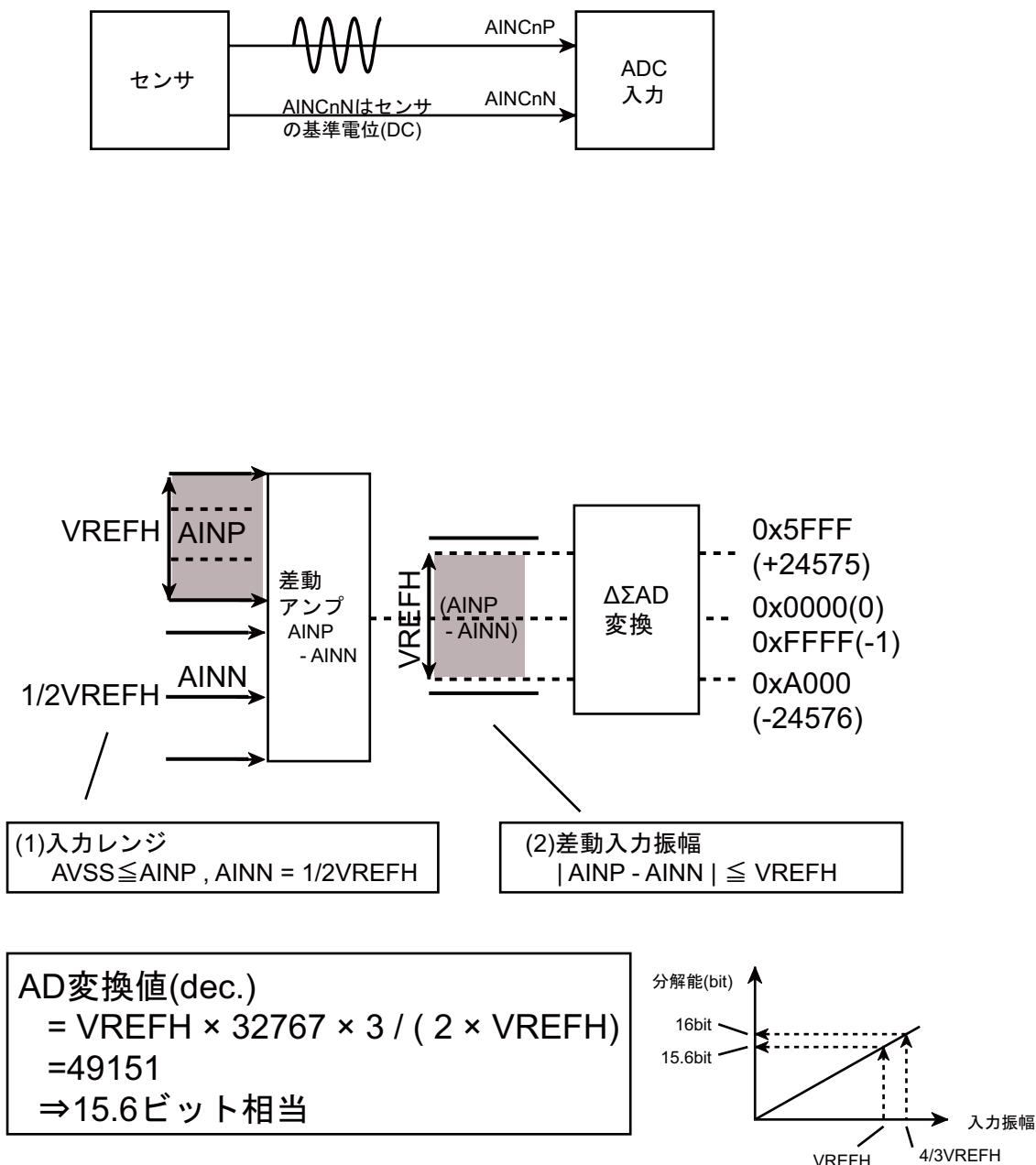


図 22-7 差動入力端子へのシングルエンド入力信号、出力データの関係

22.5 レジスタ説明

22.5.1 レジスタ一覧

AD コンバータの制御レジスタとアドレスは以下のとおりです。

PSC アクセスレジスタは、CPU アクセスレジスタのミラーレジスタとなっており、PSC より読み取り可能なリード専用レジスタとなっています。

CPU アクセスレジスタ

Base Address = 0x4006 _ 7000

レジスタ名		Address(Base+)
変換クロック設定レジスタ	DSADCLK	0x0000
モードコントロールレジスタ 0	DSADMOD0	0x0004
モードコントロールレジスタ 1	DSADMOD1	0x0008
モードコントロールレジスタ 2	DSADMOD2	0x000C
モードコントロールレジスタ 3	DSADMOD3	0x0010
モードコントロールレジスタ 4	DSADMOD4	0x0014
モードコントロールレジスタ 5	DSADMOD5	0x0018
モードコントロールレジスタ 6	DSADMOD6	0x001C
モードコントロールレジスタ 7	DSADMOD7	0x0020
モードコントロールレジスタ 8	DSADMOD8	0x0024
変換結果レジスタ 0	DSADREG0	0x0100
変換結果レジスタ 1	DSADREG1	0x0104
変換結果レジスタ 2	DSADREG2	0x0108
変換結果レジスタ 3	DSADREG3	0x010C
変換結果レジスタ 4	DSADREG4	0x0110
変換結果レジスタ 5	DSADREG5	0x0114
最優先変換結果格納レジスタ	DSADREGSP	0x0200

PSC アクセスレジスタ

Base Address = 0x4007 _ 7000

レジスタ名		Address(Base+)
変換結果レジスタ 0	DSAD _ MIRREG0	0x0100
変換結果レジスタ 1	DSAD _ MIRREG1	0x0104
変換結果レジスタ 2	DSAD _ MIRREG2	0x0108
変換結果レジスタ 3	DSAD _ MIRREG3	0x010C
変換結果レジスタ 4	DSAD _ MIRREG4	0x0110
変換結果レジスタ 5	DSAD _ MIRREG5	0x0114
最優先変換結果格納レジスタ	DSAD _ MIRREGSP	0x0200

PSC がアクセス可能なレジスタは Read Only となります。

22.5.2 レジスタ詳細

AD コンバータは、DSADCLK, DSADM0D0~ DSADM0D8 レジスタにより制御します。

AD 変換結果は、DSADREG0 - DSADREG5 の 6 個のレジスタに格納され、最優先変換結果は DSADREGSP に格納されます。

各レジスタの内容を説明します。

22.5.2.1 DSADCLK (変換クロック設定レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	ADCLK		
リセット後	0	0	0	0	0	0	1	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると "0" が読めます。
7-3	-	R	リードすると "0" が読めます。
2-0	ADCLK[2:0]	R/W	AD 変換クロック選択 001: fc/2 010: fc/4 上記以外の設定禁止

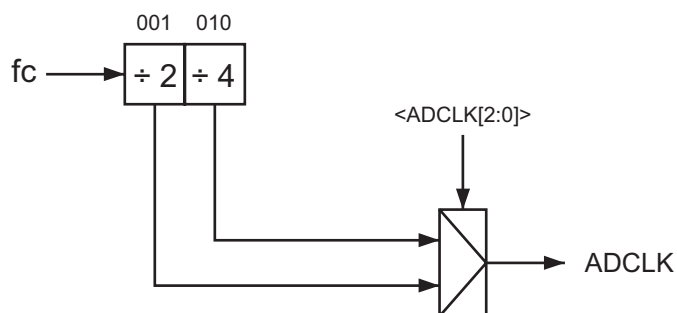


図 22-8 AD 変換クロック (ADCLK)

変換時間は、以下の計算式で求められます。

$$\text{変換時間} = \text{ADCLK} \times 660 + \text{固定遅延時間 [s]}$$

固定遅延時間は、以下の表の様に動作モード、変換回数別に異なります。

例えば、 $f_c=40\text{MHz}$ にて $f_c/4$ 選択時で、2 回目以降の場合 変換時間は $66\mu\text{s}$ です。

表 22-1 動作モード別の固定遅延時間

<REPAET>	<SCAN>	1 回目の変換時	2 回目以降の変換時
0	0	13 × ADCLK	-
0	1		0
1	0		
1	1		

注 1) ADCLK 33MHz で使用してください。

注 2) <ADCLK[2:0]> レジスタの変更は、AD 変換停止時で DSADMOD1<BIAS_EN>=<MOD_EN>=0 の状態で行ってください。

22.5.2.2 DSADMOD0 (モードコントロールレジスタ0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	HPADS	ADS
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると "0" が読めます。
7-2	-	R	リードすると "0" が読めます。
1	HPADS	W	<p>最優先 AD 変換スタート</p> <p>0: Don'tcare 1: 変換開始</p> <p>最優先 AD 変換開始を設定します。 リードすると "0" が読めます。</p>
0	ADS	W	<p>通常 (ソフト)AD 変換スタート</p> <p>0: Don't care 1: 変換開始</p> <p>通常 AD 変換開始を設定します。 リードすると "0" が読めます。</p>

- 注 1) 最優先 AD 変換実行中に通常 AD 変換スタートが要求されると、その要求は無視されます。
- 注 2) 通常 AD 変換中に、通常 AD 変換のスタート要求をしないでください。最優先 AD 変換中の最優先 AD 変換スタート要求も同様です。
- 注 3) 通常変換、最優先変換のスタート方法は 2 種類から選択できますが、各々いずれか 1 つのみを許可できます。2 つ以上を同時に許可しないでください。

22.5.2.3 DSADMOD1 (モードコントロールレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	BIAS_EN	I2AD	MOD_EN	-	HPADHWS	HPADHWE	ADHWS	ADHWE
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	-	リードすると "0" が読めます。
7	BIAS_EN	R/W	$\Delta\Sigma$ ADC の回路動作設定 0: OFF 1: ON $\Delta\Sigma$ ADC の回路動作を開始させ、ADC 変換可能な状態とします。
6	I2AD	R/W	IDLE モード時の動作設定 0: 停止 (変換中の動作を停止して IDLE モードへ移行) 1: 動作 (IDLE 中も動作) WFI (Wait For Interrupt) 命令実行時の動作を制御します。 変換途中の結果は無効。IDLE から復帰後は手動で再起動してください。
5	MOD_EN	R/W	$\Delta\Sigma$ 変調器の動作設定 0: OFF 1: ON $\Delta\Sigma$ 変調器の動作を制御し、ADC 変換可能な状態とします。
4	-	R/W	0 をライトしてください。
3	HPADHWS	R/W	最優先 AD 変換のハードウェア起動ソース選択 0: 設定禁止 1: タイマレジスタ 0 (TB2RG0) の一致
2	HPADHWE	R/W	ハードウェア要因による最優先 AD 変換起動 0: 禁止 1: 許可 ハードウェア要因による最優先 AD 起動を制御します。
1	ADHWS	R/W	通常 AD 変換のハードウェア起動ソース選択 0: 設定禁止 1: タイマレジスタ 0 (TB3RG0) の一致
0	ADHWE	R/W	ハードウェア要因による通常 AD 変換起動 0: 禁止 1: 許可 ハードウェア要因による通常 AD 変換起動を制御します。

注 1) ADC 変換開始する場合やスタンバイモードへ遷移するためのレジスタ設定には、設定手順待ち時間などの制約があります。詳細については 22.3 起動シーケンスを参照してください。

注 2) DSADMOD1<BIAS_EN>=0 のときは、DSADMOD6<ADRST> を使用したソフトウェアリセットはできません。

22.5.2.4 DSADMOD2 (モードコントロールレジスタ2)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	HPADCH				ADCH			
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	-	リードすると"0 値"が読めます。
7-4	HPADCH[3:0]	R/W	最優先 AD 変換時のアナログ入力チャネル選択 (下表参照) 0000 : Reserved 0001 : Reserved 0010 : AINC2 0011 : AINC3 0100 : AINC4 0101 : AINC5 0110-1111 : 設定禁止
3-0	ADCH[3:0]	R/W	通常 AD 変換時のアナログ入力チャネル選択 (下表参照) 0000 : Reserved 0001 : Reserved 0010 : AINC2 0011 : AINC3 0100 : AINC4 0101 : AINC5 0110-1111 : 設定禁止

表 22-2 最優先 AD 変換、通常 AD 変換時の入力チャンネル選択

<HPADCH[3:0]> <ADCH[3:0]>	最優先 / 通常 AD 変換時の アナログ入力チャンネル
0000	設定禁止
0001	
0010	
0011	
0100	
0101	
0110	設定禁止
0111	
1000	
1001	
1010	
1011	
1100	
1101	
1110	
1111	

22.5.2.5 DSADMOD3 (モードコントロールレジスタ3)

	31	30	29	28	27	26	25	24	
bit symbol	-	-	-	-	-	-	-	-	
リセット後	0	0	0	0	0	0	0	0	
	23	22	21	20	19	18	17	16	
bit symbol	-	-	-	-	-	-	-	-	
リセット後	0	0	0	0	0	0	0	0	
	15	14	13	12	11	10	9	8	
bit symbol	-	-	-	-	-	-	-	-	
リセット後	0	0	0	0	0	0	0	0	
	7	6	5	4	3	2	1	0	
bit symbol	-	ITM				-	-	REPEAT	SCAN
リセット後	0	0				0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	-	リードすると "0 値" が読めます。
7	-	R	リードすると "0" が読めます。
6-4	ITM[2:0]	R/W	<p>チャンネル固定リピート変換モード時の割り込み指定</p> <p>000 : 1 回毎、割り込み発生 001 : 2 回毎、割り込み発生 010 : 3 回毎、割り込み発生 011 : 4 回毎、割り込み発生 100 : 5 回毎、割り込み発生 101 : 6 回毎、割り込み発生 110, 111 : 設定禁止</p> <p>チャンネル固定リピートモード (<REPEAT>=1,<SCAN>=0) 時の割り込み発生タイミングを指定します。 このレジスタは他の動作モードでは無効です。 REPEAT=1 0 変更直後の AD 変換が終了した際には、AD 変換終了割り込みは発生しません。</p>
3-2	-	R	リードすると "0" が読めます。
1	REPEAT	R/W	<p>リピートモード設定</p> <p>0 : シングル変換 1 : リピート変換</p> <p>DSADMOD3<SCAN>=0, <REPEAT>=0 に設定すると、チャンネル固定シングルモードとなります。 DSADMOD3<SCAN>=0, <REPEAT>=1 に設定すると、チャンネル固定リピートモードとなります。 DSADMOD3<SCAN>=1, <REPEAT>=0 に設定すると、チャンネルスキャンシングルモードとなります。 DSADMOD3<SCAN>=1,<REPEAT>=1 に設定すると、チャンネルスキャンリピートモードとなります。</p> <p>リピート変換モードの動作を停止させたい場合は、<REPEAT> に "0" を書き込んでください。 実行中の変換を中断し、リピート変換モードを終了します。 その際、AD 変換終了割り込みは発生しません。 <REPEAT> ビット以外は書き換えないでください。 チャンネルスキャンシングルモードの動作を途中で停止させたい場合は、<SCAN> に "0" を書き込んでください。 実行中の AD 変換を中断し、終了します。その際、AD 変換終了割り込みは発生しません。</p>
0	SCAN	R/W	<p>スキャンモード設定</p> <p>0 : チャンネル固定 1 : チャンネルスキャン</p>

表 22-3 チャンネル固定リピートモードと格納レジスタ

DSADMOD2<ADCH> (チャンネル選択)	DSADMOD3<ITM>	DSADMOD3 <REPEAT><SCAN>	変換結果格納レジスタ
010 ~ 101 : AINC2 ~ AINC5	000 : 1 回変換するごとに、割り込み発生	10 : チャンネル固定 リピート変換	DSADREG0
	001 : 2 回変換するごとに、割り込み発生		DSADREG0 ~ DSADREG1
	010 : 3 回変換するごとに、割り込み発生		DSADREG0 ~ DSADREG2
	011 : 4 回変換するごとに、割り込み発生		DSADREG0 ~ DSADREG3
	100 : 5 回変換するごとに、割り込み発生		DSADREG0 ~ DSADREG4
	101 : 6 回変換するごとに、割り込み発生		DSADREG0 ~ DSADREG5

22.5.2.6 DSADMOD4 (モードコントロールレジスタ4)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SCANAREA				SCANSTA			
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	-	リードすると"0"が読めます。
7-4	SCANAREA [3:0]	R/W	<p>チャンネルスキャンの範囲</p> <p>0000 : 1ch スキャン 0001 : 2ch スキャン 0010 : 3ch スキャン 0011 : 4ch スキャン 0100 : Reserved 0101 : Reserved 0100 - 1111 : 設定禁止</p>
3-0	SCANSTA[3:0]	R/W	<p>チャンネルスキャンをスタートさせる先頭のチャンネル選択</p> <p>0000 : Reserved 0001 : Reserved 0010 : AINC2 0011 : AINC3 0100 : AINC4 0101 : AINC5 0110 ~ 1111 : 設定禁止</p> <p>チャンネルスキャンをスタートさせたいチャンネルを選択します。 次に、設定したスタートチャンネルからスキャンしたいチャンネル数を選択します(スタートチャンネルより、若いチャンネルのスキャン(4ch スキャン)は出来ません)。 例えば、DSADMOD4<SCANSTA[3:0]>=0010(AINC2), DSADMOD4 <SCANAREA[3:0]>=0011(4ch スキャン)を設定した場合、 AINC2 AINC3 AINC4 AINC5の順にチャンネルスキャンを行います。</p>

チャンネルスキャン設定範囲

DSADMOD4<SCANSTA[3:0]> (スタートチャンネル)	DSADMOD4<SCANAREA[3:0]> (設定可能なチャンネルスキャン範囲)	結果格納レジスタ
0000: 設定禁止	設定禁止	設定禁止
0001: 設定禁止	設定禁止	設定禁止
0010:AINC2	000 ~ 011(最大4ch スキャン可能)	DSADREG2 ~ DSADREG5
0011:AINC3	000 ~ 010(最大3ch スキャン可能)	DSADREG3 ~ DSADREG5
0100:AINC4	000 ~ 001(最大2ch スキャン可能)	DSADREG4 ~ DSADREG5
0101:AINC5	000(1ch スキャンのみ可能)	DSADREG5

注) 上記以外の設定は行わないでください。

22.5.2.7 DSADMOD5 (モードコントロールレジスタ 5)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	v
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	HPEOCF	HPADBF	EOCF	ADBF
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	-	リードすると "0" が読めます。
7-4	-	R	リードすると "0" が読めます。
3	HPEOCF	R	<p>最優先 AD 変換終了フラグ</p> <p>0: 変換前または変換中 1: 変換終了</p> <p>最優先 AD 変換終了フラグです。 < HPEOCF > は、読み出すことにより "0" にクリアされます。</p>
2	HPADBF	R	<p>最優先 AD 変換 BUSY フラグ</p> <p>0: 変換停止 1: 変換中</p> <p>最優先 AD 変換の BUSY フラグです。</p>
1	EOCF	R	<p>通常 AD 変換終了フラグ</p> <p>0: 変換前または変換中 1: 変換終了</p> <p>通常 AD 変換終了フラグです。 < EOCF > は、読み出すことにより "0" にクリアされます。</p>
0	ADBF	R	<p>通常 AD 変換 BUSY フラグ</p> <p>0: 変換停止 1: 変換中</p> <p>通常 AD 変換の BUSY フラグです。</p>

<EOCF>,<ADBF> の動作モード別のセット、クリア条件、および割込み発生タイミングを下表にまとめます。

表 22-4 通常 AD 変換モードと割り込み発生タイミング，フラグ動作の関係

変換モード	スキャン/リピートモード設定 (DSADMOD0)			割り込み発生 タイミング	DSADMOD5<EOCF>		DSADMOD5<ADBF>	
	<REPEAT>	<SCAN>	<ITM[3:0]>		セット条件 (注 1)(注 2)	クリア条件	セット条件	クリア条件
チャンネル固定 シングル変換	0	0	-	変換終了後	変換終了後	<EOCF> リード	変換開始後	変換終了後
チャンネル固定 リピート変換	1	0	000	1 回変換ごと	1 回変換ごと			<REPEAT>=0 ライトを行い、 実行中の 変換終了後
			001	2 回変換ごと	2 回変換ごと			
			010	3 回変換ごと	3 回変換ごと			
			011	4 回変換ごと	4 回変換ごと			
			100	5 回変換ごと	5 回変換ごと			
		101	6 回変換ごと	6 回変換ごと				
チャンネルスキャン シングル変換	0	1	-	スキャン変換 終了後	スキャン変換 終了後			スキャン変換 終了後
チャンネルスキャン リピート変換	1	1	-	1 回のスキャン 変換終了後	1 回のスキャン 変換終了ごと			<REPEAT>=0 ライトを行い、 実行中の 変換終了後

注 1) DSADMOD5<EOCF>,<ADBF> は、DSADMOD6<ADRST> でのソフトリセットまたはシステムリセットでもクリアされます。

注 2) スタンバイモードにより電源電流を低減させる場合、<ADBF>,<HPADBF> が共に "0" であること (AD 変換停止状態) を確認後にスタンバイモードに遷移する命令を実行してください。

表 22-5 最優先 AD 変換モードと割り込み発生タイミング，フラグ動作の関係

変換モード	スキャン/リピートモード設定 (DSADMOD0)			割り込み発生 タイミング	DSADMOD5<HPEOCF>		DSADMOD5<HPADBF>	
	<REPEAT>	<SCAN>	<ITM[3:0]>		セット条件 (注 1)(注 2)	クリア条件	セット条件	クリア条件
最優先変換	-	-	-	最優先変換 終了後	最優先変換 終了後	<HPEOCF> リード	最優先変換 開始後	最優先変換 終了後

注 1) DSADMOD5<HPEOCF>,<HPADBF> は、DSADMOD6<ADRST> でのソフトリセットまたはシステムリセットでもクリアされます。

注 2) スタンバイモードにより電源電流を低減させる場合、<ADBF>,<HPADBF> が共に "0" であること (AD 変換停止状態) を確認後にスタンバイモードに遷移する命令を実行してください。

22.5.2.8 DSADMOD6 (モードコントロールレジスタ 6)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	ADRST	
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると "0 値" が読めます。
7-2	-	R	リードすると "0" が読めます。
1-0	ADRST[1:0]	W	10 01 のライトで ADC を Software Reset します。 DSADCLK レジスタ [2:0] 以外のレジスタは、全て初期化されます。

注) AD 変換終了割り込みを利用して DMA 転送を行う場合、DSADMOD6<ADRST[1:0]> を使用してソフトウェアリセットを行ってから、DMAC を動作させ (DMA 要求待機状態)、ADC の設定 (開始) を行ってください。

22.5.2.9 DSADMOD7 (モードコントロールレジスタ7)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	INTADHPDMA	INTADDMA
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	-	リードすると "0" が読めます。
7-4	-	R	リードすると "0" が読めます。
3-2	-	R/W	常に "0" をライトしてください。
1	INTADHPDMA	R/W	<p>最優先 AD 変換 DMA 起動要因設定</p> <p>0: 禁止 1: 許可</p> <p>最優先 AD 変換終了割り込み (INTDSHP) をトリガに、DMAC を起動することが可能です。</p>
0	INTADDMA	R/W	<p>通常 AD 変換 DMA 起動要因設定</p> <p>0: 禁止 1: 許可</p> <p>通常 AD 変換終了割り込み (INTDS) をトリガに、DMAC を起動することが可能です。</p>

22.5.2.10 DSADMOD8 (モードコントロールレジスタ 8)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	DSGAIN5		DSGAIN4	
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	DSGAIN3		DSGAIN2		DSGAIN1		DSGAIN0	
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると "0" が読めます。
15-12	-	R	リードすると "0" が読めます。
11-10	DSGAIN5[1:0]	R/W	AINC5 の初段アンプ利得設定 00 : x1 01 : x2 10 : x4 11 : x8
9-8	DSGAIN4[1:0]	R/W	AINC4 の初段アンプ利得設定 00 : x1 01 : x2 10 : x4 11 : x8
7-6	DSGAIN3[1:0]	R/W	AINC3 の初段アンプ利得設定 00 : x1 01 : x2 10 : x4 11 : x8
5-4	DSGAIN2[1:0]	R/W	AINC2 の初段アンプ利得設定 00 : x1 01 : x2 10 : x4 11 : x8
3-2	DSGAIN1[1:0]	R/W	00 : x1 01 : Reserved 10 : Reserved 11 : Reserved 00 以外は設定不可
1-0	DSGAIN0[1:0]	R/W	00 : x1 01 : Reserved 10 : Reserved 11 : Reserved 00 以外は設定不可

注 1) <DSGAIN0[1:0]> ~ <DSGAIN5[1:0]> は、DSADC の初段の利得切り替えを行います。

注 2) DSADC は 22.4 章で示した入力レンジによる入力振幅制限を受けます。DSGAIN にて初段利得をあげた場合、入力レンジは 1 / 利得となります。

22.5.2.11 DSADREG0 (変換結果レジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	ADOVR0F	ADROF
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ADRO							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ADRO							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-18	-	R	リードすると "0" が読めます。
17	ADOVR0F	R	Over Run フラグ 0: 発生なし 1: 発生あり AD 変換結果レジスタ (DSADREG0) を読み出す前に AD 変換結果が上書きされると "1" にセットされます。 このフラグは DSADREG0 レジスタをリードすると "0" にクリアされます。
16	ADROF	R/W	AD 変換結果格納フラグ 0: 変換結果なし 1: 変換結果あり AD 変換値が格納されると "1" にセットされます。 このフラグは DSADREG0 レジスタをリードすると "0" にクリアされます。
0-15	ADRO[15:0]	R	AD 変換結果値格納レジスタ 16 ビットの通常 AD 変換結果が格納されます。 AD 変換中に ADREG0 レジスタをリードすると前回の変換結果がリードされます。 AD 変換結果は、2 の補数表現の値で出力されます。 入力信号と AD 変換結果との関係は、22.4 章のとおりです。

22.5.2.12 DSADREG1 (変換結果レジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	ADOVR1F	ADR1F
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ADR1							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ADR1							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-18	-	R	リードすると "0" が読めます。
17	ADOVR1F	R	Over Run フラグ 0: 発生なし 1: 発生あり AD 変換結果レジスタ (DSADREG1) を読み出す前に AD 変換結果が上書きされると "1" にセットされます。このフラグは DSADREG1 レジスタをリードすると "0" にクリアされます。
16	ADR1F	R/W	AD 変換結果格納フラグ 0: 変換結果なし 1: 変換結果あり AD 変換値が格納されると "1" にセットされます。このフラグは DSADREG1 レジスタをリードすると "0" にクリアされます。
0-15	ADR1[15:0]	R	AD 変換結果値格納 16 ビットの通常 AD 変換結果が格納されます。 AD 変換中に ADREG1 レジスタをリードすると前回の変換結果がリードされます。 AD 変換結果は、2 の補数表現の値で出力されます。 入力信号と AD 変換結果との関係は、22.4 章のとおりです。

22.5.2.13 DSADREG2 (変換結果レジスタ 2)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	ADOVR2F	ADR2F
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ADR2							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ADR2							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-18	-	R	リードすると "0" が読めます。
17	ADOVR2F	R	Over Run フラグ 0: 発生なし 1: 発生あり AD 変換結果レジスタ (DSADREG2) を読み出す前に AD 変換結果が上書きされると "1" にセットされます。 このフラグは DSADREG2 レジスタをリードすると "0" にクリアされます。
16	ADR2F	R/W	AD 変換結果格納フラグ 0: 変換結果なし 1: 変換結果あり AD 変換値が格納されると "1" にセットされます。 このフラグは DSADREG2 レジスタをリードすると "0" にクリアされます。
0-15	ADR2[15:0]	R	AD 変換結果値格納 16 ビットの通常 AD 変換結果が格納されます。 AD 変換中に ADR2 レジスタをリードすると前回の変換結果がリードされます。 AD 変換結果は、2 の補数表現の値で出力されます。 入力信号と AD 変換結果との関係は、22.4 章のとおりです。

22.5.2.14 DSADREG3 (変換結果レジスタ 3)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	ADOVR3F	ADR3F
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ADR3							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ADR3							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-18	-	R	リードすると "0" が読めます。
17	ADOVR3F	R	Over Run フラグ 0: 発生なし 1: 発生あり AD 変換結果レジスタ (DSADREG3) を読み出す前に AD 変換結果が上書きされると "1" にセットされます。このフラグは DSADREG3 レジスタをリードすると "0" にクリアされます。
16	ADR3F	R/W	AD 変換結果格納フラグ 0: 変換結果なし 1: 変換結果あり AD 変換値が格納されると "1" にセットされます。このフラグは DSADREG3 レジスタをリードすると "0" にクリアされます。
0-15	ADR3[15:0]	R	AD 変換結果値格納 16 ビットの通常 AD 変換結果が格納されます。 AD 変換中に ADREG3 レジスタをリードすると前回の変換結果がリードされます。 AD 変換結果は、2 の補数表現の値で出力されます。 入力信号と AD 変換結果との関係は、22.4 章のとおりです。

22.5.2.15 DSADREG4 (変換結果レジスタ 4)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	ADOVR4F	ADR4F
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ADR4							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ADR4							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-18	-	R	リードすると "0" が読めます。
17	ADOVR4F	R	Over Run フラグ 0: 発生なし 1: 発生あり AD 変換結果レジスタ (DSADREG4) を読み出す前に AD 変換結果が上書きされると "1" にセットされます。 このフラグは DSADREG4 レジスタをリードすると "0" にクリアされます。
16	ADR4F	R/W	AD 変換結果格納フラグ 0: 変換結果なし 1: 変換結果あり AD 変換値が格納されると "1" にセットされます。 このフラグは DSADREG4 レジスタをリードすると "0" にクリアされます。
0-15	ADR4[15:0]	R	AD 変換結果値 0 ビット格納 16 ビットの通常 AD 変換結果が格納されます。 AD 変換中に ADREG4 レジスタをリードすると前回の変換結果がリードされます。 AD 変換結果は、2 の補数表現の値で出力されます。 入力信号と AD 変換結果との関係は、22.4 章のとおりです。

22.5.2.16 DSADREG5 (変換結果レジスタ 5)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	ADOVR5F	ADR5F
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ADR5							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ADR5							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-18	-	R	リードすると "0" が読めます。
17	ADOVR5F	R	Over Run フラグ 0: 発生なし 1: 発生あり AD 変換結果レジスタ (DSADREG5) を読み出す前に AD 変換結果が上書きされると "1" にセットされます。このフラグは DSADREG5 レジスタをリードすると "0" にクリアされます。
16	ADR5F	R/W	AD 変換結果格納フラグ 0: 変換結果なし 1: 変換結果あり AD 変換値が格納されると "1" にセットされます。このフラグは DSADREG5 レジスタをリードすると "0" にクリアされます。
0-15	ADR5[15:0]	R	AD 変換結果値 0 ビット格納 16 ビットの通常 AD 変換結果が格納されます。 AD 変換中に ADREG5 レジスタをリードすると前回の変換結果がリードされます。 AD 変換結果は、2 の補数表現の値で出力されます。 入力信号と AD 変換結果との関係は、22.4 章のとおりです。

22.5.2.17 DSAD_MIRREG0 (PSC リード専用通常 AD 変換結果格納レジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ADRM0							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ADRM0							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると "0" が読めます。
0-15	ADRM0[15:0]	R	最優先 AD 変換結果値格納 16 ビットの通常 AD 変換結果が格納されます。 AD 変換中に DSAD_MIRREG0 レジスタをリードすると前回の変換結果がリードされます。 AD 変換結果は、2 の補数表現の値で出力されます。 入力信号と AD 変換結果との関係は、22.4 章のとおりです。

22.5.2.18 DSAD_MIRREG1 (PSC リード専用通常 AD 変換結果格納レジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ADRM1							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ADRM1							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると "0" が読めます。
0-15	ADRM1[15:0]	R	最優先 AD 変換結果値格納 16 ビットの通常 AD 変換結果が格納されます。 AD 変換中に DSAD_MIRREG1 レジスタをリードすると前回の変換結果がリードされます。 AD 変換結果は、2 の補数表現の値で出力されます。 入力信号と AD 変換結果との関係は、22.4 章のとおりです。

22.5.2.19 DSAD _ MIRREG2 (PSC リード専用通常 AD 変換結果格納レジスタ 2)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ADRM2							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ADRM2							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると "0" が読めます。
0-15	ADRM2[15:0]	R	最優先 AD 変換結果値格納 16 ビットの通常 AD 変換結果が格納されます。 AD 変換中に DSAD _ MIRREG2 レジスタをリードすると前回の変換結果がリードされます。 AD 変換結果は、2 の補数表現の値で出力されます。 入力信号と AD 変換結果との関係は、22.4 章のとおりです。

22.5.2.20 DSAD _ MIRREG3 (PSC リード専用通常 AD 変換結果格納レジスタ 3)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ADRM3							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ADRM3							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると "0" が読めます。
0-15	ADRM3[15:0]	R	最優先 AD 変換結果値格納 16 ビットの通常 AD 変換結果が格納されます。 AD 変換中に DSAD _ MIRREG3 レジスタをリードすると前回の変換結果がリードされます。 AD 変換結果は、2 の補数表現の値で出力されます。 入力信号と AD 変換結果との関係は、22.4 章のとおりです。

22.5.2.21 DSAD _ MIRREG4 (PSC リード専用通常 AD 変換結果格納レジスタ 4)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ADRM4							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ADRM4							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると "0" が読めます。
0-15	ADRM4[15:0]	R	<p>最優先 AD 変換結果値格納</p> <p>16 ビットの通常 AD 変換結果が格納されます。</p> <p>AD 変換中に DSAD _ MIRREG4 レジスタをリードすると前回の変換結果がリードされます。</p> <p>AD 変換結果は、2 の補数表現の値で出力されます。</p> <p>入力信号と AD 変換結果との関係は、22.4 章のとおりです。</p>

22.5.2.22 DSAD _ MIRREG5 (PSC リード専用通常 AD 変換結果格納レジスタ 5)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ADRM5							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ADRM5							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると "0" が読めます。
0-15	ADRM5[15:0]	R	<p>最優先 AD 変換結果値格納</p> <p>16 ビットの通常 AD 変換結果が格納されます。</p> <p>AD 変換中に DSAD _ MIRREG5 レジスタをリードすると前回の変換結果がリードされます。</p> <p>AD 変換結果は、2 の補数表現の値で出力されます。</p> <p>入力信号と AD 変換結果との関係は、22.4 章のとおりです。</p>

22.5.2.23 DSADREGSP (最優先変換結果格納レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	ADOVRF	ADRFSP
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	SPADR							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SPADR							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-18	-	R	リードすると "0" が読めます。
17	ADOVRF	R	Over Run フラグ 0 : 発生なし 1 : 発生あり 最優先 AD 変換結果レジスタ (DSADREGSP) を読み出す前に AD 変換結果が上書きされると "1" にセットされます。 このフラグは DSADREGSP レジスタをリードすると "0" にクリアされます。
16	ADRFSP	R/W	最優先 AD 変換結果格納フラグ 0 : 変換結果なし 1 : 変換結果あり 最優先 AD 変換値が格納されると "1" にセットされます。 このフラグは DSADREGSP レジスタをリードすると "0" にクリアされます。
0-15	SPADR[15:0]	R	最優先 AD 変換結果値 0-15 ビット格納 16 ビットの最優先 AD 変換結果が格納されます。 AD 変換中に DSADREGSP レジスタをリードすると前回の変換結果がリードされます。

22.5.2.24 DSAD _ MIRREGSP (PSC リード専用 最優先変換結果格納レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	SPADRM							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SPADRM							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	–	R	リードすると "0" が読めます。
0-15	SPADRM0 [15:0]	R	最優先 AD 変換結果値格納 16 ビットの最優先 AD 変換結果が格納されます。 AD 変換中に DSAD_MIRREGSP レジスタをリードすると前回の変換結果がリードされます。

22.6 その他

22.6.1 最優先 AD 変換

通常 AD 変換中に最優先 AD 変換の要求を行うと、通常 AD 変換を停止し DSADMOD2<HPADCH[3:0]> で選択されたアナログ入力チャンネルの変換を 1 回のみ実行します。

最優先 AD 変換終了後は、通常 AD 変換も停止状態です。このとき、中断された通常変換のフラグはクリアされません。次回通常変換開始前にフラグクリアする必要があります。

以下に、例を示します。

(例) 下記の設定を行った場合

- DSADM3<REPEAT><SCAN>="11"(スキャンリピートモード)
- DSADM2<HPADCH[3:0]>="0011"(最優先 AD 変換チャンネル指定 :ch3)
- DSADM4<SCANAREA[3:0]>="0011"(通常 AD 変換チャンネルスキャン範囲 :4ch スキャン)
- DSADM4<SCANSTA[3:0]>="0010" (通常 AD 変換開始チャンネル :ch2)

通常 AD 変換動作中に、下図のタイミングにて最優先 AD 変換が起動された場合、直ちに現在変換中の通常 AD 変換 (ch5) を停止し最優先 AD 変換 (ch3) が起動されます。

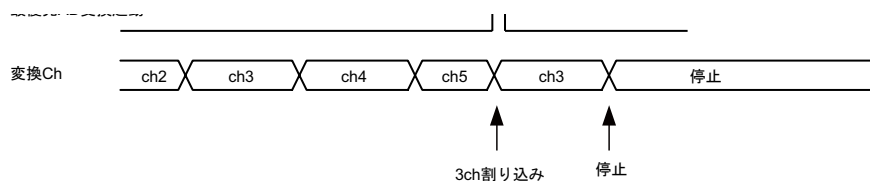


図 22-9 最優先 AD 変換の例

22.6.2 DMA 要求

通常 AD 変換終了割り込み (INTDS)、最優先 AD 変換終了割り込み (INTDSHP) 発生後、DMAC に対して DMA 要求を発行します。DSADM7 レジスタにて、上記割り込みが発生した場合の DMA 要求を許可 / 禁止に設定することが可能です。

22.6.3 データポーリング

割り込みを使用せずにデータポーリングで AD 変換結果を処理する場合は DSADM5<EOCF> をポーリングしてください。このフラグがセットされた場合は、所定の AD 変換結果格納レジスタに変換結果が格納されていますので、セットを確認後に AD 変換格納レジスタを読み出してください。

22.6.4 AD コンバータ使用時の注意

電源電圧の変動や周囲のノイズの影響によって AD 変換結果がばらつくことがあります。AD 変換中に AD 入力に兼用となっている端子への入力及び端子出力を変化させる、または AD 変換中に出力ポートに設定している端子の出力電流が変動すると AD 変換精度が低下することがあります。プログラムで複数回の変換結果の平均値をとるなどして対策して下さい。

第 23 章 デジタルアナログコンバータ (DAC)

TMPM342FYXBG はデジタルアナログコンバータを 2 チャンネル内蔵しています。

23.1 機能概要

- 分解能 10 ビット
- バッファアンプ内蔵
- パワーダウン機能内蔵

23.2 ブロック図

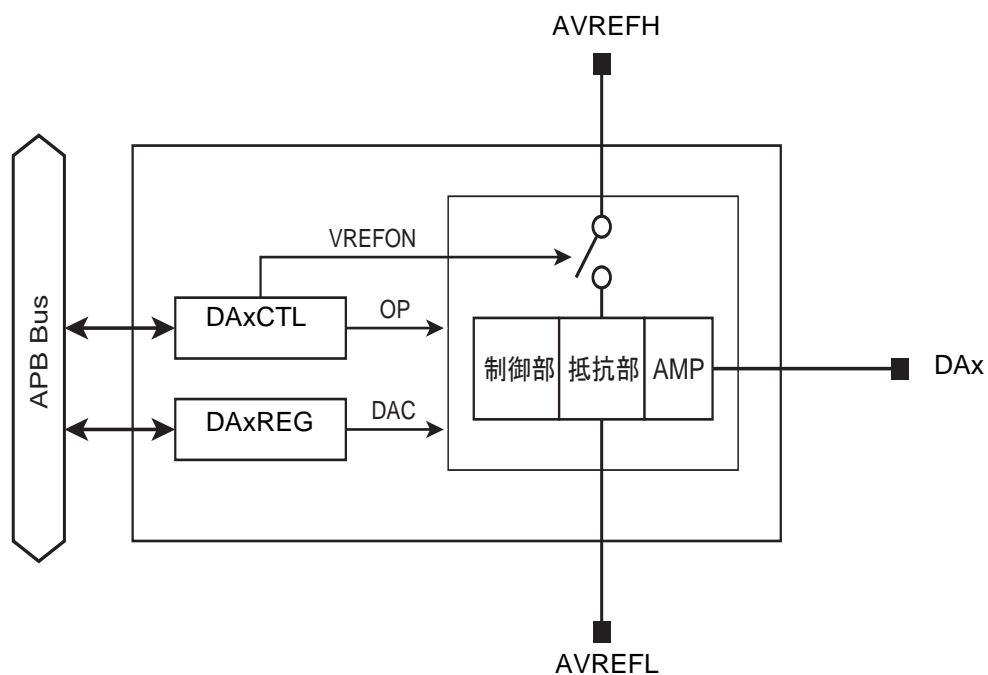


図 23-1 DAC ブロック図

23.3 レジスタ説明

23.3.1 レジスタ一覧

Channel x	Base Address
Channel0	0x4005 _ 4000
Channel1	0x4005 _ 5000

レジスタ名 (x=0-1)		Address(Base+)
コントロールレジスタ	DAxCTL	0x0000
出力レジスタ	DAxREG	0x0004
Reserved	-	0x0010
Reserved	-	0x0030

注) "Reserved" 表記のアドレスにはアクセスしないでください。

23.3.2 DAxCTL(コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	VREFON	OP
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	-	R	リードすると 0 が読めます。
1	VREFON	R/W	VREF 制御 0: VREF off 1: VREF on "1" に設定すると AVREFH を DAC 回路に接続します。
0	OP	R/W	DAC 動作 0: 停止 1: 動作 DAC 動作を制御します。"1" に設定すると出力端子 Dax に DAxREG レジスタで設定した電圧を出力します。"0" に設定すると動作が停止し、出力は Hi-Z になります。

23.3.3 DAXREG(出力レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	DAC	
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	DAC							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-10	-	R	リードすると 0 が読めます。
9-0	DAC[9:0]	R/W	変換値設定 出力するアナログ電圧値を設定します。出力電圧は以下の式で表されます。 $DAX = DA \times (AVREFH - AVREFL) / 1024$

23.4 動作説明

23.4.1 設定方法

DAxCTL<OP><VREFON> を "11" に設定し、DAxREG に変換値を設定することにより、設定値に対応した電圧が DAx に出力されます。

23.4.2 低消費電力モード

DAxCTL<VREFON> を "0" に設定することにより VREF をカットし、VREF は AVREFL と同電位となり消費電流を削減することができます。また、DAxCTL<OP> を "0" に設定することにより DAC は動作を停止し、DAx 出力は Hi-Z になります。

低消費電力モードに移行する際は、DAxCTL<OP><VREFON> を "00" に設定してください。

第 24 章 ウォッチドッグタイマ (WDT)

ウォッチドッグタイマは、ノイズなどの原因により CPU が誤動作（暴走）を始めた場合、これを検出し正常な状態に戻すことを目的としています。

暴走を検出した場合、INTWDT 割り込みを発生またはマイコンをリセットします。

注) INTWDT 割り込みはマスク不能割り込み (NMI) 要因のひとつです。

また、外部周辺装置に対しては、ウォッチドッグタイマアウト端子 ($\overline{\text{WDTOUT}}$) より "Low" を出力して暴走の検出を知らせます。

注) 本製品にはウォッチドッグタイマアウト端子 ($\overline{\text{WDTOUT}}$) はありません。

24.1 構成

図 24-1 にウォッチドッグタイマのブロック図を示します。

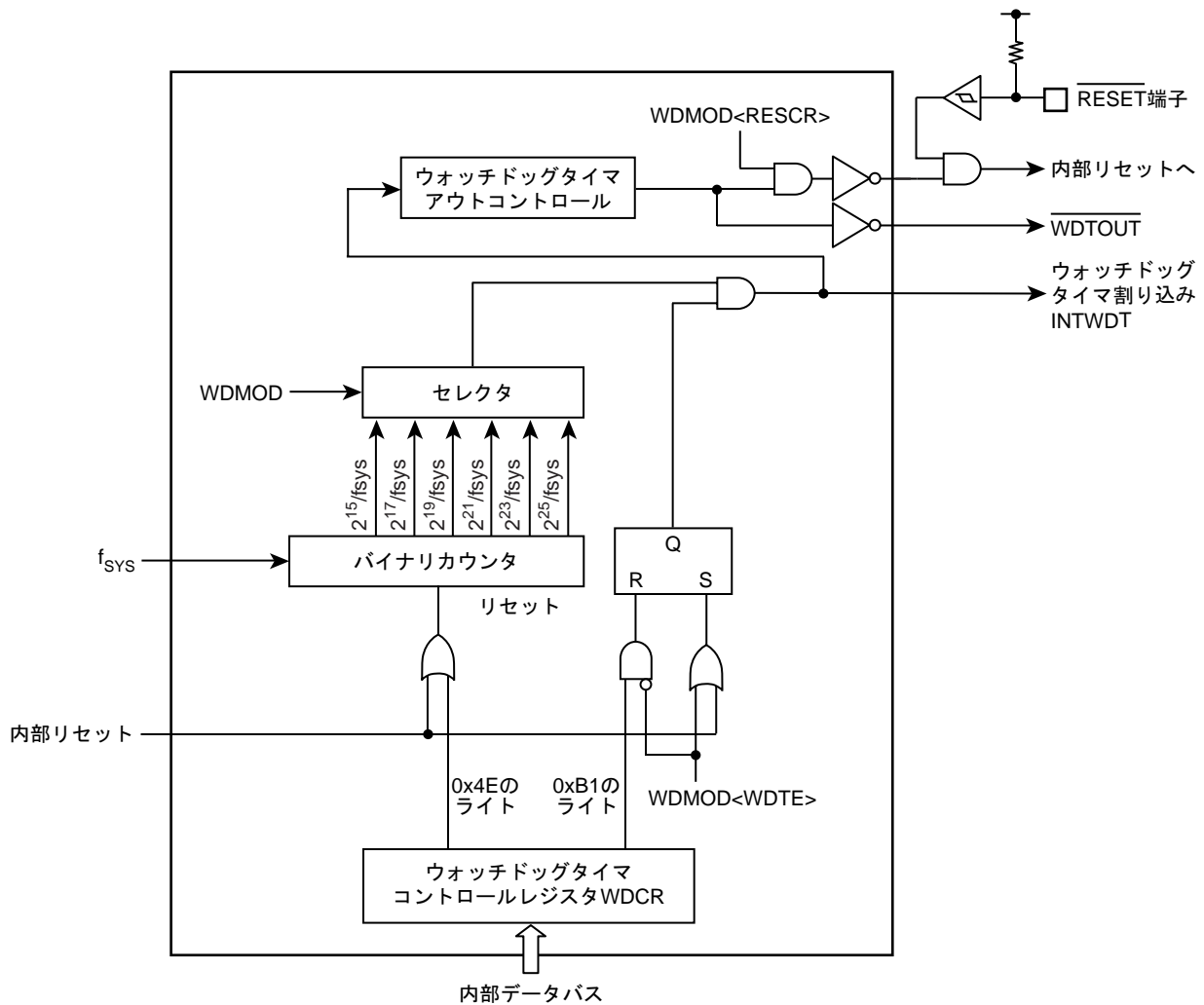


図 24-1 ウォッチドッグタイマのブロック図

24.2 レジスタ一覧

ウォッチドッグタイマの制御レジスタとアドレスは以下の通りです。

Base Address = 0x400F_2000

レジスタ名		Address(Base+)
ウォッチドッグタイマモードレジスタ	WDMOD	0x0000
ウォッチドッグタイマコントロールレジスタ	WDCR	0x0004

24.2.1 WDMOD(ウォッチドッグタイマモードレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	WDTE	WDTP			-	I2WDT	RESCR	-
リセット後	1	0	0	0	0	0	1	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると "0" が読めます。
7	WDTE	R/W	許可 / 禁止制御 0: 禁止 1: 許可
6-4	WDTP[2:0]	R/W	検出時間の選択 (表 24-1 を参照) 000: $2^{15}/f_{SYS}$ 100: $2^{23}/f_{SYS}$ 001: $2^{17}/f_{SYS}$ 101: $2^{25}/f_{SYS}$ 010: $2^{19}/f_{SYS}$ 110: 設定禁止 011: $2^{21}/f_{SYS}$ 111: 設定禁止
3	-	R	リードすると "0" が読めます。
2	I2WDT	R/W	IDLE 時の動作 0: 停止 1: 動作
1	RESCR	R/W	暴走検出後の動作 0: INTWDT 割り込み要求を発生します。(注) 1: マイコンをリセットします。
0	-	R/W	"0" をライトしてください。

注) INTWDT 割り込みはマスク不能割り込み (NMI) 要因のひとつです。

表 24-1 ウォッチドッグタイマの検出時間 (fc = 40MHz)

クロックギア値 CGSYSR<GEAR[2:0]>	WDMOD<WDTP[2:0]>					
	000	001	010	011	100	101
000 (fc)	0.82 ms	3.28 ms	13.11 ms	52.43 ms	209.72 ms	838.86 ms
100 (fc/2)	1.63 ms	6.55 ms	26.21 ms	104.86 ms	419.43 ms	1.68 s
101 (fc/4)	3.28 ms	13.11 ms	52.43 ms	209.72 ms	838.86 ms	3.36 s
110 (fc/8)	6.55 ms	26.21 ms	104.86 ms	419.43 ms	1.68 s	6.71 s
111 (fc/16)	13.12 ms	52.43 ms	209.72 ms	838.86 ms	3.36 s	13.42 s

24.2.2 WDCR(ウォッチドッグタイムコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	WDCR							
リセット後	-	-	-	-	-	-	-	-

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-0	WDCR	W	ディセーブル/クリアコード 0xB1: ディセーブルコード 0x4E: クリアコード 上記以外: Reserved

24.3 動作説明

24.3.1 基本動作

ウォッチドッグタイマは、システムクロック f_{sys} を入力クロックとするバイナリカウンタで構成されています。検出時間は WDMOD<WDTP[2:0]> によって 2^{15} , 2^{17} , 2^{19} , 2^{21} , 2^{23} および 2^{25} から選択します。検出時間経過後にウォッチドッグタイマ割り込み (INTWDT) が発生し、ウォッチドッグタイマアウト端子 ($\overline{\text{WDTOUT}}$) より "Low" が出力されます。

ノイズなどの原因による CPU の暴走を検出するために、ソフトウェア (命令) でウォッチドッグタイマ用のバイナリカウンタを INTWDT 割り込みが発生する前にクリアするように設定しておきます。クリアが行われなかった場合、INTWDT によってマスク不能割り込みが発生しますので、CPU は暴走を検知し、暴走対策プログラムにより正常な状態に戻すことができます。

また、ウォッチドッグタイマアウト端子を外部周辺装置のリセットなどへ接続することにより、CPU の誤動作 (暴走) に対処することができます。

注) 本製品にはウォッチドッグタイマアウト端子 ($\overline{\text{WDTOUT}}$) はありません。

24.3.2 動作モードと動作状態

ウォッチドッグタイマは、リセット解除後ただちに動作を開始します。使用しない場合はディセーブルの処理を行ってください。

ウォッチドッグタイマは高速クロックが停止するモードでは使用できません。以下に示すモードに遷移する前にディセーブルしてください。IDLE モード中は WDMOD<I2WDT> の設定に従います。

- STOP1 mode
- STOP2 mode

また、デバッグモード中は自動的にバイナリカウンタが停止します。

24.4 暴走検出時の動作

24.4.1 INTWDT 割り込み発生の場合

図 24-2 に INTWDT 割り込み発生 (WDMOD<RESCR>="0") の場合の動作を示します。

バイナリカウンタのオーバーフローにより INTWDT 割り込みが発生します。INTWDT 割り込みはマスク不能割り込み (NMI) の要因であるため、CPU はマスク不能割り込みを検出し処理を行います。

INTWDT 割り込み発生と同時にウォッチドッグタイマアウト ($\overline{\text{WDTOUT}}$) より "Low" を出力します。 $\overline{\text{WDTOUT}}$ は、ウォッチドッグタイマのクリア (WDCR レジスタにクリアコード 0x4E をライト) により "High" に戻ります。

注) 本製品にはウォッチドッグタイマアウトの外部出力端子はありません。

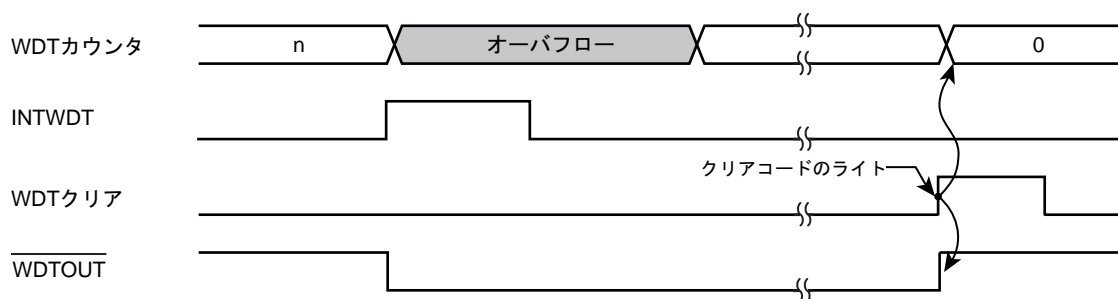


図 24-2 INTWDT 割り込み発生

24.4.2 内部リセット発生の場合

図 24-3 に内部リセット発生 (WDMOD<RESCR>="1") の場合の動作を示します。

バイナリカウンタのオーバーフローによりマイコンをリセットします。この場合、32 ステートの期間、リセットを行います。クロックの設定も初期化され、入力クロック f_{SYS} と高速発振器のクロック f_{OSC} の関係は、 $f_{SYS} = f_{OSC}$ となります。

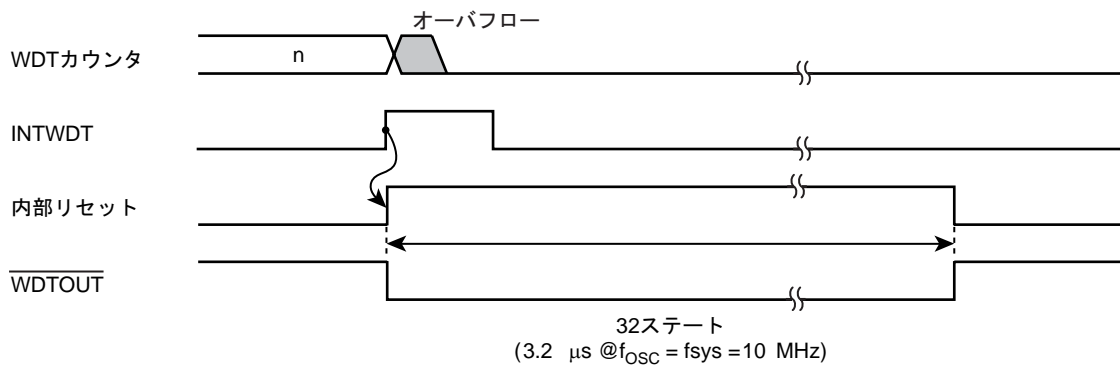


図 24-3 内部リセット発生

24.5 コントロールレジスタ

ウォッチドッグタイマ (WDT) は、2つのコントロールレジスタ (WDMOD, WDCR) によって制御されています。

24.5.1 ウォッチドッグタイマモードレジスタ (WDMOD)

1. ウォッチドッグタイマ検出時間の設定 <WDTP[2:0]>

ウォッチドッグタイマ検出時間を設定します。リセット時 WDMOD<WDTP[2:0]> = "000" に初期化されます。

2. ウォッチドッグタイマのイネーブル/ディセーブル制御 <WDTE>

リセット時 WDMOD<WDTE> = "1" に初期化されますので、ウォッチドッグタイマはイネーブルになっています。

暴走による誤書き込みを防止するため、ディセーブルにするには、このビットを "0" にした後で、WDCR にディセーブルコード (0xB1) を書き込む必要があります。

ディセーブル状態からイネーブル状態に戻す場合は、WDMOD<WDTE> を "1" に設定します。

3. ウォッチドッグタイマアウトのリセット接続 <RESCR>

WDTOUTを内部リセットとして使用するか割り込みとして使用するかを設定するレジスタです。リセット時 WDMOD<RESCR> = "1" に初期化されますので、バイナリカウンタのオーバフローにより内部リセットが発生します。

24.5.2 ウォッチドッグタイマコントロールレジスタ (WDCR)

ウォッチドッグタイマ機能のディセーブルおよびバイナリカウンタのクリアを制御するレジスタです。

24.5.3 設定例

24.5.3.1 ディセーブル制御

WDMOD<WDTE> に "0" を設定したあと、WDCR レジスタにディセーブルコード (0xB1) を書き込むとウォッチドッグタイマはディセーブルになり、バイナリカウンタはクリアされます。

		7	6	5	4	3	2	1	0	
WDMOD	←	0	-	-	-	-	-	-	-	<WDTE> に "0" を設定します。
WDCR	←	1	0	1	1	0	0	0	1	ディセーブルコード (0xB1) を書き込みます。

24.5.3.2 イネーブル制御

WDMOD<WDTE> に "1" を設定します。

		7	6	5	4	3	2	1	0	
WDMOD	←	1	-	-	-	-	-	-	-	<WDTE> に "1" を設定します。

24.5.3.3 ウォッチドッグタイマのクリア制御

WDCR レジスタにクリアコード (0x4E) を書き込むと、バイナリカウンタはクリアされ、再カウントします。

		7	6	5	4	3	2	1	0	
WDCR	←	0	1	0	0	1	1	1	0	クリアコード (0x4E) を書き込みます。

24.5.3.4 ウォッチドッグタイマ検出時間の設定

検出時間を $2^{21}/f_{SYS}$ に設定する場合、WDMOD<WDTP[2:0]> に "011" を設定します。

		7	6	5	4	3	2	1	0	
WDMOD	←	1	0	1	1	-	-	-	-	

第 25 章 Flash 動作説明

Flash 機能について、ハードウェアの構成およびその動作を説明します。

25.1 フラッシュメモリ

25.1.1 特長

1. メモリ容量

TMPM342FYXBG はフラッシュメモリを搭載しています。メモリ容量と構成は下記の表のとおりです。

各ブロック個別に書き込みを行うことができます。CPU から内蔵フラッシュメモリをアクセスする場合、データバス幅は 32 ビットとなります。

2. 書き込み / 消去時間

書き込みはページ単位で行います。1 ページは TMPM342FYXBG では 64 ワードです。

1 ページあたりの書き込み時間は、ワード数にかかわらず 1.25ms (Typ.) です。

消去時間は 1 ブロックあたり 0.1 sec (Typ.) です。

1 チップあたりの書き込み時間、消去時間は以下のようになります。

製品	メモリ容量	ブロック構成				ワード数	書き込み時間	消去時間
		128 KB	64 KB	32 KB	16 KB			
TMPM342FYXBG	256 KB	-	3	1	2	64	1.28 sec	0.4 sec

注) 上記の値は理論時間を表しており、データ転送時間などは含まれていません。チップ当たりの時間はユーザーの書き替え方法により異なります。

3. プログラミング方法

ユーザーのボード上で書き替えが可能なオンボードプログラミングモードには以下の 2 種類のモードがあります。

a. ユーザーブートモード

ユーザー独自の書き替え方法をサポート

b. シングルブートモード

シリアル転送 (当社オリジナル) での書き替え方法をサポート

4. 書き替え方式

本デバイス内蔵のフラッシュメモリは、一部の機能を除き JEDEC 標準機能に準拠しています。このため、外部メモリとしてフラッシュメモリをご使用になられている場合でも、本 LSI への移行が容易です。また、フラッシュメモリ内に書き込み、チップ消去など自動で行う回路を内蔵していますので、書き込み、消去動作自身に係わる複雑なフローをユーザーがプログラムで組む必要がありません。

JEDEC 準拠の機能	変更, 追加, 削除した機能
<ul style="list-style-type: none"> • 自動プログラム • 自動チップ消去 • 自動ブロック消去 • データボーリング / トグルビット 	<p>< 変更 > ブロック単位でのライト / 消去プロテクト (ソフトウェアプロテクトのみサポート)</p> <p>< 削除 > 消去レジューム / サスペンド機能</p>

5. プロテクト / セキュリティ機能

本デバイスでは、ライターでのフラッシュデータの読み出しを禁止する、セキュリティ機能を追加しています。一方、書き替え禁止を設定するライト / 消去プロテクトは、コマンド (ソフトウェア) による対応のみで 12 V 電圧を印加して設定する方式 (ハードウェア) には対応できません。プロテクト、セキュリティ機能の詳細については、「プロテクト / セキュリティ機能」の章を参照してください。

25.1.2 フラッシュ部ブロック図

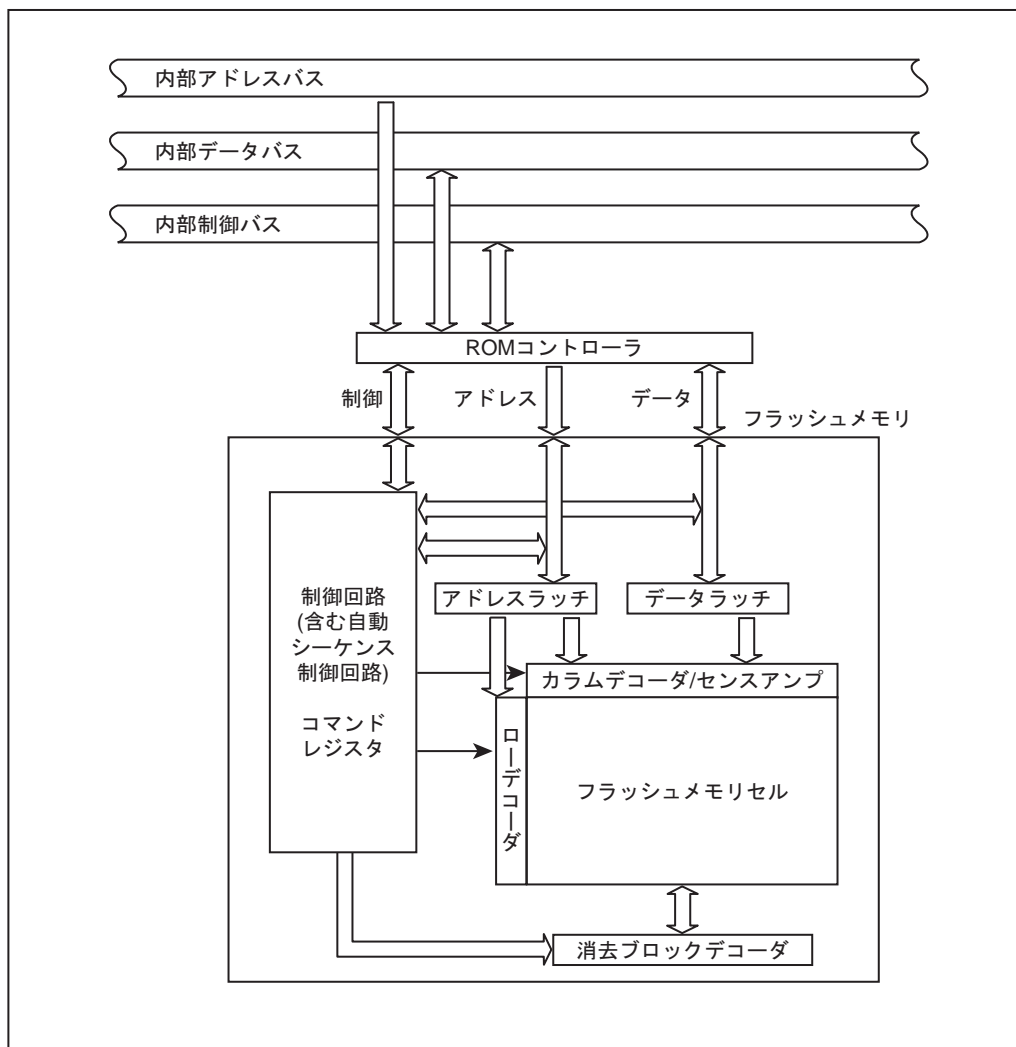


図 25-1 フラッシュ部ブロック図

25.2 動作モード

本デバイスは内蔵フラッシュメモリを使用しない場合を含めて、3 通りの動作状態 (モード) が存在します。

表 25-1 動作モード説明

動作モード名	動作の内容
シングルチップモード	リセット解除後、内蔵のフラッシュメモリから起動します。
ノーマルモード	本動作モードの中で、ユーザーのアプリケーションプログラムを実行するモードと、ユーザーのセット上でフラッシュメモリの書き替えを実行するモードとに分けて定義します。前者を「ノーマルモード」、後者を「ユーザーブートモード」と呼びます。 この両者の切り替えはユーザーが独自に設定できます。例えばポート A0 が "1" のときノーマルモード、"0" のときにユーザーブートモードというように自由に設計することが可能です。ユーザーはアプリケーションプログラムの一部に切り替えを判定するためのルーチンを準備してください。
ユーザーブートモード	
シングルブートモード	リセット解除後、内蔵する BOOT ROM (Mask ROM) から起動します。BOOT ROM には、本デバイスのシリアルポートを経由してユーザーのセット上で書き替えを行うことができるアルゴリズムがプログラムされています。シリアルポートにより外部ホストと接続し、規定されたプロトコルでデータの転送を行うことで内蔵フラッシュの書き替えが実行できます。

上記表 25-1 でプログラムが可能なフラッシュメモリの動作モードはユーザーブートモード、シングルブートモードの 2 つです。ユーザーのセット上で内蔵フラッシュメモリの書き替えが可能なモードは、ユーザーブートモードとシングルブートモードで、この 2 つをオンボードプログラミングモードと定義します。

シングルチップ、シングルブートの各動作モードは、リセット状態で $\overline{\text{BOOT}}$ (PH5) 端子のレベルを外部で設定することにより決定されます。

表 25-2 動作モード設定表

動作モード	端子	
	$\overline{\text{RESET}}$	$\overline{\text{BOOT}}$ (PH5)
シングルチップモード	0 → 1	1
シングルブートモード	0 → 1	0

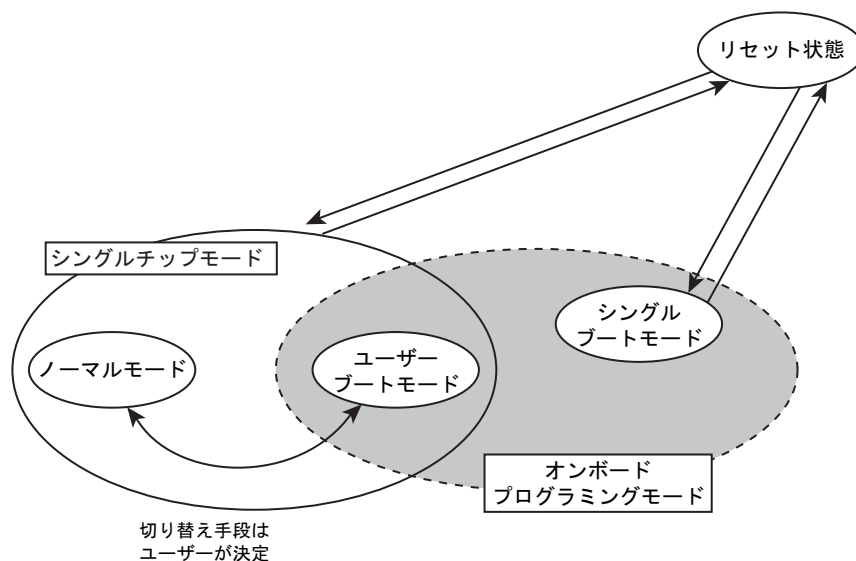


図 25-2 モード遷移図

25.2.1 リセット動作

本デバイスにリセットをかけるには、電源電圧が動作電圧範囲内で、かつ内部発振器の発振が安定した状態で、少なくとも 12 システムクロック間 (40 MHz 動作で 0.3 μ s (リセット後は、クロックギア 1/1 モード)) RESET 入力を "0" にしてください。

- 注 1) 電源投入後は、電源電圧および発振が安定した状態から 1.0ms 以上経過してからリセット解除してください。
- 注 2) 内蔵フラッシュの自動プログラム / 消去動作中にハードウェアリセットを行う場合は、システムクロックによらず 0.5 μ s 以上のリセット期間が必要となります。またこの場合、リセット解除後読み出しが可能になるまで 2 ms 程度の時間がかかります。

25.2.2 ユーザーブートモード (シングルチップモード)

ユーザーブートモードは、ユーザー独自のフラッシュメモリ書き替えルーチンを使う方法です。ユーザーアプリケーション上で用意されているフラッシュメモリ書き替え用のプログラムで用いる、データ転送バスがシリアル I/O と異なる場合に使用します。動作はシングルチップモード上で行います。このため、シングルチップモードにおいて通常のユーザーアプリケーションプログラムが動作しているノーマルモードから、フラッシュを書き替えるためのユーザーブートモードに移行する必要があります。従って、条件判定を行うプログラムをユーザーアプリケーションの中で、リセット処理プログラムの中に組み込んでください。

このモード切り替えの条件設定は、本デバイスの I/O を使用してユーザーのシステムセット条件に合わせて独自に構築してください。また、ユーザーブートモード移行後に使用するユーザー独自のフラッシュメモリ書き替えルーチンも同様にユーザーアプリケーションの中にあらかじめ組み込んでおき、ユーザーブートモード移行後にこれらのルーチンを使用して書き替えを行ってください。なお、内蔵フラッシュメモリは消去 / 書き込み動作モード中はフラッシュのデータを読み出せません。このため、書き替えルーチンはフラッシュメモリエリア外に格納して実行させる必要があります。また、シングルチップモード (通常動作モード) 中に誤ってフラッシュの内容を書き替えないよう、書き替え処理が完了した後、必要なブロックにライト / 消去プロテクトをかけておくことを推奨します。あわせて、ユーザーブートモード中は、ノンマスカブルを含めたすべての割り込み発生を禁止してください。

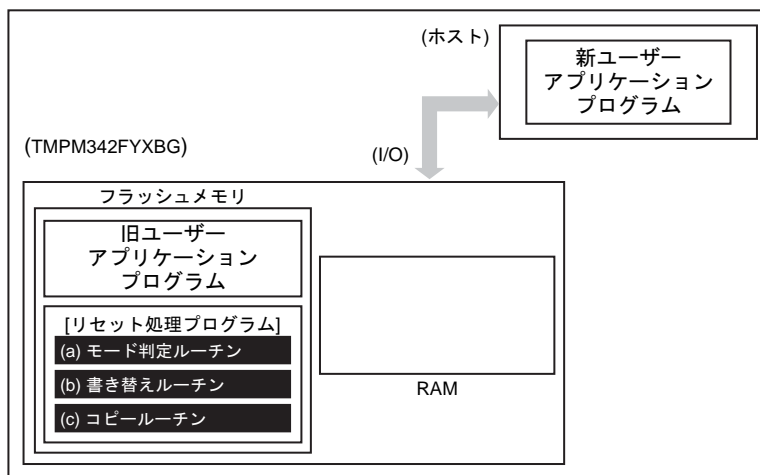
書き替えルーチンを内蔵フラッシュメモリに置く場合と、外部から転送する場合の 2 ケースを例に、以下 (1-A), (1-B) にその手順を説明します。フラッシュメモリへの書き込み / 消去方法の詳細は、「25.3 オンボードプログラミングでのフラッシュメモリ書き込み / 消去」を参照してください。

25.2.2.1 (1-A) 書き替えルーチンをフラッシュメモリに内蔵する場合の手順例

(1) Step-1

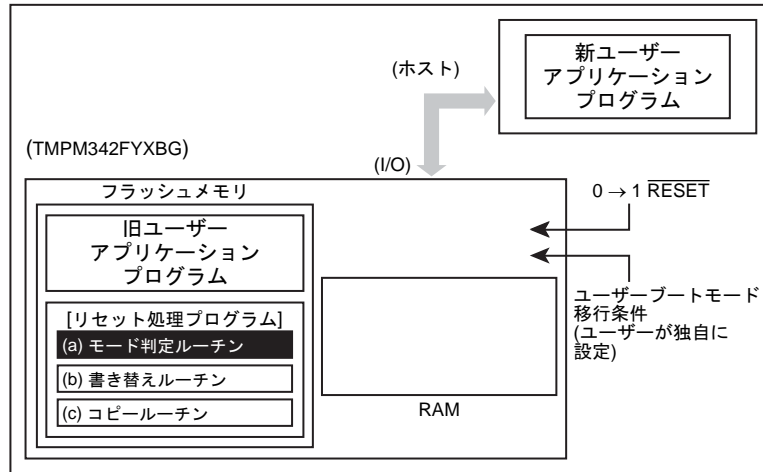
ユーザーは、あらかじめどのような条件（例えば端子状態）に設定されたらユーザーブートモードに移行するか、どの I/O バスを使用してデータ転送を行うかを決め、それに合った回路の設計、プログラムの作成を行います。ユーザーは本デバイスをボードに組み込む前に、あらかじめフラッシュメモリ上の任意のブロックにライタなどを使用して以下に示す 3 つのプログラムを書き込んでおきます。

- (a) モード判定ルーチン： 書き替え動作に移るためのプログラム
- (b) フラッシュ書き替えルーチン： 書き替えデータを外部から取り込み、フラッシュメモリを書き替えるためのプログラム
- (c) コピールーチン： 上記 (b) を内蔵 RAM または外部メモリにコピーするためのプログラム



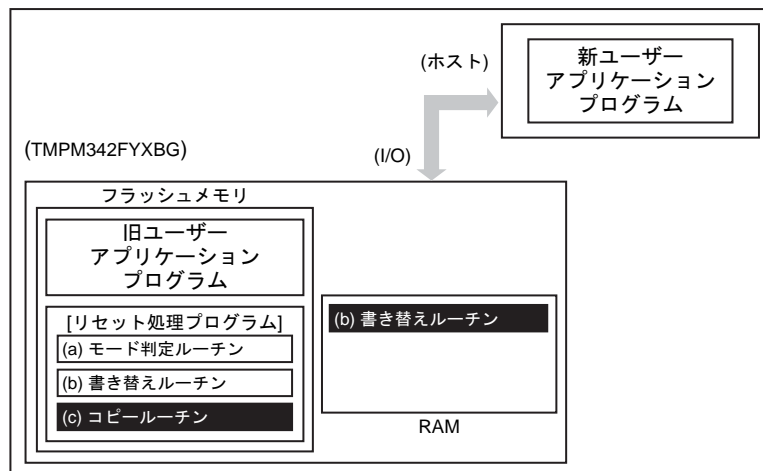
(2) Step-2

以下リセット処理プログラム内にこれらのルーチンを組み込んだ場合について説明します。まず、リセット解除後のリセット処理プログラムにおいてユーザーブートモードへの移行を判定します。このとき、移行条件が整っていれば、プログラムは書き替えのためのユーザーブートモードに移ります。(ユーザーブートモードに移行した場合は、これ以降割り込みを使わないでください。)



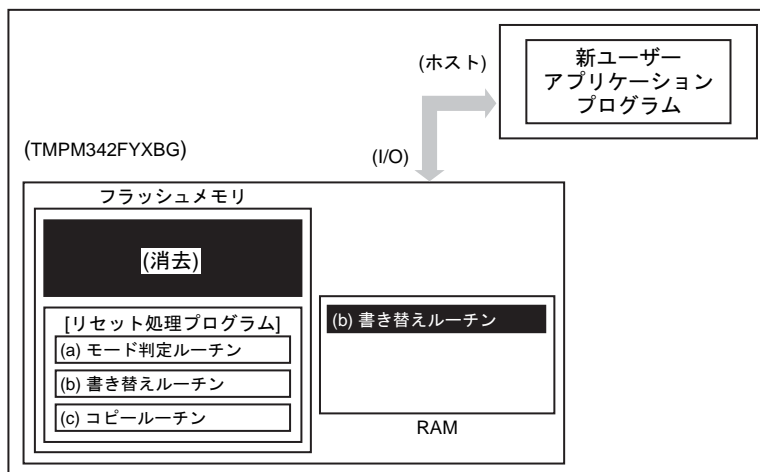
(3) Step-3

ユーザーブートモードに移ると、(c) コピールーチンを使用して、(b) 書き替えルーチンを内部 RAM にコピーします。



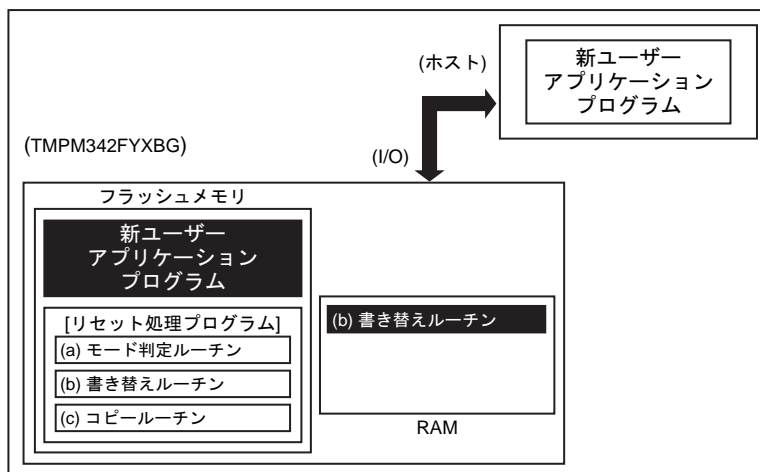
(4) Step-4

RAM 上の書き替えルーチンへジャンプし、旧ユーザープログラムエリアのライト / 消去プロテクトを解除して、消去 (ブロック単位) を行います。



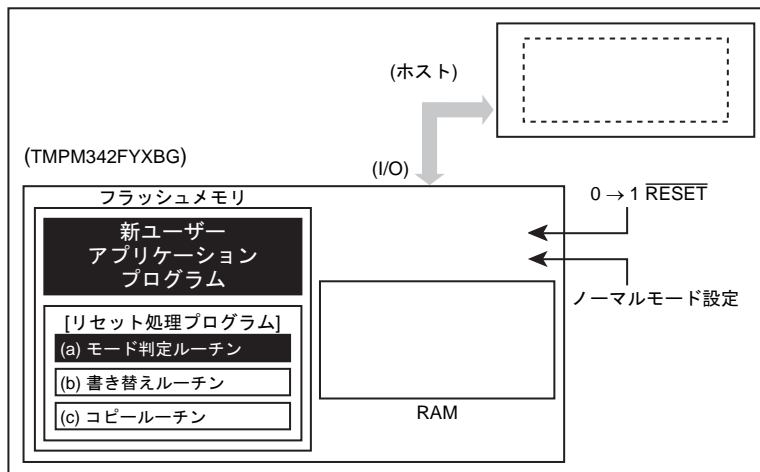
(5) Step-5

さらに、RAM 上の書き替えルーチンを実行して、転送元 (ホスト) より新ユーザーアプリケーションプログラムのデータをロードし、フラッシュメモリの消去したエリアに書き込みを行います。書き込みが完了したら、ユーザープログラムエリアのライト / 消去プロテクトをオンにします。



(6) Step-6

RESET 入力端子を "0" にしてリセットを行い、設定条件をノーマルモードの設定にします。リセット解除後、新ユーザーアプリケーションプログラムで動作を開始します。



25.2.2.2 (1-B) 書き替えルーチンを外部から転送する手順例

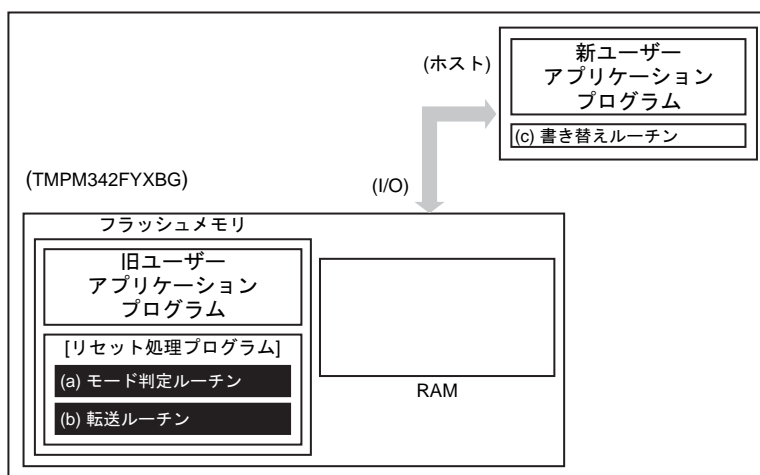
(1) Step-1

ユーザーは、あらかじめどのような条件（例えば端子状態）に設定されたらユーザーブートモードに移行するか、どの I/O バスを使用してデータ転送を行うかを決め、それに合った回路の設計、プログラムの作成を行います。ユーザーは本デバイスをボードに組み込む前に、あらかじめフラッシュメモリ上の任意のブロックにライタなどを使用して以下に示す 2 つのプログラムを書き込んでおきます。

- (a) モード判定ルーチン： 書き替え動作に移るためのプログラム
- (b) 転送ルーチン： 書き替えプログラムを外部から取り込むためのプログラム

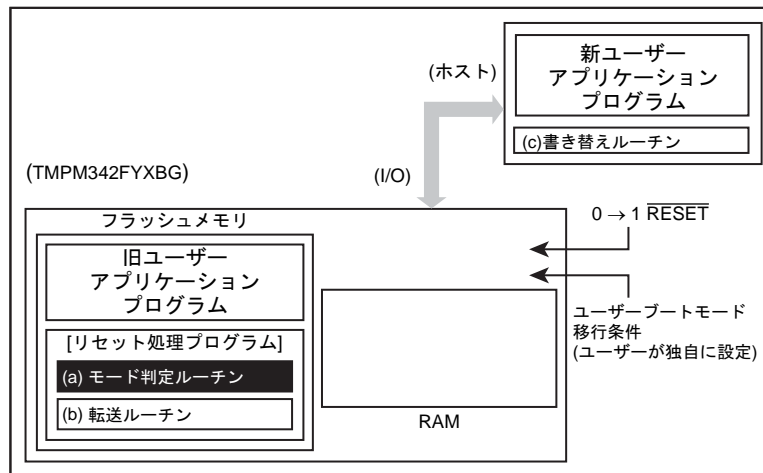
また、下記に示すプログラムはホスト上に用意します。

- (c) 書き替えルーチン： 書き替えを行うためのプログラム



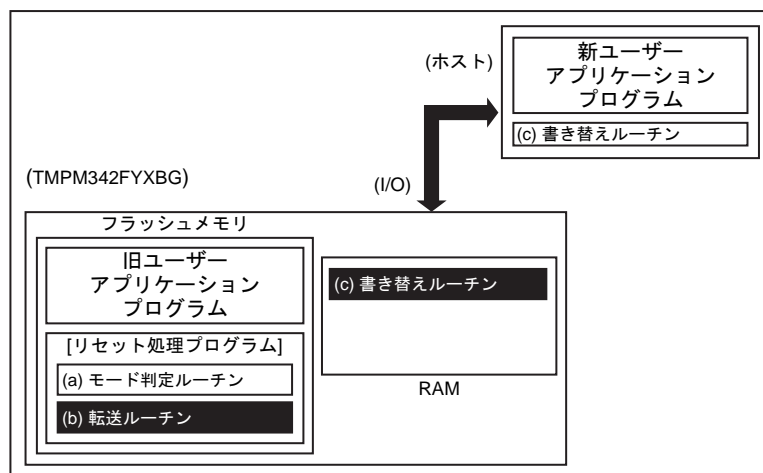
(2) Step-2

以下、リセット処理プログラム内にこれらのルーチンを組み込んだ場合について説明します。まず、リセット解除後のリセット処理プログラムにおいてユーザーブートモードへの移行を判定します。このとき、移行条件が整っていれば、プログラムは書き替えのためのユーザーブートモードに移ります。(ユーザーブートモードに移行した場合は、これ以降割り込みを使わないでください。)



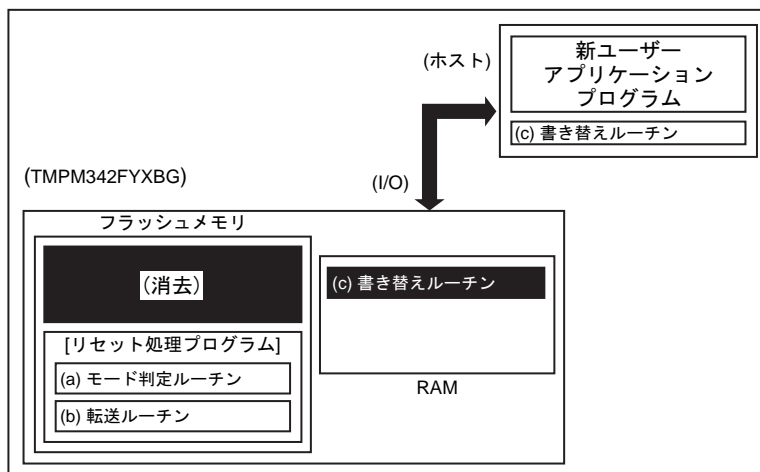
(3) Step-3

ユーザーブートモードに移ると、(b) 転送ルーチンを使用して、転送元 (ホスト) より (c) 書き替えルーチンを内部 RAM にロードします。



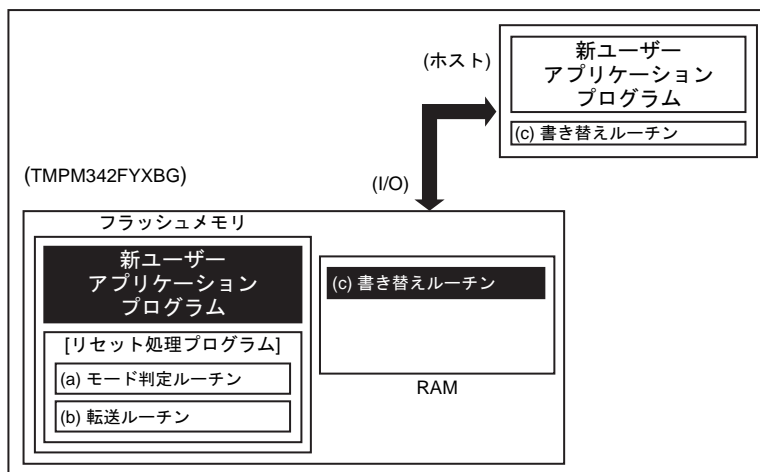
(4) Step-4

RAM 上の書き替えルーチンへジャンプし、旧ユーザープログラムエリアのライト / 消去プロテクトを解除して、消去 (ブロック単位) を行います。



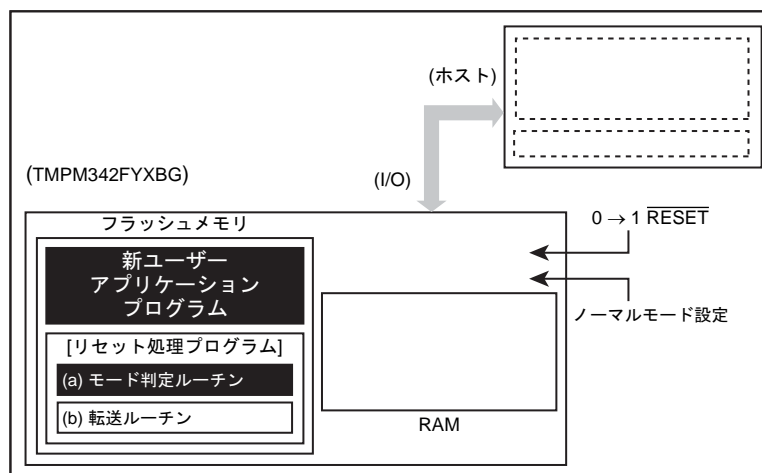
(5) Step-5

さらに、RAM 上の (c) 書き替えルーチンを実行して、転送元 (ホスト) より新ユーザーアプリケーションプログラムのデータをロードし、消去したエリアに書き込みを行います。書き込みが完了したら、ユーザープログラムエリアのライト / 消去プロテクトをオンにします。



(6) Step-6

RESET 入力端子を "0" にしてリセットを行い、設定条件をノーマルモードに設定します。
リセット解除後、新ユーザーアプリケーションプログラムで動作を開始します。



25.2.3 シングルブートモード

内蔵 BOOT ROM (マスク ROM) を起動して、BOOT ROM のプログラムを利用してフラッシュメモリを書き替える方法です。このモードでは、内蔵 BOOT ROM が割り込みベクタテーブルを含む領域にマッピングされ、BOOT ROM プログラムが実行されます。また、フラッシュメモリは BOOT ROM 領域とは別のアドレス空間にマッピングされます。

ブートモードでは、コマンドおよびデータをシリアル転送してフラッシュメモリの書き替えを行います。本デバイスの SIO (SIO0) と外部ホストを接続し、外部ホスト側から本デバイスの内蔵 RAM へ書き替えプログラムをコピーし、RAM 上の書き替えルーチンを実行してフラッシュメモリの書き替えを行います。書き替えルーチンは、ホスト側からコマンドおよび書き替えデータを送出することにより実行します。ホスト側との通信の詳細は後述のプロトコルに従ってください。

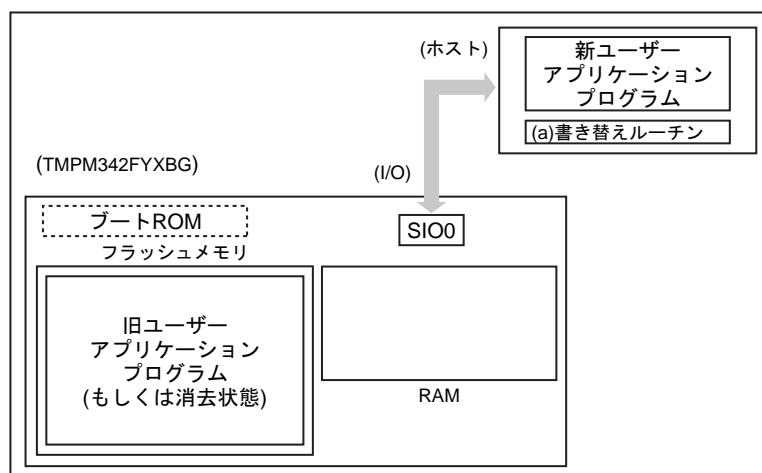
RAM へのプログラム転送は、ユーザーの ROM データ、セキュリティ確保のため、コマンドの実行に先立ちユーザーパスワードの照合を行います。パスワードが一致しない場合は、RAM 転送そのものが実行されません。なお、シングルブートモードでもユーザーブートモードと同様、割り込み禁止状態で行います。シングルブートモード時、BOOT ROM プログラムは NORMAL モードで動作します。

シングルチップモード (通常動作モード) 中に誤ってフラッシュメモリの内容を書き替えないよう、書き替え処理が完了したら必要なブロックにライト / 消去プロテクトをかけておくことを推奨します。

25.2.3.1 (2-A) 内蔵 BOOT ROM の書き替えアルゴリズムを利用する場合

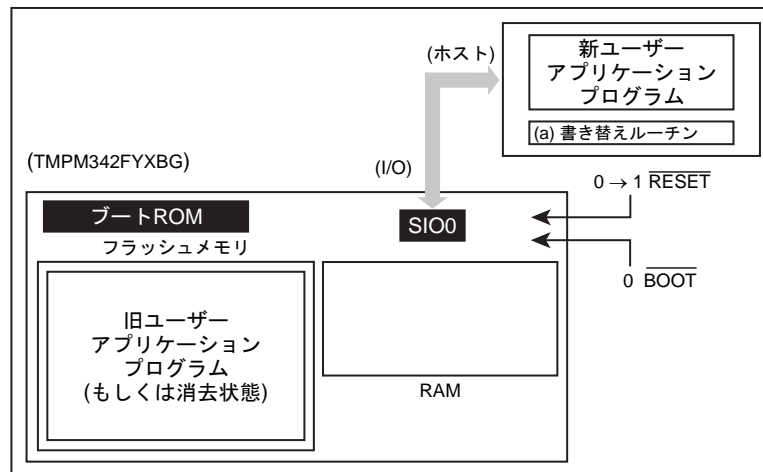
(1) Step-1

フラッシュメモリの状態は旧バージョンのユーザープログラムが書かれた状態でも、消去されている状態でも構いません。書き替えルーチン、書き替えデータなどの転送は SIO (SIO0) を経由して行いますので、ボード上で本デバイスの SIO (SIO0) と外部ホストとをつなげます。書き替えを行うための (a) 書き替えルーチンはホスト上に用意します。



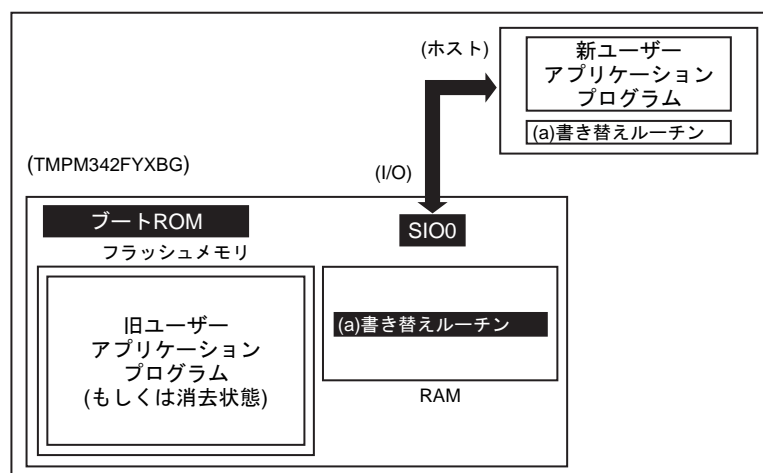
(2) Step-2

ブートモードの端子条件設定でリセットを解除し、BOOT ROM で起動します。ブートモードの手順に従い、SIO0 を経由して転送元（ホスト）より (a) 書き替えルーチンの転送を行います。最初にユーザーアプリケーションプログラム上に記録されているパスワードとの照合を行います。（フラッシュメモリが消去されている状態でも、消去データ (0xFF) をパスワードとして照合を行います。）



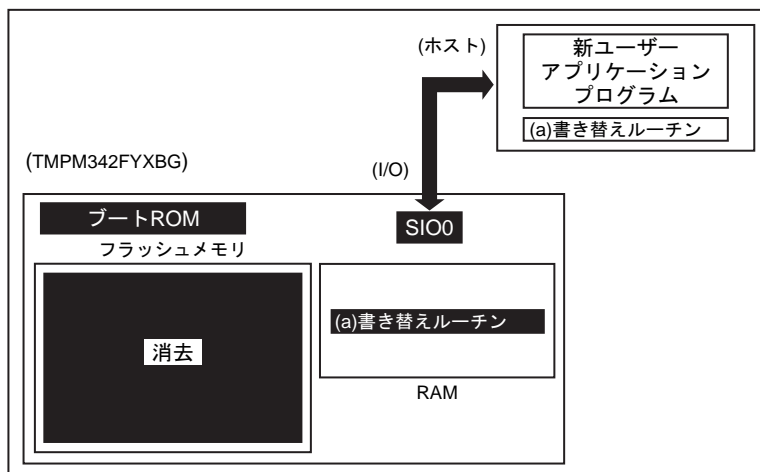
(3) Step-3

パスワードの照合が終了すると、転送元（ホスト）から (a) 書き替えルーチンを転送します。BOOT ROM はそのルーチンを内部 RAM にロードします。ただし、RAM 上のアドレス 0x2000_0400 から RAM の最終番地の範囲に格納してください。



(4) Step-4

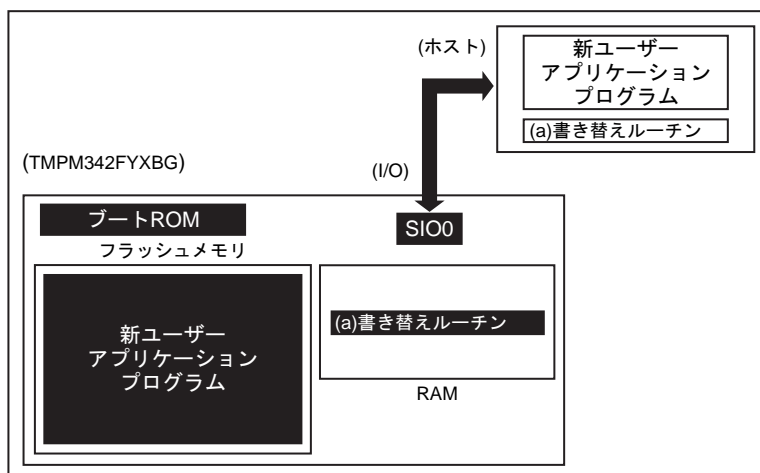
RAM 上の (a) 書き替えルーチンへジャンプし、旧ユーザーアプリケーションプログラムエリアの消去を行います。(ブロック単位もしくは一括)



(5) Step-5

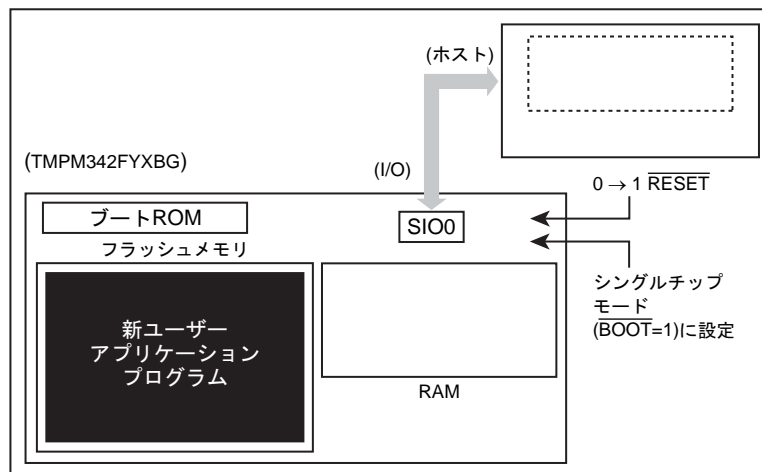
さらに、RAM 上の (a) 書き替えルーチンを実行して、転送元 (ホスト) より新ユーザーアプリケーションプログラムのデータをロードし、フラッシュメモリの消去したエリアに書き込みを行います。書き込みが完了したら、ユーザープログラムエリアのライト / 消去プロテクトをオンにします。

下の例の場合、書き替えルーチンを転送したときと同じホストおよび SIO0 経由で書き替えデータも転送されていますが、RAM 上で動作を開始した以降では、ユーザー独自にデータバスおよび転送元を設定することもできます。方法に応じて、ボードのハードおよび書き替えルーチンを組み立ててください。



(6) Step-6

書き込みが完了したら、一度ボードの電源を落とし、ホストと接続していたケーブルをはずします。この後、再度電源を入れ直し、シングルチップモード（ノーマルモード）起動し、新しいユーザーアプリケーションプログラムを実行します。



25.2.4 モード設定

オンボードプログラミングを実行するためには、本デバイスをシングルブートモードで立ち上げます。シングルブートモードで立ち上がるための設定を以下に示します。

$\overline{\text{BOOT}} = 0$
 $\overline{\text{RESET}} = 0 \rightarrow 1$

$\overline{\text{RESET}}$ 入力端子を "0" の状態にして、 $\overline{\text{BOOT}}$ 端子をあらかじめ上記条件に設定します。その後リセット解除を行うとシングルブートモードで起動します。

25.2.5 メモリマップ

図 25-3 にシングルチップモードとシングルブートモードのメモリマップの比較を示します。図のように、シングルブートモードでは、内蔵フラッシュメモリは 0x3F80_0000 番地からマッピングされます。また、0x0000_0000 番地から 0x0000_0FFF 番地には BOOT ROM (マスク ROM) がマッピングされます。

内蔵フラッシュメモリと RAM のマッピングは以下のとおりです。

製品	Flash サイズ	RAM サイズ	Flash アドレス (シングルチップ/シングルブートモード)	RAM アドレス
TMPM342FYXBG	256 KB	32 KB	0x0000_0000 ~ 0x0003_FFFF 0x3F80_0000 ~ 0x3F83_FFFF	0x2000_0000 ~ 0x2000_7FFF

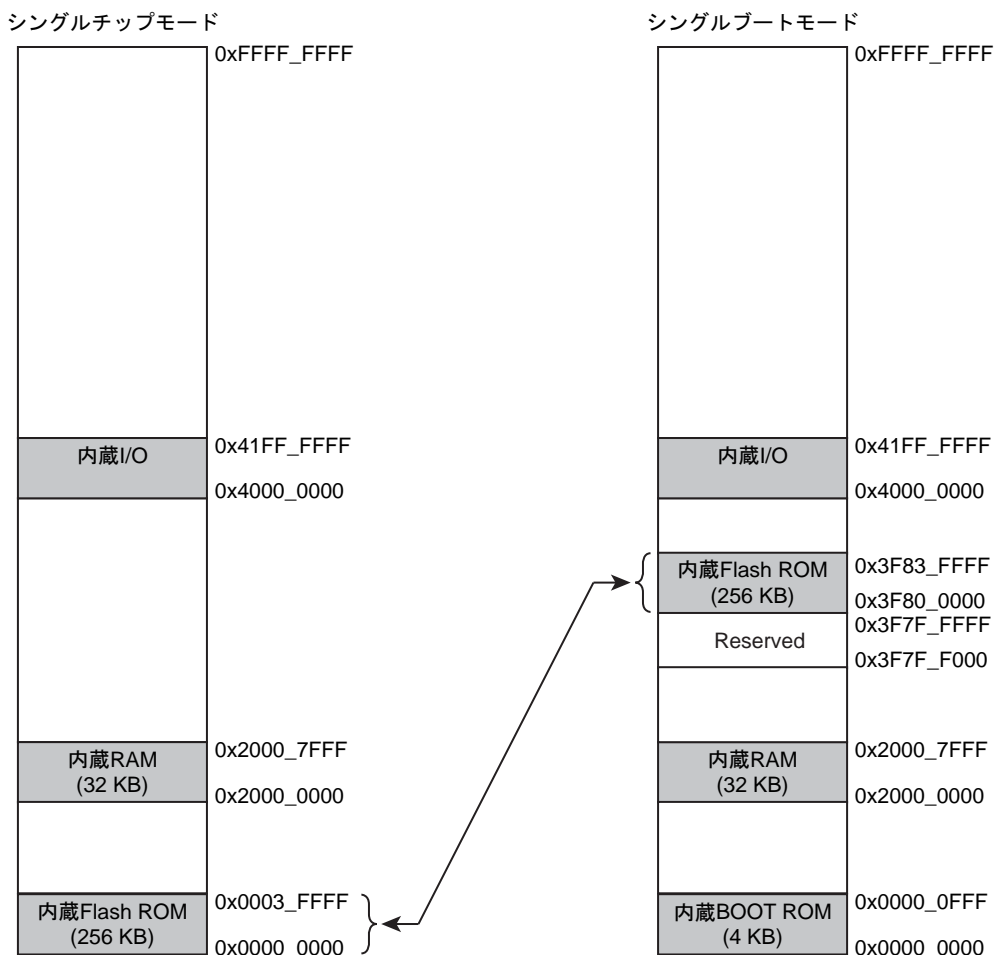


図 25-3 メモリマップの比較 (TMPM342FYXBG)

25.2.6 インタフェース仕様

シングルブートモードでの SIO 通信フォーマットを以下に示します。シリアル動作のモードは、UART (非同期通信) と I/O インタフェースモード両方に対応しています。オンボードプログラミングを実行するためには、書き込みコントローラ側の通信フォーマットも同様に設定する必要があります。

- UART で通信する場合

通信チャンネル: SIO チャンネル 0

シリアル転送モード: UART (非同期通信) モード, 半二重通信, LSB ファスト

データ長: 8 ビット

パリティビット: なし

STOP ビット: 1 ビット

ボーレート: 任意のボーレート

- I/O インタフェースモードで通信する場合

通信チャンネル: SIO チャンネル 0

シリアル転送モード: I/O インタフェースモード, 全二重通信, LSB ファスト

同期信号 (SCLK0): 入力モード

ハンドシェイク端子: 出力モード PB4

ボーレート: 任意のボーレート

表 25-3 端子の接続

端子		インターフェイス	
		UART	I/O インタフェースモード
モード設定端子	MODE	必ず Pull-down 接続してください	
	FTEST3	必ず Open にしてください	
	$\overline{\text{BOOT}}$ (PH5)	o	o
リセット端子	$\overline{\text{RESET}}$	o	o
通信端子	TXD0 (PB0)	o	o
	RXD0 (PB1)	o	o
	SCLK0 (PB2)	x	o (入力モード)
	PB4	x	o (出力モード)

o: 端子使用します

x: 端子未使用

25.2.7 データ転送フォーマット

動作コマンド、および各動作モード時のデータ転送フォーマットをそれぞれ表 25-4, 表 25-6 ~ 表 25-7 に示します。「25.2.10 ブートプログラム動作説明」とあわせてお読みください。

表 25-4 動作コマンドデータ

動作コマンドデータ	動作モード
0x10	RAM 転送
0x40	フラッシュメモリチップ消去およびプロテクトビット消去

25.2.8 メモリの制約について

シングルブートモードでは、内蔵 RAM, 内蔵 Flash ROM に対して表 25-5 のように制約が付きまます。

表 25-5 シングルブート時のメモリの制約

メモリ	制約内容
内蔵 RAM	0x2000_0000 ~ 0x2000_03FF 番地は BOOT ROM のワークエリアになります。 RAM 転送のプログラムは 0x2000_0400 から RAM の最終番地に格納してください。
内蔵 ROM	以下の番地はソフトなどの ID 情報や password の格納エリアとなりますので、なるべく プログラムエリアとしての使用はさけてください。 TMPM342FYXBG: 0x3F83_FFF0 ~ 0x3F83_FFFF

25.2.9 ブートプログラムの転送フォーマット

各コマンドのブートプログラムの転送フォーマットを示します。「25.2.10 ブートプログラム動作説明」とあわせて参照してください。

25.2.9.1 RAM 転送

表 25-6 ブートプログラムの転送フォーマット [RAM 転送の場合]

	転送バイト数	コントローラ → 本デバイスの転送データ	ボーレート	本デバイス → コントローラへの転送データ	
BOOT ROM	1 バイト目	シリアル動作モード & ボーレート設定 UART の場合 : 0x86 I/O インタフェースの場合 : 0x30	指定された ボーレート (注 1)	-	
	2 バイト目	-		シリアル動作モードに対する ACK 応答 •UART の場合 正常 (設定可能) の場合 : 0x86 (ボーレートの設定が不可能と判断した場合は 動作停止) •I/O インタフェースの場合 正常の場合 : 0x30	
	3 バイト目	動作コマンドデータ (0x10)		-	
	4 バイト目	-		動作コマンドに対する ACK 応答 (注 2) 正常の場合 : 0x10 異常の場合 : 0xX1 通信異常の場合 : 0xX8	
	5 バイト目 ~ 16 バイト目	PASS WORD データ (12 バイト) TMPM342FYXBG: 0x3F83 _ FFF4 ~ 0x3F83 _ FFFF		-	
	17 バイト目	5 ~ 16 バイト目の CHECK SUM 値		-	
	18 バイト目	-		CHECK SUM 値に対する ACK 応答 (注 2) 正常の場合 : 0x10 異常の場合 : 0xX1 通信異常の場合 : 0xX8	
	19 バイト目	RAM 格納開始アドレス 31 ~ 24		-	
	20 バイト目	RAM 格納開始アドレス 23 ~ 16		-	
	21 バイト目	RAM 格納開始アドレス 15 ~ 8		-	
	22 バイト目	RAM 格納開始アドレス 7 ~ 0		-	
	23 バイト目	RAM 格納バイト数 15 ~ 8		-	
	24 バイト目	RAM 格納バイト数 7 ~ 0		-	
	25 バイト目	19 ~ 24 バイト目の CHECK SUM 値		-	
	26 バイト目	-		CHECK SUM 値に対する ACK 応答 (注 2) 正常の場合 : 0x10 異常の場合 : 0xX1 通信異常の場合 : 0xX8	
	27 バイト目 ~ m バイト目	RAM 格納データ		-	
	m + 1 バイト目	27 ~ m バイト値の CHECK SUM 値		-	
	m + 2 バイト目	-		CHECK SUM 値に対する ACK 応答 (注 2) 正常の場合 : 0x10 異常の場合 : 0xX1 通信異常の場合 : 0xX8	
	RAM	m + 3 バイト目		-	JUMP RAM 格納開始アドレス

注 1) I/O インタフェースモードの場合、1 バイト目と 2 バイト目のボーレートは、指定されたボーレート ÷ 16 で行ってください。

注 2) 異常応答後は、動作コマンド (3 バイト目) 待ちになります。I/O インタフェースモードの場合は、通信異常の場合は発生しません。

注 3) 19 バイト目 ~25 バイト目のデータは、RAM 上のアドレス 0x2000_0400 から RAM の最終番地の領域内に納まるようにプログラムしてください。

25.2.9.2 フラッシュメモリチップ消去およびプロテクトビット消去

表 25-7 ブートプログラムの転送フォーマット
[フラッシュメモリチップ消去およびプロテクトビット消去の場合]

	転送バイト数	コントローラ → 本デバイスの転送データ	ボーレート	本デバイス → コントローラへの転送データ
BOOT ROM	1 バイト目	シリアル動作モード & ボーレート設定 UART の場合 : 0x86 I/O インタフェースの場合 : 0x30	指定された ボーレート (注 1)	-
	2 バイト目	-		シリアル動作モードに対する ACK 応答 正常 (設定可能) の場合 ●UART の場合 : 0x86 ●I/O インタフェースの場合 : 0x30 (ボーレートの設定が不可能と判断した場合は 動作停止)
	3 バイト目	動作コマンドデータ (0x40)		-
	4 バイト目	-		動作コマンドに対する ACK 応答 (注 2) 正常の場合 : 0x40 異常の場合 : 0xX1 通信異常の場合 : 0xX8
	5 バイト目 ~ 16 バイト目	TPPM342FYXBG: 0x3F83 _ FFF0 が 0xFF 以外の場合 PASS WORD データ (12 バイト) 0x3F83 _ FFF4 ~ 0x3F83 _ FFFF 0x3F83 _ FFF0 が 0xFF の場合 ダミーデータ (12 バイト) 0x3F83 _ FFF4 ~ 0x3F83 _ FFFF		-
	17 バイト目	5 ~ 16 バイト目の CHECK SUM 値		-
	18 バイト目	-		CHECK SUM 値に対する ACK 応答 (注 2) 正常の場合 : 0x10 異常の場合 : 0xX1 通信異常の場合 : 0xX8
	19 バイト目	消去イネーブルコマンドデータ (0x54)		-
	20 バイト目	-		動作コマンドに対する ACK 応答 (注 2) 正常の場合 : 0x54 異常の場合 : 0xX1 通信異常の場合 : 0xX8
	21 バイト目	-		消去コマンドに対する ACK 応答 正常の場合 : 0x4F 異常の場合 : 0x4C
	22 バイト目	(次の動作コマンドデータ待ち)		-

注 1) I/O インタフェースモードの場合、1 バイト目と 2 バイト目のボーレートは、指定されたボーレート ÷ 16 で行ってください。

注 2) 異常応答後は、動作コマンド (3 バイト目) 待ちになります。I/O インタフェースモードの場合は、通信異常の場合は発生しません。

25.2.10 ブートプログラム動作説明

シングルブートモードで立ち上げるとブートプログラムが起動し、以下の機能を提供します。詳細は、「25.2.10.1 RAM 転送コマンド」「25.2.10.2 フラッシュメモリチップ消去およびプロテクトビット消去コマンド」に記載してありますので、参照してください。

1. RAM 転送コマンド

RAM 転送は、コントローラから送られてくるデータを内蔵 RAM へ格納します。転送が正常に終了するとユーザープログラムの実行を開始します。ユーザープログラム領域として、ブートプログラムで使用する領域 (0x2000_0000 ~ 0x2000_03FF) を除く、0x2000_0400 以降を使用可能です。実行開始アドレスは、RAM 格納開始アドレスになります。

この RAM 転送機能により、ユーザー独自のオンボードプログラミング制御を行うことができます。ユーザープログラムでオンボードプログラミングを実行するためには、25.3 で説明するフラッシュメモリコマンドシーケンスを使う必要があります。RAM 転送コマンドは、実行に先立ちパスワードの照合結果をチェックします。パスワードが一致していない場合、実行されません。

2. フラッシュメモリチップ消去およびプロテクトビット消去

このコマンドはすべてのブロックのフラッシュメモリを消去します。ライト / 消去プロテクトおよび、セキュリティ状態にかかわらず、メモリセルのすべてのブロックを消去し、すべてのブロックのライト / 消去プロテクトを消去します。コマンド終了後、FCSECBIT<SECBIT> は "1" になります。

このコマンドは、パスワードの照合を行うかどうか選択が可能です。

注) パスワードが消去データ (0xFF) の場合、容易にパスワードの照合が可能になり、セキュリティの確保が難しくなります。シングルブートモードを使用しない場合も固有の値を置くことを推奨します。

25.2.10.1 RAM 転送コマンド

データ転送フォーマットは表 25-6 を参照してください。

1. 1 バイト目のデータは、シリアル動作モードを判定するデータになります。シリアルの動作モードを認める方法は、後述の「シリアル動作モード判定」を参照してください。シリアルの動作モードで UART と判定した場合は、ボーレートの設定が可能かどうかを判定します。1 バイト目のデータは、受信を禁止した状態 (SC0MOD0<RXE> = 0) にしています。

- UART で通信を行いたい場合

コントローラからターゲットボードへは、UART の設定で、所望のボーレートでデータを 0x86 にして送信してください。シリアルの動作モードの判定で UART と判定した場合、ボーレートの設定が可能かどうかを判定します。設定が不可能と判断した場合は動作を停止するため、通信が行えなくなります。ボーレートの設定が可能かどうかを判定する方法については、後述の「ボーレートの設定方法」を参照してください。

- I/O インタフェースで通信を行いたい場合

コントローラからターゲットボードへは、同期式の設定で、所望のボーレート ÷ 16 でデータを 0x30 にして送信してください。2 バイト目も同様に、所望のボーレート ÷ 16 にしてください。所望のボーレートで転送するのは、3 バイト目 (動作コマンドデータ) からにしてください。

I/O インタフェースの場合、CPU が受信端子を入力ポートとして見ており、その入力ポートのレベルの変化をモニタしています。従って、ボーレートが早い場合や動作周波数が多い場合は、CPU はレベルの変化を判別できないことがあります。これを防ぐために I/O インタフェースの場合、ボーレートは所望のボーレート ÷ 16 で指定します。I/O インタフェースと判定した場合、SCLK 入力モードになります。コントローラは、AC タイミングを満足するボーレートで送信を行ってください。I/O インタフェースの場合、受信エラーフラグのチェックは行いません。従って、ACK 応答データの通信異常 ACK (bit 3) (0xX8) はありません。

2. 2 バイト目の送信データは、1 バイト目のシリアル動作モード設定データに対する ACK 応答データになります。1 バイト目のデータが、UART と判定されボーレートの設定が可能な場合 0x86 を I/O インタフェースと判定された場合 0x30 を送信します。

- UART と判定された場合

ボーレートの設定が可能かどうかを判定します。設定が可能と判定した場合、SC0BRCCR の値を書き替え、0x86 を送信し、設定が不可能と判定した場合、動作を停止するため何も送信しません。コントローラは、1 バイト目のデータの送信が終了した後、タイムアウト時間 (5 秒) を設けます。タイムアウト時間内に、データ (0x86) を正常受信できなければ、通信不能と判断してください。受信を許可 (SC0MOD0<RXE> = 1) するタイミングは、送信バッファにデータ (0x86) を書き込む前に行っています。

- I/O インタフェースと判定された場合

I/O インタフェースの設定になるように SC0MOD0, SC0CR の値を書き替え、SC0BUF に 0x30 を書き込み、SCLK0 クロックを待ちます。コントローラは、1 バイト目のデータ送信が終了した後、アイドル時間 (数 ms) 後、SCLK クロックを出力してください。このときのポーレートは、所望のポーレート ÷ 16 で行い、受信データが 0x30 なら、通信可能と判断してください。3 バイト目からは所望のポーレートで行ってください。受信を許可 (SC0MOD0<RXE> = 1) するタイミングは、送信バッファにデータ (0x30) を書き込む前に行っています。

3. 3 バイト目の受信データは、動作コマンドデータになります。この場合は、RAM 転送コマンドデータ (0x10) になります。

4. 4 バイト目の送信データは、3 バイト目の動作コマンドデータに対する ACK 応答データになります。最初に、3 バイト目の受信データに受信エラーがあるかをチェックします。受信エラーがある場合、通信異常の ACK 応答データ (bit 3) 0xX8 を送信して、次の動作コマンド (3 バイト目) データ待ちになります。送信データの上位 4 ビットは、不定値になります。(直前の動作コマンドデータの上位 4 ビットになります。) なお、I/O インタフェースの場合、受信エラーのチェックは行いません。

次に、3 バイト目の受信データが、表 25-4 の動作コマンドデータのいずれかに該当する場合は、受信データをエコーバック送信 (正常 ACK 応答データ) します。この場合、0x10 をエコーバック送信して RAM 転送処理ルーチンに分岐します。このルーチンに分岐後、パスワードエリアのデータをチェックします。パスワードエリアのデータのチェック方法は、後述の「パスワードについて」を参照してください。該当しない場合は、動作コマンドエラーの ACK 応答データ (bit 0) 0xX1 を送信して、次の動作コマンド (3 バイト目) データ待ちになります。送信データの上位 4 ビットは、不定値になります。(直前の動作コマンドデータの上位 4 ビットになります。)

5. 5 バイト目 ~ 16 バイト目の受信データは、パスワードデータ (12 バイト) になります。5 バイト目の受信データから順に、フラッシュメモリの以下の表のアドレスと照合します。一致していない場合、パスワードエラーフラグをセットします。

製品	パスワード領域
TMPM342FYXBG	0x3F83 _ FFF4 ~ 0x3F83 _ FFFF

6. 17 バイト目の受信データは、CHECK SUM データになります。5 バイト目から 16 バイト目の送信データを符号なしの 8 ビット加算 (オーバーフローを無視) して得られた下位 8 ビット値の 2 の補数をコントローラから送信してください。CHECK SUM データの計算方法は、後述の「CHECK SUM の計算方法」を参照してください。

7. 18 バイト目の送信データは、5 バイト目 ~ 17 バイト目のデータに対する ACK 応答データ (CHECK SUM 値に対する ACK 応答) になります。最初に、5 バイト目 ~ 17 バイト目の受信データに受信エラーがあるかをチェックします。受信エラーがある場合、通信異常の ACK 応答データ (bit 3) 0x18 を送信して、次の動作コマンド (3 バイト目) データ待ちになります。送信データの上位 4 ビットは、直前の動作コマンドデータの上位 4 ビットになるので、"1" になります。なお、I/O インタフェースの場合、受信エラーのチェックは行いません。

次に、17 バイト目の CHECK SUM データをチェックします。CHECK SUM データのチェック方法は、5 バイト目 ~ 16 バイト目までの受信データを符号なし 8 ビット加算 (オーバーフローを無視) して得られた値の下位 8 ビットが、0x00 かどうかをチェックしています。0x00 以外の場合、CHECK SUM エラーの ACK 応答データ (bit0) 0x11 を送信して、次の動作コマンド (3 バイト目) データ待ちになります。

最後に、パスワードの照合結果をチェックします。次の場合、パスワードエラーの ACK 応答データ (bit 0) 0x11 を送信して、次の動作コマンド (3 バイト目) データ待ちになります。

- 5 バイト目 ~ 16 バイト目のパスワードデータの照合結果に関わらず、パスワードエリアの 12 バイトのデータが、0xFF 以外の同一データの場合。

- 5 バイト目 ~ 16 バイト目のパスワードデータの照合がすべて一致しない場合。

上記のチェックを終えて、すべて正常なら、正常 ACK 応答データ 0x10 を送信します。

8. 19 バイト目 ~ 22 バイト目までの受信データは、ブロック転送における格納先の RAM の開始アドレスを表します。19 バイト目がアドレスの 31 ビット ~ 24 ビットに対応し、22 バイト目が 7 ビット ~ 0 ビットに対応します。
9. 23 バイト目、24 バイト目の受信データは、ブロック転送するバイト数を表します。23 バイト目が転送バイト数の 15 ビット ~ 8 ビット目に対応し、24 バイト目が 7 ビット ~ 0 ビット目に対応します。
10. 25 バイト目の受信データは、CHECK SUM データになります。19 バイト目から 24 バイト目の送信データを符号なし 8 ビット加算 (オーバーフローを無視) して得られた下位 8 ビット値の 2 の補数値をコントローラから送信してください。CHECK SUM データ計算方法は、後述の「CHECK SUM の計算方法」を参照してください。
11. 26 バイト目の送信データは、19 バイト目 ~ 25 バイト目のデータに対する ACK 応答データ (CHECK SUM 値に対する ACK 応答) になります。最初に、19 バイト目 ~ 25 バイト目の受信データに受信エラーがあるかどうかをチェックします。受信エラーがある場合、通信異常の ACK 応答データ (bit 3) 0x18 を送信して、次の動作コマンド (3 バイト目) データ待ちになります。送信データの上位 4 ビットは、直前の動作コマンドデータの上位 4 ビットになるので "1" になります。なお、I/O インタフェースの場合、受信エラーのチェックは行いません。

次に、25 バイト目の CHECK SUM データをチェックします。CHECK SUM データのチェック方法は、19 バイト目 ~ 24 バイト目までの受信データを符号なし 8 ビット加算 (オーバーフローを無視) して得られた値の下位 8 ビットが、0x00 かどうかをチェックしています。0x00 以外の場合、CHECK SUM エラーの ACK 応答データ (bit 0) 0x11 を送信して、次の動作コマンド (3 バイト目) データ待ちになります。

- 19 バイト目 ~ 25 バイト目のデータは RAM 上のアドレス 0x2000_0400 から RAM の最終番地の領域に納まるようにプログラムしてください。

上記のチェックを終えてすべて正常なら、正常 ACK 応答データ 0x10 を送信します。

12. 27 バイト目 ~ m バイト目の受信データは、RAM へ格納するデータになります。RAM に格納するデータを、19 バイト目から 22 バイト目で指定されたアドレスから書き込み、23 バイト目から 24 バイト目に指定されたバイト数分だけ書き込みます。
13. m+1 バイト目の受信データは、CHECK SUM データになります。27 バイト目 ~ m バイト目の送信データを符号なし 8 ビット加算 (オーバーフローを無視) して得られた下

位 8 ビット値の 2 の補数をコントローラから送信してください。CHECK SUM データの計算方法は、後述の「CHECK SUM の計算方法」を参照してください。

14. $m + 2$ バイト目の送信データは、27 バイト目 ~ $m + 1$ バイト目のデータに対する ACK 応答データ (CHECK SUM に対する ACK 応答) になります。最初に 27 バイト目 ~ $m + 1$ バイト目の受信データに受信エラーがあるかどうかをチェックします。受信エラーがある場合、通信異常の ACK 応答データ (bit 3) $0x18$ を送信して、次の動作コマンド (3 バイト目) データ待ちになります。送信データの上位 4 ビットは、直前の動作コマンドデータの上位 4 ビットになるので "1" になります。なお、I/O インタフェースの場合、受信エラーのチェックは行いません。

次に、 $m + 1$ バイト目の CHECK SUM データをチェックします。CHECK SUM データのチェック方法は、27 バイト目 ~ m バイト目までの受信データを符号なし 8 ビット加算 (オーバーフローを無視) して得られた値の下位 8 ビットが、 $0x00$ かどうかをチェックしています。 $0x00$ 以外の場合、CHECK SUM エラーの ACK 応答データ (bit 0) $0x11$ を送信して、次の動作コマンド (3 バイト目) データ待ちになります。上記のチェックを終えてすべて正常なら、正常 ACK 応答データ $0x10$ を送信します。

15. $m + 2$ バイト目の ACK 応答データが正常 ACK 応答データの場合、正常 ACK 応答データ $0x10$ を送信後、19 バイト目 ~ 22 バイト目で指定されたアドレスに分岐します。

25.2.10.2 フラッシュメモリチップ消去およびプロテクトビット消去コマンド

データ転送フォーマットは表 25-7 を参照してください。

1. 1 バイト目 ~ 2 バイト目までの送受信データは RAM 転送コマンドの場合と同一になります。

2. コントローラ → デバイス

3 バイト目の受信データは動作コマンドデータになります。この場合は、フラッシュメモリチップ消去コマンドデータ (0x40) になります。

3. デバイス → コントローラ

4 バイト目の送信データは、3 バイト目の動作コマンドデータに対する ACK 応答データになります。

最初に、3 バイト目の受信データに受信エラーがあるかどうかをチェックします。受信エラーがある場合、通信異常の ACK 応答データ (bit 3) 0xX8 を送信して、次の動作コマンド (3 バイト目) データ待ちになります。送信データの上位 4 ビットは不定値になりません (直前の動作コマンドデータの上位 4 ビットになります)。

次に、3 バイト目の受信データが、表 25-4 の動作コマンドデータのいずれかに該当する場合は、受信データをエコーバック送信 (正常 ACK 応答データ) します。この場合、0x40 をエコーバック送信します。該当しない場合は、動作コマンドエラーの ACK 応答データ (bit 0) 0xX1 を送信して、次の動作コマンド (3 バイト目) データ待ちになります。送信データの上位 4 ビットは不定値になります (直前の動作コマンドデータの上位 4 ビットになります)。

4. 5 バイト目 ~ 16 バイト目の受信データは、消去パスワード要否選択エリア (TMPM342FYXBG: 0x3F83 _ FFF0) のデータにより内容が異なります。

(TMPM342FYXBG: 0x3F83 _ FFF0) が 0xFF 以外の値の場合、消去パスワードが必要となり、5 バイト目 ~ 16 バイト目はパスワードデータ (12 バイト) になります。5 バイト目の受信データから順に、フラッシュメモリの以下の表のアドレスと照合します。一致していない場合、パスワードエラーフラグをセットします。

製品	パスワード領域
TMPM342FYXBG	0x3F83 _ FFF4 ~ 0x3F83 _ FFFF

(TMPM342FYXBG: 0x3F83 _ FFF0) が 0xFF の場合、パスワードは不要となり、5 バイト目 ~ 16 バイト目はダミーデータとなります。

5. 17 バイト目の受信データは、CHECK SUM データになります。5 バイト目から 16 バイト目の送信データを符号なしの 8 ビット加算 (オーバーフローを無視) して得られた下位 8 ビット値の 2 の補数をコントローラから送信してください。CHECK SUM データの計算方法は、後述の「CHECK SUM の計算方法」を参照してください。

6. 18 バイト目の送信データは、5 バイト目 ~ 17 バイト目のデータに対する ACK 応答データ (CHECK SUM 値に対する ACK 応答) になります。最初に、5 バイト目 ~ 17 バイト目の受信データに受信エラーがあるかをチェックします。受信エラーがある場合、通信異常の ACK 応答データ (bit 3) 0x48 を送信して、次の動作コマンド (3 バイト目) データ待ちになります。送信データの上位 4 ビットは、直前の動作コマンドデータの上位 4 ビットになるので、"4" になります。なお、I/O インタフェースの場合、受信エラーのチェックは行いません。

次に、17 バイト目の CHECK SUM データをチェックします。CHECK SUM データのチェック方法は、5 バイト目 ~ 16 バイト目までの受信データを符号なし 8 ビット加算 (オーバフローを無視) して得られた値の下位 8 ビットが、0x00 かどうかをチェックしています。0x00 以外の場合、CHECK SUM エラーの ACK 応答データ (bit 0) 0x41 を送信して、次の動作コマンド (3 バイト目) データ待ちになります。

最後に、パスワードの照合結果をチェックします。次の場合、パスワードエラーの ACK 応答データ (bit 0) 0x41 を送信して、次の動作コマンド (3 バイト目) データ待ちになります。

- 5 バイト目 ~ 16 バイト目のパスワードデータの照合結果に関わらず、パスワードエリアの 12 バイトのデータが、0xFF 以外の同一データの場合。

- 5 バイト目 ~ 16 バイト目のパスワードデータの照合がすべて一致しない場合。

上記のチェックを終えて、すべて正常なら、正常 ACK 応答データ 0x40 を送信します。

7. コントローラ → デバイス

19 バイト目の受信データは消去イネーブルコマンドデータ (0x54) になります。

8. デバイス → コントローラ

20 バイト目の送信データは、19 バイト目の消去イネーブルコマンドデータに対する ACK 応答データになります。

最初に、19 バイト目の受信データに受信エラーがあるかどうかをチェックします。受信エラーがある場合、通信異常の ACK 応答データ (bit 3) 0xX8 を送信して、次の動作コマンド (3 バイト目) データ待ちになります。送信データの上位 4 ビットは不定値になります (直前の動作コマンドデータの上位 4 ビットになります)。

次に、19 バイト目の受信データが、消去イネーブルコマンドデータに該当する場合は、受信データをエコーバック送信 (正常 ACK 応答データ) します。この場合、0x54 をエコーバック送信して、フラッシュメモリチップ消去処理ルーチンに分岐します。該当しない場合は、動作コマンドエラーの ACK 応答データ (bit 0) 0xX1 を送信して、次の動作コマンド (3 バイト目) データ待ちになります。送信データの上位 4 ビットは不定値になります (直前の動作コマンドデータの上位 4 ビットになります)。

9. デバイス → コントローラ

21 バイト目の送信データはが正常に終了したかどうかを示します。

正常に終了した時は、終了コード (0x4F) を返します。

消去 Error が起きた場合は、エラーコード (0x4C) を返します。

10. 22 バイト目の受信データは、次の動作コマンドデータになります。

25.2.10.3 ACK 応答データ

ブートプログラムは処理状況を各種コードによってコントローラに送信します。表 25-8 から表 25-11 に各受信データに対する ACK 応答データを示します。ACK 応答データの上位 4 ビットは、動作コマンドデータの上位 4 ビットになります。また 3 ビット目は受信エラーを表し、0 ビット目は動作コマンドエラー、CHECK SUM エラー、パスワードエラーの状態を表します。1 ビット目と 2 ビット目は常に 0 になります。なお、I/O インタフェースの場合、受信エラーのチェックは行いません。

表 25-8 シリアル動作判定データに対する ACK 応答データ

送信データ	送信データの意味
0x86	UART での通信が可能と判定した。(注)
0x30	I/O インタフェースでの通信が可能と判定した。

注) UART の場合、ボーレートの設定が不可能と判定したら、何も送信しないで動作を停止します。

表 25-9 動作コマンドデータに対する ACK 応答データ

送信データ	送信データの意味
0xX8 (注)	動作コマンドデータに受信エラーが発生した。
0xX1 (注)	未定義の動作コマンドデータを正常受信した。
0x10	RAM 転送コマンドと判定した。
0x40	フラッシュメモリチップ消去コマンドと判定した。

注) 上位 4 ビットは、直前の動作コマンドデータの上位 4 ビットになります。

表 25-10 CHECK SUM データに対する ACK 応答データ

送信データ	送信データの意味
0xX8 (注)	受信エラーが発生していた。
0xX1 (注)	CHECK SUM エラーが発生した。あるいは、パスワードエラーが発生した。
0xN0 (注)	CHECK SUM 値は正常な値と判定した。

注) 上位 4 ビットは動作コマンドデータの上位 4 ビットになります。例えば、パスワードエラー発生時は 1 (X = RAM 転送コマンドデータ [7:4]) となります。

表 25-11 フラッシュメモリチップ消去およびプロテクトビット消去動作に対する ACK 対応データ

送信データ	送信データの意味
0x54	消去イネーブルコマンドと判定した。
0x4F	消去コマンド終了
0x4C	消去コマンドが不正に終了した。

25.2.10.4 シリアル動作モード判定

コントローラは、UART で通信したい場合、所望のボーレートで 1 バイト目を 0x86 にし、I/O インタフェースで通信したい場合、所望のボーレート ÷ 16 で 1 バイト目を 0x30 にして送信してください。図 25-4 にそれぞれの場合の波形を示します。

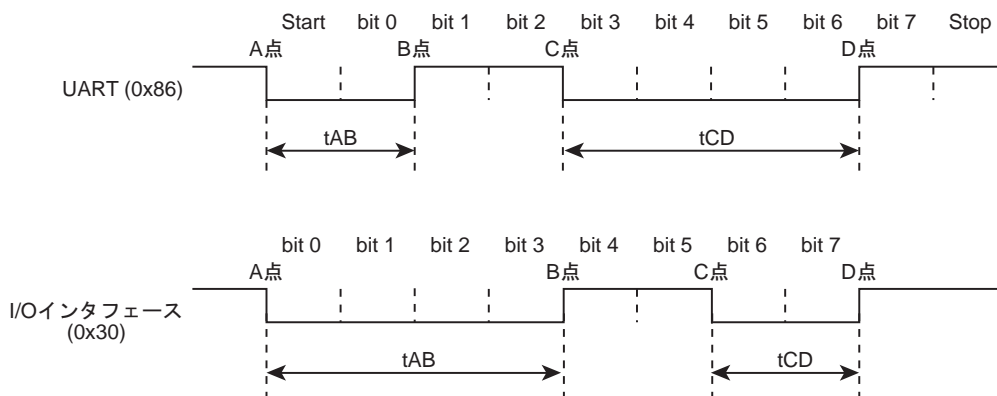


図 25-4 シリアル動作モード判定データ

ブートプログラムは、リセット解除後の 1 バイト目のシリアル動作モード判定データ (0x86, 0x30) を受信禁止状態にして、図 25-5 に示すフローチャートで、図 25-4 の tAB, tAC と、tAD の時間を求めています。図 25-5 のフローチャートに示すように、CPU が受信端子のレベルをモニタしてレベルの変化があると、そのときのタイマ値を取り込みます。このため、tAB, tAC と、tAD のタイマ値には誤差が生じます。また、ボーレートが速いときには、CPU は受信端子のレベルの変化を判断できない場合がありますので注意してください。特に、I/O インタフェースは UART に比べボーレートが速いため、このような場合が発生しやすくなります。このようなことが起こらないようにするために、I/O インタフェースの場合、コントローラのボーレートは所望ボーレート ÷ 16 にして送信してください。

図 25-5 のフローチャートに示すように、シリアル動作モードの判定は、受信端子が "L" レベルのときの時間幅の大小関係で判定しています。tAB ≤ tCD の場合 UART と判定し、ボーレートの自動設定が可能かどうかを tAD の時間から判定します。tAB > tCD の場合、I/O インタフェースと判定します。なお、先に述べたように、tAB, tAC, tAD のタイマ値には誤差が生じているため、ボーレートが速く、動作周波数が低い場合、各タイマ値が小さくなり、意図しない判断を行うことがありますので注意してください (書き換えルーチン内で UART の再設定を行ってください)。

例えば、コントローラは UART で通信したいのに、I/O インタフェースと判定してしまうことがあります。このようなことを考慮して、コントローラは UART で通信したい場合、1 バイト目のデータを送信後、タイムアウト時間内にデータ 0x86 を正常受信できなければ通信不可能と判断してください。I/O インタフェースで通信したい場合は 1 バイト目のデータを送信後、アイドル時間後に SCLK クロックを出力してデータを受信し、受信データが 0x30 でなければ通信不可能と判断してください。

I/O インタフェースで通信したい場合は上記のとおり、tAB > tCD であれば 1 バイト目のデータは 0x30 でなくても構いません。A 点と C 点の立ち下がり、B 点と D 点の立ち上がりを判定できるように 0x91, 0xA1 あるいは 0xB1 を 1 バイト目のデータとして送信できます。tAB > tCD が成立しており、動作モード判定結果 SIO が選択された場合、(1 バイト目の送信データが 0x30 でない場合でも) 2 バイト目のデータは 0x30 となります (以下、I/O インタフェース判定用の 1 バイト目のデータは 0x30 を表記しています)。

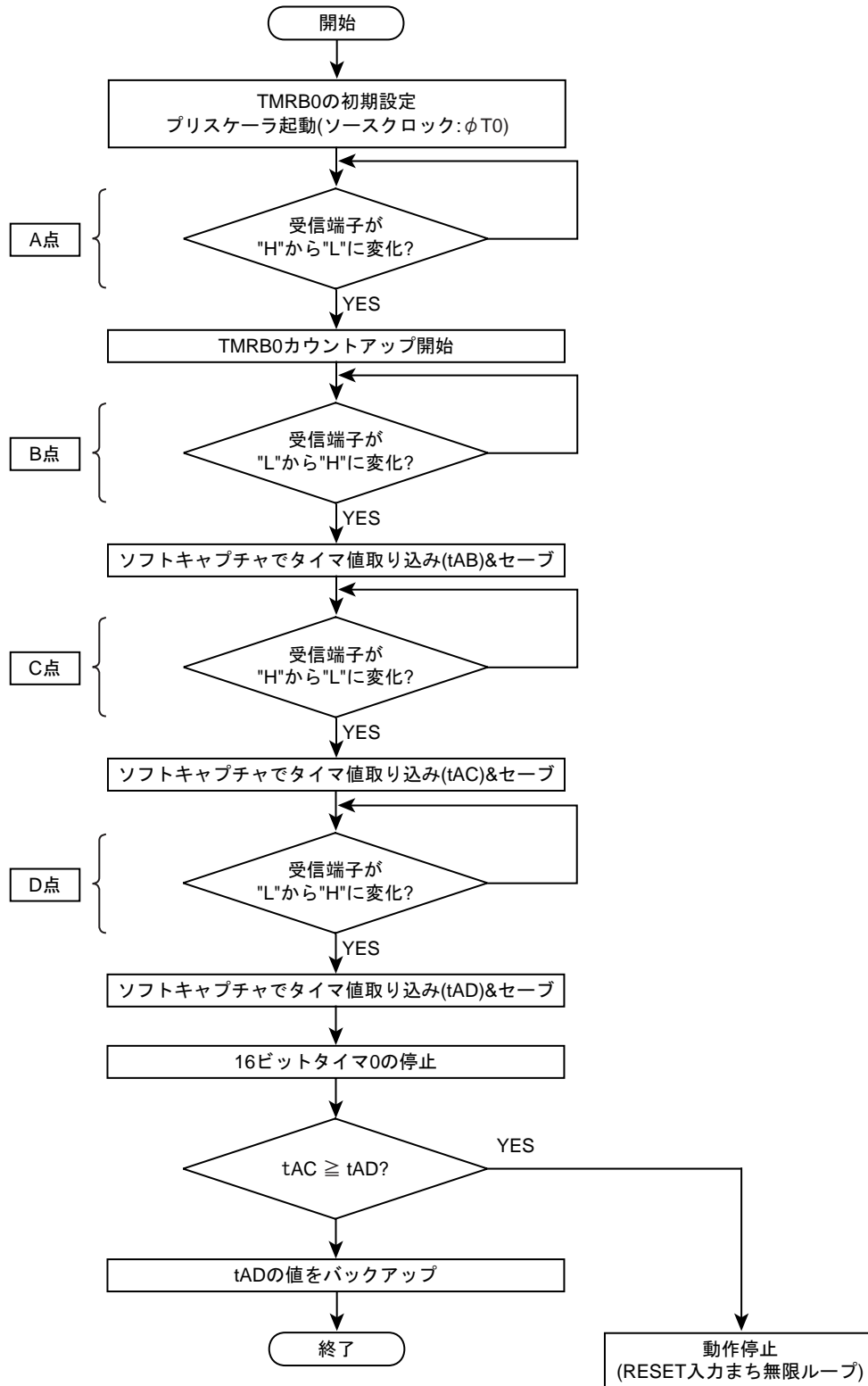


図 25-5 シリアル動作モード受信フローチャート

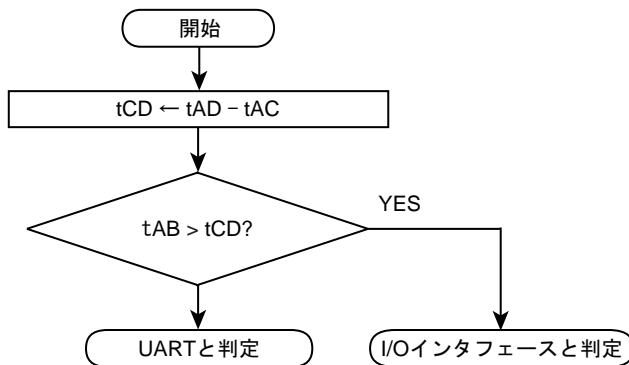


図 25-6 シリアル動作モード判定フローチャート

25.2.10.5 パスワードについて

動作コマンドによりパスワードの確認方法が異なります。パスワード領域はコマンドによらず共通で、以下のとおりです。セキュリティ機能が有効な状態でもパスワードの参照は行いません。

製品	パスワード領域
TMPM342FYXBG	0x3F83_FFF4 ~ 0x3F83_FFFF

注) パスワードが消去データ (0xFF) の場合、容易にパスワードの照合が可能になり、セキュリティの確保が難しくなります。シングルブートモードを使用しない場合も固有の値を置くことを推奨します。

(1) RAM 転送コマンドの場合

まず、動作コマンドデータをエコーバック送信 (0x10) 後、パスワードエリアのデータ (12 バイト) をチェックします。

図 25-7 に示すようにパスワードエリアのデータが、0xFF 以外の同一データになっていた場合、パスワードエリアエラーと判定します。パスワードエリアエラーと判定された場合、パスワードデータの照合結果に関わらず、17 バイト目の CHECK SUM 値に対する ACK 対応は 0x11 を送信します。

次に、5 バイト目 ~ 16 バイト目の受信データ (パスワードデータ) の照合を行います。12 バイト分すべてが一致しないと、パスワードエラーになります。パスワードエラーと判定された場合、17 バイト目の CHECK SUM 値に対する ACK 応答は、パスワードエラーとなります。

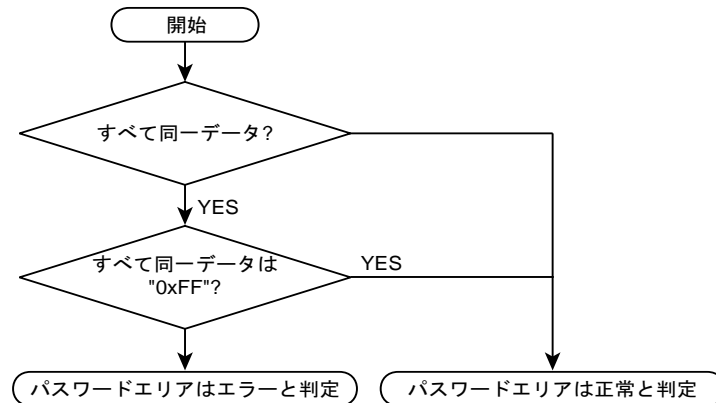


図 25-7 パスワードチェックフローチャート

(2) フラッシュメモリチップ消去およびプロテクトビット消去の場合

消去パスワード要否の選択エリアのデータによってパスワードの確認をするかどうかが決まります。消去パスワード要否の選択エリアは以下のとおりです。

製品	消去パスワード要否選択エリア
TMPM342FYXBG	0x3F83 _ FFF0

図 25-8 に示すように、選択エリアの値が 0xFF 以外の場合パスワードの確認を行います。パスワードエリアのデータがすべて同一データの場合、エラーと判定し 17 バイト目の CHECK SUM 値に対する ACK 応答は "0x41" を送信します。

次に、5 バイト目 ~ 16 バイト目の受信データ (パスワードデータ) の照合を行います。12 バイト分すべてが一致しないと、パスワードエラーになります。パスワードエラーと判定された場合、17 バイト目の CHECK SUM 値に対する ACK 応答は、パスワードエラーとなります。

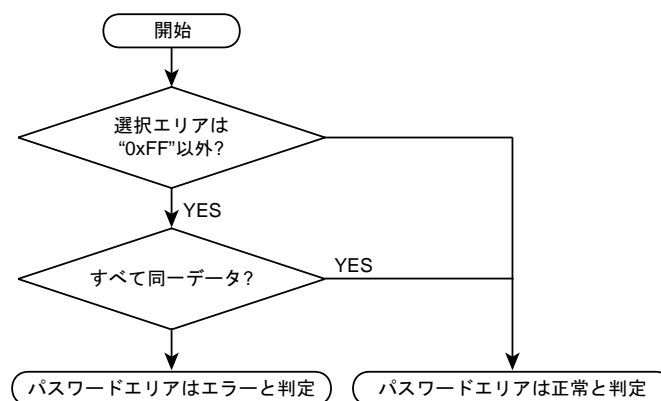


図 25-8 パスワードチェックフローチャート

25.2.10.6 CHECK SUM の計算方法

CHECK SUM の計算方法は、送信データを符号なし 8 ビット加算 (オーバーフローを無視) して得られた下位 8 ビット値の 2 の補数値を求めています。コントローラは CHECK SUM 値を送信するときは、本計算方法を使用してください。

例)CHECK SUM 計算例

2 バイトのデータ 0xE5、0xF6 の CHECK SUM 値を求める場合、まず符号なし 8 ビット加算を行います。

$$0xE5 + 0xF6 = 0x1DB$$

この値の下位 8 ビットに対しての 2 の補数をとると以下のようになり、この値が CHECK SUM 値になります。従って、コントローラには 0x25 を送信します。

$$0 - 0xDB = 0x25$$

25.2.11 ブートプログラム全体フローチャート

ブートプログラム全体フローチャートを示します。

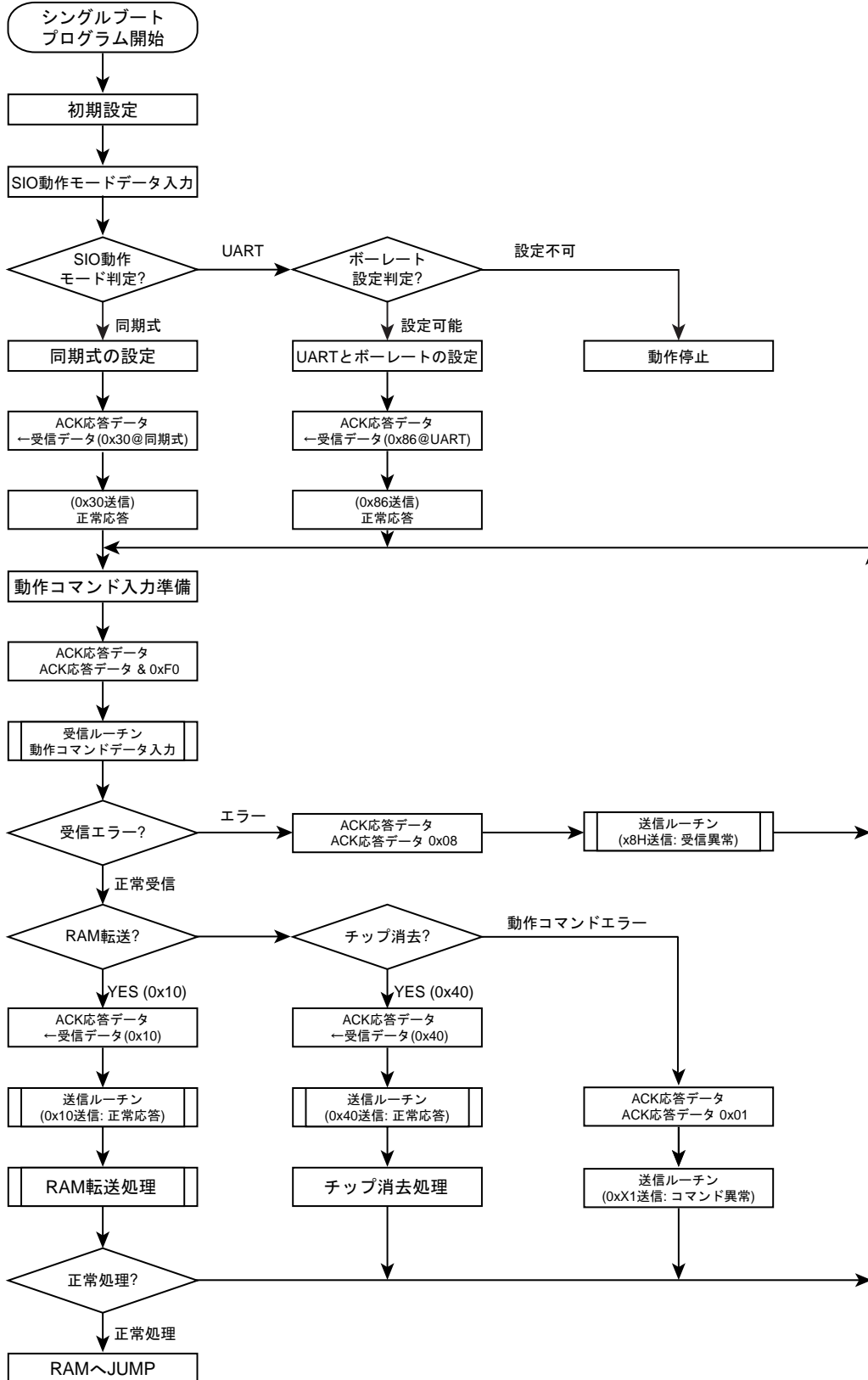


図 25-9 ブートプログラム全体フローチャート

25.3 オンボードプログラミングでのフラッシュメモリ書き込み / 消去

オンボードプログラミングでは、CPU によりソフトウェア的にコマンドを実行することで、フラッシュの書き込み / 消去を行います。この書き込み / 消去の制御プログラムはユーザーがあらかじめ用意しておきます。フラッシュメモリの書き込み / 消去を行っている間は、フラッシュメモリ自身の読み出しはできませんので、ユーザーブートモードに移行後、書き込み / 消去制御プログラムは内蔵 RAM 上で実行してください。

25.3.1 フラッシュメモリ

一部の機能を除き、フラッシュメモリの書き込みおよび消去などは JEDEC 標準コマンドに準拠しています。CPU とのインタフェースの関係上、動作コマンドのアドレス指定が標準コマンドとは異なります。

書き込み、消去を行う場合、32 ビット (ワード) のデータ転送命令を用いてフラッシュメモリへコマンドを入力します。コマンド入力後、書き込みおよび消去は内部で自動的に行われます。

表 25-12 フラッシュメモリの機能

主な機能	説明
自動ページプログラム	データ書き込みを自動で行います。
自動チップ消去	フラッシュメモリの全エリアの一括消去を自動で行います。
自動ブロック消去	ブロック単位での消去を自動で行います。
ライト / 消去プロテクト	ブロック単位ごとに書き込みおよび消去を禁止することができます。

25.3.1.1 ブロック構成

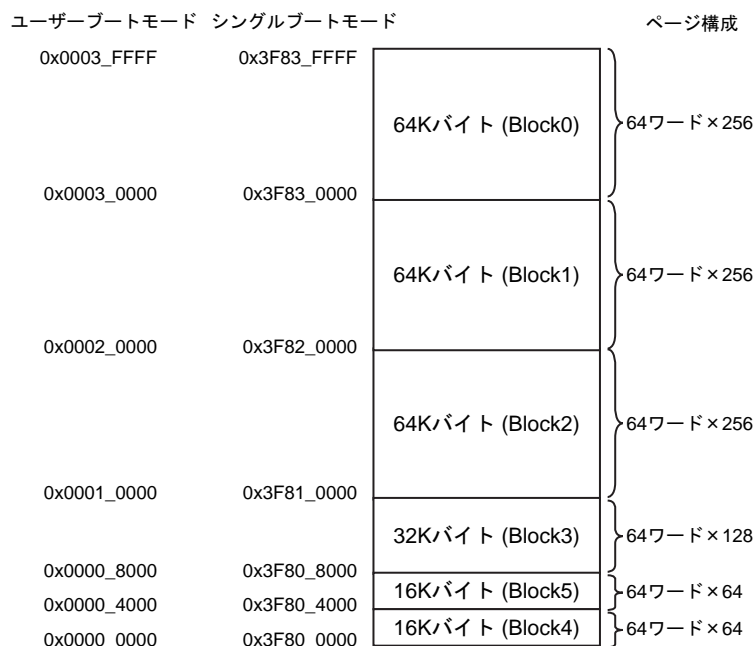


図 25-10 ブロック構成 (TMPM342FYXBG)

25.3.1.2 基本動作

このフラッシュメモリには、大きく分けて以下の2種類の動作モードがあります。

- メモリデータを読み出すモード (リードモード)
- メモリデータを自動的に消去 / 書き替えるモード (自動動作)

リードモード中にコマンドシーケンスを実行することで、自動動作に移ることができます。自動動作中は、フラッシュメモリデータの読み出しとフラッシュメモリ上の命令の実行ができません。自動動作中はハードウェアリセットを除いて例外が発生した場合、リードモードに移りません。自動動作中はデバッグポート接続時のデバッグ例外とリセットを除いて、すべての例外を発生させないでください。ハードウェアリセットを除いて例外が発生した場合、リードモードに移りません。

(1) リード

データを読み出す場合、フラッシュメモリをリードモードにします。電源投入直後、CPUリセット解除後および自動動作の正常終了時に、フラッシュメモリはリードモードになります。自動動作の異常終了時や、他のモードからリードモードに復帰させるには、後述する Read/リセットコマンド (ソフトウェアリセット) もしくはハードウェアリセットを用います。フラッシュメモリに書かれた命令を実行する場合もリードモードでなければなりません。

- Read/リセットコマンドおよび Read コマンド (ソフトウェアリセット)

ID-Read コマンドを実行した場合、マクロは自動的に Read モードに復帰せず、その状態で停止します。このような状態から Read モードに復帰させるために、Read/リセットコマンドを使用します。また、途中まで入力したコマンドをキャンセルしたい場合にも、Read/リセットコマンドを使用します。Read コマンドは、フラッシュメモリの任意のアドレスに 0x0000_00F0 データを 32 ビット (ワード) のデータ転送命令を実行してリードモードに復帰するコマンドです。

Read/リセットコマンドは第3バスライトサイクル終了後にリードモードになります。

(2) コマンドライト

このフラッシュメモリは、コマンドコントロール方式を用いています。コマンド実行は、フラッシュメモリに対してコマンドシーケンスを実行することで行います。フラッシュメモリは、入力されたアドレスとデータの組み合わせによって各自動動作コマンドを実行します (コマンドシーケンス参照)。

コマンドシーケンスの途中でコマンドライトをキャンセルしたい場合や、間違ったコマンドシーケンスを入力した場合は、Read/リセットコマンドを実行します。フラッシュメモリはコマンド実行を中止してリードモードになります。

フラッシュメモリに対する 32 ビット (ワード) のデータ転送命令を "バスライトサイクル" と呼びます。各コマンドはいくつかのバスサイクルで構成されています。各バスライトサイクルには順番があり、フラッシュメモリはバスライトサイクルのアドレスとデータが規定の順番でコマンドライトされた時は自動動作を実施します。規定の順番でコマンドライトされなかったバスライトサイクルがあった場合にフラッシュメモリはコマンドの実行を中止してリードモードになります。

注1) 各コマンドシーケンスは、フラッシュメモリ外のエリアから実施します。

- 注 2) 各バスライトサイクルは連続して、32 ビット (ワード) のデータ転送命令で行って下さい。各コマンドシーケンスの実行中に、フラッシュメモリへのアクセスは実施しないで下さい。また、すべての割り込み (デバックポート接続時は、デバック例外を除く) を発生させないでください。
- 各バスライトサイクルおよび、各コマンドシーケンスの実行中にフラッシュメモリに対して予期せぬリードアクセスが生じることになり、コマンドシーケンスがコマンドを正常に認識できない恐れがあります。各コマンドシーケンスは正常終了しない恐れがあると同時に、誤ったコマンドライトとして認識してしまう可能性があります。
- 注 3) コマンドシーケンスがコマンドを認識するために、コマンド開始前の状態がリードモードである必要があります。各コマンドシーケンスの第 1 バスライトサイクル前に FCFLCS<RDY/BSY> = 1 であることを確認してください。続いて Read コマンドを実行することを推奨します。
- 注 4) コマンド発行時、誤ったアドレスやデータをライトした場合は、必ずソフトウェアリセットを発行して、一度リードモードに戻して下さい。

25.3.1.3 リセット (ハードウェアリセット)

ハードウェアリセットは、自動プログラム / 消去動作の強制的な実行中止や、自動動作が異常終了したとき、コマンドライトにより設定した動作モードの解除に使用します。

本フラッシュメモリはメモリブロックとしてリセット入力を持ち、この入力は CPU のリセット信号とつながっています。このため、本デバイスの $\overline{\text{RESET}}$ 入力端子が "Low" となるか、ウォッチドッグタイマのオーバフローなどにより CPU のリセットがかかると、フラッシュメモリは自動動作の実行中であってもその動作を中止し、リードモードに戻ります。なお、自動動作の実行中にハードウェアリセットが入った場合は、データの書き替えが正常に行えませんが注意が必要です。再度、書き替えを行う処置をしてください。

CPU のリセット動作については、「25.2.1 リセット動作」を参照してください。所定のリセット入力後、CPU はフラッシュメモリよりリセットベクタデータをリードし、リセット解除後の動作を開始します。

25.3.1.4 コマンド説明

(1) 自動ページプログラム

フラッシュメモリへの書き込みは、"1" データセルを "0" データにすることです。"0" データセルを "1" データにすることはできません。"0" データセルを "1" データにするには消去動作を行う必要があります。

本デバイスの自動ページプログラムは、ページごとの書き込みとなります。1 ページは、64 ワードで、アドレス [31:8] が同じで、先頭アドレス [7:0] = 0、最後のアドレス [7:0] = 0xFF のグループです。以降はページプログラムの単位をページと呼びます。

データセルへの書き込みは、内部シーケンサで自動的に行われ、CPU による外部からの制御を必要としません。自動ページプログラムの状態 (書き込み動作中であるか) は FCFLCS<RDY/BSY> にて確認できます。

また、自動ページプログラム中は、新たにコマンドシーケンスを受け付けません。自動ページプログラム動作を中止したい場合は、ハードウェアリセットを用います。これにより動作を中止させた場合、該当のページに対するデータの書き込みは正常に行われていないため、消去動作後に改めて自動ページプログラムを実行する必要があります。

自動ページプログラムは消去後のページに対して 1 回のみ可能で、"1" データセルであっても "0" データセルであってもページに対して 2 回以上の実行はできません。一度書き込み動作を行ったページに対して再度書き込みを行う場合は、自動ブロック消去または自動チップ消去コマンドを行った後に自動ページプログラムを実行しなおす必要がありますのでご注意ください。消去動作を伴わない同一ページへの 2 回以上ページプログラム実施はデバイス破損の可能性があります。

本デバイス内部で自動的なベリファイ動作は行いません。正常に書き込みができたか、実行後に読み出しをして確認してください。

自動ページプログラムは、コマンドサイクルの第 3 バスライトサイクル終了から開始します。第 5 バスライトサイクル以降は、第 4 バスライトサイクルで指定した次のアドレス (第 4 バスライトサイクルではページの先頭アドレスをコマンドライトします) から順番に書き込みを行います (データ入力は 32 ビット単位で行います)。第 4 バスライトサイクル以降のコマンドライトは必ず 32 ビット (ワード) のデータ転送命令を使用してください。このとき 32 ビット (ワード) のデータ転送命令はワード境界をまたいだ位置へ実施しないでください。第 5 バスライトサイクル以降は同一ページエリアに対してデータをコマンドライトします。また、ページの一部に書き込みをしたい場合でもページ単位で自動ページプログラムする必要があります。この場合も第 4 バスライトサイクルのアドレス入力はページ先頭アドレスにしてください。この時 "0" データセルにしたくない箇所は入力データを "1" にしてコマンドライトします。例えば、あるページ先頭アドレスの書き込みをしない場合、第 4 バスライトサイクルのデータ入力を 0xFFFFFFFF としてコマンドライトします。

第 3 バスライトサイクルを実行すると自動プログラム動作中となります。このことは FCFLCS<RDY/BSY> をモニタすることで確認できます。自動プログラム動作中は、新たなコマンドシーケンスを受け付けません。動作を中止する場合は、ハードウェアリセットを用います。動作を中止させた場合は、データの書き込みは正常に行えませんので注意してください。1 ページのデータをコマンドライト後、ページ自動書き込みが正常終了した時に FCFLCS<RDY/BSY> = "1" となり、リードモードに復帰します。

複数のページに対してデータの書き込みを行うときは、ページごとにページプログラムコマンドを実行する必要があります (1 回の自動ページプログラムコマンドで書き込めるサイズは 1 ページです)。ページを跨ったデータ入力の自動ページプログラムはできません。

ライト / 消去プロテクトされたブロックへの書き込みはできません。自動プログラムが正常終了すると、自動的にリードモードに復帰します。このことは FCFLCS<RDY/BSY> をモニタすることで確認できます。自動プログラム動作が不良となった場合は、フラッシュメモリはこのモードのままロックされ、リードモードには復帰しません。リード状態に復帰させるにはハードウェアリセットでデバイスをリセットする必要があります。この場合、このアドレスへの書き込みが不良になっていますので、デバイスの使用を停止するか、以後このアドレスを含むブロックを使用しないことを推奨します。

注) 自動ページプログラム第 4 バスライトサイクル以降のバスライトサイクルでは、ソフトウェアリセットが無効になります。

(2) 自動チップ消去

自動チップ消去動作は、コマンドサイクルの第 6 バスライトサイクル終了から開始します。

自動チップ消去動作は、FCFLCS<RDY/BSY> をモニタすることで確認できます。本デバイス内部で自動的なベリファイ動作は行いませんので、正常に消去ができたか、実行後に読み出しをして確認してください。自動チップ消去動作中は、新たなコマンドシーケンスを受け付けません。動作を中止する場合は、ハードウェアリセットを用います。動作を中止した場合、データの消去は正常に行えないので、再度自動チップ消去を行う必要があります。

また、ライト / 消去プロテクトされているブロックがある場合、そのブロックの消去は行いません。すべてのブロックがライト / 消去プロテクトされている場合は、自動チップ消去を実行せず、コマンドシーケンスの第 6 バスライトサイクルの完了後にリードモードになります。自動チップ消去が正常終了すると、自動的にリードモードに復帰します。自動チップ消去動作が不良となった場合は、フラッシュメモリはこのモードのままロックされ、リードモードには復帰しません。

リードモードに復帰させるにはハードウェアリセットでデバイスをリセットする必要があります。この場合は、不良が発生したブロックの検知はできません。デバイスの使用を停止するか、ブロック消去機能を利用して不良ブロックを特定し、以降不良ブロックを使用しないことを推奨します。

(3) 自動ブロック消去 (Block 単位)

自動ブロック消去は、コマンドサイクルの第 6 バスライトサイクル終了から開始します。

自動ブロック消去動作の状態は、FCFLCS<RDY/BSY> をモニタすることで確認できます。本デバイス内部で自動的なベリファイ動作は行いませんので、正常に消去ができたか、実行後に読み出しをして確認してください。自動ブロック消去中は新たなコマンドシーケンスを受け付けません。動作を中止する場合は、ハードウェアリセットを用います。この場合、データの消去は正常に行えませんが、再度自動ブロック消去を行う必要があります。

また、ライト / 消去プロテクトされているブロックがある場合、そのブロックの消去を行いません。自動ブロック消去動作が不良になった場合、フラッシュメモリはこのモードのままロックされ、リードモードには復帰しません。ハードウェアリセットを用いてデバイスをリセットしてください。

(4) 自動プロテクトビットプログラム (Block 単位)

本デバイスはプロテクトビットを内蔵し Block 単位で設定することができます。Block とプロテクトビットの関係は表 25-16 にあります。自動プロテクトビットプログラムは 1 ビット単位で実行します。ビットの指定は第 7 バスライトサイクルの PBA で行います。自動プロテクトビットプログラムにより、ブロックごとに書き込みと消去の動作を禁止 (プロテクト) することができます。各ブロックのプロテクトの状態は FCFLCS<BLPRO> で確認できます。自動プロテクトビットプログラム動作の状態は、FCFLCS<RDY/BSY> をモニタすることで確認できます。自動プロテクトビットプログラム動作中は新たなコマンドシーケンスを受け付けません。動作を中止する場合は、ハードウェアリセットを用います。この場合、プロテクトの設定は正常に行えない可能性がありますので、再度ブロックプロテクトの動作をやり直す必要があります。すべてのプロテクトビットをプログラムした後は、FCFLCS レジスタのすべての <BLPRO> ビットが "1" になっています。これ以降はすべての Block に対し、ライト / 消去はできません。

注) 自動プロテクトビットプログラム第 7 バスライトサイクルでは、ソフトウェアリセットが無効になります。FCFLCS<RDY/BSY> は、第 7 バスライトサイクル入力後から、FCFLCS<RDY/BSY> = "0" となります。

(5) 自動プロテクトビット消去

セキュリティビットとプロテクトビットの状態によって、自動プロテクトビット消去コマンドの実行結果が異なります。FCSECBIT<SECBIT> = 0x1 の場合、FCFLCS レジスタのすべての <BLPRO> が "1" か、それ以外の値かで動作が決まります。自動プロテクトビット消去コマンド実施前に必ず FCFLCS<BLPRO> の値を確認してください。セキュリティの詳細については「プロテクト / セキュリティ機能」の章を参照してください。

- FCFLCS<BLPRO> = all "1" (すべてのプロテクトビットがプログラムされている) の場合

自動プロテクトビット消去コマンドをコマンドライトすると、自動的に本デバイス内部でフラッシュメモリの初期化を行います。第 7 バスライトサイクル終了後、フラッシュメモリ全エリアのデータセルの消去を行い、引き続きプロテクトビットの消去を行います。この動作に関しては FCFLCS<RDY/BSY> をモニタすることで確認できます。自動プロテクトビット消去動作が正常に終了した場合 FCFLCS = 0x00000001 となります。本デバイス内部で自動的なベリファイ動作は行いませんので、正常に消去ができたか、実行後に読み出しをして確認してください。第 7 バスライトサイクル以降の自動動作中にリードモードに復帰させるにはハードウェアリセットでデバイスをリセットする必要があります。この場合リードモードに復帰後、FCFLCS<BLPRO> にてプロテクトビットの状態を確認して、必要に応じて再度自動プロテクトビット消去または、自動チップ消去あるいは自動ブロック消去を実行する必要があります。

- FCFLCS<BLPRO> ≠ all "1" (すべてのプロテクトビットがプログラムされていない) の場合

プロテクトビットを消去することで、プロテクトの状態を解除することができます。本デバイスでは、表 25-17 のように Block 単位でプロテクトビットをプログラムするのに対して消去は 4 ビットをまとめて行います。消去を行いたいプロテクトビットの指定は第 7 バスライトサイクルで行います。各ブロックのプロテクトビットの状態は後で説明する FCFLCS<BLPRO> で確認できます。自動プロテクトビットプログラム動作の状態は、FCFLCS<RDY/BSY> をモニタすることで確認できます。自動プロテクトビット消去動作が正常に終了した場合、FCFLCS<BLPRO> の消去選択したプロテクトビットの値が "0" となります。

いずれの場合も、自動プロテクトビット消去動作中は新たなコマンドシーケンスを受け付けません。動作を中止する場合はハードウェアリセットを用います。自動プロテクトビット消去動作が正常に終了した場合はリードモードに復帰します。

注) FCFLCS<RDY/BSY> ビットは自動動作中 "0"、自動動作終了後 "1" になります。

(6) ID-Read

ID-Read コマンドを使用すると、本デバイスに内蔵しているフラッシュメモリのタイプ等の情報を知ることができます。第 4 バスライトサイクル以降でのアドレス [15:14] の値によりロードされるデータが異なります (データ入力値は 0x00 推奨)。第 5 バスライトサイクル以降で任意のフラッシュメモリエリアの読み出しを行うと ID の値が読み出されます。ID-Read コマンド第 4 バスライトサイクル以降は自動的にリードモードに復帰しません。第 4 バスライトサイクルと ID の値の読み出しは繰り返し実行できます。リードモードへの復帰は Read/リセットコマンドまたはハードウェアリセットで行います。

25.3.1.5 フラッシュコントロール/ステータスレジスタ

Base Address = 0x41FF_F000

レジスタ名		Address(Base+)
Reserved	-	0x0000, 0x0004
セキュリティビットレジスタ	FCSECBIT	0x0010
Reserved	-	0x0014
フラッシュコントロールレジスタ	FCFLCS	0x0020
Reserved	-	0x0024, 0x0028

注) "Reserved" 表記のアドレスにはアクセスしないでください。

(1) FCSECBIT(セキュリティビットレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	SECBIT
リセット後	0	0	0	0	0	0	0	1

Bit	Bit Symbol	Type	機能
31-1	-	R	リードすると "0" が読めます。
0	SECBIT	R/W	セキュリティビット 0: セキュリティ機能設定不可 1: セキュリティビット設定可能

注) 本レジスタは、コールドリセットおよびスタンバイモードの STOP2 モード解除で初期化されます。

(2) FCFLCS(フラッシュコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	BLPRO5	BLPRO4	BLPRO3	BLPRO2	BLPRO1	BLPRO0
リセット後	0	0	(注2)	(注2)	(注2)	(注2)	(注2)	(注2)
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	RDY/BSY
リセット後	0	0	0	0	0	0	0	1

Bit	Bit Symbol	Type	機能
31-22	-	R	リードすると"0"が読めます。
21-16	BLPRO5- BLPRO0	R	Block5 ~ 0のプロテクト状態 0: プロテクト状態ではない 1: プロテクト状態 プロテクトビット値は各ブロックのプロテクト状態に対応します。該当ビットが"1"の時は対応するブロックがプロテクト状態であることを示します。プロテクト状態のブロックは書き換えはできません。
15-1	-	R	リードすると"0"が読めます。
0	RDY/BSY	R	Ready/Busy (注1) 0: 自動動作中 1: 自動動作終了 自動動作の状態を認識する方法として、RDY/BSY出力を備えています。本ビットはこの機能をCPUからモニタするための機能ビットです。フラッシュメモリが自動動作中は"0"を出力し、ビジー状態であることを示します。自動動作が終了するとレディ状態となり"1"を出力し、次のコマンドを受け付けます。自動動作の結果が不良であった場合、本ビットは"0"出力を継続します。ハードウェアリセットにより"1"に復帰します。

注1) コマンド発行は、必ずレディ状態であることを確認してから発行してください。ビジー中にコマンド発行を行なった場合、正常なコマンドが送られないだけでなく、それ以降のコマンドを入力できなくなる可能性があります。その際は、ハードウェアリセットで復帰してください。ハードウェアリセットを行う場合は、システムクロックによらず0.5 μs以上のリセット期間が必要となります。またこの場合、リセット解除後読み出しが可能になるまで2 ms程度の時間がかかります。

注2) プロテクト状態に対応した値になります。

25.3.1.6 コマンドシーケンス一覧

各コマンドの、アドレスとデータを表 25-13 に示します。

Read コマンドの第 2 バスサイクル, Read/ リセットコマンドの第 4 バスサイクル, ID-Read コマンドの第 5 バスサイクル以外はすべて "バスライトサイクル" です。バスライトサイクルは 32 ビット (ワード) のデータ転送命令で実施します。(表では、データの下位 8 ビットのデータのみ示しています。)

アドレスの詳細は、表 25-14 を参照してください。「コマンド」と記載された、Addr[15:8] に下記の値を使用します。

注) 全バスサイクル, アドレスビット [1:0] へは常に "0" を設定して下さい。

表 25-13 内部 CPU によるフラッシュメモリアクセス

コマンド シーケンス	第 1 バス サイクル	第 2 バス サイクル	第 3 バス サイクル	第 4 バス サイクル	第 5 バス サイクル	第 6 バス サイクル	第 7 バス サイクル
	Addr.	Addr.	Addr.	Addr.	Addr.	Addr.	Addr.
	Data	Data	Data	Data	Data	Data	Data
Read	0xXX	-	-	-	-	-	-
	0xF0	-	-	-	-	-	-
Read/ リセット	0x54XX	0xAAXX	0x54XX	RA	-	-	-
	0xAA	0x55	0xF0	RD	-	-	-
ID-Read	0x54XX	0xAAXX	0x54XX	IA	0xXX	-	-
	0xAA	0x55	0x90	0x00	ID	-	-
自動ページ プログラム	0x54XX	0xAAXX	0x54XX	PA	PA	PA	PA
	0xAA	0x55	0xA0	PD0	PD1	PD2	PD3
自動チップ消去	0x54XX	0xAAXX	0x54XX	0x54XX	0xAAXX	0x54XX	-
	0xAA	0x55	0x80	0xAA	0x55	0x10	-
自動 ブロック消去	0x54XX	0xAAXX	0x54XX	0x54XX	0xAAXX	BA	-
	0xAA	0x55	0x80	0xAA	0x55	0x30	-
自動プロテクトビット プログラム	0x54XX	0xAAXX	0x54XX	0x54XX	0xAAXX	0x54XX	PBA
	0xAA	0x55	0x9A	0xAA	0x55	0x9A	0x9A
自動プロテクトビット 消去	0x54XX	0xAAXX	0x54XX	0x54XX	0xAAXX	0x54XX	PBA
	0xAA	0x55	0x6A	0xAA	0x55	0x6A	0x6A

補足説明

- RA: リードアドレス
- RD: リードデータ
- IA: ID アドレス
- ID: ID データ
- PA: プログラム ページアドレス
- PD: プログラムデータ (32 ビットデータ)

第 4 バスサイクル以降 1 ページ分をアドレス順にデータ入力

- BA: ブロックアドレス
- PBA: プロテクトビットアドレス

25.3.1.7 バスライトサイクル時のアドレスビット構成

表 25-14 は「表 25-13 内部 CPU によるフラッシュメモリアクセス」と併せてご使用願います。

第 1 バスサイクルから「通常のバスライトサイクルアドレス設定」に従い、アドレス設定を行ってください。「"0" 推奨」は適宜変更可能です。

表 25-14 バスライトサイクル時のアドレスビット構成

アドレス	Addr [31:19]	Addr [18]	Addr [17]	Addr [16]	Addr [15]	Addr [14]	Addr [13:11]	Addr [10]	Addr [9]	Addr [8]	Addr [7:0]
------	-----------------	--------------	--------------	--------------	--------------	--------------	-----------------	--------------	-------------	-------------	---------------

{TMPM342FYXBG}

通常のバスライトサイクルアドレス設定	
通常 コマンド	フラッシュ領域 "0" 推奨 コマンド Addr[1:0] = "0" 固定、 他ビットは "0" 推奨
IA: ID アドレス (ID-READ の第 4 バスライトサイクルアドレス設定)	
ID-READ	フラッシュ領域 "0" 推奨 ID アドレス Addr[1:0] = "0" 固定、他ビットは "0" 推奨
BA: ブロックアドレス (ブロック消去の第 6 バスライトサイクルアドレス設定)	
ブロック 消去	ブロックアドレス (表 25-15) Addr[1:0] = "0" 固定、他ビットは "0" 推奨
PA: プログラムページアドレス (ページプログラムの第 4 バスライトサイクルアドレス設定)	
Auto ページ プログラム	ページアドレス Addr[1:0] = "0" 固定、 他ビットは "0" 推奨
PBA: プロテクトビットアドレス (プロテクトビットプログラムの第 7 バスライトサイクルアドレス設定)	
プロテクト ビットプロ グラム	フラッシュ領域 プロテクト ビット選択 (表 25-16) "0" 固定 プロテクト ビット選択 (表 25-16) Addr[1:0] = "0" 固定、 他ビットは "0" 推奨
PBA: プロテクトビットアドレス (プロテクトビット消去の第 7 バスライトサイクルアドレス設定)	
プロテクト ビット消去	フラッシュ領域 プロテクト ビット選択 (表 25-17) "0" 固定 Addr[1:0] = "0" 固定、 他ビットは "0" 推奨

ブロックアドレスには、消去するブロックに含まれる任意のアドレスを指定します。

表 25-15 ブロックアドレス表

Block	アドレス (ユーザーブートモード)	アドレス (シングルブートモード)	サイズ (Kbyte)
-------	----------------------	----------------------	----------------

[TMPM342FYXBG]

4	0x0000_0000 ~ 0x0000_3FFF	0x3F80_0000 ~ 0x3F80_3FFF	16
5	0x0000_4000 ~ 0x0000_7FFF	0x3F80_4000 ~ 0x3F80_7FFF	16
3	0x0000_8000 ~ 0x0000_FFFF	0x3F80_8000 ~ 0x3F80_FFFF	32
2	0x0001_0000 ~ 0x0001_FFFF	0x3F81_0000 ~ 0x3F81_FFFF	64
1	0x0002_0000 ~ 0x0002_FFFF	0x3F82_0000 ~ 0x3F82_FFFF	64
0	0x0003_0000 ~ 0x0003_FFFF	0x3F83_0000 ~ 0x3F83_FFFF	64

注) 第 1 バスサイクルから第 5 バスサイクルまで上位側のアドレスは消去するブロックのアドレスを指定してください。

表 25-16 プロテクトビットプログラムアドレス表

Block	プロテクトビット	第7バスライトサイクルのアドレス				
		アドレス [18]	アドレス [17]	アドレス [16:11]	アドレス [10]	アドレス [9]

[TPPM342FYXBG]

Block0	<BLPRO[0]>	0	0	"0" 固定	0	0
Block1	<BLPRO[1]>	0	0		0	1
Block2	<BLPRO[2]>	0	0		1	0
Block3	<BLPRO[3]>	0	0		1	1
Block4	<BLPRO[4]>	0	1		0	0
Block5	<BLPRO[5]>	0	1		0	1

表 25-17 プロテクトビット消去アドレス表 (TPPM342FYXBG)

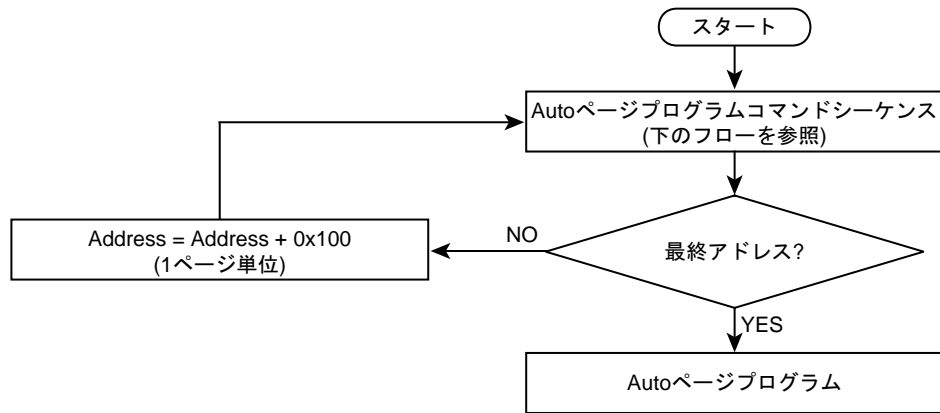
Block	プロテクトビット	第7バスライトサイクルのアドレス [18:17]	
		アドレス [18]	アドレス [17]
Block0 ~ 3	<BLPRO[0:3]>	0	0
Block4 ~ 5	<BLPRO[4:5]>	0	1

注) プロテクトビット消去コマンドは、プロテクトビット単位での消去はできません。

表 25-18 ID-Read コマンド第4バスライトサイクルのIDアドレス (IA) とその後の32ビット転送命令で読み出せるデータ

IA[15:14]	ID[7:0]	Code
0y00	0x98	メーカーコード
0y01	0x5A	デバイスコード
0y10	Reserved	-
0y11	0x13 (TPPM342FYXBG)	マクロコード

25.3.1.8 フローチャート



Autoページプログラムコマンドシーケンス(アドレス/コマンド)



図 25-11 自動プログラム

注) 0x54xx は 0x55xx でもコマンドシーケンスを実行します。

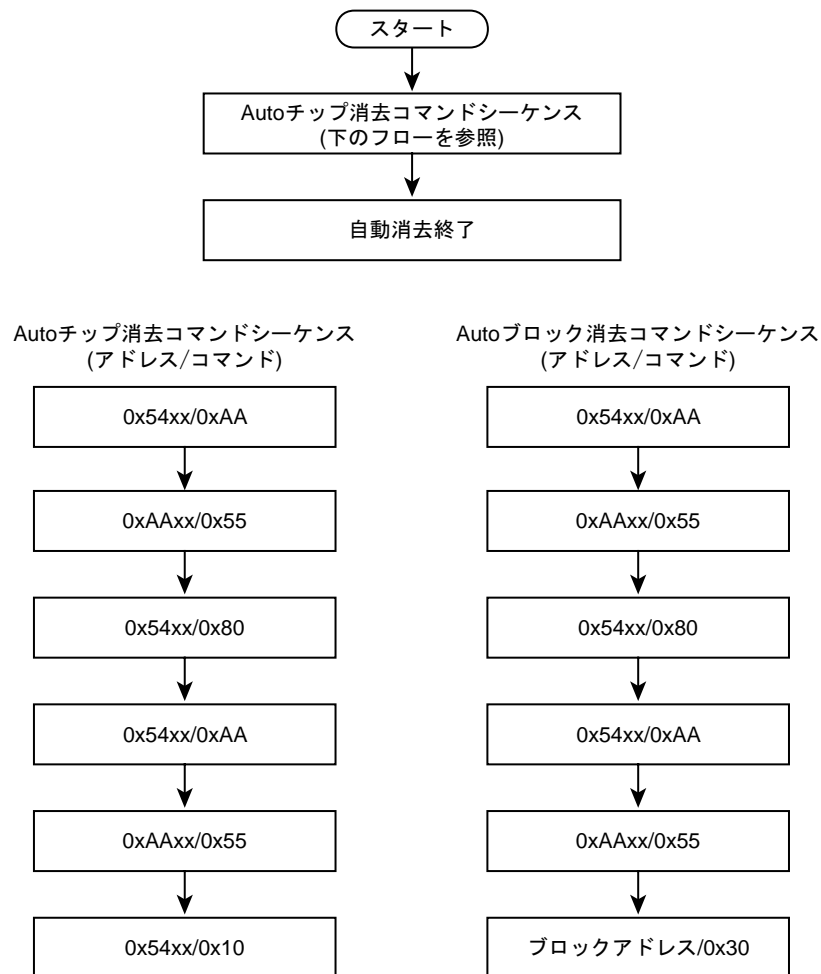


図 25-12 自動消去

注) 0x54xx は 0x55xx でもコマンドシーケンスを実行します。

第 26 章 プロテクト / セキュリティ機能

26.1 概要

本製品は内蔵 ROM (Flash) のライト / 消去をプロテクトする機能、およびライターでの内蔵 ROM (Flash) 領域を読み出し禁止に設定できるセキュリティ機能を内蔵しています。セキュリティ機能はデバッグ機能の使用制限も行います。プロテクト / セキュリティ機能として、次の 2 つの機能をもっています。

- 内蔵 ROM (Flash) のライト / 消去プロテクト
- セキュリティ機能

26.2 特長

26.2.1 内蔵 ROM (Flash) のライト / 消去プロテクト

内蔵フラッシュは、ブロック単位で書き込みと消去の動作を禁止することができます。この機能をライト / 消去プロテクトと呼びます。

ライト / 消去プロテクト機能を有効にするためには、プロテクトをかけたいブロックに対応するプロテクトビットを "1" にします。プロテクトビットを "0" にすることによりブロックプロテクトを解除することができます。(プログラム方法については、「Flash 動作説明」の章をご覧ください。)

プロテクトビットは、FCFLCS<BLPRO[5:0]> でモニタすることができます。

26.2.2 セキュリティ機能

内蔵フラッシュに対してのデータの読み出しの制限および、デバッグ機能を制限することができます。この機能をセキュリティ機能と呼びます。

セキュリティ機能が有効になる条件を、以下に示します。

1. FCSECBIT<SECBIT> が "1" にセットされている。
2. ライト / 消去プロテクト用のすべてのプロテクトビット (FCFLCS<BLPRO>) が "1" にセットされている。

注) FCSECBIT<SECBIT> はコールドリセットで "1" にセットされます。

セキュリティ機能が有効な状態の制限内容を、表 26-1 に示します。

表 26-1 セキュリティ機能有効時の制限内容

項目	内容
1) ROM 領域のデータの読み出し	CPU からの読み出しは可能です。
2) デバッグポート	シリアルワイヤ, トレースの通信ができなくなります。
3) フラッシュに対するコマンドの実行	フラッシュに対してのコマンドライトが受け付けられません。また、ライト / 消去プロテクト用のプロテクトビットを消去しようとすると、チップ消去が行われ、すべてのプロテクトビットも消去されます。

26.3 レジスタ

26.3.1 レジスタ一覧

Base Address = 0x41FF_F000

レジスタ名		Address(Base+)
Reserved	-	0x0000,0x0004
セキュリティビットレジスタ	FCSECBIT	0x0010
Reserved	-	0x0014
フラッシュコントロールレジスタ	FCFLCS	0x0020
Reserved	-	0x0024,0x0028

注) "Reserved" 表記のアドレスにはアクセスしないでください。

26.3.2 FCFLCS(フラッシュコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	BLPRO5	BLPRO4	BLPRO3	BLPRO2	BLPRO1	BLPRO0
リセット後	0	0	(注2)	(注2)	(注2)	(注2)	(注2)	(注2)
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	RDY/BSY
リセット後	0	0	0	0	0	0	0	1

Bit	Bit Symbol	Type	機能
31-22	-	R	リードすると"0"が読めます。
21-16	BLPRO5- BLPRO0	R	Block5 ~ 0のプロテクト状態 0: プロテクト状態ではない 1: プロテクト状態 プロテクトビット値は各ブロックのプロテクト状態に対応します。該当ビットが"1"の時は対応するブロックがプロテクト状態であることを示します。プロテクト状態のブロックは書き換えはできません。
15-1	-	R	リードすると"0"が読めます。
0	RDY/BSY	R	Ready/Busy (注1) 0: 自動動作中 1: 自動動作終了 自動動作の状態を認識する方法として、RDY/BSY出力を備えています。本ビットはこの機能をCPUからモニタするための機能ビットです。フラッシュメモリが自動動作中は"0"を出力し、ビジー状態であることを示します。自動動作が終了するとレディ状態となり"1"を出力し、次のコマンドを受け付けます。自動動作の結果が不良であった場合、本ビットは"0"出力を継続します。ハードウェアリセットにより"1"に復帰します。

- 注1) コマンド発行は、必ずレディ状態であることを確認してから発行してください。ビジー中にコマンド発行を行なった場合、正常なコマンドが送られないだけでなく、それ以降のコマンドを入力できなくなる可能性があります。その際は、ハードウェアリセットで復帰してください。
ハードウェアリセットを行う場合は、システムクロックによらず0.5 μs以上のリセット期間が必要となります。またこの場合、リセット解除後読み出しが可能になるまで2 ms程度の時間がかかります。
- 注2) プロテクト状態に対応した値が読めます。

26.3.3 FCSECBIT(セキュリティビットレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	SECBIT
リセット後	0	0	0	0	0	0	0	1

Bit	Bit Symbol	Type	機能
31-1	-	R	リードすると "0" が読めます。
0	SECBIT	R/W	セキュリティビット 0: セキュリティ機能設定不可 1: セキュリティ機能設定可能

注) 本レジスタは、コールドリセットおよびスタンバイモードの STOP2 モード解除で初期化されます。

26.4 設定 / 解除方法

26.4.1 内蔵 ROM (Flash) のライト / 消去プロテクト

プロテクトビットの書き込みと消去はコマンドシーケンスを用いて行います。

プロテクトビットの書き込みはプロテクトビットプログラムコマンドを使用して1ビット単位、消去はプロテクトビット消去コマンドを使用して4ビット単位で行います。

すべてのプロテクトビットが"1"でかつ、FCSECBIT<SECBIT>が"1"の場合、セキュリティ機能が有効になっているので注意が必要です。この状態でプロテクトビットの消去を行うと、チップ消去を行った上でプロテクトビットすべてを消去します。このため、FCSECBIT<SECBIT>を"0"にしてからプロテクトビットの消去を行う必要があります。

コマンドシーケンスの詳細は「Flash 動作説明」の章を参照してください。

26.4.2 セキュリティビット

セキュリティ機能を有効にする FCSECBIT<SECBIT> は電源投入時のリセットで"1"にセットされます。FCSECBIT<SECBIT>の書き替えは以下の手順で行います。

1. FCSECBIT に対して特定のコード (0xa74a9d23) を書き込む。
2. 1. の書き込みから 16 クロック以内にデータを書き込む。

注) 上記 1., 2. の書き込みは 32bit 転送命令で行ってください。

第 27 章 デバッグインタフェース

27.1 仕様概要

TMPM342FYXBG はデバッグツールと接続するためのデバッグインタフェースとして SWD (Serial Wire Debug) ユニット、ならびに内部プログラムをトレース出力するための ETM (Embedded Trace Macrocell™) ユニートを搭載しています。トレース出力はマイコン内部の TPIU (Trace Port Interface Unit) を通じてデバッグ用端子 (TRACEDATA[1:0], SWV) に出力されます。

SWD, ETM, TPIU の詳細に関しましては ARM 社からリリースされる "Cortex-M3 テクニカルリファレンスマニュアル" を参照してください。

27.2 SWD

シリアルワイヤデバッグポート (SWCLK, SWDIO) をサポートしています。

27.3 ETM

データ信号 2pin (TRACEDATA[1:0]) とクロック信号 1pin (TRACECLK) および、1pin(SWV) によるトレース出力をサポートしています。

27.4 端子情報

デバッグインタフェース端子は汎用ポートと兼用です。

デバッグインタフェース端子と兼用される汎用ポートのうち、PH0/PH1 端子はシリアルワイヤデバッグポート機能で、PH3 端子は SWV トレース出力機能となります。

表 27-1 SWD,ETM デバッグ機能

SWD 端子名	汎用 ポート名	SW デバッグ機能	
		I/O	説明
SWDIO	PH0	I/O	Serial Wire Data Input/Output
SWCLK	PH1	Input	Serial Wire Clock
SWV	PH3	(Output)(注)	(Serial Wire Viewer Output)
TRACECLK	PH2	TRACE Clock Output	
TRACEDATA0	PH3	TRACE DATA Output0	
TRACEDATA1	PH4	TRACE DATA Output1	

注) SWV 機能を許可した場合

リセット解除後、PH0/ PH1 はデバッグポート端子となりますが、その他のデバッグインタフェース端子は汎用ポートです。必要に応じてデバッグ端子を使用する設定を行ってください。また、使用しないデバッグインターフェース端子は汎用ポートとして使用可能です。

低消費電力モードを使用する場合には以下の注意事項に留意してください。

- 注 1) PH0 と PH3 が機能設定 (PH0:SWDIO,PH3:SWV) の場合、CGSTBYCR<DRVE> ビットの状態によらず、STOP モード中も出力が有効な状態で保持されます。
- 注 2) PH1 がデバッグ機能設定の場合、STOP モードで十分な低消費電力効果が得られません。デバッグ機能を使用しないときは、PH1 をポート設定にしてください。

表 27-2 にデバッグインタフェースの端子情報とリセット解除後のポートの設定をまとめます。

表 27-2 デバッグインタフェース端子とリセット解除後のポート設定

ポート名 (ビット名)	デバッグ機能	リセット解除後のポートの設定値				
		機能 (PxFR)	入力 (PxIE)	出力 (PxCR)	プルアップ (PxPUP)	プルダウン (PxPDN)
PH0	SWDIO	1	1	1	1	-
PH1	SWCLK	1	1	0	-	1
PH3	SWV	1	0	1	0	-
PH2	TRACECLK	0	0	0	0	-
PH3	TRACEDATA0	0	0	0	0	-
PH4	TRACEDATA1	0	0	0	0	-

- : Don't care

27.5 ホールトモード中の周辺機能

デバッグ機能にてブレーク時、Cortex-M3 コアがホールトモードに入ると、ウォッチドッグタイマ(WDT)が自動的に停止します。その他の周辺機能は動作を続けます。

27.6 デバッグツールとの接続

27.6.1 接続方法

デバッグツールとの接続方法については、お使いになるツールメーカーが推奨する接続方法を参照してください。また、デバッグインタフェース端子はプルアップ / プルダウン抵抗を内蔵した端子です。外部にプルアップ / プルダウン抵抗を接続する際は注意してください。

注 1) デバックツールを接続した状態で STOP1/STOP2 モード時の消費電流測定は行なわないでください。

注 2) デバックツールを接続した状態での STOP2 モードの長期間保持は行なわないでください。

27.6.2 デバッグインタフェース端子を汎用ポートとして使用する際の注意

TMPM342FYXBG は、 $\overline{\text{RESET}}$ 端子からのリセットが有効な間デバックツールとの通信が禁止されているためリセット中にデバックモードに移行することができません。

PH0、PH1 ポートはリセット解除後デバックインタフェース端子となっていますが、デバック時にユーザプログラムでリセット解除後すぐに汎用ポートに設定を変更すると、デバックツールからの制御が受け付けられず、デバックツールによるデバックができなくなる場合があります。デバックインタフェース端子の使用状況に合わせて、設定を変える場合は注意してください。

表 27-3 デバックインタフェース端子の使用例

	使用するデバックインタフェース端子				
	SWV	SWCLK	SWDIO	TRACE DATA[1:0]	TRACE CLK
TRACE	o	o	o	o	o
SW	x	o	o	x	x
SW+SWV	o	o	o	x	x
デバック機能ディセーブル	x	x	x	x	x

o: イネーブル x: ディセーブル (汎用ポートとして使用可能)

27.7 PSC のデバック

PSC のデバックは、CPU の周辺回路としてデバックを行います。その為、ICE は CPU と同様の為、I/F は CPU と同様です。PSC のデバック機能として、ブレーク実行とステップ実行をサポートしています。

ブレーク実行時: PSC はブレーク機能イネーブル (BRK=1) 状態。

ステップ実行時: PSC としてはステップ機能イネーブル (STEP=1) 状態。プログラムを 1 命令実行後、CPU に PSC ステップ割込み要求を出力して停止。

CPU を介して、PSC レジスタの内容を R/W してデバックを行います。PSC のレジスタは他 IP と同様に Dump リスト等で確認・制御します。PSC の動作・機能については、PSC の章を参照してください。

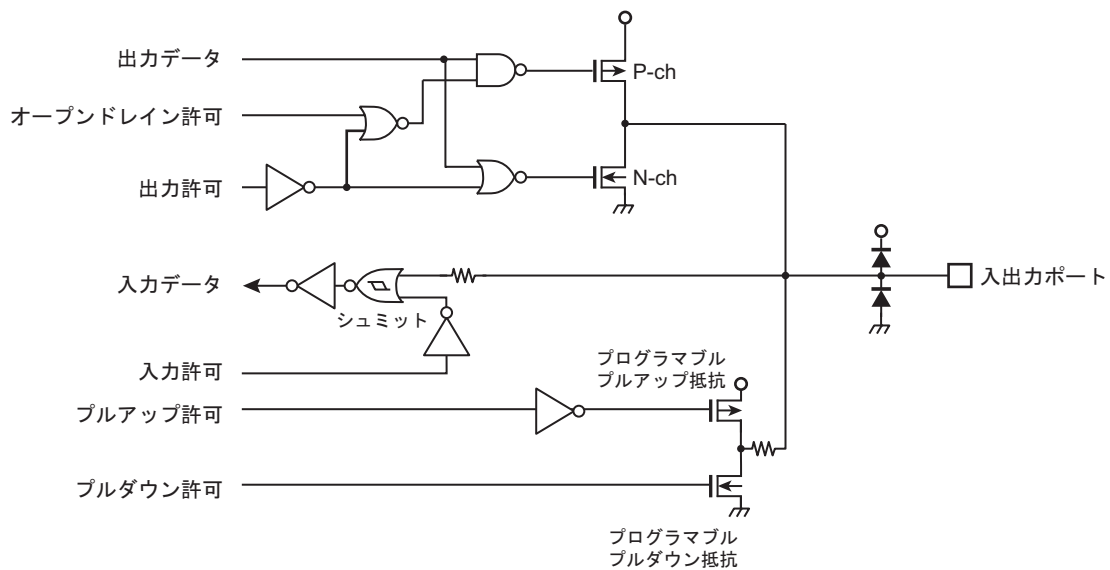
第 28 章 ポート部等価回路図

基本的に標準 CMOS ロジック IC 「74HCxx」 シリーズと同じゲート記号を使って書かれています。

入力保護抵抗は、数十 Ω ~ 数百 Ω 程度です。発振回路の帰還抵抗値とダンピング抵抗値は、図中に typ. 値を記入しています。

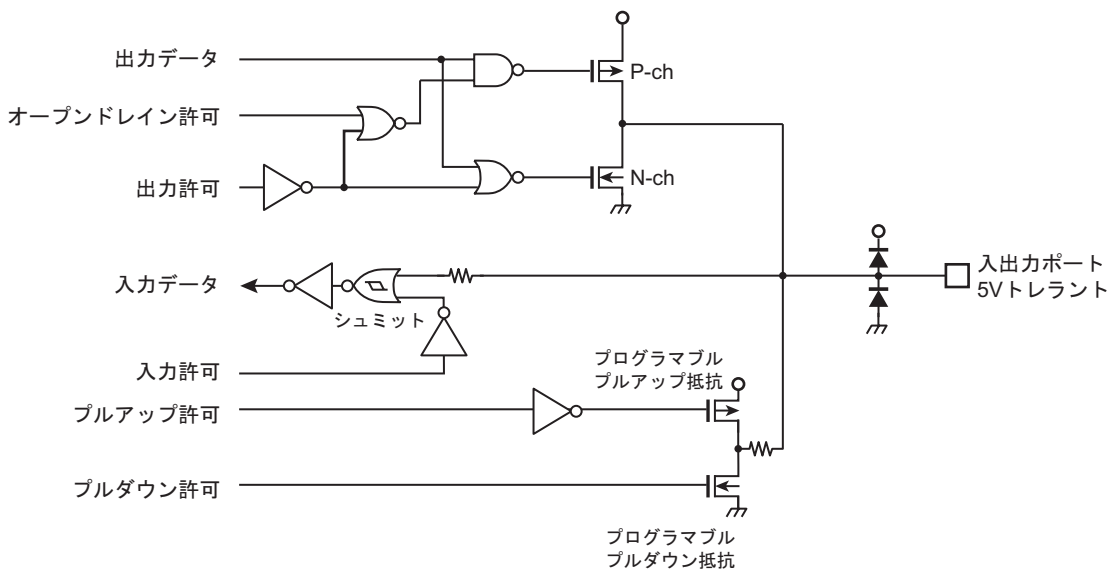
28.1 PA0~7, PC4~7, PD0~4, PD6~7, PE0~4

(入力ノイズフィルタ (PD3, PE0~2 のみ))

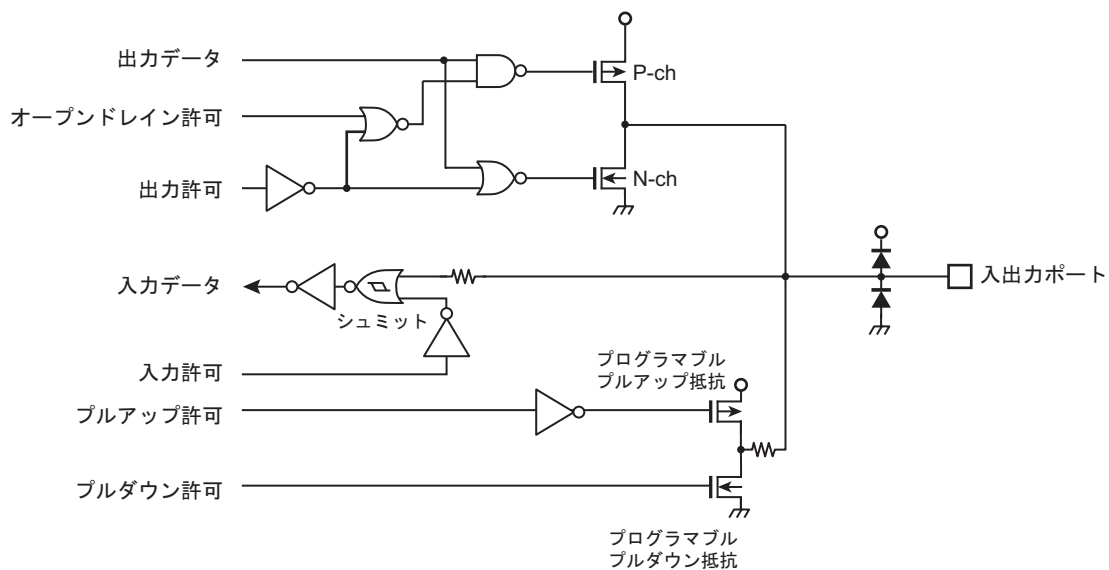


28.2 PB0~7, PC0~3

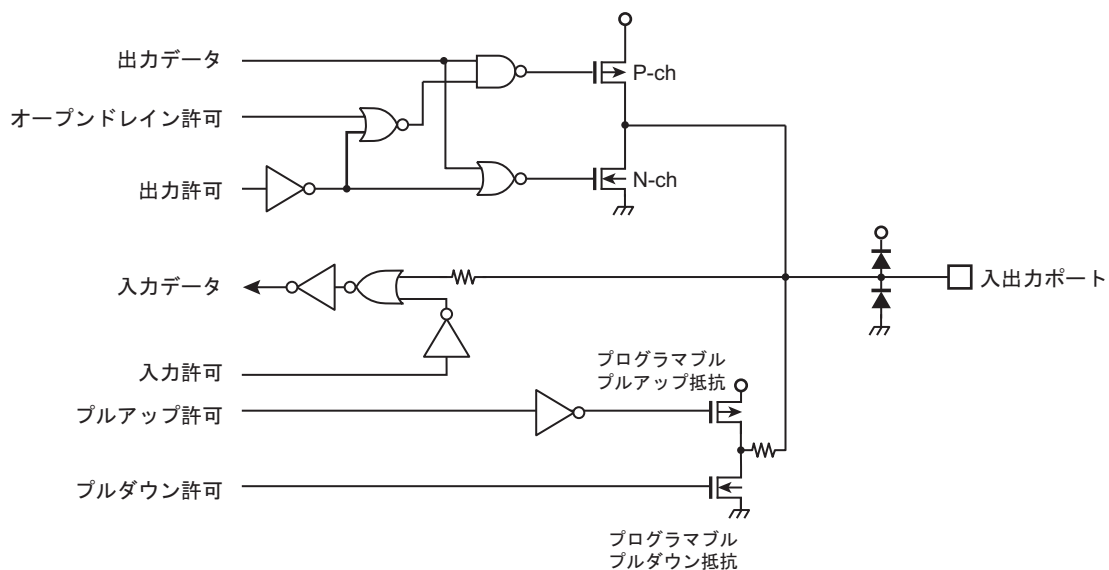
(5V トレラント入力、入力ノイズフィルタ (PB3,PB6,PB7,PC3 のみ))



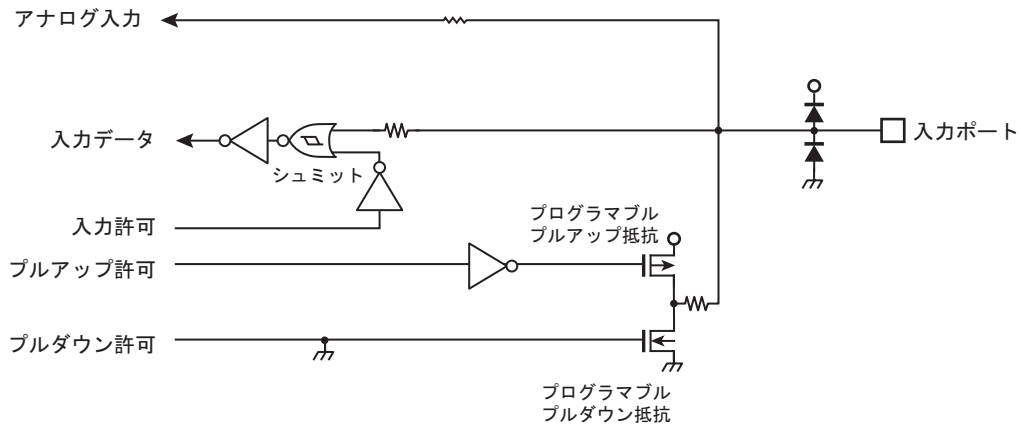
28.3 PH0~4



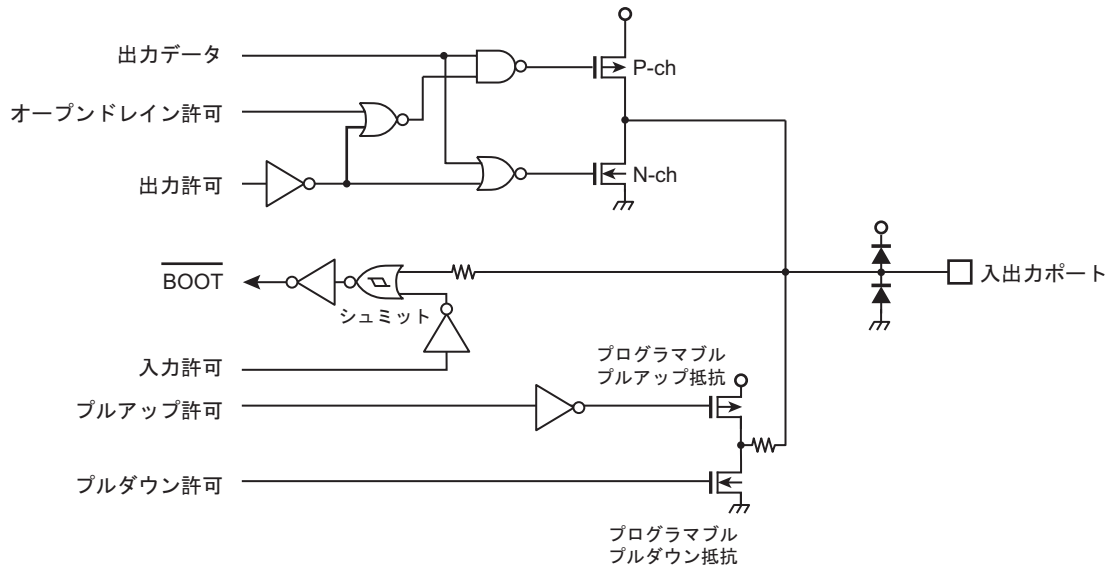
28.4 PD5(入力シュミットなし)



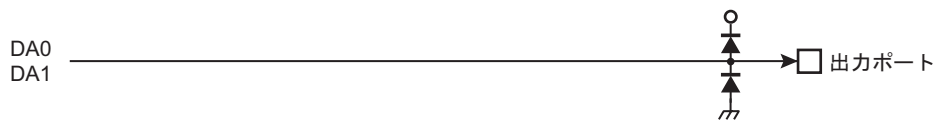
28.5 PF0~7, PG0~3, PJ0~7



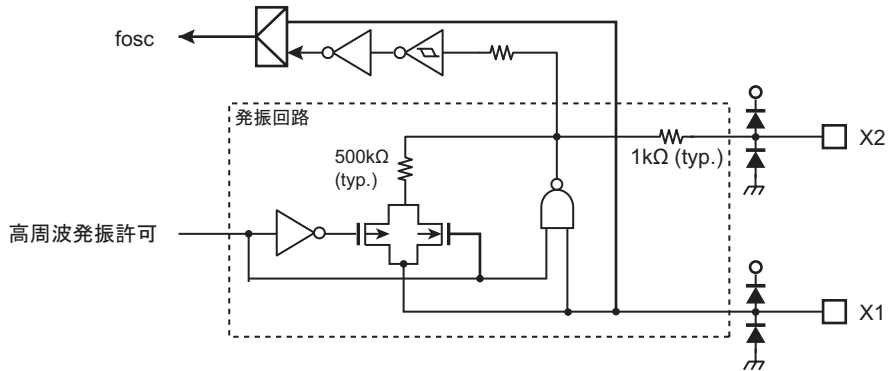
28.6 PH5 (BOOT)



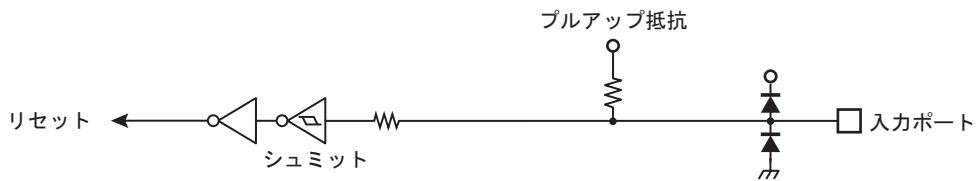
28.7 DAOUTA, DAOUTB



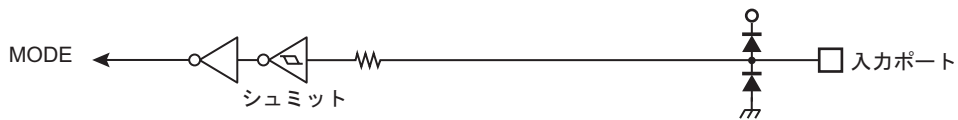
28.8 X1, X2



28.9 RESET



28.10 MODE



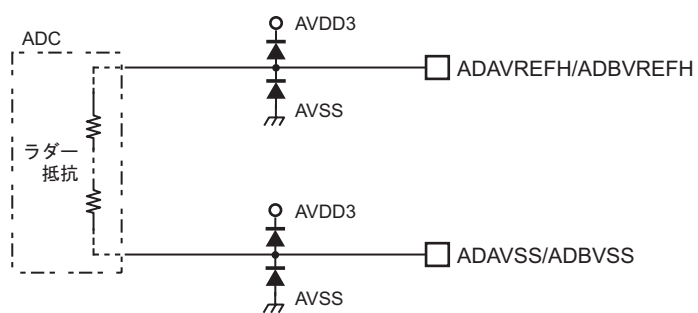
(注)MODE端子はGND.に接続してください

28.11 FTEST3



(注)FTEST3端子はOpenにしてください

28.12 ADAVREFH, ADBVREFH, ADAVSS, ADBVSS



29. 電気的特性

電圧は全て DVSS_A= DVSS_B= DVSS_C= DVSS_C= AVSS_C= ADAVSS= ADBVSS/ADCVSS= DAVSS= 0V、
AVSS3_C= PGND1= PGND2= RNF3=0V を基準とします。

29.1 絶対最大定格

項目	記号	定格	単位	備考	
電源電圧	DVDD3_A DVDD3_B	-0.3 ~ 3.9	V	MCU 電源	
	RVDD3			MCU IO 電源	
	ADAVDD3 /DAVDD3			MCU コア用電源	
	ADBVD3			MCU ADC 電源(UnitA) /MCU DAC 電源	
	ADBVD3			MCU ADC 電源 (Unit B)	
	ADBVD3 /ADCVDD3			MCU ADC 電源 (Unit C)	
	AVDD3_C			MCD 電源	
モータ電源電圧	VM1	-0.2 ~ 8.0	V	回路 OFF 時(Ta=25)	
	VM2	-0.2 ~ 5.5		動作電圧	
	VM3				
モータ出力端子電圧	xO1,xO2	-0.2 ~ 8.0	V	回路 OFF 時(Ta=25)	
	GO3	-0.2 ~ 5.5		動作電圧	
モータ出力電流	I _{out}	0.5	A	1ch 当たり(ta=25)	
	I _{out peak}	0.6		単発パルス tw(1ms)以内 (ta=25)	
入力電圧	VIN_1	-0.3 ~ DVDD3_A/B+0.3	V	MCU デジタル端子	
	VIN_2	-0.3 ~ ADAVDD3+0.3		MCU ADC(UnitA)	
	VIN_3	-0.3 ~ ADBVD3+0.3		MCU ADC(UnitB)	
	VIN_4	-0.3 ~ ADCVDD3+0.3		MCU ADC(UnitC)	
	VIN_5	-0.3 ~ 5.5		MCU 部 5V トレラント端子 (PB0-7,PC0-3)	
	VIN_6	-0.3 ~ AVDD3_C+0.3		MCD 部アナログ	
低レベル 出力電流	1 端子 (DVDD3 系)	I _{OL}	mA	MCU 出力端子対象	
	合計 (DVDD3 系)	ΣI _{OL}			50
高レベル 出力電流	1 端子 (DVDD3 系)	I _{OH}	mA		MCU 出力端子対象
	合計 (DVDD3 系)	ΣI _{OH}			
出力電流	1 端子 (AVDD3_C 系)	I _{outmax}	mA	MCD AVDD3 系電源端子対象	
許容損失 (Ta=25 , JEDEC 4 層基板)	PD	2.0	W	Ta=1 上昇毎許容損失 は 25mW 減少	
保存温度	T _{STG}	-40 ~ 125			
動作温度	Flash W/E 時を除く	T _{OPR}			
	Flash W/E 時				-25 ~ 85
		0 ~ 70			

(注 1) 絶対最大定格とは、瞬時たりとも超えてはならない規格であり、どの 1 つの項目も超えることができない規格です。絶対最大定格 (電流、電圧、消費電力、温度) を超えると破壊や劣化の原因となり、破裂・燃焼による障害を負うことがあります。したがってかならず絶対最大定格を超えないように、応用機器の設計を行ってください。また、本製品には Hブリッジドライバを内蔵しており、熱設計 (パッケージ熱抵抗 + 基板設計)、使用 Ch 数、負荷電流により、動作温度に制約を受けますので、ご注意ください。

29.2 動作電圧および動作周波数

Ta = -25 ~ 85

項目	記号	条件	Min.	Typ.	Max.	単位
最大動作周波数	X1	(外部入力周波数) 2.7V DVDD3 3.6V	8	-	20	MHz
		(クロック Duty) 2.7V DVDD3 3.6V	40	50	60	%
	fc	PSC、PHC、A/D 用	8	-	40	MHz
	fsys	fc のクロックギア経由 CPU、周辺用	1	-	40	
	fperiph	fc のプリスケール経由周辺回路用 (fsys クロックとの関係に制約有)	1	-	40	
	fPLL	・対象回路は高分解能 PPG のみ ・PLL は 8/16 逡倍動作時 (PLLOFF 時に PLL 回路出力の 使用は出来ません)	64	-	160	
	fSC_IN	MCD 入力クロック周波数	16	-	20	
	fPWM	MCD H-SW PWM 出力動作周波数			200	KHz
電源電圧	DVDD3_A DVDD3_B RVDD3 ADAVDD3 ADBVD3 ADCVDD3		2.7	3.3	3.6	V
	AVDD3_C		3.1	3.3	3.5	
モータ電源電圧	VM1-3	モータ用電源	2.5	-	5.5	
基準電圧	ADAVREFH DAVREFH		2.7	3.0	ADAVDD3 /DAVDD3	
	ADBVDREFH /ADCVDD3		2.7	3.0	ADBVD3	
	V30IN		2.7	3.0	AVDD3_C	
モータ出力電流	Iout	5.0V VM	-	-	400	mA
		2.5V VM < 5.0V	-	-	200	
ホール電源 電流能力	IHbias	一回路当たり	-	-	5	mA
PL_SW 駆動電流	PI_SW IO		-	-	30	mA

29.3 消費電流

Ta = -25 ~ 85

項目	記号	条件	対象電源	Typ.		Max.		単位
				電圧条件	電流値	電圧条件	電流値	
NORMAL (注2)	Icc1	MCU PLL=ON fsys=40MHz	DVDD3_A DVDD3_B RVDD3	3.3V	39.7	3.6V	50.0	mA
			ADAVDD3 ADBVD3 ADCVD3					
		MCD SCIN=20MHz	AVDD3_C	3.3V	7.0	3.5V	15	
			VM1 VM2 VM3	5.0V	0.46	5.5V	1.2	
IDLE (注3)	Icc2	MCU	DVDD3_A DVDD3_B RVDD3	3.3V	24.1	3.6V	29.2	mA
			ADAVDD3 ADBVD3 ADCVD3					
		MCD SCIN=20MHz	AVDD3_C	3.3V	7.0	3.5V	15	
			VM1 VM2 VM3	5.0V	0.46	5.5V	1.2	
STOP1 (注4)	Icc3	MCU STOP1	DVDD3_A DVDD3_B RVDD3	3.3V	120	3.6V	2100	μA
			ADAVDD3 ADBVD3 ADCVD3					
		MCD ALLSTDBY	AVDD3_C	3.3V	0.1	3.5V	30	
			VM1 VM2 VM3	5.0V	0.1	5.5V	5.0	
STOP2 (注5)	Icc4	MCU STOP2	DVDD3_A DVDD3_B RVDD3	3.3V	2.6	3.6V	120	μA
			ADAVDD3 ADBVD3 ADCVD3					
		MCD ALLSTDBY	AVDD3_C	3.3V	0.1	3.5V	30	
			VM1 VM2 VM3	5.0V	0.1	5.5V	5.0	

(注1) Typ 値は、温度条件 Ta=25、製造ばらつき条件は含まないセンタ品の代表値です。

(注 2 ~ 5) 消費電流測定条件

		NORMAL(注 2)	IDLE(注 3)	STOP1(注 4)	STOP2(注 5)
MCU 部	外部高速発振器	10MHz 動作		停止	電源遮断
	PLL	160MHz 動作		停止	電源遮断
	CPU	40MHz 動作	停止		電源遮断
	PSC	40MHz,100%動作	停止		電源遮断
	Flash 状態	40MHz 動作	停止		電源遮断
	DMAC	40MHz,ADC を起動要因とする 1ch のみ許可	停止		電源遮断
	TMRDA/B	160MHz 動作,160kHz/DUTY50%, PPG 出力 TDA _n OUT _m ,TDB _n OUT _m (n,m=0,1)		停止	電源遮断
	PHC	許可、入力波形無し	停止		電源遮断
	ADC	UnitA のみ動作 1us 変換スキャン リピートモード AD 変換 4 回毎 DMA 要求	停止		電源遮断
	DAC	2ch 動作、無負荷		停止	
MCD 部	SCIN	20MHz 入力		Low 固定	
	MCU との接続端子	通信状態		Low 固定	
	センサアンプ	OP Amp 入力 イマジナリショート 外付け負荷なし		電源遮断	
	DAC	8bit DAC = FFH 10bit DAC = 3FFH、外付け負荷なし		電源遮断	
	H-SW(μ step)	ch A,B,G は DUTY50%動作 ch C,D,E,F は STM モード(400kHz) 7bit DAC = 7FH (μSTEP) 外付け負荷なし		電源遮断	

(注) 記載なき IP は停止。MCD 部 外付け素子なし。

29.4 DC電気的特性 1 (MCU部)

29.4.1 DC電気的特性 (1/3)

Ta = -25 ~ 85

項目		記号	条件	Min.	Typ. (注 1)	Max.	単位	
低レベル入力電圧	DVDD3 電源対象 端子	CMOS	VIL1	PD5	-0.3	-	0.3 × DVDD3	V
		シュミット	VIL2	PA0-7, PB0-7, PC0-7, PD0-4, PD6-7, PE0-4, PH0-5, (PM0-1)			0.25 × DVDD3	
			VIL3	RESETn, X1, MODE			0.2 × DVDD3	
	ADnVDD 3 電源対 象端子 (n=A-C)	VIL4	PF0-7, PG0-3, PJ0-7	0.25 × ADnVDD3				
高レベル入力電圧	DVDD3 電源対象 端子	CMOS	VIH1	PD5	0.7 × DVDD3	-	DVDD3+0.3	V
		シュミット	VIH2	PA0-7, PC4-7, PD0-4, PD6-7, PE0-4, PH0-5, PJ0-7, (PM0-1)	0.75 × DVDD3			
			VIH3	RESETn, X1, MODE	0.8 × DVDD3			
			VIH4	5Vトレラント端子 PB0-7, PC0-3	0.75 × DVDD3			
	ADnVDD 3 電源対 象端子 (n=A-C)	VIH5	PF0-7, PG0-3, PJ0-7	0.75 × DnVDD3	ADnVDD3 +0.3			
プルアップ / プルダウン 抵抗値		PKH1	プルアップ PA0-7, PB0-7, PC0-7, PD0-7 PE0-4, PF0-7, PG0-3, PH0, PH2-5 PJ0-7, RESETn プルダウン PH1 (SWCLK), MODE	25	50	100	k	
Pin 容量 (電源端子を除く)		CIO	fin=1MHz	-	-	10	pF	

29.4.2 DC電気的特性 (2/3)

Ta = -25 ~ 85

項目		記号	条件		Min.	Typ. (注1)	Max.	単位
低レベル出力電圧	DVDD3 電源 対象端子	VOL1	IOL =1mA	PA0-7,PB0-3,PB6-7,PC0-7,PD0-7,PE0-4, PH0-5, (PK0-7, PL0-6)	-	-	DVDD3 × 0.2	V
		VOL2	IOL =2mA	PB4-5(I2C 端子)				
高レベル出力電圧	DVDD3 電源 対象端子	VOH1	IOH =-1mA	PA0-7,PB0-7,PC0-7,PD0-7,PE0-4, PH0-5, (PK0-7, PL0-6)	DVDD3 × 0.8	-	DVDD3	

29.4.3 DC電気的特性 (3/3)

Ta = -25 ~ 85

項目		記号	条件	Min.	Typ. (注1)	Max.	単位
最大低レベル出力電流	DVDD3 電源対象端子	IOL1	1 端子毎 PA0-7, PB0-7, PC0-7, PD0-7, PE0-4, PH0-5	-	-	2	mA
		IOL1	端子合計(PORTA0-7)	-	-	10	
		IOL2	端子合計(PORTB0-7)	-	-	10	
		IOL3	端子合計(PORTC0-7),	-	-	10	
		IOL4	端子合計(PORTD0-7)	-	-	10	
		IOL5	端子合計(PORTE0-4)	-	-	10	
		IOL6	端子合計(PORTH0-5)	-	-	10	
		IOL	端子合計 (全ポート)	-	-	35	
最大高レベル出力電流	DVDD3 電源対象端子	IOH1	1 端子毎 PA0-7, PB0-7, PC0-7, PD0-7, PE0-4, PH0-5	-	-	-2	mA
		IOH1	端子合計(PORTA0-7)	-	-	-10	
		IOH2	端子合計(PORTB0-7)	-	-	-10	
		IOH3	端子合計(PORTC0-7),	-	-	-10	
		IOH4	端子合計(PORTD0-7)	-	-	-10	
		IOH5	端子合計(PORTE0-4)	-	-	-10	
		IOH6	端子合計(PORTH0-5)	-	-	-10	
		IOH	端子合計 (全ポート)	-	-	-35	
端子リーク電流		IL	0.0V VIN DVDD3_A, DVDD3_B, ADAVDD3, ADBVDD3, ADCVDD3	-	0.02	±5	μA

29.5 DC電気的特性 2 (MCD部)

29.5.1 DC電気的特性

特に指定無き場合、AVDD3_C = 3.3 V, DVDD3 = 3.3 V, VM1 = VM2 = VM3 = 5V, Ta = 25 ° C

項目		記号	測定条件	Min.	Typ.	Max.	単位	
MODE	入力電圧	V _{INH}		DVDD3 -0.2	—	DVDD3 +0.2	V	
		V _{INL}		-0.2	—	0.2		
	入力電流	I _{INH}	V _{IN} =DVDD3	—	—	1	μA	
		I _{INL}	V _{IN} =0	-1	—	—		
出力飽和電圧 (Ch.A ~ G)		V _{sat} (U + L)	I _O = 0.2A	—	0.3	0.4	V	
			I _O = 0.4A	—	0.6	0.8		
出力 OFF 時リーク電流 (Ch.A ~ G)		I _L (U), I _L (L)	VM1=VM2=VM3= 5.5V	-1	—	1	μA	
出力ダイオード順方向電圧(Ch.A ~ G)		V _F (U)	I _F = 0.4A	—	1	1.3	V	
		V _F (L)		—	0.9	1.45		
定電流制御コンパレータ・オフセット電圧 Ch.G		Comp ofsG	RNF3= 0.5 電流設定 V _{ref} =0.1 V (DAC 含)	-10	—	10	mV	
Hall Bias 制御回路		入力範囲		0.5	—	2.5	V	
		出力電流		±5	—	—	mA	
		HB DAC LB	8bit 非直線性誤差	—	±3	—	LSB	
		HB DAC DLB	8bit 微分直線性誤差	—	±2	—		
EVR(10bitDAC)		EVR DAC LB	10bit 非直線性誤差	—	±3	—	LSB	
		EVR DAC DLB	10bit 微分直線性誤差	—	±2	—		
アナログ基準電源電流		IREF	DAC 設定値	—	56	—	uA	
			8bit FFH,10bit 3FFH	—	145	—		
			8bit ABH,10bit 2ABH	—	—	—		
Op-Amp(ch0,1)		入力オフセット		-10	—	10	mV	
		入力範囲		0.25	—	AVDD3 -0.25	V	
		出力電流	VO=1.5V	±1	—	—	mA	
Op-Amp(ch2,3,4,5)		入力オフセット		-3	—	3	mV	
		入力範囲		0.5	—	2.5	V	
		出力電流		±1	—	—	mA	
PI 用 コンパレータ		V _{ref} 基準電圧	V _{comp} Min	—	0.129	—	V	
			V _{comp} Max	DAC:4bit	1.8	2		2.2
			V _{comp} step		—	0.125		—
		ヒステリシス電圧	V _{hys} Min		±80	±100	±120	mV
			V _{hys} Max		±320	±400	±480	
			V _{hys} step		—	±100	—	
		ENC_OUT 出力電圧		VENC_OUT	I _o =±50μA	0.2	—	DVDD3 -0.2
PIDBA、PIDBB 残り電圧		VPI-SW	I=30mA	—	0.25	0.4	V	
熱遮断回路動作温度		TSD		—	170	—	°C	
熱遮断復帰ヒス温度幅		ΔTSD		—	23	—		

29.6 16ビット A/Dコンバータ変換特性

Ta = 25 ~ 85

項目	記号	条件	Min	Typ	Max	単位	
アナログ基準電圧入力	ADBVREFH /ADCVDD3	-	2.7	3.0	3.6	V	
SNDR	dsSNDR	ADBVSS/ADCVSS = 0.0V ADBVREFH/ADCVDD3 = 3.0V AINCnP,AINCnN 端子への信号 源 変換時間 66.0μs	DSGAIN x1	78	84	-	dB
			DSGAIN x2	-	81	-	dB
			DSGAIN x4	-	78	-	dB
			DSGAIN x8	-	75	-	dB
入力レンジ	AINCnP AINCnN (n=2-5)	-	-	-	ADBVREFH /ADCVDD3 (注1)	V	
入力インピーダンス	dsimp	-	34(注2)	-	-	kohm	
変換時間	Tconvds	-	66	-	-	μS	

(注1)入力レンジは、差動振幅、入力電圧で決まります。詳細は、16bit ADCの章を参照願います。

(注2) Input Impedance= 10.3K x 33M/fADCLK

(注3)ADBVREFH/ADCVDD3, ADBVSS/ADCVSS, ADCVREF02OUT, ADCVREFHOUT, ADCVREFLOUTには、
図 29.6.1、図 29.6.2に示すような、外付け、または、接続が必要です。

(注4) UnitAとUnitCの同時動作が可能です。UnitCとUnitBの同時動作は禁止です。

(注5) AINCnP,AINCnN端子を入力ポートとして使用した場合は、ADCの精度保証対象外となります。

(注6) AD コンバータ単体動作の時の特性です。

(注7) DSGAINx2,x4,x8は、出荷テストは行っておりません。

AD コンバータ使用時の注意

電源電圧の変動や周囲のノイズの影響によって AD 変換結果がばらつくことがあります。

AD 変換中に AD 入力に兼用となっている端子への入力を変化させる、または AD 変換中に出力ポートに設定している端子の出力電流が変動すると AD 変換精度が低下することがあります。プログラムで複数回の変換結果の平均値をとるなどして対策して下さい。

(注3)の説明

(1)リピートモードで使わない場合

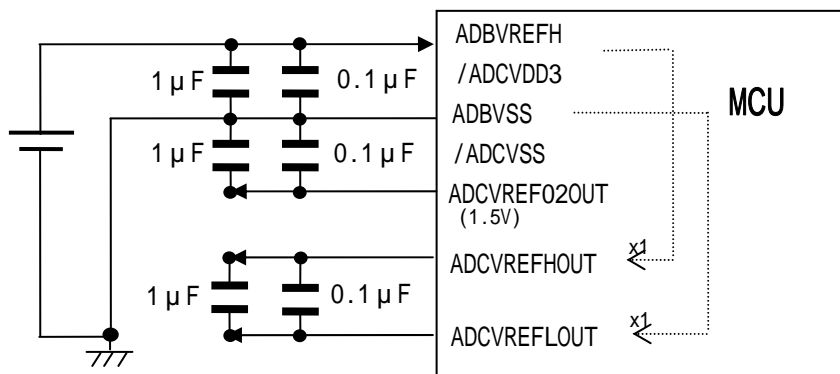


図 29.6.1 ADC の外付け条件(リピートモード以外)

(2)リピートモードで使用する場合

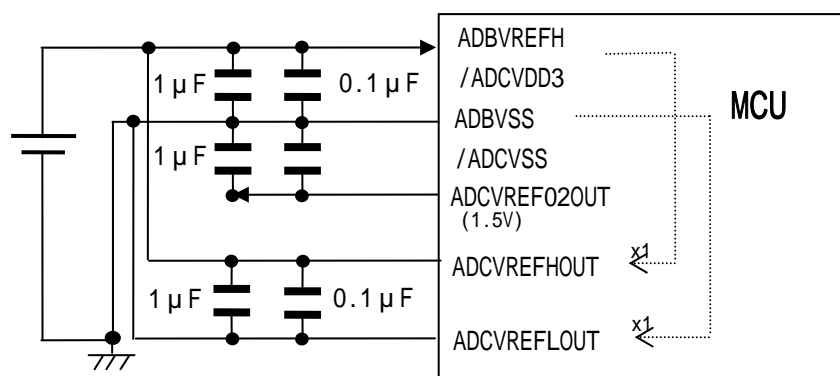


図 29.6.2. ADC の外付け条件(リピートモード)

29.7 12ビットA/Dコンバータ変換特性

本製品は、12ビットA/Dコンバータを2ユニット搭載(UnitA,UnitB (x=A,B))しています。

Ta = -25 ~ 85

項目	記号	条件	Min	Typ	Max	単位
アナログ基準電圧	ADxVREFH	-	2.7	3.0	ADxVDD	V
アナログ入力電圧	VAIN		ADxVSS	-	ADxVREFH	V
アナログ基準電圧	A/D変換時	IREFを除く	-	2.0	2.5	mA
	A/D変換時		-		0.1	uA
積分非直線性誤差	INL	ADnVSS = 0.0V ADnVREFH = 3.0V AIN端子への信号源出力 Imp. 300 AIN負荷容量 0.1μF 変換時間 1.0μs	-	-	±6	LSB
微分非直線性誤差	DNL		-	-	±5	
オフセット誤差	ZSE		-	-	±6	
フルスケール誤差	FSE		-	-	±6	
総合誤差	TERR		-	-	±7	
変換時間	Tconv		1	-	10	μs

(注1) 1LSB (ADxVREFH - ADxVSS) / 4096[V]

(注2) AIN端子へ信号源の出力インピーダンスは、300Ω以下になるように設計して下さい。

(注3) ADコンバータのみ動作時の特性です。

(注4) TYP値は、25℃、製造条件センターの代表値です。

(注5) ADCが動作していない場合は、ADxVSSの入力が可能です。

(注6) 本ページ内nはUnitA (x=A)またはUnitB(x=B)となります。

(注7) UnitAとUnitBの同時動作が可能です。ただしUnitCとUnitBは同時動作禁止です。

(注8) AINn端子を入力ポートとして使用した場合は、ADCの精度保証対象外となります。

(注9) ADコンバータ単体動作の時の特性です。

ADコンバータ使用時の注意

電源電圧の変動や周囲のノイズの影響によってAD変換結果がばらつくことがあります。

AD変換中にAD入力に兼用となっている端子への入力を変化させる、またはAD変換中に出力ポートに設定している端子の出力電流が変動するとAD変換精度が低下することがあります。プログラムで複数回の変換結果の平均値をとるなどして対策して下さい。

29.8 10ビットD/Aコンバータ変換特性

本製品は、10ビットのD/Aコンバータを2ユニット搭載(DAC-A,DAC-B)しています。

Ta = -25 ~ 85

項目	記号	条件	Min	Typ	Max	単位
アナログ基準電圧(+)	DAVREFH		2.7	3.0	DAVDD3	V
アナログ基準電圧電 源電流	<VREFON> = 1 unit = A, B	IDREF	-	4	10	μA
	<VREFON> = 0		-	0.3	1	
セトリングタイム	Tset		-	-	100	μs
出力電流	IDA		-	-	±500	μA
出力電圧範囲	DA		DAVSS + 0.3	-	DAVDD3 - 0.3	V
総合誤差	TERR		-	±2	±4	LSB

- (注 1) $1\text{LSB} = (\text{DAVREFH} - \text{DAVSS}) / 1024[\text{V}]$
(注 2) IDREF 電流値は D/A コンバータ 2 ユニット同時に動作させている場合の電流値です。
(注 3) 2ch を同時に動作させた時の相対精度は保証していません。
(注 4) DAOUTA, DAOUTB 端子の外付け容量は 100pF(max)としてください。

29.9 AC電氣的特性

本章に記載されているAC 特性は、特に指定のない限り以下の条件での測定結果です。

- ・出力レベル: High = 0.8 × DVDD3
- ・出力レベル: Low = 0.2 × DVDD3
- ・入力レベル: DC 電氣的特性の、低レベル入力電圧/高レベル入力電圧参照
- ・負荷容量: CL = 30pF

29.9.1 シリアルチャネル(SIO)

(1) I/O インタフェースモード

表中の x は SIO の動作クロックの周期を表します。SIO の動作クロックは、システムクロック fsys と同じ周期です。この周期は、クロックギアの設定に依存します。

SCLK 入力モード

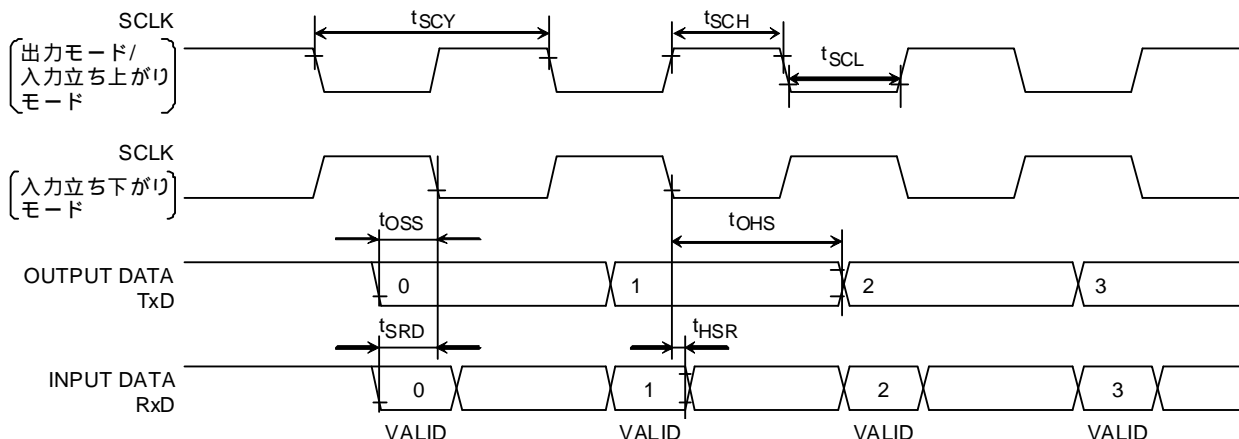
項目	記号	計算式		fsys= 40MHz		単位
		Min	Max	Min	Max	
SCLK クロック High 幅(入力)	t _{SCH}	4x	-	100	-	ns
SCLK クロック Low 幅 (入力)	t _{SCL}	4x	-	100	-	
SCLK 周期	t _{SCY}	t _{SCH} + t _{SCL}	-	200	-	
Output Data← SCLK 立ち上がり/立ち下がり (注1)	t _{OSS}	t _{SCY} / 2 3x - 45	-	-20 (注2)	-	
SCLK 立ち上がり → Output Data 保持/立ち下がり(注1)	t _{OHS}	t _{SCY} / 2	-	100	-	
有効 Data 入力 ← SCLK 立ち上がり/立ち下がり(注1)	t _{SRD}	30	-	30	-	
SCLK 立ち上がり → Input Data 保持/立ち下がり(注1)	t _{HSR}	x + 30	-	55	-	

(注1) SCLK 立ち上がり/立ち下がり...SCLK 立ち上がりモードの場合は SCLK 立ち上がり、SCLK 立ち下がりモードの場合は SCLK 立ち下がりタイミングです。

(注2) 計算値がマイナスにならない範囲の SCLK 周期で使用してください。

SCLK 出力モード

項目	記号	計算式		fsys= 40MHz		単位
		Min	Max	Min	Max	
SCLK 周期 (プログラマブル)	t _{SCY}	4x	-	100	-	ns
Output Data ← SCLK 立ち上がり	t _{OSS}	t _{SCY} / 2 30	-	20	-	
SCLK 立ち上がり → Output Data 保持	t _{OHS}	t _{SCY} / 2 30	-	20	-	
有効 Data 入力 ← SCLK 立ち上がり	t _{SRD}	45	-	45	-	
SCLK 立ち上がり → Input put Data 保持	t _{HSR}	0	-	0	-	



29.9.2 シリアルバスインターフェース (I2C)

(1) I2C モード

x は I2C の動作クロックの周期を表します。I2C の動作クロックは、システムクロック f_{sys} と同じ周期です。この周期は、クロックギアの設定に依存します。

n は SBI_nCR レジスタの SCK フィールドで指定した SCL 出力クロックの周波数選択値です。

項目	記号	計算式		標準モード		ファーストモード		単位
		Min	Max	Min	Max	Min	Max	
SCL クロック周波数	t_{SCL}	0	-	0	100	0	400	kHz
スタートコンディション保持	$t_{HD:STA}$	-	-	4.0	-	0.6	-	μ s
SCL クロック Low 幅 (入力) (注1)	t_{LOW}	-	-	4.7	-	1.3	-	μ s
SCL クロック High 幅 (入力) (注2)	t_{HIGH}	-	-	4.0	-	0.6	-	μ s
再スタートコンディション セットアップ時間	$t_{SU:STA}$	ソフト (注5)	-	4.7	-	0.6	-	μ s
データ保持時間(入力) (注3,4)	$t_{HD:DAT}$	-	-	0.0	-	0.0	-	μ s
データセットアップ時間	$t_{SU:DAT}$	-	-	250	-	100	-	ns
ストップコンディション セットアップ時間	$t_{SU:STO}$	-	-	4.0	-	0.6	-	μ s
ストップコンディションとスタートコンディショ ン間のバスフリー時間	t_{BUF}	ソフト (注5)	-	4.7	-	1.3	-	μ s

(注1) SCL クロック LOW 幅(出力): $(2^{n-1} + 58)/x$

(注2) SCL クロック HIGH 幅(出力): $(2^{n-1} + 12)/x$

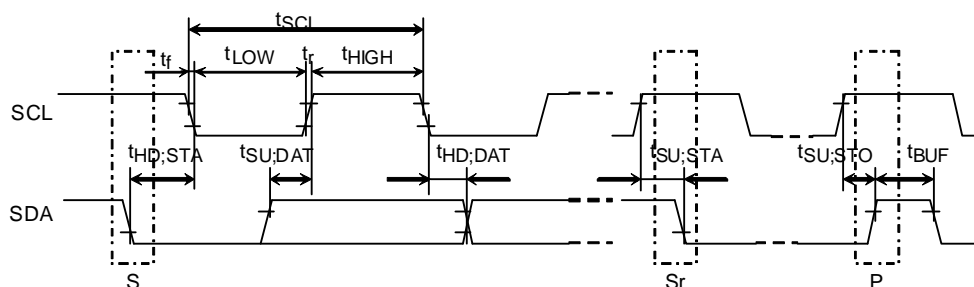
通信規格上、標準モード/高速モードの最高速は 100kHz/400kHz です。内部 SCL クロックの周波数の設定は、使用される f_{sys} と上記計算式にて設定されますのでご注意願います。

(注3) データ保持時間(出力)は内部 SCL から 12x の時間です。

(注4) フィリップススペックでは内部で、SDA 入力時にデータホールド 300nsec を確保して SCL 立下り時の不安定状態を回避する事になっていますが、本製品では対応していません。また SCL のエッジスロ - プコントロール機能をもっていない。従って、SCL / SDA の t_r/t_f を含めて BUS 上で上表のデータ保持時間(入力)を守る様に設計してください。

(注5) ソフトウェアに依存します。

(注6) フィリップススペックでは、ファーストモードデバイスへの電源供給が切れた場合、バスラインを妨げることがないように SDA および SCL 信号の I/O ピンと電源との接続が外れるようにする必要がありますが、本デバイスでは対応していません。



S: スタートコンディション
Sr: 再スタートコンディション
P: ストップコンディション

29.9.3 SSPコントローラ(SSP)

AC 測定条件(1)

- 表中の計算式に使われる”T”は内部プリスケラ入力クロック fsys 周期を示しています。
- 出力レベル: High=0.7 × DVDD3, Low =0.3 × DVDD3
- 入力レベル: High=0.9 × DVDD3, Low =0.1 × DVDD3
- 負荷容量 CL = 30 pF

(注) 表中の“計算式”は DVDD3=2.7V ~ 3.6V の範囲での規定を示します。

項目	記号	計算式		fsys 40MHz (m=2,n=12)	単位
		Min	Max		
SPCLK 周期 (マスタ)	T _m	(m)T ただし、50ns 以上	-	50 (20MHz)	ns
SPCLK 周期 (スレーブ)	T _s	(n)T	-	300 (3.3MHz)	
SPCLK 立ち上がり時間	t _r		15	15	
SPCLK 立ち下がり時間	t _f		15	15	
マスタモード時 SPCLK 低レベルパルス幅	t _{WLM}	(m)T / 2 - 15		10	
マスタモード時 SPCLK 高レベルパルス幅	t _{WHM}	(m)T / 2 - 15		10	
スレーブモード時 SPCLK 低レベルパルス幅	t _{WLS}	(n)T / 2 - 15		135	
スレーブモード時 SPCLK 高レベルパルス幅	t _{WHS}	(n)T / 2 - 15		135	
マスタモード時 SPCLK 立ち上がり/立ち下がり→出力データ有効	t _{ODSM}		15	15	
マスタモード時 SPCLK 立ち上がり/立ち下がり→ 出力データ保持	t _{ODHM}	(m)T / 2 - 15		10	
マスタモード時 SPCLK 立ち上がり/立ち下がり → 入力データ有効 遅延時間	t _{IDSM}		(m)T/2-15	10	
マスタモード時 SPCLK 立ち上がり/立ち下がり(入力データ保持	t _{IDHM}	T/2 + 5		17.5	
マスタモード時 SPFSS 有効(SPCLK 立ち上がり/立ち下がり	t _{OFSSM}	(m)T - 15	(m)T+15	35 - 65	
スレーブモード時 SPCLK 立ち上がり/立ち下がり →出力データ有効 遅延時間	t _{ODSS}		(3T) + 40	115	
スレーブモード時 SPCLK 立ち上がり/立ち下がり(出力データ保持	t _{ODHS}	(n)T / 2 - (2T)		100	
スレーブモード時 SPCLK 立ち上がり/立ち下がり (入力データ有効 遅延時間	t _{IDSS}		(n)T / 2 + (3T) - 10	215	
スレーブモード時 SPCLK 立ち上がり/立ち下がり→ 入力データ保持	t _{IDHS}	(3T) + 15		90	
スレーブモード時 SPFSS 有効→ SPCLK 立ち上がり/立ち下がり	t _{OFSS}	(n)T - 15		285	

(注) 通信ポーレートクロックは以下の条件範囲で設定する必要があります。

マスタモード時

$$m = (\text{<CPSDVSR>} \times (1 + \text{<SCR>})) = f_{\text{sys}} / \text{SPCLK}$$

<CPSDVR>は偶数のみが設定可能です。また m の範囲は 65204 m 2 となります。

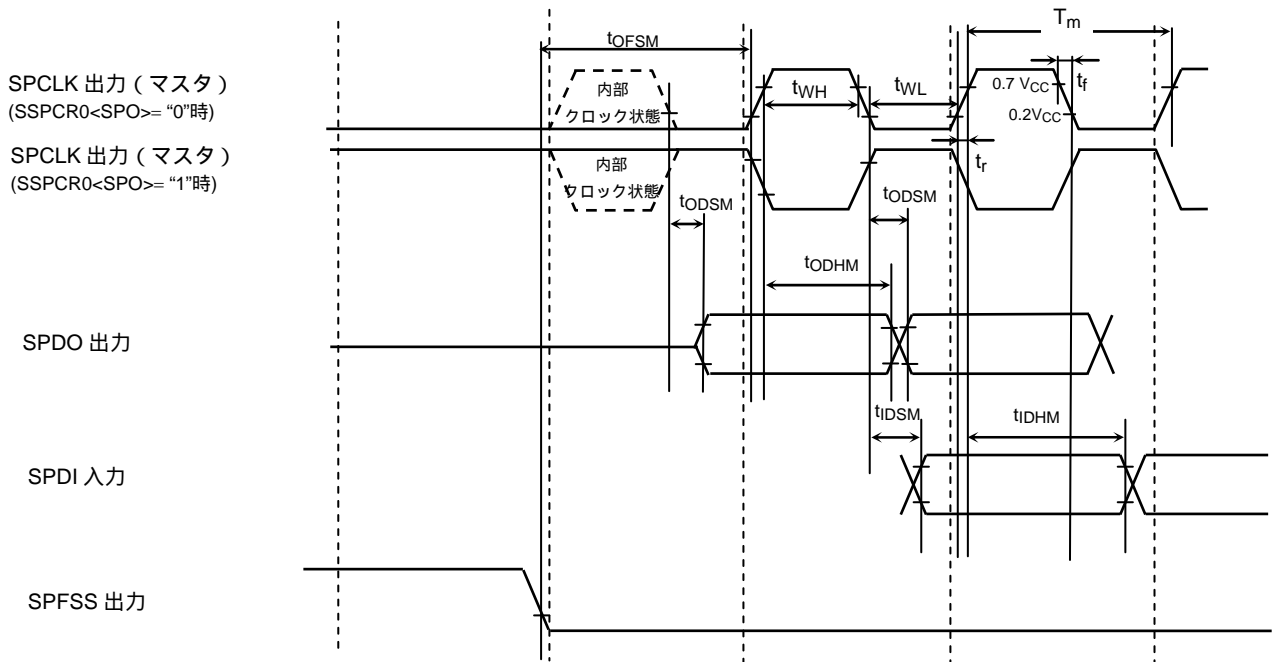
スレーブモード時

$$n = f_{\text{sys}} / \text{SPCLK} \quad (65204 \quad n \quad 12)$$

SSP の SPI モード(マスタ)

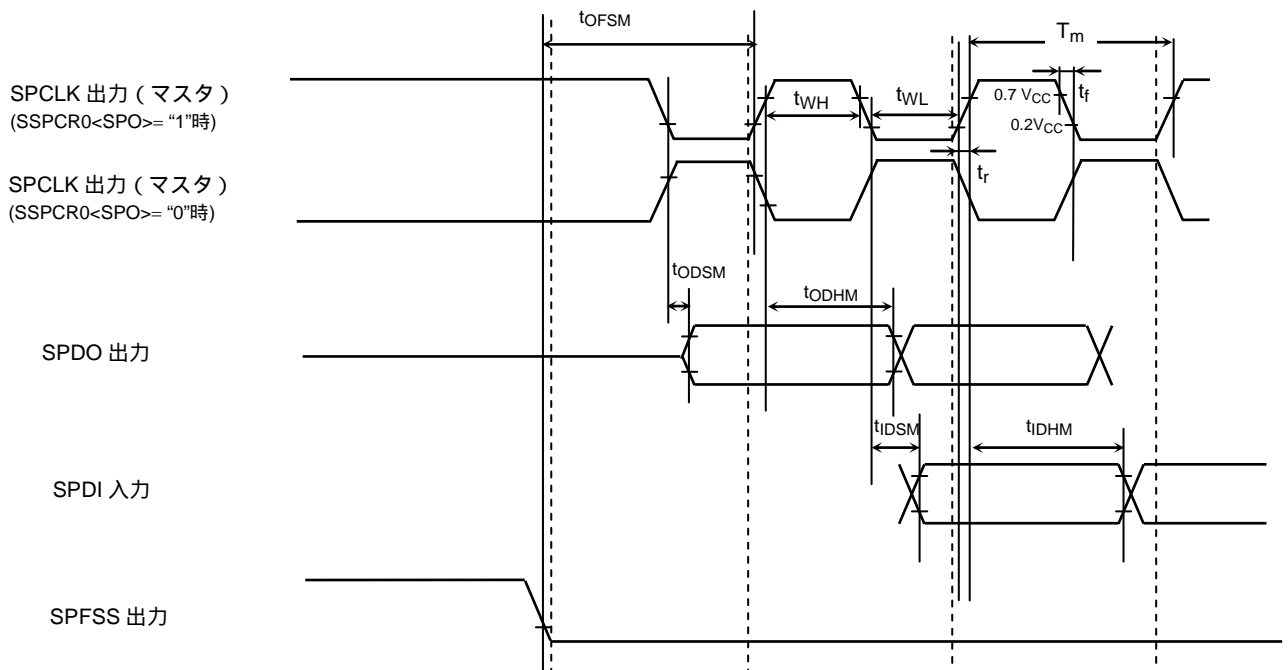
$f_{sys} \quad 2 \times \text{SPCLK(最大)}$
 $f_{sys} \quad 65204 \times \text{SPCLK(最小)}$

(1) マスタ SSPCR0<SPH> (“0” (1st エッジでデータをラッチ))



SSP の SPI モード(マスタ)

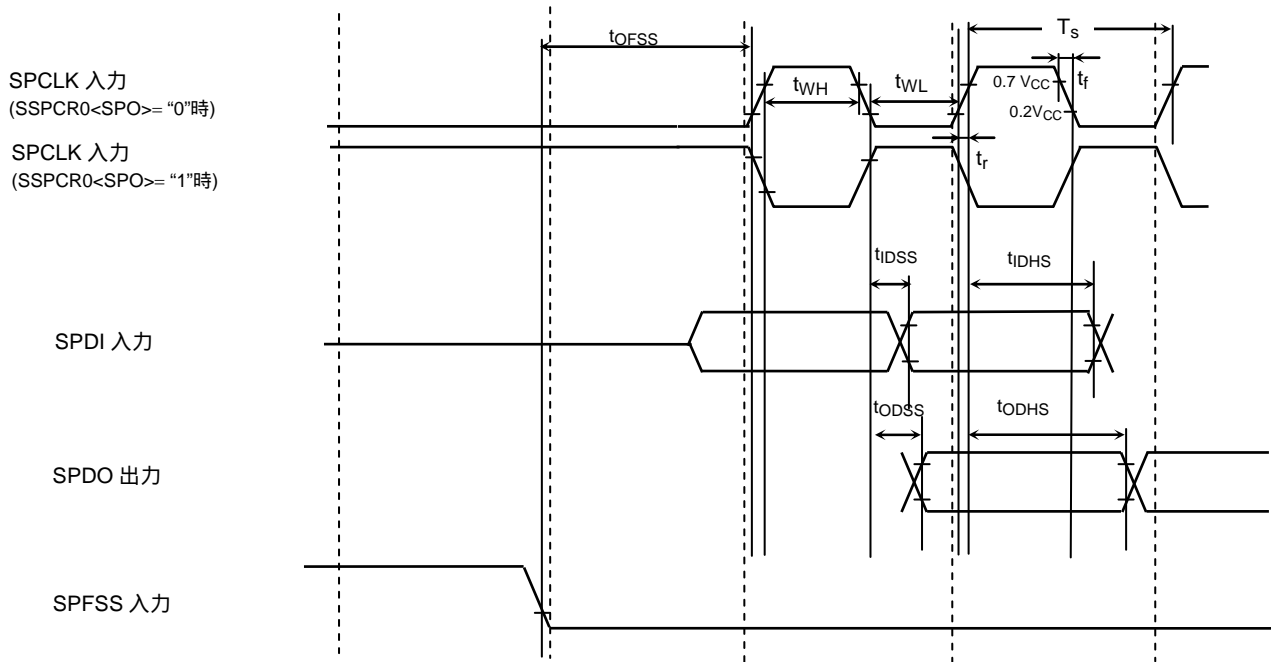
(2) マスタ SSPCR0<SPH> = “1” (2nd エッジでデータをラッチ)



SSP の SPI モード(スレーブ)

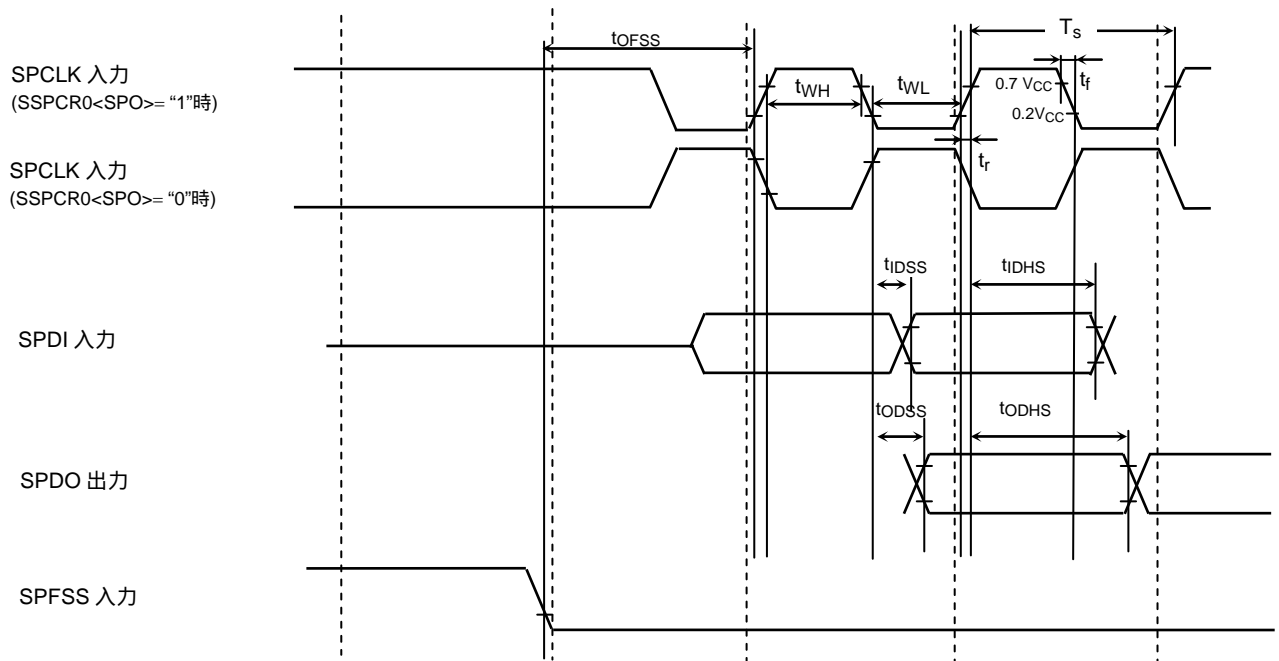
f_{sys} 12 × SPCLK (最大)
 f_{sys} 65204 × SPCLK (最小)

(3) スレーブ SSPCR0<SPH> = “0” (1st エッジでデータをラッチ)



SSP の SPI モード(スレーブ)

(4) スレーブ SSPCR0<SPH> (“1”) (2nd エッジでデータをラッチ)



29.9.4 データ可変長シリアルチャネルインターフェース (VSIO)

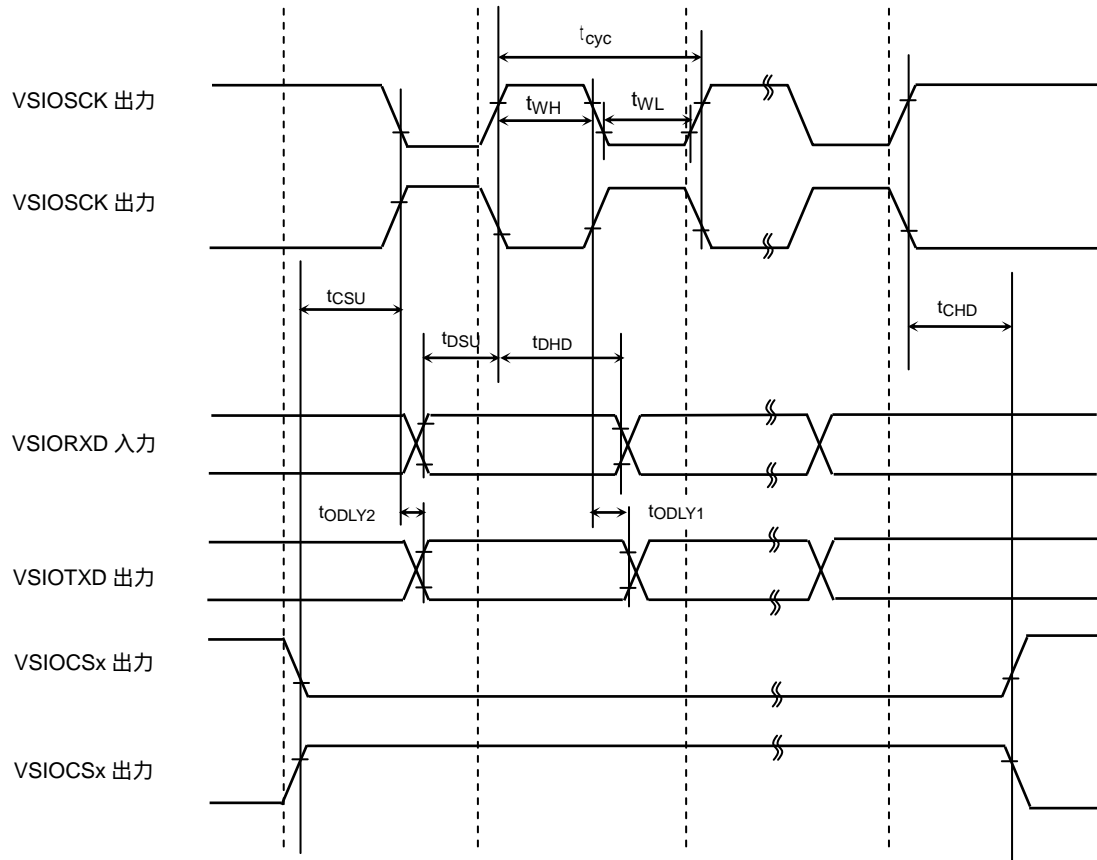
AC 測定条件

- 出力レベル: High=0.8 × DVDD3, Low =0.2 × DVDD3
- 入力レベル: High=0.75 × DVDD3, Low =0.25 × DVDD3
- 負荷容量 CL (20 ~ 40 pF (VSIOCK, VSIOTXD)
- 負荷容量 CL (20 pF (VSIOCSx)
- 表中の tFSYS は内部システムクロック (fsys) の周期を示します。

項目	記号	計算式		fsys 40MHz	単位
		Min	Max		
VSIOCK 周波数 (マスター)	f_{CYC}	-	10	10	MHz
VSIOCK 周期 (マスター)	t_{CYC}	100	-	100	ns
VSIOCK 低レベル出力パルス幅	t_{WL}	$(t_{CYC} / 2) - 20$	-	30	
VSIOCK 高レベル出力パルス幅	t_{WH}	$(t_{CYC} / 2) - 20$	-	30	
VSIOCS 有効 VSIOCK 立上り/立下り時間	t_{CSU}	$(t_{CYC} \times k) - 20$	-	-	
VSIOCK 立上り/立下り VSIOCS 無効時間	t_{CHD}	$(t_{CYC} \times (k+0.5)) - 20$	-	-	
VSIOCK 立上り/立下り→VSIORXD 入力データセットアップ時間	t_{DSU}	18	-	18	
VSIOCK 立上り/立下り→VSIORXD 入力データホールド時間	t_{DHD}	$(t_{FSYS}) + 0$	-	25	
VSIOCK 立上り/立下り→VSIOTXD 出力データ保持時間	t_{ODLY1}	-10	-	-10	
VSIOCK 立上り/立下り→VSIOTXD 出力データ遅延時間	t_{ODLY2}	-	30	30	

(注) k の値は以下の通り

- VSIOCR2<CSHD1:0>=00hex のとき、k=1
- VSIOCR2<CSHD1:0>=01hex のとき、k=2
- VSIOCR2<CSHD1:0>=10hex のとき、k=4
- VSIOCR2<CSHD1:0>=11hex のとき、k=8



29.9.5 外部割り込み

AC 測定条件

- 表中の計算式に使われる"x"はシステムクロック $1/f_{sys}$ を示しています。
- 入力レベル: High= $0.75 \times DVDD3$, Low = $0.25 \times DVDD3$

項目	記号	計算式		f _{sys} =40MHz 時		単位
		Min	Max	Min	Max	
INT0 ~ INT7 低レベルパルス幅	t _{INTAL}	x + 100	-	125	-	ns
INT0 ~ INT7 高レベルパルス幅	t _{INTAH}	x + 100	-	125	-	ns

29.9.6 外部割り込み(STOP1 解除割り込み)

項目	記号	Min	Max	単位
INT0 ~ 7 低レベルパルス幅	t _{INTBL}	100	-	ns
INT0 ~ 7 高レベルパルス幅	t _{INTBH}	100	-	ns

29.9.7 外部割り込み(STOP2 解除割り込み)

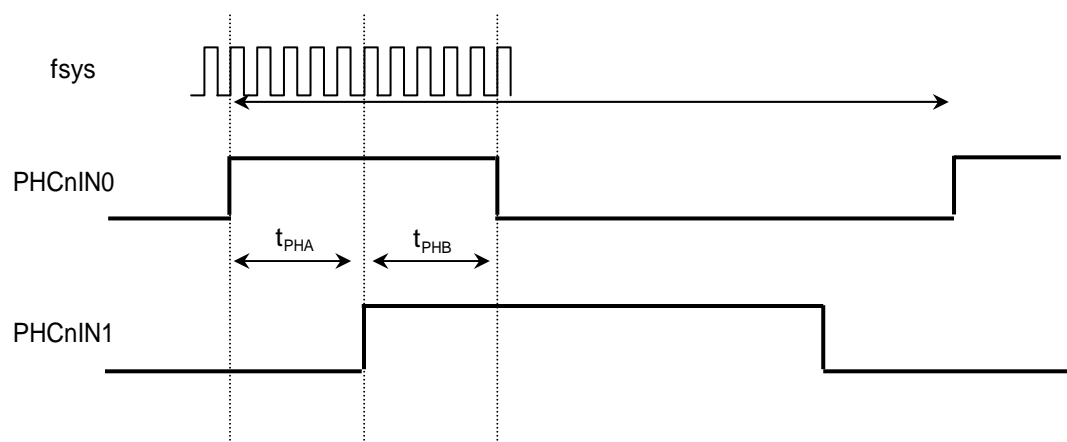
項目	記号	Min	Max	単位
INT0 ~ 7 高レベルパルス幅	t _{INTCH}	500	-	μs

29.9.8 2相パルス入力位相差

AC 測定条件

- 表中の計算式に用いられる"x"はシステムクロック f_{sys} を示しています。
- 入力レベル: High= $0.75 \times DVDD3$, Low = $0.25 \times DVDD3$

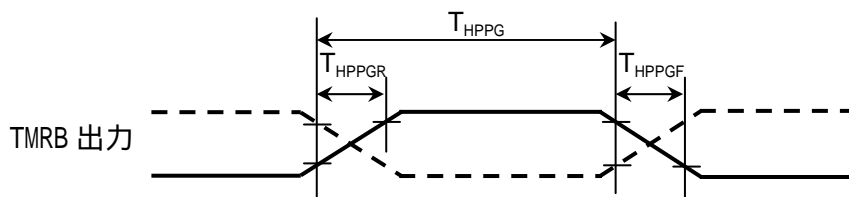
項目	記号	計算式		f _{sys} =40MHz 時		単位
		Min	Max	Min	Max	
パルス周期	t _{ENCCYC}	1	-	1	-	μs
2相パルス入力 PHCnIN0	t _{PHA}	5 x		125		ns
2相パルス入力 PHCnIN1	t _{PHB}	5 x	-	125	-	ns



(注)本ページ内、n は 0 または 1 です。

29.9.9 高分解能PPG(TMRD)

項目	記号	TMRD クロック 160MHz 時		単位
		Min	Max	
TMRD 出力設定可能最小 Pulse 幅(High 幅、Low 幅)(注)	T_{HPPGP}	50	-	ns
TMRD 出力 立ち上がり時間	T_{HPPGR}	-	15	ns
TMRD 出力 立ち下がり時間	T_{HPPGF}	-	15	ns



(注) Duty 設定で設定可能な最小 Pulse 幅は 50ns 以上としてください。
(最小分解能が 6.25ns(160MHz) の場合は、8 クロック以上)

29.9.10 16 ビットPPG(TMRB)出力

項目	記号	Min	Max	単位
TMRB 出力 立ち上がり時間	T_{HPPGR}	-	20	ns
TMRB 出力 立ち下がり時間	T_{HPPGF}	-	20	ns

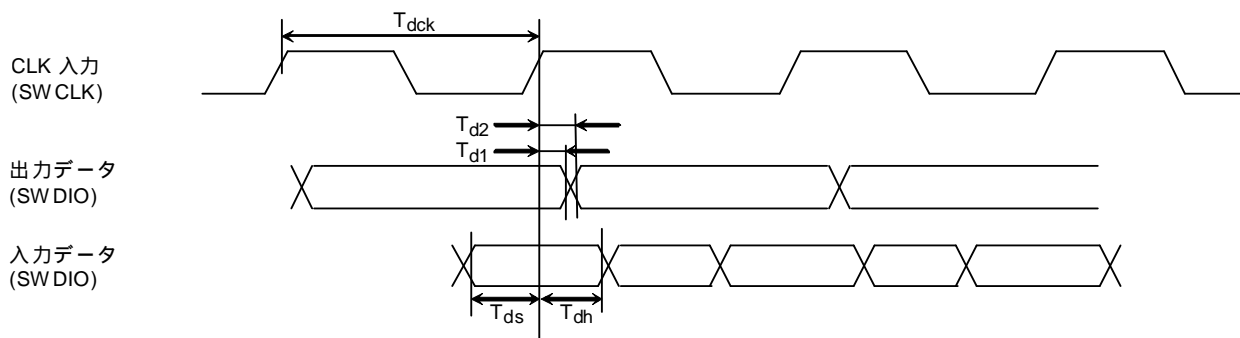
29.9.11 デバッグ通信

AC 測定条件

- 出力レベル: High= $0.8 \times DVDD3$, Low = $0.2 \times DVDD3$
- 入力レベル: High= $0.75 \times DVDD3$, Low = $0.25 \times DVDD3$
- 負荷容量 CL = 30 pF (SWDIO, TRACECLK, TRACEDATAx)

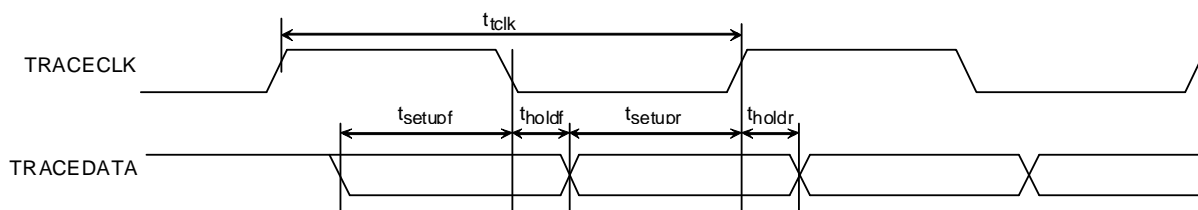
(1) SWD インタフェース

項目	記号	Min	Max	単位
CLK 周期	T _{dck}	100	-	ns
CLK 立上り 出力データ保持	T _{d1}	4	-	ns
CLK 立上り 出力データ有効	T _{d2}	-	30	ns
入力データ有効 CLK 立上り	T _{ds}	20	-	ns
CLK 立上り 入力データ保持	T _{dh}	15	-	ns



(2) ETM トレース

項目	記号	Min	Max	単位
TRACECLK 周期	ttclk	50	-	ns
TRACEDATA 有効 TRACECLK 立ち上がり	tsetupr	2	-	ns
TRACECLK 立ち上がり TRACEDATA 保持	tholdr	1	-	ns
TRACEDATA 有効 TRACECLK 立ち下がり	tsetupf	2	-	ns
TRACECLK 立ち下がり TRACEDATA 保持	tholdf	1	-	ns



29.9.12 内蔵発振回路

項目	記号	条件	Min	Typ.	Max	単位
発振周波数	IHOSC	Ta = -25 ~ 85	9	10	11	MHz

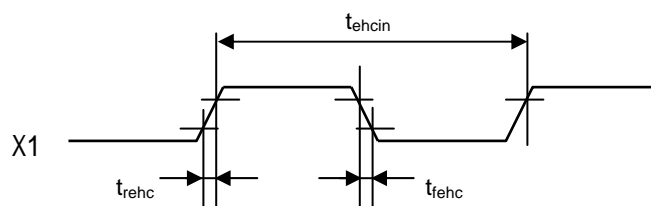
(注) 発振周波数精度を要求するシステムクロック(fsyst)としては使用しないでください。
PLL は使用できません。

29.9.13 外部発振子

項目	記号	条件	Min	Typ.	Max	単位
高周波発振	EHOSC	Ta = -25 ~ 85	8	-	20	MHz

29.9.14 外部クロック入力

項目	記号	Min	Typ.	Max	単位
クロック周波数	t _{ehcin}	8	-	20	MHz
クロック Duty	-	45	-	55	%
クロック立ち上がり時間	t _{rehc}	-	-	10	ns
クロック立ち下がり時間	t _{fchc}	-	-	10	ns



29.9.15 フラッシュ特性

項目	条件	Min	Typ.	Max	単位
フラッシュメモリ書換保証回数	DVDD3_A=DVDD3_B=RVDD3=2.7 ~ 3.6V, Ta = 0 ~ 70	-	-	200	回

29.10 推奨発振回路

本製品は、下記の発振子メーカーにて評価されております。発振子の選択時に活用願います。

注) 発振端子の負荷容量は、接続する負荷容量 C1, C2 と実装基板上の浮遊容量の和になります。C1, C2 の定数を使用した場合でも実装基板により負荷容量が異なり発振器が誤動作する可能性があります。従って、基板設計の際には発振回路周辺のパターンが最短距離になるようにしてください。最終的に実装基板での発振子評価を推奨いたします。

(1) 発振子接続回路例

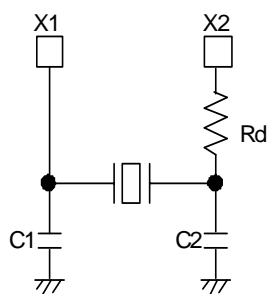


図 29.10.1 高周波発振器の接続図

(2) 本製品の推奨セラミック発振子

本製品は、(株)村田製作所製セラミック発振子を推奨しております。

詳細につきましては、下記 URL の同社ホームページを参照してください。

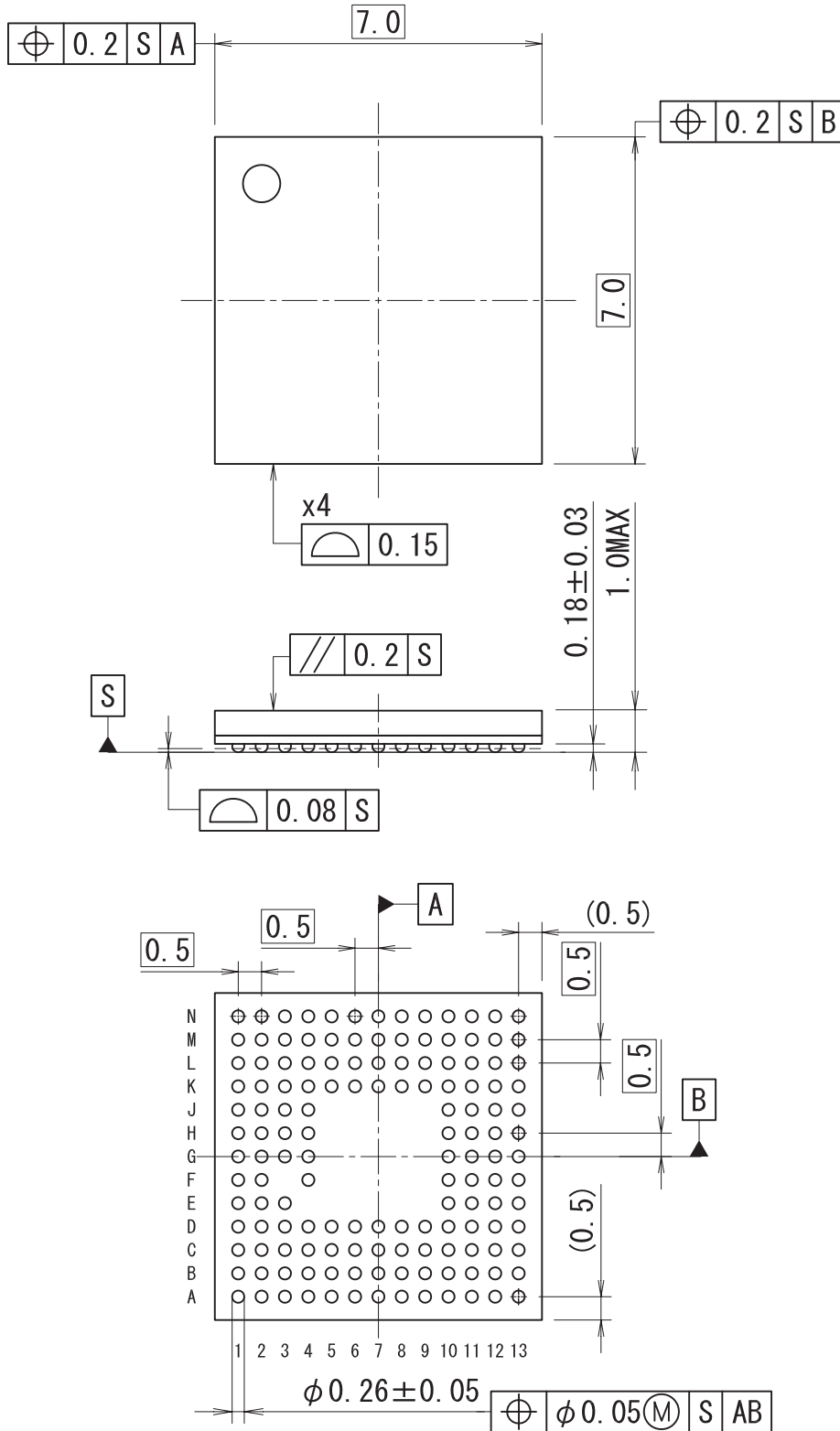
<http://www.murata.co.jp>

第 30 章 パッケージ寸法図

パッケージ型名 : P-VFBGA142-0707-0 50-001

外形寸法図

Unit: mm



31. モータドライバ機能

モータドライバ Chip は、以下の機能を具備しています。

- 1) H-SW 型ブリッジドライバ7.5ch
ドライバ ch.A、B(2ch)
 - ・ダイレクト PWM 制御(MCU の PWM 出力と SiP 内で接続)ドライバ ch.C、D、E、F(4ch)
 - ・H-SW モード / STM モードいずれかを選択可能
 - ・ダイレクト PWM 制御可能(MCU の PWM 出力と外部端子を選択可能)
 - ・マイクロステップモード対応(512 ステップ / 360 度電気角)
ステップパルスクロック入力方式で 2 個のステッピングモータが制御可能
45 度電気角毎のタイミングで MO 信号を出力ドライバ ch.G(1.5ch)
 - ・ダイレクト PWM 制御(MCU の PWM 出力と SiP 内で接続)
 - ・定電流方式 1.5ch H-SW ドライバ
- 2) センサ信号処理 Amp / DAC
Hall Bias 制御回路 2-Unit(Op-Amp / 8bitDAC)
汎用 EVR(10bitDAC) 2-Unit
汎用 Op-Amp 6-Unit
- 3) フォトエンコーダ(FG 用)回路
2 相エンコーダ用波形整形回路用の基準電圧設定
出力ラッチ機能付きコンパレータ(ヒス可変機能付き)2 個内蔵
光エンコード素子の電源バイアス用 NchSW(対 GND 結線)を 2 個内蔵
- 4) 制御用シリアル入力
8bit(アドレス)+8bit(データ)の 16bit 同期通信で各種機能を制御
- 5) 電源回路
- 6) 保護回路
保護回路として熱遮断 (TSD) 回路を内蔵(検出:T_j=170、復帰:T_j=150 を標準)
検出温度に達すると保護回路が働き H-SW の出力を OFF します。

31.1 MCDブロック図

MCD部のブロック図を図 31.1.1 に示します。

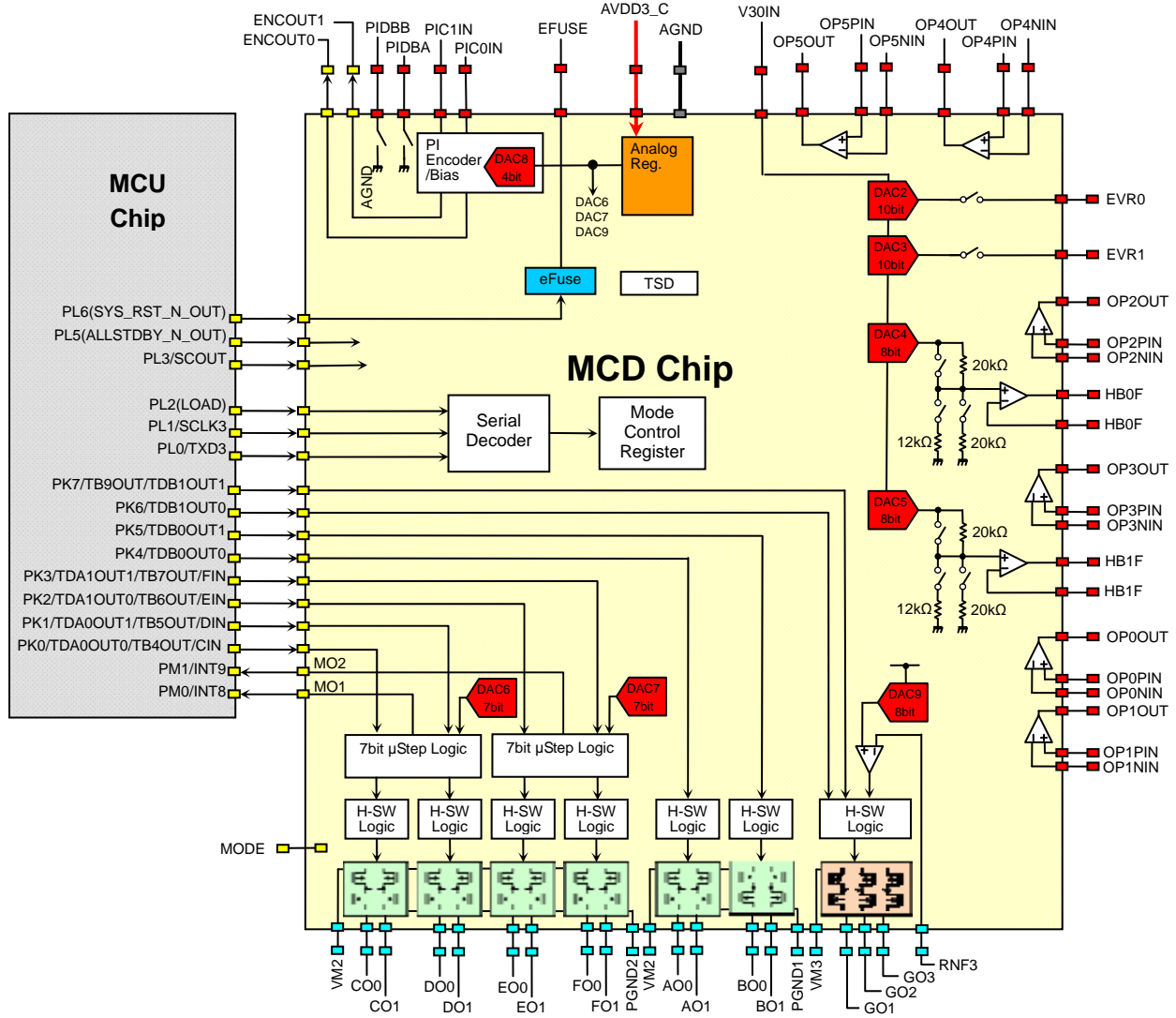


図 31.1.1 MCD 部ブロック図

31.2 MCD 部構成図

MCD部のブロック図を図 31.2.1 に示します。

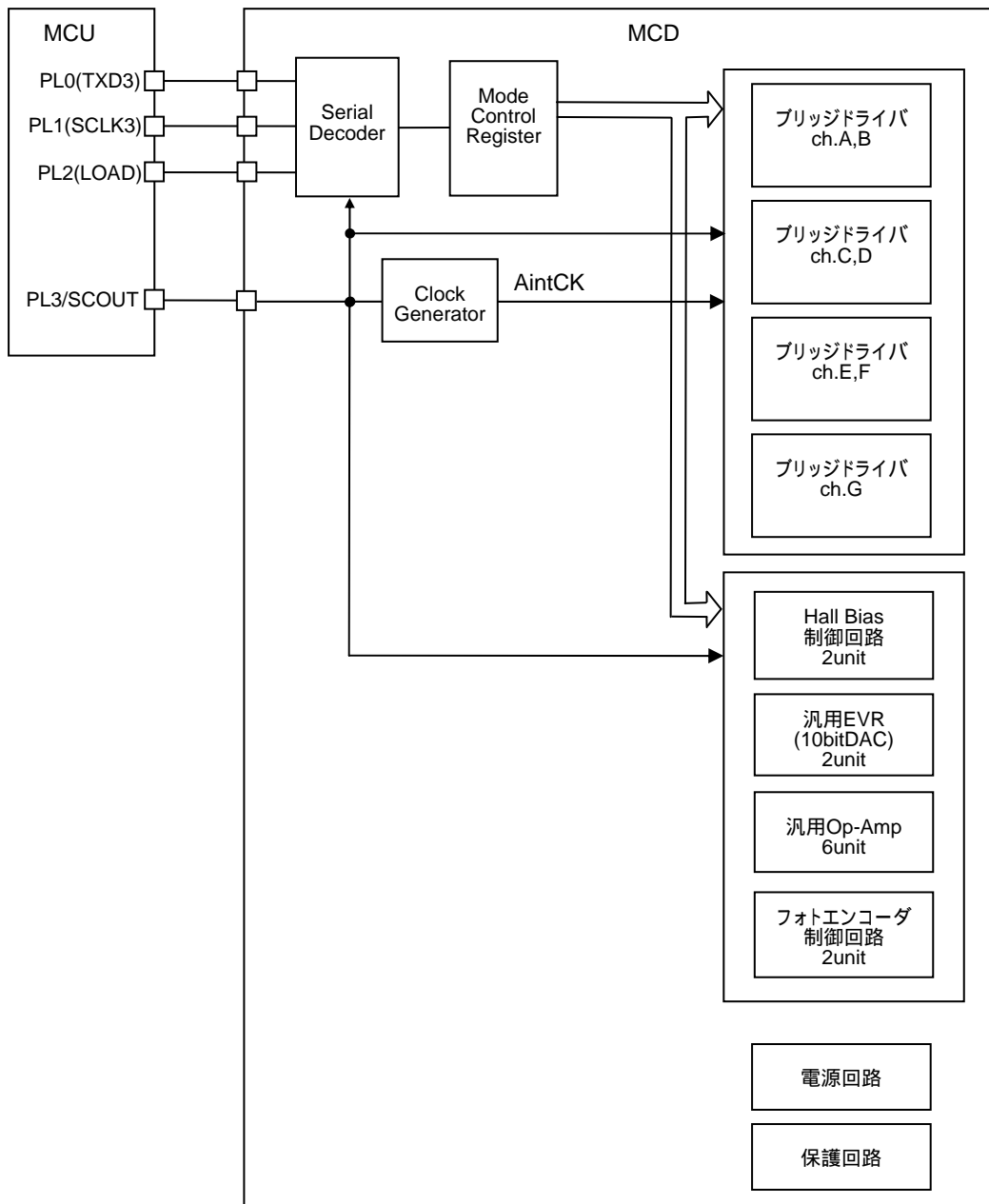


図 31.2.1 MCD 部構成図

31.3 各回路仕様と動作説明

31.3.1 制御用シリアル入力

機能レジスタへの通信用に同期式シリアル入力回路内蔵しています。

転送クロック(内部信号:SCLK3)と送信データ(内部信号:TXD3)の2線式の送信専用のSIO回路を經由して接続されています。また、加えて汎用ポート(PL2)が、MCDチップと内部接続されています。

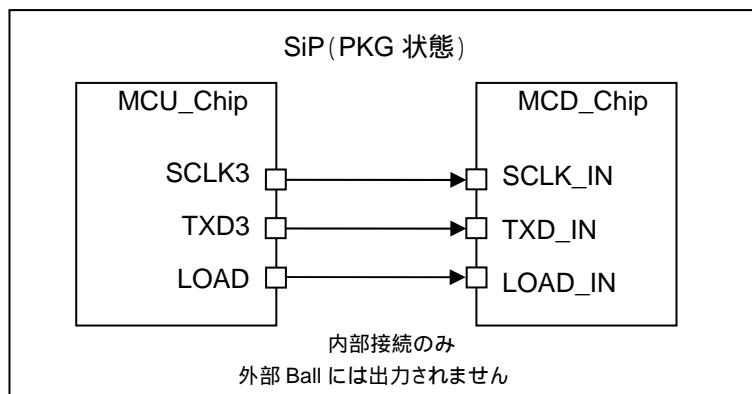


図 31.3.1 SiP パッケージ内、MCU vs MCD チップ接続図

各々のレジスタは、8bitのAddressと 8bitのData(コマンド)で構成されており、MCUからは、MCDに対して、ポートで送信スタートを示す信号(Highパルス)を送信した後、Address+Dataにて書き込みを行います。MCDへの通信には各レジスタへの書き込みに、毎回LOAD + Address + Data のアクセスが必要です。通信プロトコルを下記 図 31.3.2 に示します。

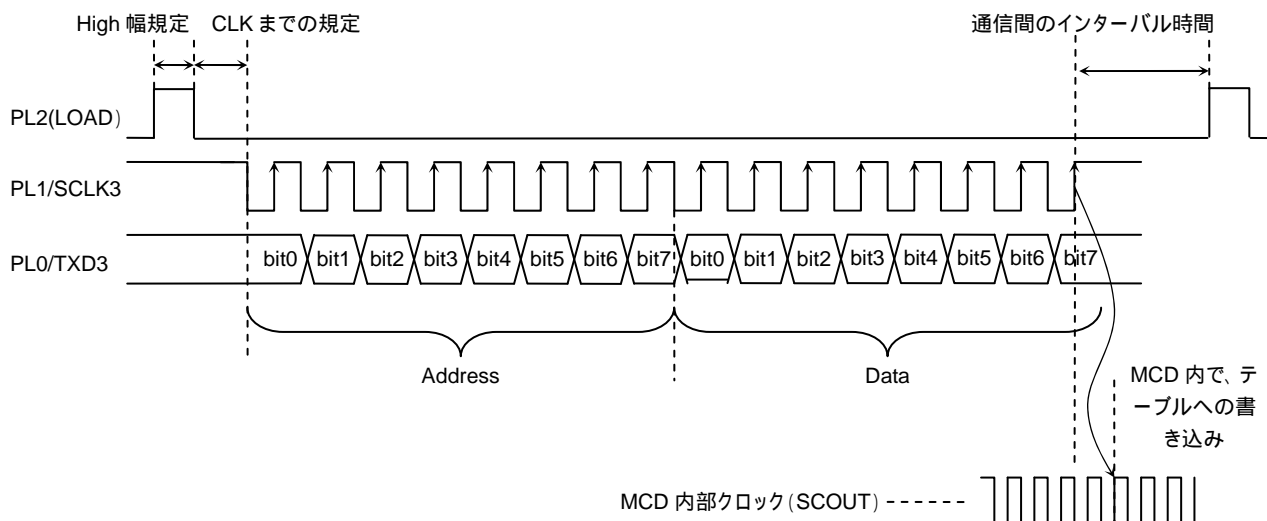


図 31.3.2 通信プロトコル

項目	コメント、制約事項
*LOAD 端子の High 幅規定	100nS 以上
*LOAD 端子が LOW に変化してからクロックを出力するまでの時間	100nS 以上
*通信間のインターバル時間	MCD 供給のクロック 4 発以上

* 詳細は、電気的特性を参照してください。

31.3.2 モードコントロールレジスタ

MCD部は、各設定をするためのモードコントロールレジスタを持っています。レジスタへのデータ書き込みは制御用シリアル入力で行います。トータル 32 個のアドレス (00H~1FH) 各々に 8bit のレジスタがあります。表 31-1 にレジスタ一覧表を示します。

表 31-1 モードコントロールレジスタ一覧表

address Hex	data(8bit)								備考
	D7	D6	D5	D4	D3	D2	D1	D0	
00									
01						MCLKSET			setting 用
02	PMB	MODB	PBB	PBA	PMA	MODA	PAB	PAA	ch.A, ch.B
03	PMD	MODD	PDB	PDA	PMC	MODC	PCB	PCA	ch.C, ch.D STM レジスタ
04	STMSELCD			RSTCD		PHCD		STMCD	
05		CWCD	OSCCD		MAGCD			ENCD	
06	DA6REG								
07	PMF	MODF	PFB	PFA	PME	MODE	PEB	PEA	ch.E, ch.F STM レジスタ
08	STMSELEF			RSTEF		PHEF		STMEF	
09		CWEF	OSCEF		MAGEF			ENEF	
0A	DA7REG								
0B		EXTG	CHSELG	IFG	PMG	MODG	PGB	PGA	ch.G レジスタ
0C	DA9REG								
0D									
0E	OFFTIMECNT				OFFTIMESEL				
0F	PITH0		PITL0		PITH1		PITL1		PI 系
10			LAT0	LAT1	DA8REG				
11							PIBSW	PIASW	
12				HA0SW4	HA0SW3	HA0SW2			Hall Bias 制御
13				HA1SW4	HA1SW3	HA1SW2			
14	DA4REG								
15	DA5REG								
16									
17									
18									
19									
1A			EVR0SW				DA2REG[9:8]		EVR0
1B	DA2REG[7:0]								10bitDAC
1C			EVR1SW				DA3REG[9:8]		EVR1
1D	DA3REG[7:0]								10bitDAC
1E									システム検証用
1F									

空きビットは必ず“0”を書いてください。

詳細につきましては、後述の各機能表をご参照ください。

31.3.3 クロック生成回路

本製品の各回路は、MCU から供給されるクロック入力を分周し、MCD チップ内の基準クロック (AintCK) として使
用します。

制御レジスタへの通信回路へのクロックや、定電流制御回路等、アナログ回路で使用する基準クロックは、外部ク
ロック SCOUT (外部発振(内部発振)→MCU チップを経由→SCOUT) から以下の比率で分周されます。

$$f_{\text{AintCK}}(\text{Analog 回路基準クロック}) = f_{\text{SC_IN}} \times 1/2 \times 1/12$$

使用例) $f_{\text{SC-IN}}=20\text{MHz}$ の時

$$\begin{aligned} f_{\text{AintCK}} &= 20\text{MHz} \times 1/2 \times 1/12 \\ &= 0.8333 \text{ MHz} (t = 1.2\mu\text{S}) \end{aligned}$$

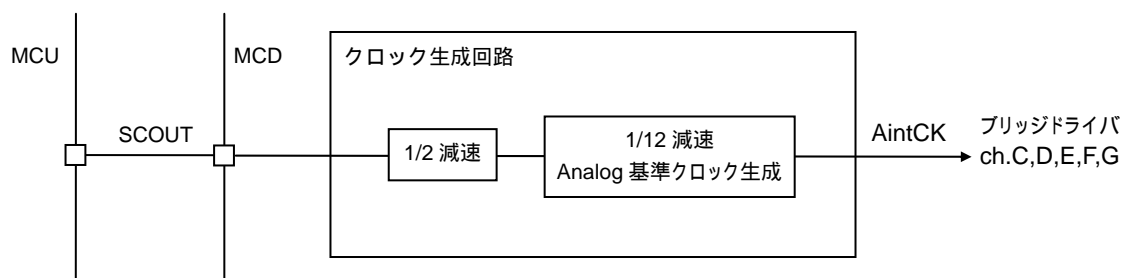


図 31.3.3 クロックドメイン回路図

31.3.4 電源回路

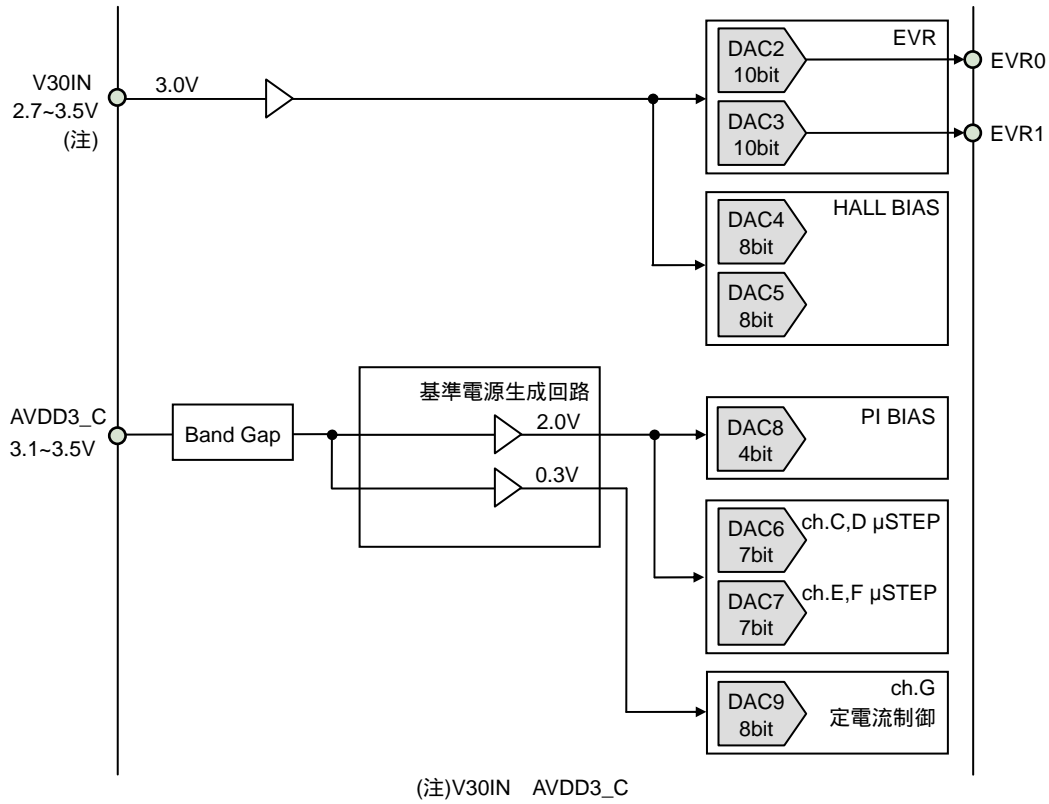


図 31.3.4 MCD 部の電源回路の構成図

31.3.5 スタンバイ動作

MCD の回路は MCU との接続端子 (ALLSTBYN) を使って ON (動作), OFF (スタンバイ) を制御できます。
MCD を使用する場合は電源起動シーケンスに従い、起動を行ってください。スタンバイ時の各周辺機能は下記の表のようになります。

表 31-2 スタンバイ時の状態遷移

機能	状態
モードコントロールレジスタ	全てのレジスタ値は“0”クリア(初期化)されます。
H-SW ドライバ	Hブリッジドライバ出力は OFF になります。
Hall bias, Amp	入力バッファは OFF 状態になります。 出力バッファは OFF 状態になります。
EVR	出力バッファは OFF 状態になります。
Op-Amp	入力バッファは OFF 状態になります。 出力バッファは OFF 状態になります。
フォトエンコーダ	入力バッファは OFF 状態になります。 出力バッファは OFF 状態になります。

31.3.6 ブリッジドライバ制御機能

本製品は H-SW 型のブリッジドライバを 7.5ch 内蔵しています。
各々のチャンネルは、用途別に以下機能をサポートしています。

表 31-3 ブリッジドライバの機能比較表

Ch	入力信号の接続	機能選択		モータ 電源	モータ GND	その他
		H-SW モード	STM モード			
ch.A	TDB0OUT0		-	VM1	PGND1	
ch.B	TDB0OUT1		-			
ch.C	TDA0OUT0/TB4OUT/CIN			VM2	PGND2	
ch.D	TDA0OUT1/TB5OUT/DIN					
ch.E	TDA1OUT0/TB6OUT/EIN					
ch.F	TDA1OUT1/TB7OUT/FIN					
ch.G (1.5ch)	TDB1OUT0 TDB1OUT1/TB9OUT		-	VM3	RNF3	定電流制御可能

31.3.6.1 H-SW出力基本動作

1) 通電(CW/CCW) ←→ ショートブレーキ

モータ駆動における PWM 制御での基本動作では、以下に示すように、通常動作 t1、t5 サイクルと、ショートブレーキ t3 サイクルの繰り返しとなります。

また、貫通電流防止のため、デッドタイム t2、t4 サイクル (約 140ns) を挿入しています。

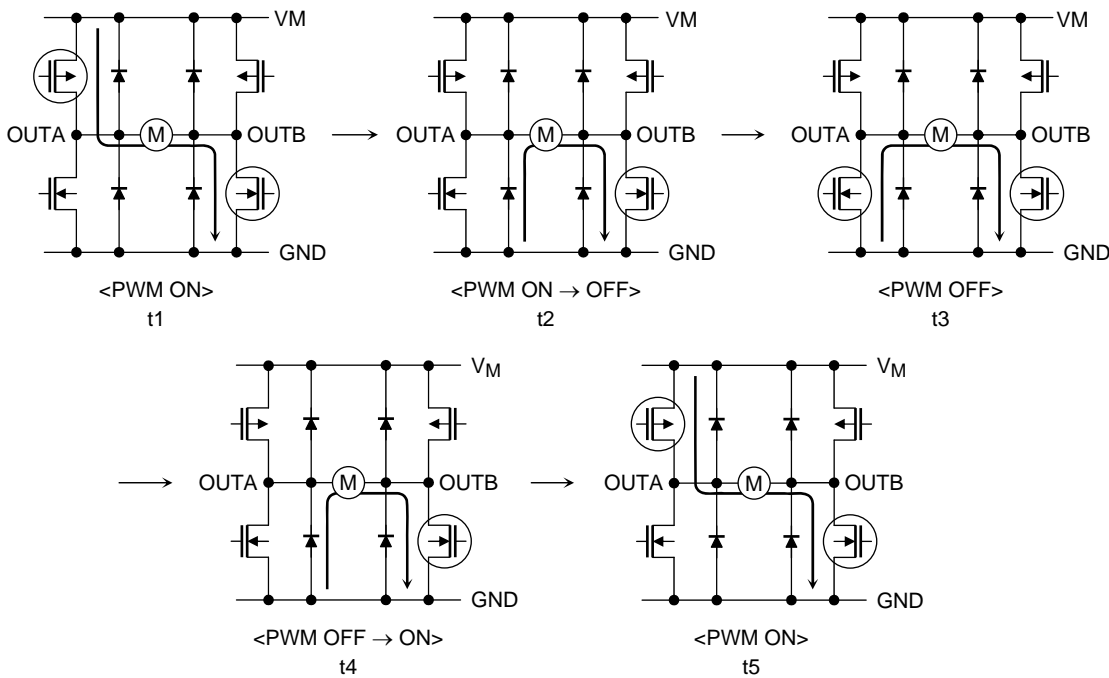


図 31.3.5 通電、ショートブレーキ時の H-ブリッジ出力動作

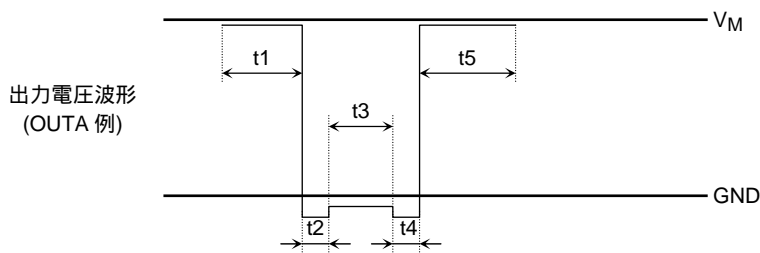


図 31.3.6 通電、ショートブレーキ時の出力電圧波形 (OUTA 例)

2) 通電(CW) ←→ 通電(CCW)

モータ駆動における正転・逆転時の基本動作は、以下に示すように、通常動作（正転）t1、t5、（反転）t3 サイクルと、OFF 時間 t2、t4 サイクルの繰り返しとなります。

また、貫通電流防止のため、デッドタイム t2, t4 サイクル（約 140ns）を挿入しています。

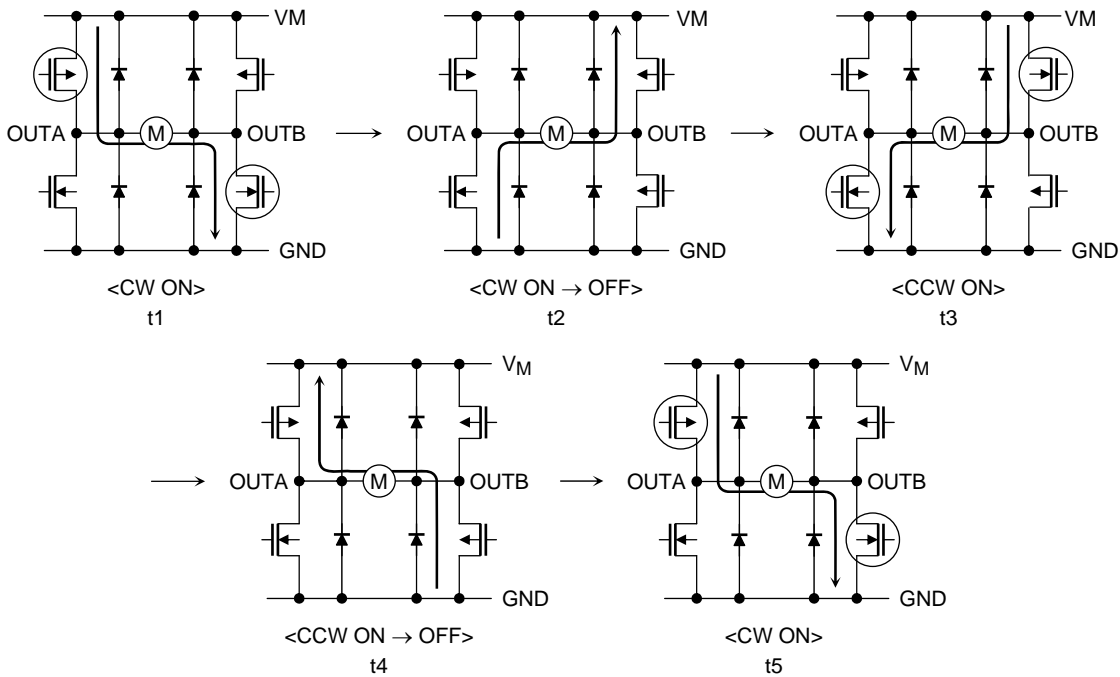


図 31.3.7 正転、逆転時の H-ブリッジ出力動作

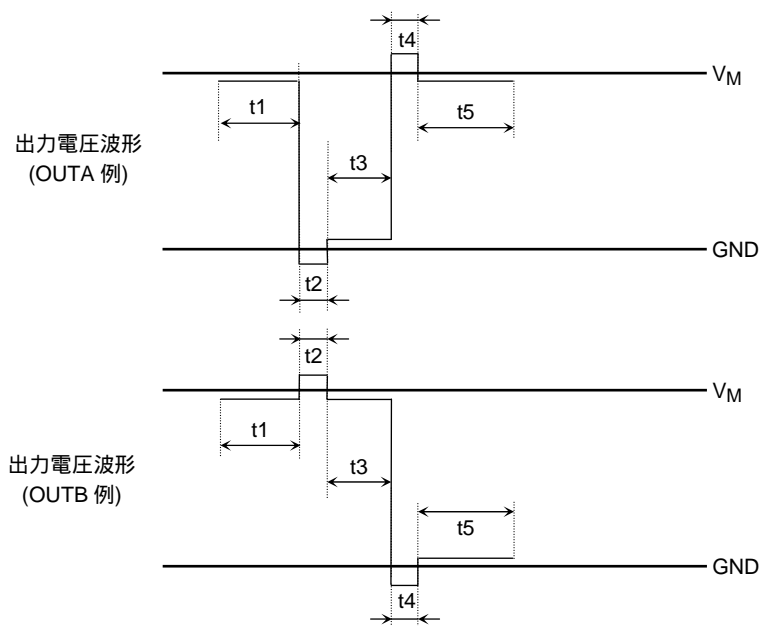


図 31.3.8 正転、逆転時の出力電圧波形（OUTA、OUTB 例）

3) 通電(CW/CCW) ←→ ストップ(出力 OFF)

モータ駆動における正転/逆転→STOPの基本動作は、以下に示すように、通電 t_1 、OFF 時間 t_2 サイクルの繰り返しとなります。

この場合、貫通電流防止のためのデッドタイムはありません。

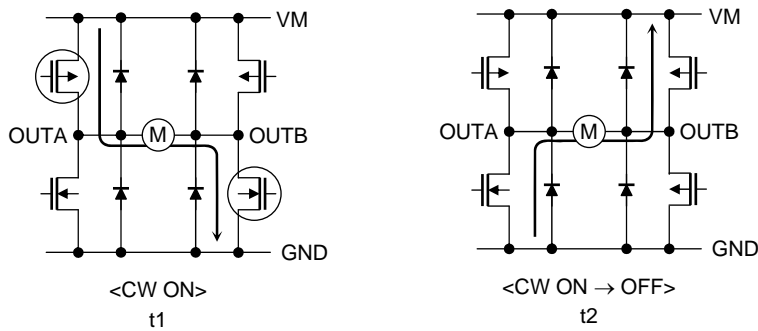


図 31.3.9 正転、ストップ時の H-ブリッジ出力動作

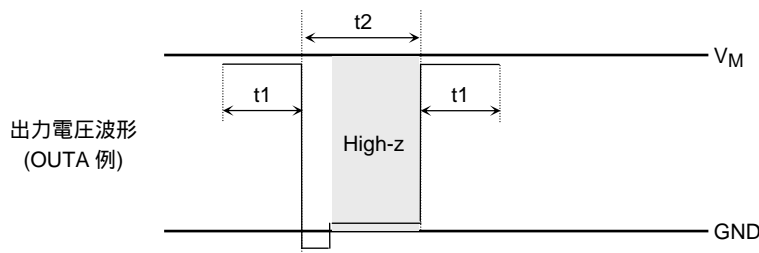


図 31.3.10 正転、ストップ時の出力電圧波形 (OUTA 例)

31.3.7 ドライバch.A,B

PWM 定電流制御が可能なHブリッジドライバを2個(ch.A,B)を内蔵しており、MCUのPWM出力波形によってH-SWモードを使用できます。

システム構成図を、図 31.3.11 に示します。

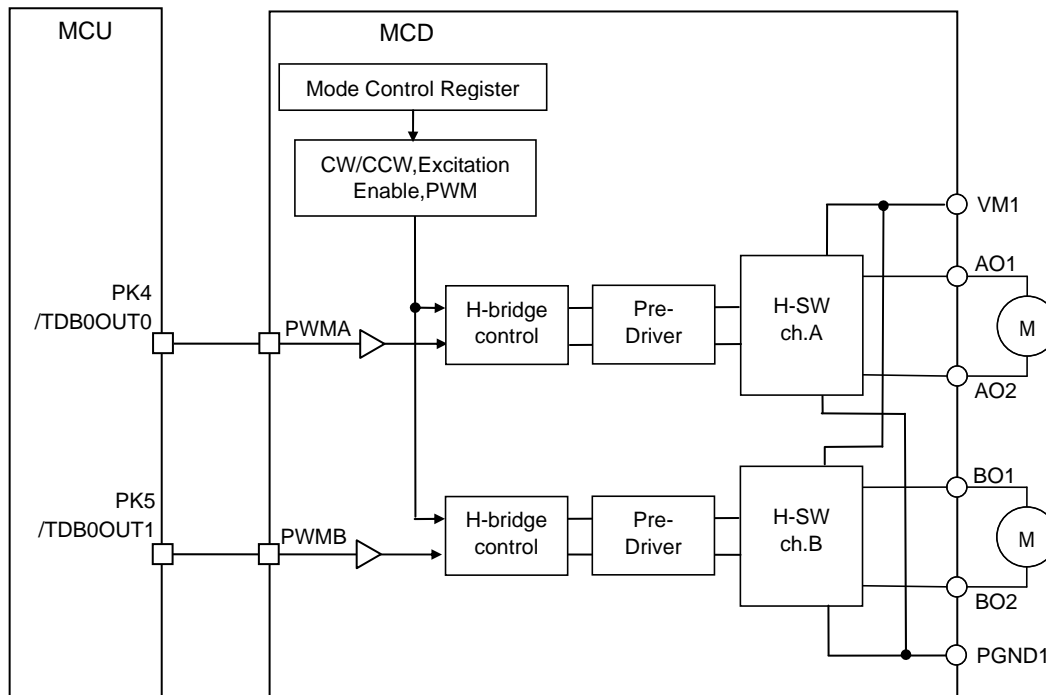


図 31.3.11 ドライバ A,B システム図

31.3.7.1 レジスタ説明

アドレス 02H

x=A,B

	7	6	5	4	3	2	1	0
bit Symbol	PMB	MODB	PBB	PBA	PMA	MODA	PAB	PAA
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	機能
7,3	PMx	論理設定を行います。詳細はドライバファンクションテーブルを参照ください。
6,2	MODx	0：外部ブレーキあり 1：外部ブレーキ無し
5,1	PxB	論理設定を行います。詳細はドライバファンクションテーブルを参照ください。
4,0	PxA	論理設定を行います。詳細はドライバファンクションテーブルを参照ください。

31.3.7.2 H-SWモード(ch.A,B)

ch.A,B は H-SW モードとして使用できます。ドライバファンクションテーブルで設定したファンクションに従います。
 ch.C,D,E,F の H-SW モード時、この機能と同じファンクションテーブルになります。
 x=A,B,C,D,E,F

! 外部ブレーキ制御有りモード

MODx=0 PMx=0

コントロールレジスタ		IC 入力	IC 出力		mode
PxA	PxB	PWMx	xO1	xO2	
0	0	X	Z	Z	STOP
0	1	L	L	L	ショートブレーキ
0	1	H	L	H	CCW
1	0	L	L	L	ショートブレーキ
1	0	H	H	L	CW
1	1	X	L	L	ショートブレーキ

の反転モード

MODx=0 PMx=1

コントロールレジスタ		IC 入力	IC 出力		mode
PxA	PxB	PWMx	xO1	xO2	
0	0	X	Z	Z	STOP
0	1	L	L	H	CCW
0	1	H	L	L	ショートブレーキ
1	0	L	H	L	CW
1	0	H	L	L	ショートブレーキ
1	1	X	L	L	ショートブレーキ

外部ブレーキ制御無しモード

MODx=1 PMx=0

コントロールレジスタ		IC 入力	IC 出力		mode
PxA	PxB	PWMx	xO1	xO2	
0	X	X	Z	Z	STOP
1	0	L	H	L	CW
1	0	H	L	H	CCW
1	1	X	L	L	ショートブレーキ

の反転モード

MODx=1 PMx=1

コントロールレジスタ		IC 入力	IC 出力		mode
PxA	PxB	PWMx	xO1	xO2	
0	X	X	Z	Z	STOP
1	0	L	L	H	CCW
1	0	H	H	L	CW
1	1	X	L	L	ショートブレーキ

31.3.8 ドライバch.C,D,E,F

PWM 定電流制御が可能な H ブリッジドライバを 4 個 (ch.C,D,E,F) を内蔵しており、2 個の 2 相バイポーラ型ステッピングモータ (STM) または、最大 4 個のアクチュエータを制御可能です。

モードコントロールレジスタの設定にてch 独立のH-SW モードか、STM モードかを選択できます。各モードの外部端子と機能端子の割り付けを表 31-4 に示します。

表 31-4 端子機能一覧表

MCU 接続端子	モード	
	H-SW モード	STM モード
TDA0OUT0/TB4OUT/CIN	PWMC	CLK2(ステップパルスクロック)
TDA0OUT1/TB5OUT/DIN	PWMD	EN3(通電励磁 ON/OFF)
TDA1OUT0/TB6OUT/EIN	PWME	CLK4(ステップパルスクロック)
TDA1OUT1/TB7OUT/FIN	PWMF	EN5(通電励磁 ON/OFF)

STM マイクロステップモードでは、ステップパルス入力方式を用いて、最大 7 bit 分解能 (512 ステップ/360 度電気角) の 2 個のステッピングモータが制御可能です。

また励磁分解能(W1-2 相 ~ 32W1-2 相)を選択した時に、電気角 45 度毎のタイミングで MO 端子を Low 出力する機能を内蔵しています。

ドライバch.C,D,E,Fのシステム構成図を、図 31.3.12 に示します。

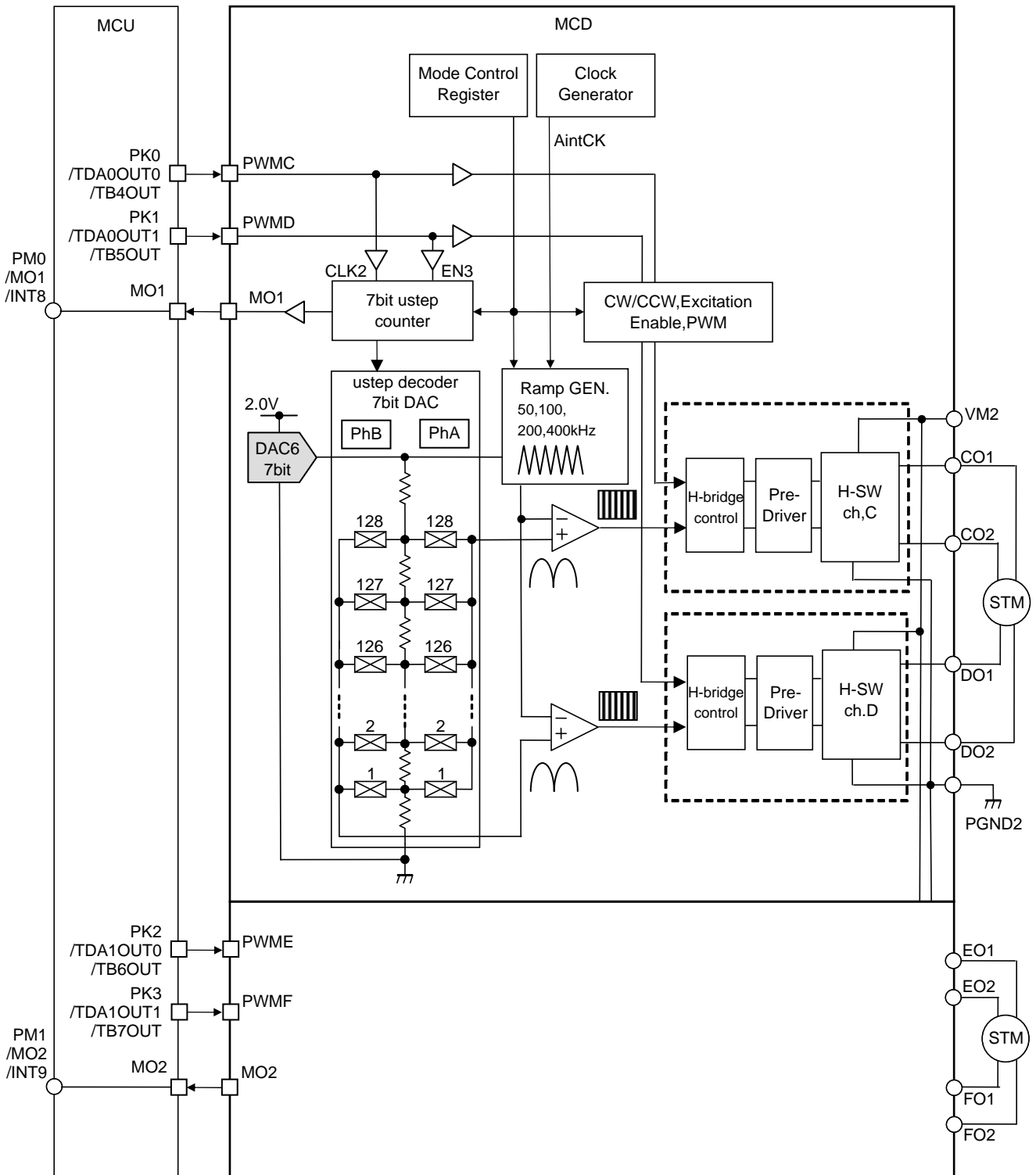


図 31.3.12 ドライバC,D,E,F システム図

31.3.8.1 H-SWモード(ch.C,D,E,F,)

モードコントロールレジスタ (STMCD=0,STMEF=0)を設定することにより、H-SW モードになりドライバファンクションテーブルで設定したファンクションに従います。設定レジスタは、下記のアドレスに割り付けられています。

動作仕様は ch.A,B と同じですので、H-SW モード(ch.A,B)を参照ください。

31.3.8.2 レジスタ説明

アドレス 03H

	7	6	5	4	3	2	1	0
bit Symbol	PMD	MODD	PDB	PDA	PMC	MODC	PCB	PCA
リセット後	0	0	0	0	0	0	0	0

アドレス 07H

	7	6	5	4	3	2	1	0
bit Symbol	PMF	MODF	PFB	PFA	PME	MODE	PEB	PEA
リセット後	0	0	0	0	0	0	0	0

31.3.8.3 STMモード (マイクロステップ方式)

モードコントロールレジスタ (STMCD=1,STMEF=1) を設定することにより、STM モードになりマイクロステップ方式を使用することができます。

このときステップアップは、PWMC (Iris ドライバの場合は、PWME) 端子へのステップパルス入力信号の立ち上がりエッジで行います。実際の IC 内部での制御タイミングは、SCOUT から作る内部クロックと同期します。

ステップアップの分解能は下記の 8 種類から選択できます

(2 相、1-2 相、W1-2 相、2W1-2 相、4W1-2 相、8W1-2 相、16W1-2 相、32W1-2 相)

下記に励磁分解能 (4W1-2 相)、7bitDAC (2V) 設定したときのステップパルス入力と MO 出力、電流軌跡を示します。STM の開始位置は駆動開始励磁設定レジスタ (PHxx) で行い、下記の 8 ポイントから選択できます。

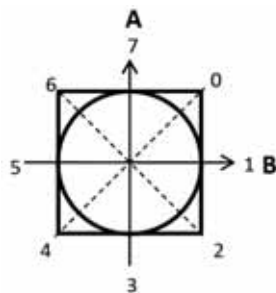
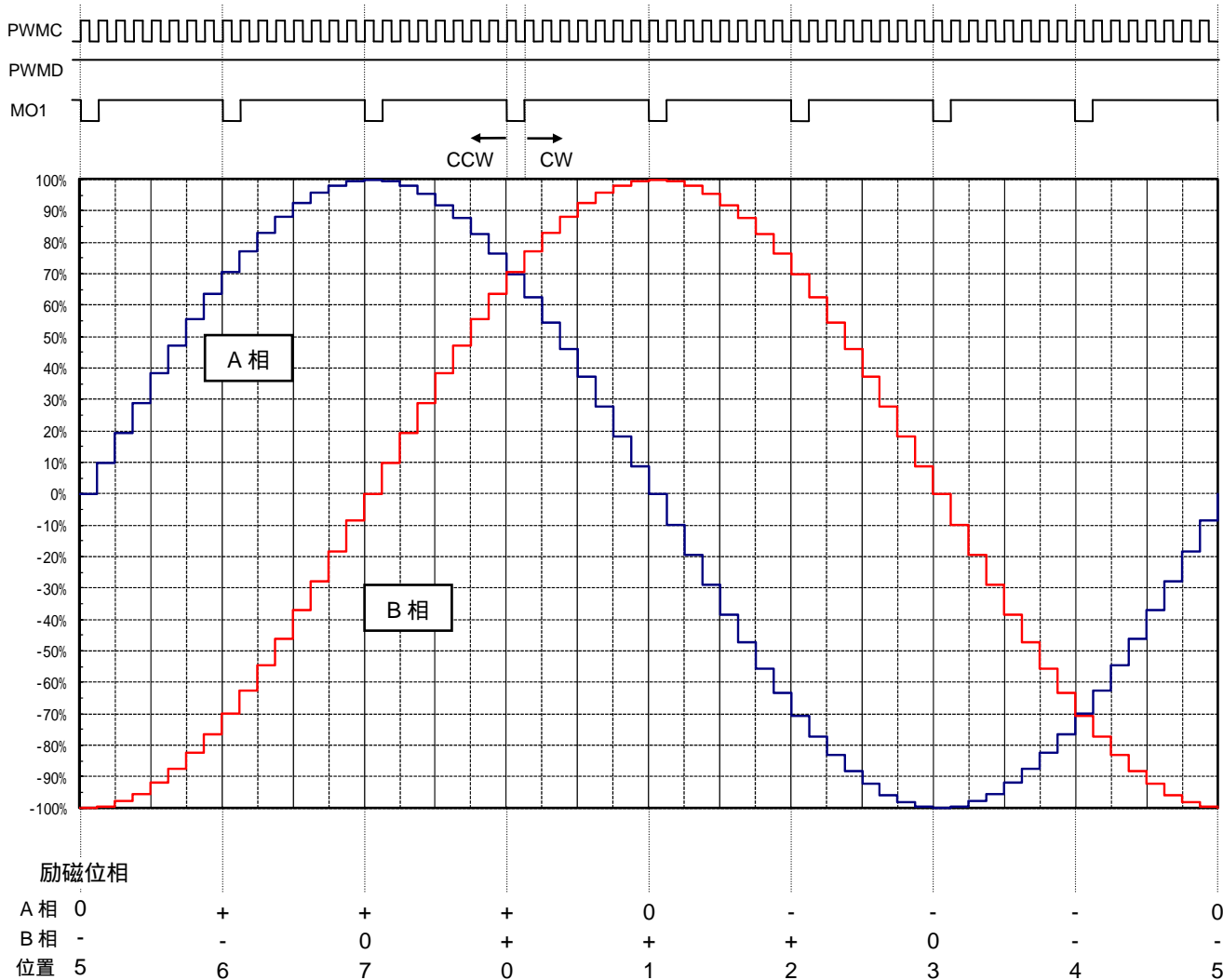


図 31.3.13 マイクロステップ方式時のクロック入力と電流軌跡及び励磁位相

31.3.8.4 レジスタ説明

アドレス 04H/08H

xx=CD,EF

	7	6	5	4	3	2	1	0
bit Symbol	STMSELxx	-	-	RSTxx	PHxx			STMxx
リセット後	0	-	-	0	0	0	0	0

Bit	Bit Symbol	機能																													
7	STMSELxx	STM モード時の H-SW の PWM 整流方式の選択 0 : 通電 ON OFF(fast) 1 : 通電 ON short(slow)																													
4	RSTxx	STM モード ステップカウンタ値リセット 0 : 通常動作 1 : 強制リセット																													
3-1	PHxx	STM モード駆動再開励磁相設定 <table border="1"> <thead> <tr> <th rowspan="2">設定値</th> <th colspan="2">励磁位相 (A/B)</th> </tr> <tr> <th>1-2 相時</th> <th>2 相時</th> </tr> </thead> <tbody> <tr> <td>000</td> <td>+ / +</td> <td>+ / +</td> </tr> <tr> <td>001</td> <td>0 / +</td> <td>- / +</td> </tr> <tr> <td>010</td> <td>- / +</td> <td>- / +</td> </tr> <tr> <td>011</td> <td>- / 0</td> <td>- / -</td> </tr> <tr> <td>110</td> <td>- / -</td> <td>- / -</td> </tr> <tr> <td>101</td> <td>0 / -</td> <td>+ / -</td> </tr> <tr> <td>110</td> <td>+ / -</td> <td>+ / -</td> </tr> <tr> <td>111</td> <td>+ / 0</td> <td>+ / +</td> </tr> </tbody> </table>	設定値	励磁位相 (A/B)		1-2 相時	2 相時	000	+ / +	+ / +	001	0 / +	- / +	010	- / +	- / +	011	- / 0	- / -	110	- / -	- / -	101	0 / -	+ / -	110	+ / -	+ / -	111	+ / 0	+ / +
設定値	励磁位相 (A/B)																														
	1-2 相時	2 相時																													
000	+ / +	+ / +																													
001	0 / +	- / +																													
010	- / +	- / +																													
011	- / 0	- / -																													
110	- / -	- / -																													
101	0 / -	+ / -																													
110	+ / -	+ / -																													
111	+ / 0	+ / +																													
0	STMxx	0 : H-SW モード 1 : STM モード																													

注) STM モードに切り替えると、キャリア周波数を生成する発振回路が動作します。発振が安定するまでの時間は最大 2ms 程かかりますので、十分時間をとってから動作させてください。

アドレス 05H/09H

xx=CD,EF

	7	6	5	4	3	2	1	0
bit Symbol	-	CWxx	OSCxx		MAGxx			ENxx
リセット後	-	0	0	0	0	0	0	0

Bit	Bit Symbol	機能																																				
6	CWxx	STM モード回転方向設定 0 : CW 1 : CCW 回転方向の設定をします。0 : 時計回り、1 : 反時計回り																																				
5-4	OSCxx	STM モード PWM キャリア周波数 設定 <table border="1"> <thead> <tr> <th>設定値</th> <th>キャリア周波数</th> </tr> </thead> <tbody> <tr> <td>00</td> <td>50kHz</td> </tr> <tr> <td>01</td> <td>100kHz</td> </tr> <tr> <td>10</td> <td>200kHz</td> </tr> <tr> <td>11</td> <td>400kHz</td> </tr> </tbody> </table>	設定値	キャリア周波数	00	50kHz	01	100kHz	10	200kHz	11	400kHz																										
設定値	キャリア周波数																																					
00	50kHz																																					
01	100kHz																																					
10	200kHz																																					
11	400kHz																																					
3-1	MAGxx	STM モード励磁分解能, 2-2 相位置振幅設定 <table border="1"> <thead> <tr> <th>設定値</th> <th>Step/90</th> <th>励磁分解能</th> <th>2-2 相位置振幅</th> </tr> </thead> <tbody> <tr> <td>000</td> <td>1</td> <td>2 相</td> <td>100%</td> </tr> <tr> <td>001</td> <td>2</td> <td>1-2 相</td> <td>100%</td> </tr> <tr> <td>010</td> <td>4</td> <td>マイクロステップ(W1-2 相)</td> <td>70.7%(=1/ 2)</td> </tr> <tr> <td>011</td> <td>8</td> <td>マイクロステップ(2W1-2 相)</td> <td>70.7%</td> </tr> <tr> <td>100</td> <td>16</td> <td>マイクロステップ(4W1-2 相)</td> <td>70.7%</td> </tr> <tr> <td>101</td> <td>32</td> <td>マイクロステップ(8W1-2 相)</td> <td>70.7%</td> </tr> <tr> <td>110</td> <td>64</td> <td>マイクロステップ(16W1-2 相)</td> <td>70.7%</td> </tr> <tr> <td>111</td> <td>128</td> <td>マイクロステップ(32W1-2 相)</td> <td>70.7%</td> </tr> </tbody> </table>	設定値	Step/90	励磁分解能	2-2 相位置振幅	000	1	2 相	100%	001	2	1-2 相	100%	010	4	マイクロステップ(W1-2 相)	70.7%(=1/ 2)	011	8	マイクロステップ(2W1-2 相)	70.7%	100	16	マイクロステップ(4W1-2 相)	70.7%	101	32	マイクロステップ(8W1-2 相)	70.7%	110	64	マイクロステップ(16W1-2 相)	70.7%	111	128	マイクロステップ(32W1-2 相)	70.7%
設定値	Step/90	励磁分解能	2-2 相位置振幅																																			
000	1	2 相	100%																																			
001	2	1-2 相	100%																																			
010	4	マイクロステップ(W1-2 相)	70.7%(=1/ 2)																																			
011	8	マイクロステップ(2W1-2 相)	70.7%																																			
100	16	マイクロステップ(4W1-2 相)	70.7%																																			
101	32	マイクロステップ(8W1-2 相)	70.7%																																			
110	64	マイクロステップ(16W1-2 相)	70.7%																																			
111	128	マイクロステップ(32W1-2 相)	70.7%																																			
0	ENxx	STM モード 通電 ON/OFF 0 : off 1 : on																																				

アドレス 06H/0AH

x=6(ch.CD),7(ch.EF)

	7	6	5	4	3	2	1	0
bit Symbol	-	DAXREG						
リセット後	-	0	0	0	0	0	0	0

Bit	Bit Symbol	機能														
6-0	DAXREG	STM モード振幅設定 <table border="1"> <thead> <tr> <th>設定値</th> <th>入力電圧(Typ.)</th> </tr> </thead> <tbody> <tr> <td>000_0000</td> <td>0V</td> </tr> <tr> <td>000_0001</td> <td>15.6mV</td> </tr> <tr> <td>000_0010</td> <td>31.3mV</td> </tr> <tr> <td>⋮</td> <td></td> </tr> <tr> <td>⋮</td> <td></td> </tr> <tr> <td>111_1111</td> <td>2.0V</td> </tr> </tbody> </table> 7bitDAC 値を設定できます。	設定値	入力電圧(Typ.)	000_0000	0V	000_0001	15.6mV	000_0010	31.3mV	⋮		⋮		111_1111	2.0V
設定値	入力電圧(Typ.)															
000_0000	0V															
000_0001	15.6mV															
000_0010	31.3mV															
⋮																
⋮																
111_1111	2.0V															

ご参考

内部 PWM 生成用 DAC 出力の動作タイミングを下記に示します。
ステップパルス信号の立ち上げエッジに対し、AintCK の 3 クロック分遅れてステップします。

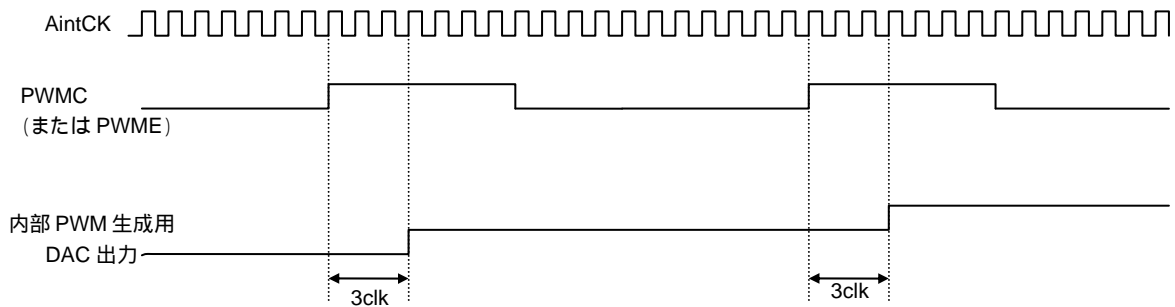


図 31.3.14 ステップアップ信号のタイミング

31.3.8.5 STMモード時のH-SWのPWM整流方式の選択

STMモード時、H-SWのスイッチの切り替えを、通電ON OFF (STMSELxx=0)もしくは、通電ON ショートブレーキ(STMSELxx=1)を選択できます。H-SWの切り替え動作は、31.3.6.1 H-SW出力基本動作 3)、1)を参照願います。

31.3.8.6 PWMキャリア周波数設定

STMモード時、コントロールレジスタ(OSCxx)を設定することにより、H-SWをON/OFFするPWMキャリア周波数を50KHz/100KHz/200KHz/400KHzから選択できます。下記にPWMキャリア周波数400KHz,200KHzのときのモータ駆動出力の波形を示します。

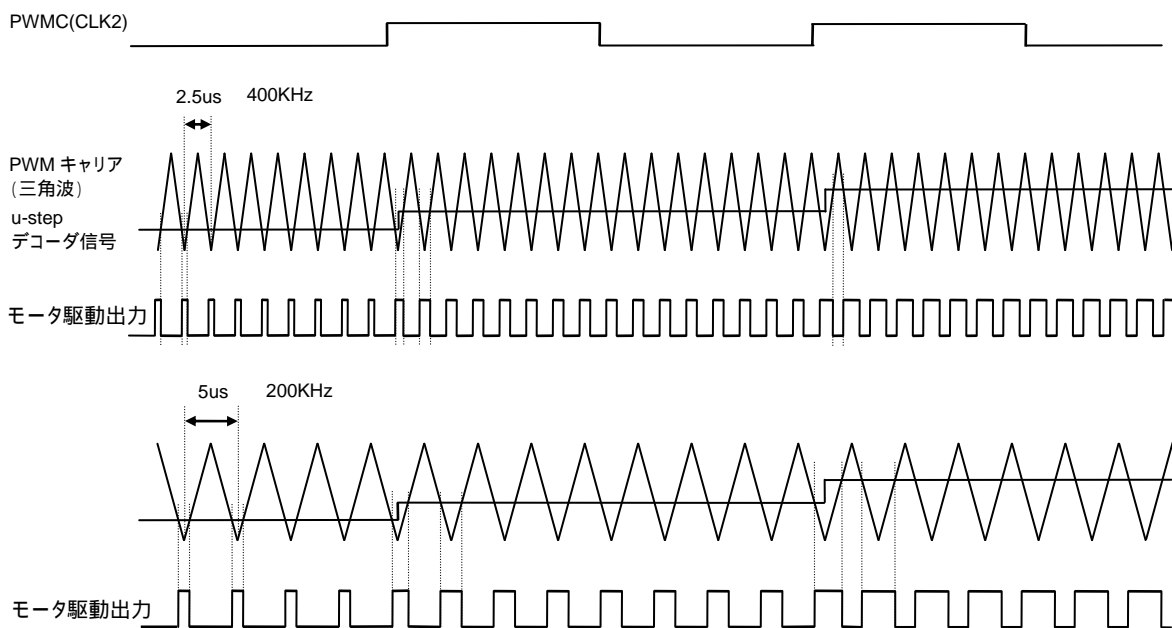


図 31.3.15 PWM 信号発生器の動作

31.3.8.7 振幅設定

STM モード時、コントロールレジスタ(DAxREG)を設定することにより、電流軌跡の振幅を調整することができます。7bit 分解能を持っており、例として下記に DAxREG="111_1111"(100%)のときと、DAxREG="011_1111"(50%)のときの電流軌跡例(最大分解能)を示します。

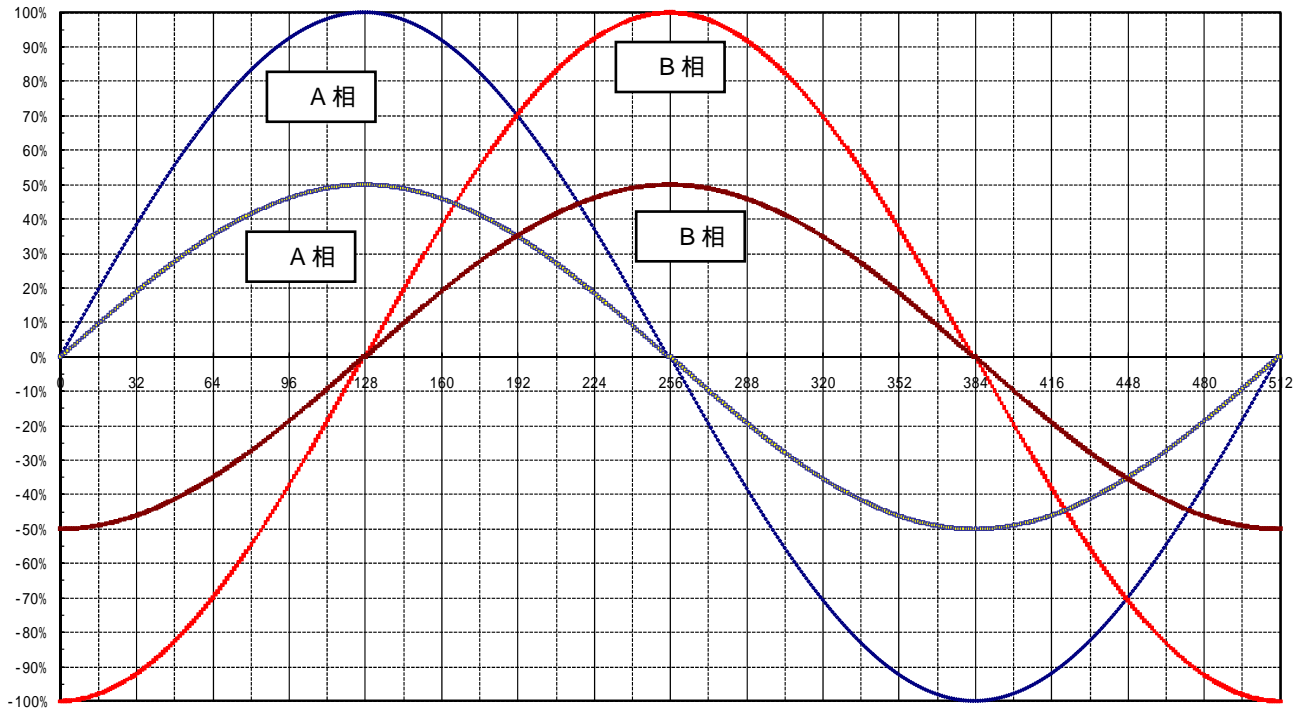


図 31.3.16 電流軌跡の振幅(100%,50%)波形

31.3.8.8 励磁モード (ステップ分解能)

ステップモータの分解能は、下記の 8 種類を選択できます。
励磁分解能設定レジスタ MAGxx により、3bit (8 種類) を選択できます。

表 31-5 励磁分解能設定表

設定値 MAGxx	分解能/90deg	分解能/360deg	励磁分解能	2-2 相位置振幅
000	1	4	2 相	100%
001	2	8	1-2 相(注 1)	100%
010	4	16	W1-2 相	70.7%(=1/√2)
011	8	32	2W1-2 相	70.7%
100	16	64	4W1-2 相	70.7%
101	32	128	8W1-2 相	70.7%
110	64	256	16W1-2 相	70.7%
111	128	512	32W1-2 相	70.7%

(注1) 1-2 相励磁駆動について
一般的に 1-2 相励磁の波形として
矩形波形タイプの 「 2 相位置の通電量が最大振幅 」
マイクロステップタイプの 「 2 相位置の通電量が最大振幅 ÷ 2 」
がありますが、本製品では 1-2 相でのトルクアップのために の機能にしています。

1) 矩形波形タイプの励磁駆動

ステッピングモータの分解能で、2相励磁、1-2相励磁のときの励磁駆動図と電流軌跡を下記に示します。
 注) このモードを使用するときには MO 出力端子は使用できません。

- ・ 2相駆動 正転
 各ポジションは 512 分割で記載

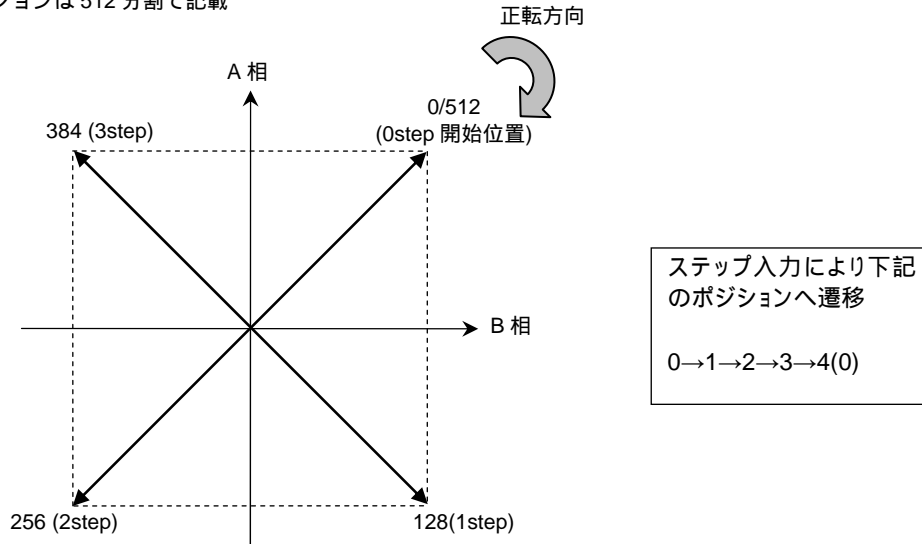


図 31.3.17 2相励磁駆動図

- ・ 1-2相駆動 正転
 各ポジションは 512 分割で記載

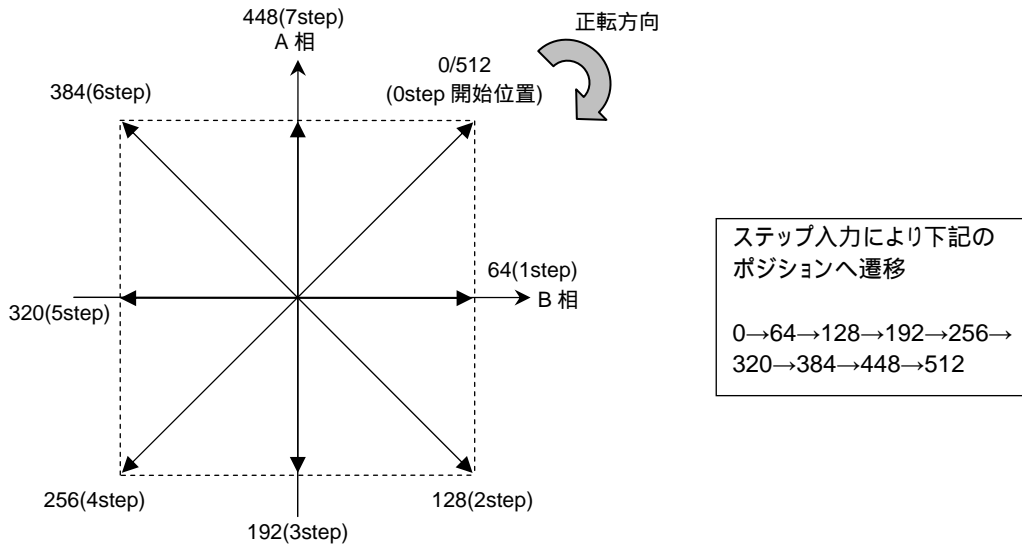


図 31.3.18 1-2相励磁駆動図

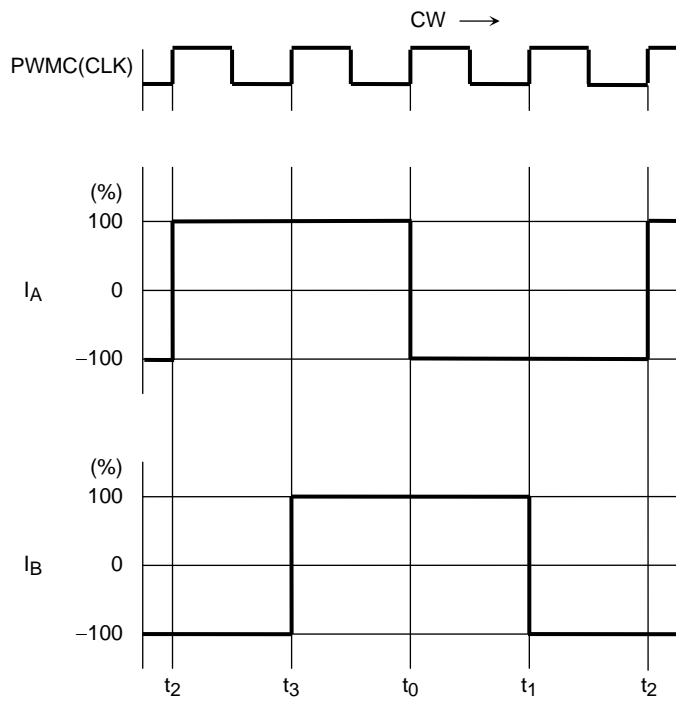


図 31.3.19 電流軌跡例 1: (最小分解能)2 相励磁モード(0bit: 4 分解能/360deg)

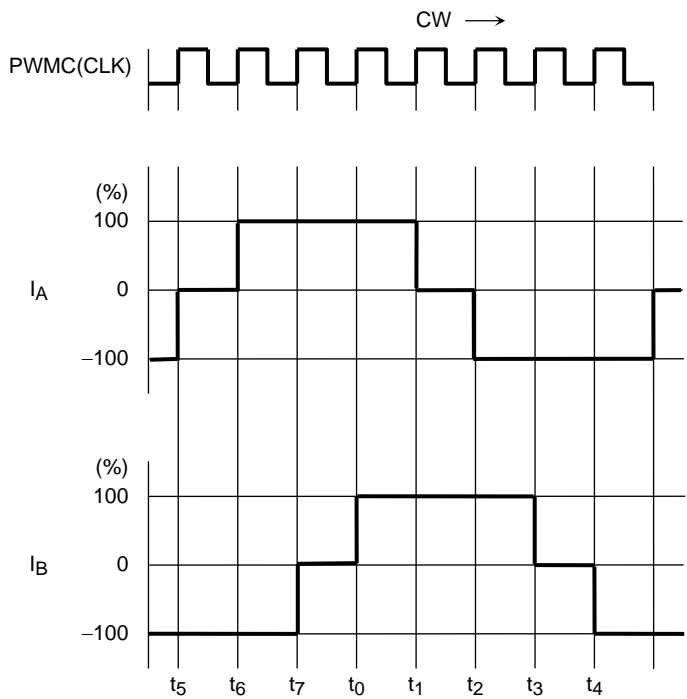
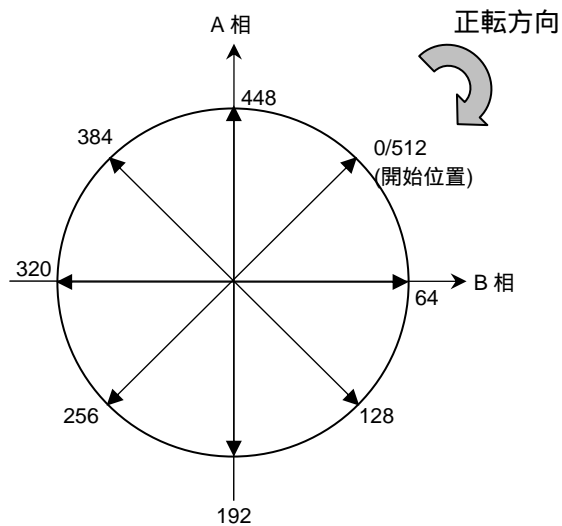


図 31.3.20 電流軌跡例 2: 1-2 相励磁モード(1bit: 8 分解能/360deg)

2) 正弦波形タイプの励磁駆動

ステッピングモータの分解能で、W1-2 相励磁、2W1-2 相励磁、4W1-2 相励磁、8W1-2 相励磁、16W1-2 相励磁、32W1-2 相励磁、のときの励磁駆動図と電流軌跡を下記に示します。

W1-2 相～512 分解能駆動 正転
各ポジションは 512 分割で記載



ステップ入力により下記のポジションへ遷移

【W1-2 相(16 分割)】

0→32→64→96→128・・・

【2W1-2 相(32 分割)】

0→16→32→48→64・・・

【4W1-2 相(64 分割)】

0→8→16→24→32・・・

【8W1-2 相(128 分割)】

0→4→8→12→16・・・

【16W1-2 相(256 分割)】

0→2→4→6→8・・・

【32W1-2 相(512 分割)】

0→1→2→3→4・・・

図 31.3.21 マイクロステップタイプの励磁駆動図

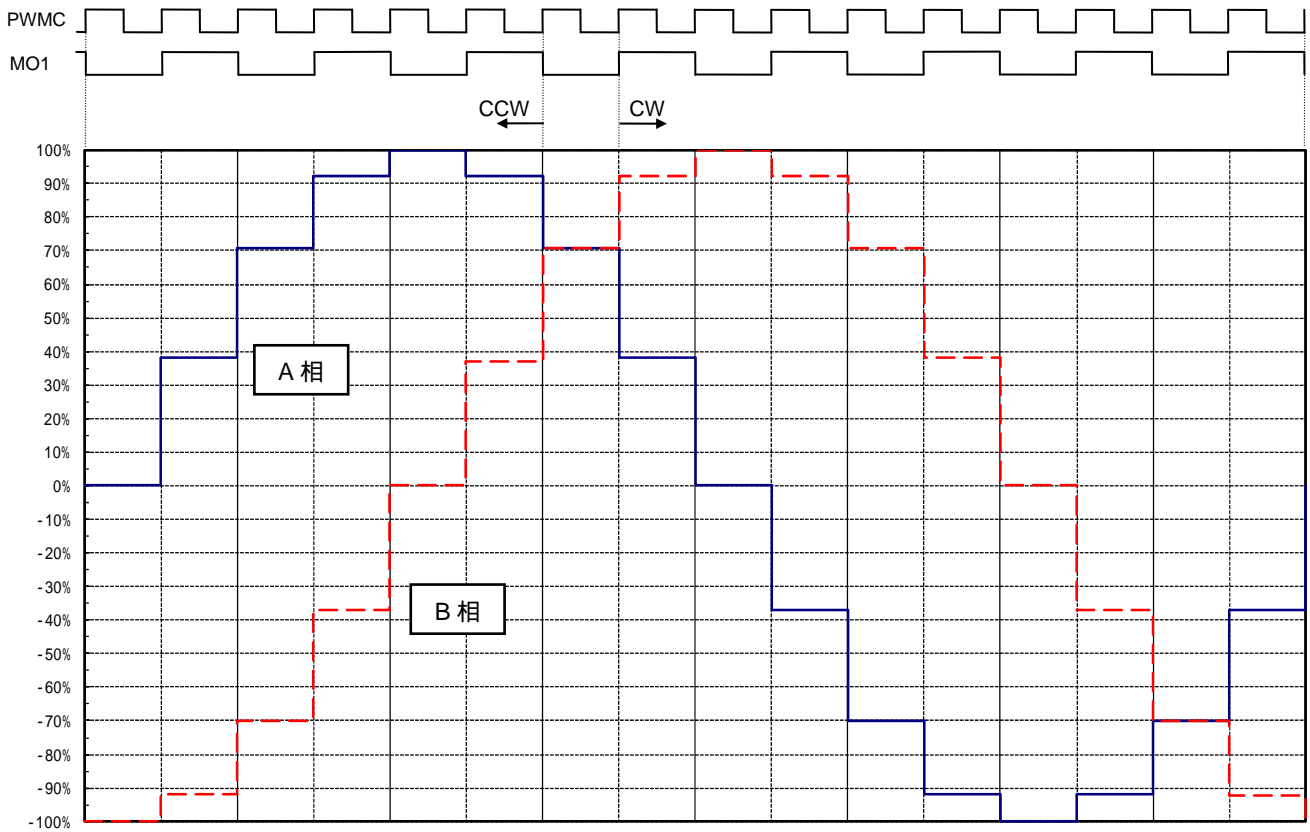


図 31.3.22 電流軌跡例 3:W1-2 相励磁モード(2bit: 16 分解能/360deg)

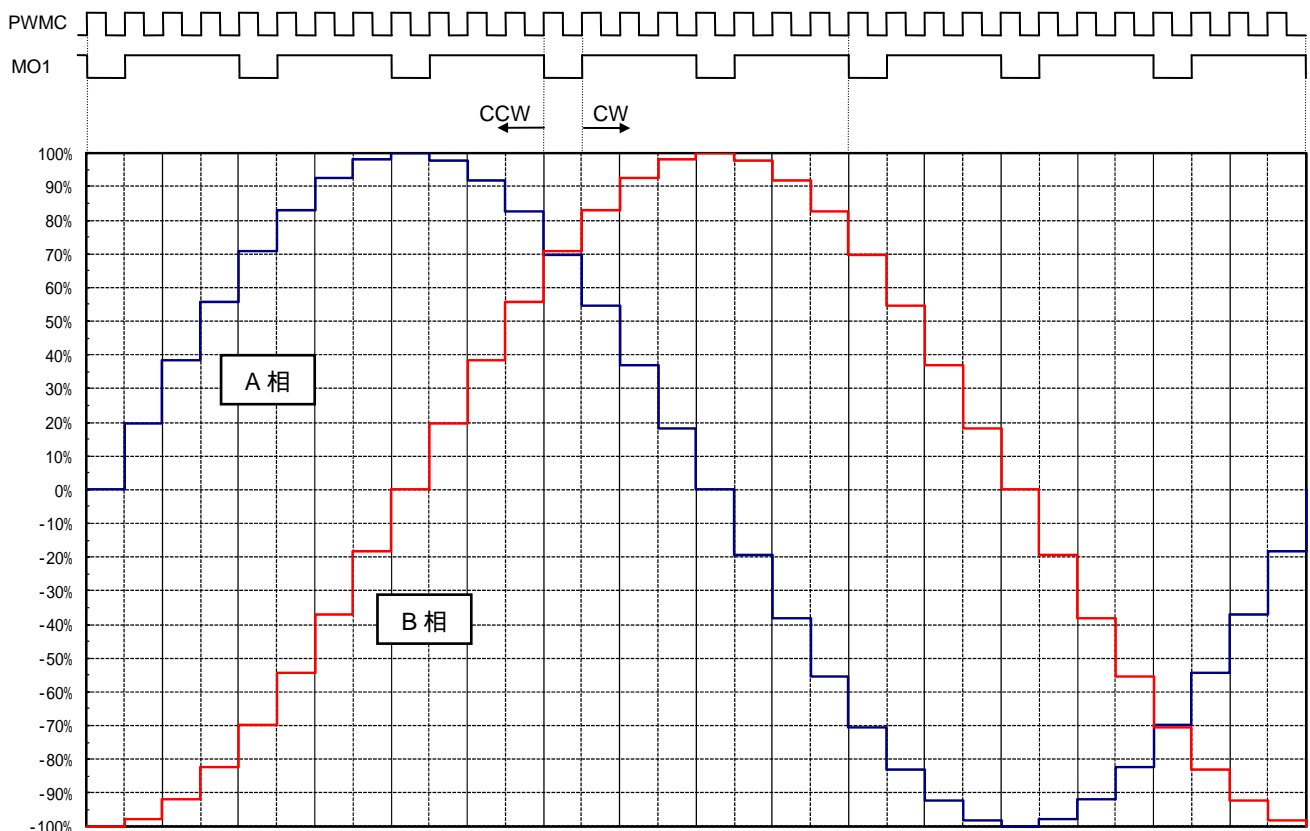


図 31.3.23 電流軌跡例 4:2W1-2 相励磁モード(3bit: 32 分解能/360deg)

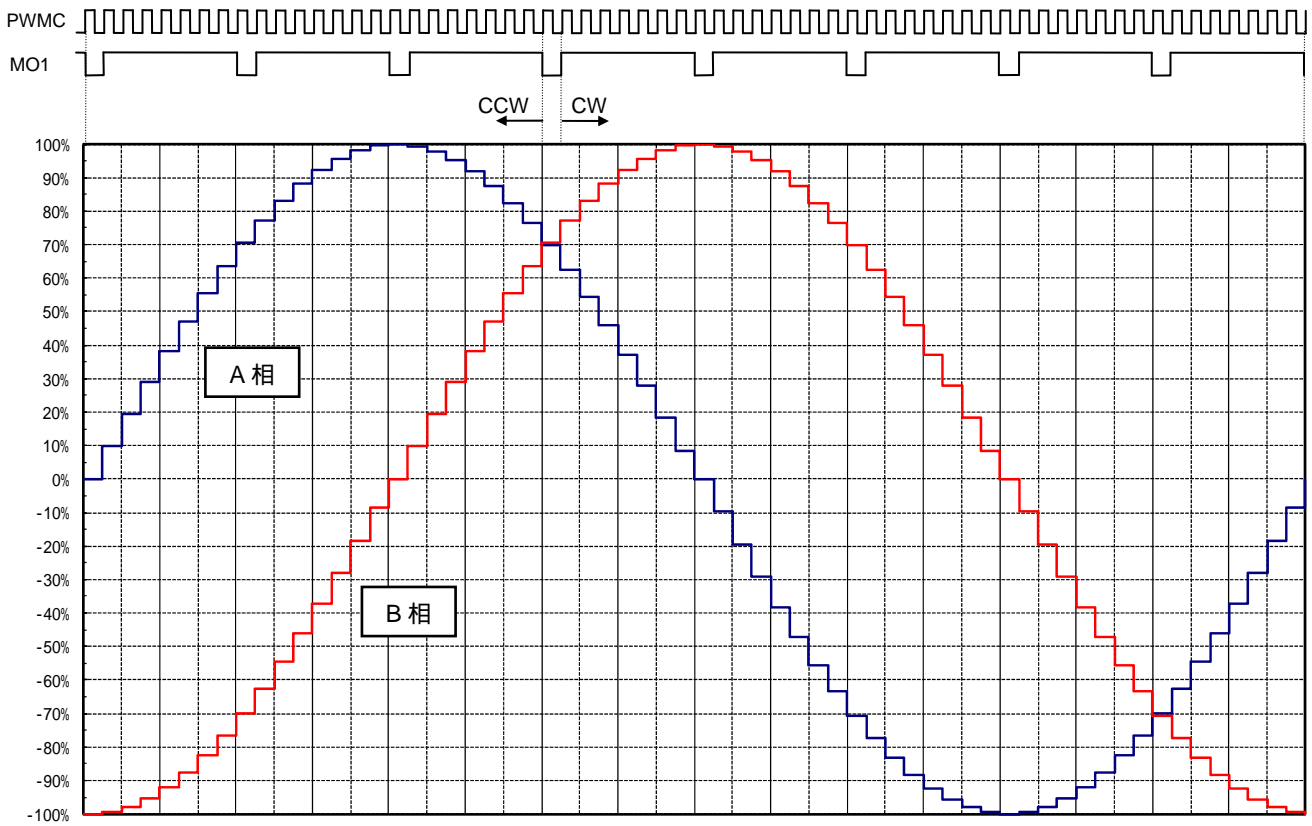


図 31.3.24 電流軌跡例 5: 4W1-2 相励磁モード (4bit: 64 分解能/360deg)

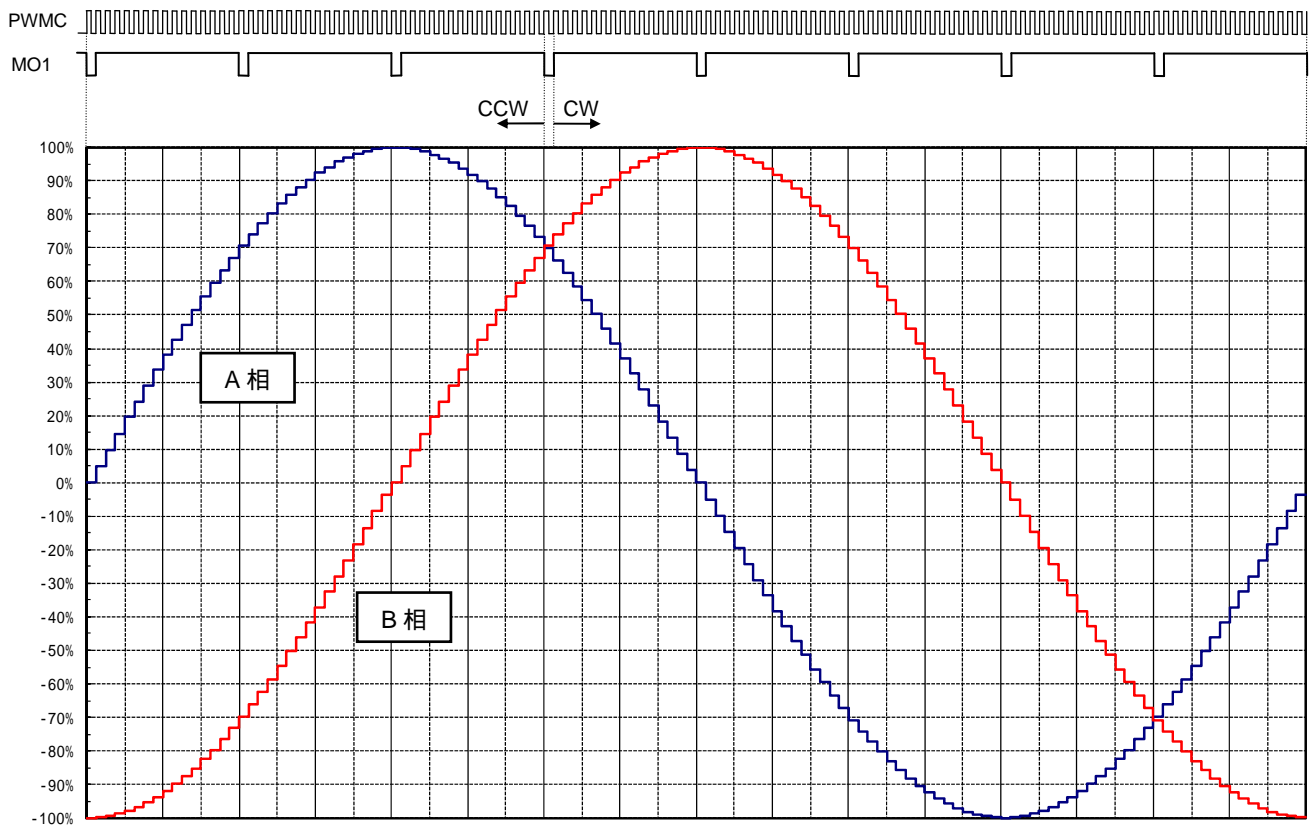


図 31.3.25 電流軌跡例 6: 8W1-2 相励磁モード (5bit: 128 分解能/360deg)

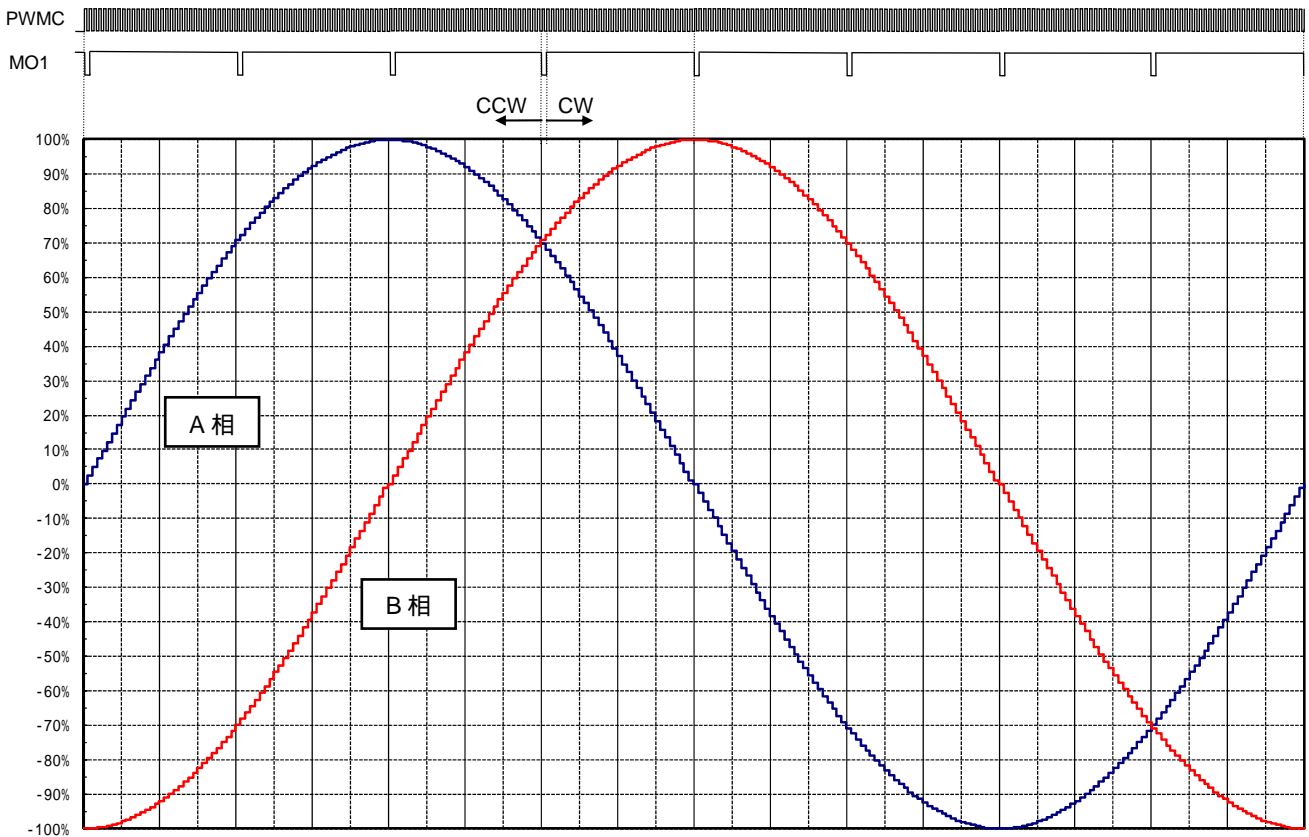


図 31.3.26 電流軌跡例 7: 16W1-2 相励磁モード (6bit: 256 分解能/360deg)

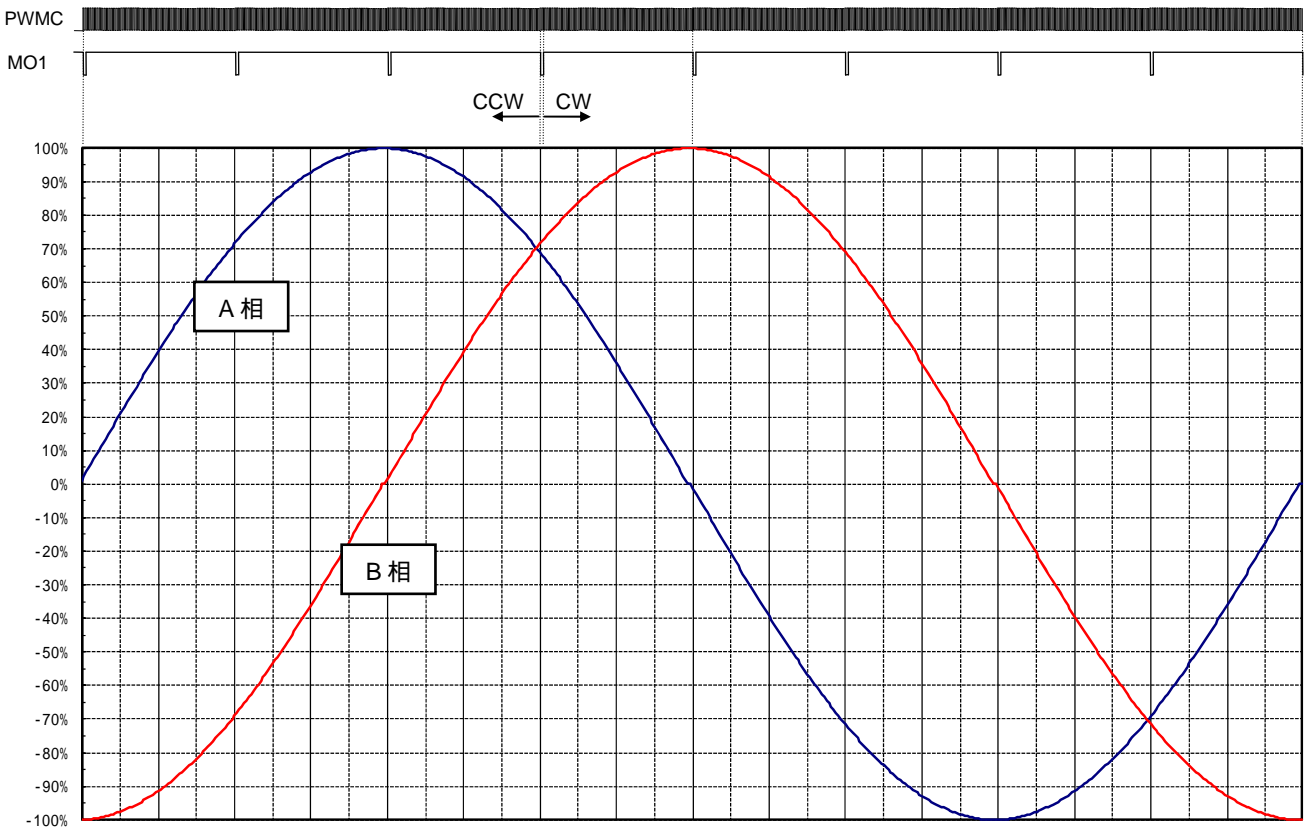


図 31.3.27 電流軌跡例 8: (最大分解能)32W1-2 相励磁モード (7bit: 512 分解能/360deg)

表 31-6 制御ベクトル率/90deg 電気角表 (設計中央値)

step=0 が、リセット位置となります。

step	A相	B相	step	A相	B相	step	A相	B相	step	A相	B相
64	0.0%	-100.0%	96	38.3%	-91.9%	0	70.7%	-69.8%	32	92.4%	-37.1%
65	1.2%	-100.0%	97	39.4%	-91.4%	1	71.6%	-69.0%	33	92.9%	-36.0%
66	2.5%	-99.9%	98	40.5%	-90.9%	2	72.4%	-68.1%	34	93.3%	-34.8%
67	3.7%	-99.9%	99	41.6%	-90.4%	3	73.3%	-67.2%	35	93.7%	-33.7%
68	4.9%	-99.8%	100	42.8%	-89.9%	4	74.1%	-66.2%	36	94.2%	-32.5%
69	6.1%	-99.7%	101	43.9%	-89.3%	5	74.9%	-65.3%	37	94.6%	-31.4%
70	7.4%	-99.6%	102	45.0%	-88.8%	6	75.7%	-64.4%	38	95.0%	-30.2%
71	8.6%	-99.5%	103	46.1%	-88.2%	7	76.5%	-63.4%	39	95.3%	-29.0%
72	9.8%	-99.4%	104	47.1%	-87.6%	8	77.3%	-62.5%	40	95.7%	-27.9%
73	11.0%	-99.2%	105	48.2%	-87.0%	9	78.1%	-61.5%	41	96.0%	-26.7%
74	12.2%	-99.1%	106	49.3%	-86.4%	10	78.8%	-60.6%	42	96.4%	-25.5%
75	13.5%	-98.9%	107	50.4%	-85.8%	11	79.6%	-59.6%	43	96.7%	-24.3%
76	14.7%	-98.7%	108	51.4%	-85.1%	12	80.3%	-58.6%	44	97.0%	-23.1%
77	15.9%	-98.5%	109	52.5%	-84.5%	13	81.0%	-57.6%	45	97.3%	-21.9%
78	17.1%	-98.3%	110	53.5%	-83.8%	14	81.8%	-56.6%	46	97.6%	-20.7%
79	18.3%	-98.1%	111	54.5%	-83.1%	15	82.5%	-55.6%	47	97.8%	-19.5%
80	19.5%	-97.8%	112	55.6%	-82.5%	16	83.1%	-54.5%	48	98.1%	-18.3%
81	20.7%	-97.6%	113	56.6%	-81.8%	17	83.8%	-53.5%	49	98.3%	-17.1%
82	21.9%	-97.3%	114	57.6%	-81.0%	18	84.5%	-52.5%	50	98.5%	-15.9%
83	23.1%	-97.0%	115	58.6%	-80.3%	19	85.1%	-51.4%	51	98.7%	-14.7%
84	24.3%	-96.7%	116	59.6%	-79.6%	20	85.8%	-50.4%	52	98.9%	-13.5%
85	25.5%	-96.4%	117	60.6%	-78.8%	21	86.4%	-49.3%	53	99.1%	-12.2%
86	26.7%	-96.0%	118	61.5%	-78.1%	22	87.0%	-48.2%	54	99.2%	-11.0%
87	27.9%	-95.7%	119	62.5%	-77.3%	23	87.6%	-47.1%	55	99.4%	-9.8%
88	29.0%	-95.3%	120	63.4%	-76.5%	24	88.2%	-46.1%	56	99.5%	-8.6%
89	30.2%	-95.0%	121	64.4%	-75.7%	25	88.8%	-45.0%	57	99.6%	-7.4%
90	31.4%	-94.6%	122	65.3%	-74.9%	26	89.3%	-43.9%	58	99.7%	-6.1%
91	32.5%	-94.2%	123	66.2%	-74.1%	27	89.9%	-42.8%	59	99.8%	-4.9%
92	33.7%	-93.7%	124	67.2%	-73.3%	28	90.4%	-41.6%	60	99.9%	-3.7%
93	34.8%	-93.3%	125	68.1%	-72.4%	29	90.9%	-40.5%	61	99.9%	-2.5%
94	36.0%	-92.9%	126	69.0%	-71.6%	30	91.4%	-39.4%	62	100.0%	-1.2%
95	37.1%	-92.4%	127	69.8%	-70.7%	31	91.9%	-38.3%	63	100.0%	0.0%

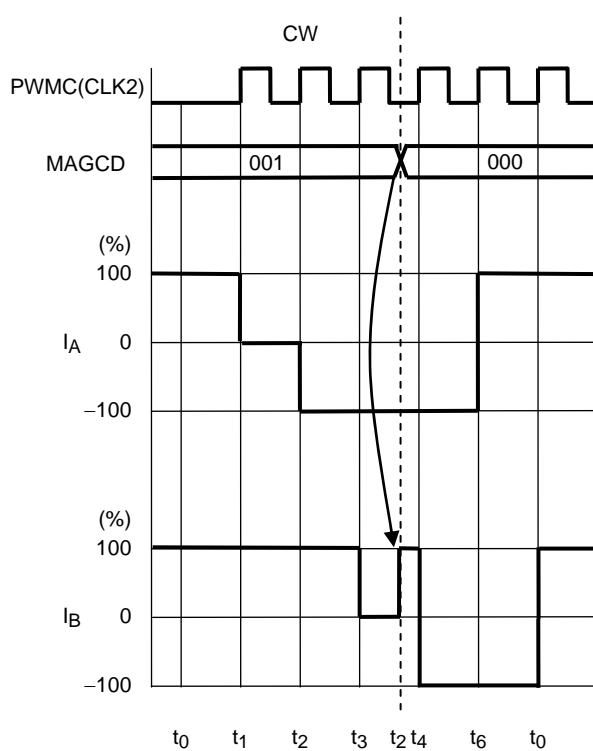
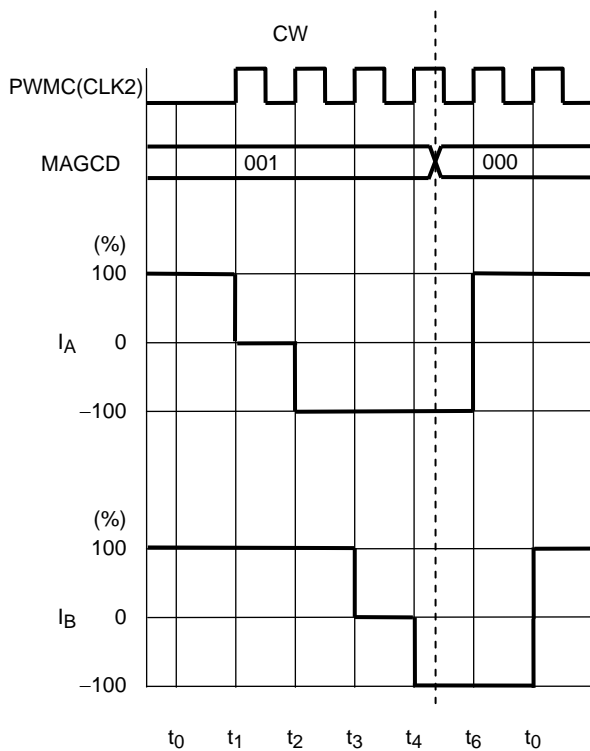
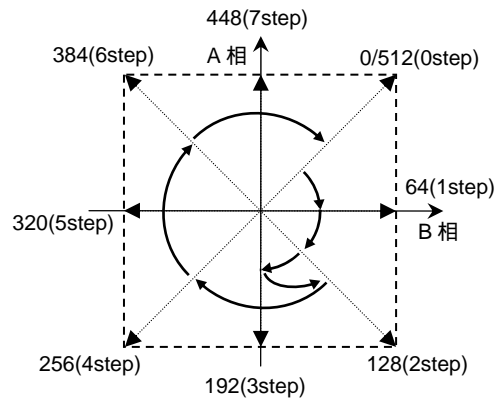
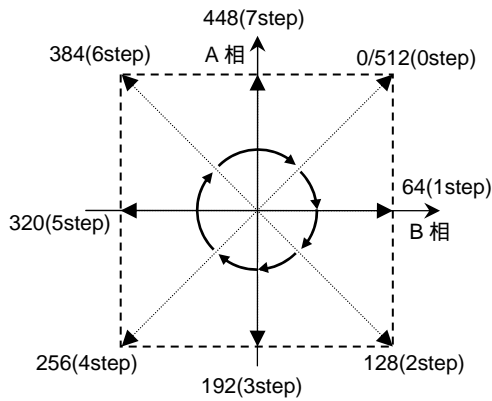
31.3.8.9 モード切替え時の動作

モータ動作中に励磁モードを切り替えたときの動作を説明します。

例) 1-2 相励磁(正転)から 2 相励磁(正転)に切り替えを行った場合

励磁ポジションで切り替えたとき
 1-2 相(正転) : 0 → 64 → 128 → 256
 2 相(正転) : 256 → 384 → 512/0

励磁ポジション以外で切り替えたとき
 1-2 相(正転) : 0 → 64 → 128 → 192
 2 相(正転) : 128 → 256 → 384 → 512/0

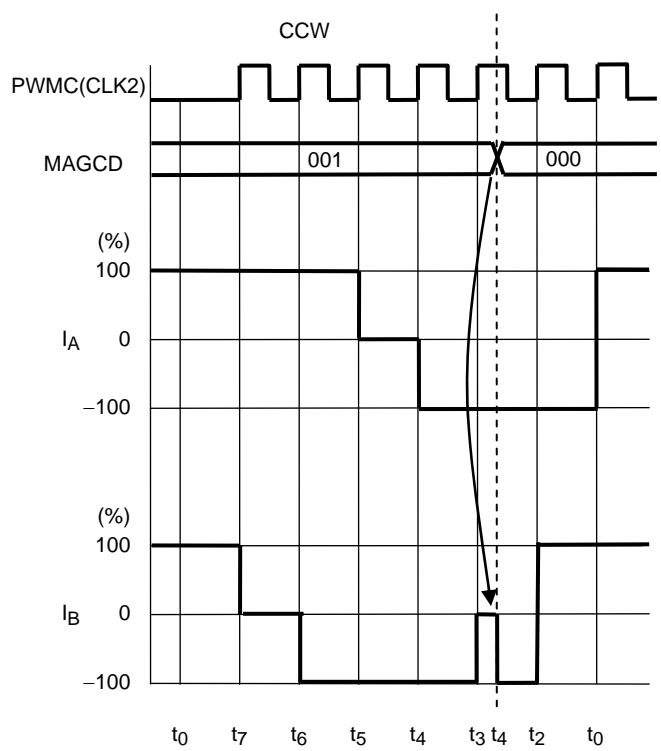
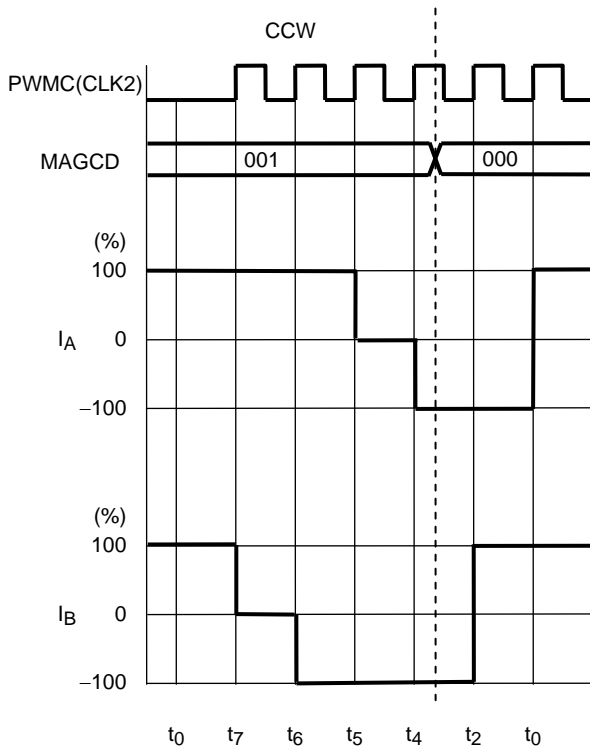
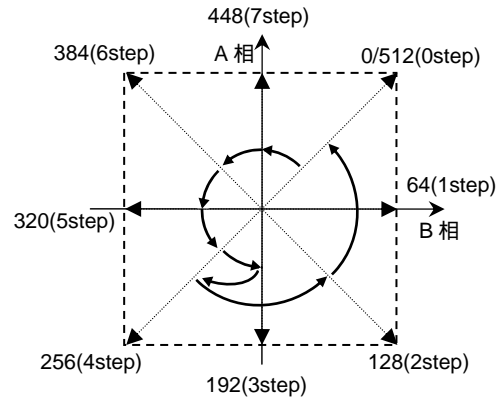
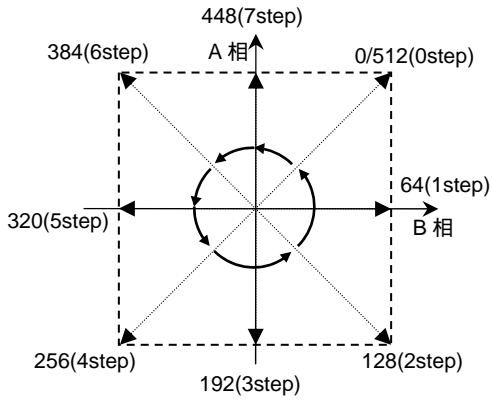


注) 励磁モードに対するポジション以外の切り替え時、変更前の進行方向とは逆方向の1つ前のポジションへ遷移します。

例) 1-2相励磁(逆転)から2相励磁(逆転)に切り替えを行った場合

○励磁ポジションで切り替えたとき
 1-2相(逆転): 0/512 → 448 → 386 → 320
 → 256
 2相(逆転): 256 → 128 → 0/512

○励磁ポジションで切り替えたとき
 1-2相(逆転): 0/512 → 448 → 386 → 320
 → 256 → 192
 2相(逆転): 256 → 128 → 0/512



注) 励磁モードに対するポジション以外の切り替え時、変更前の進行方向とは逆方向の1つ前のポジションへ遷移します。

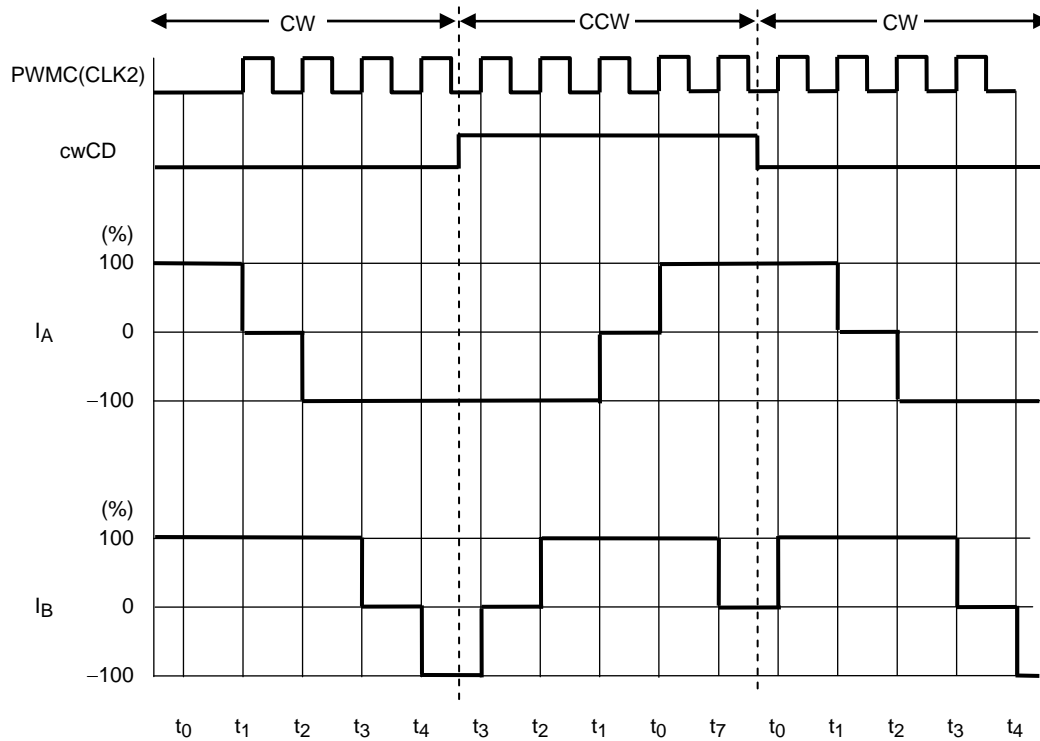
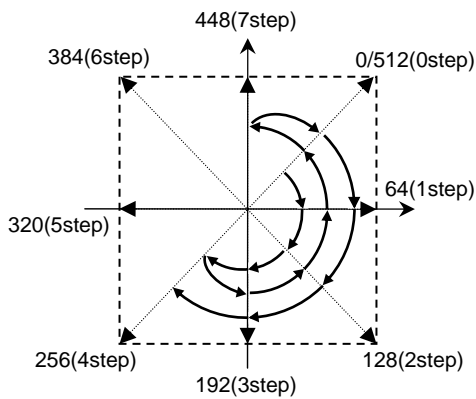
31.3.8.10 回転方向変更時の動作

回転方向を切り替えたときの動作を説明します。回転方向設定レジスタ CWxx で回転方向の設定を行うことができます。(CWxx=0 で CW、CWxx=1 で CCW)

例) 1-2 相励磁で 正転 逆転 正転 に切り替えた場合

ステップパルス入力により下記のポジションへ遷移

正転	: 0	64	128	192	256	
回転方向を逆転	: 256	192	128	64	0	448
回転方向を正転	: 448	0	64	128	192	256



31.3.8.11 Enable (ENn) ON/OFF時の動作

ここでは ch.C,D を使用した例で説明します。

Enable 制御は、MCU からの入力信号 (PWMD) または、シリアルレジスタ ENCD によって制御できます。PWMD(EN3)端子を Low にするか、もしくはモードコントロールレジスタ ENCD = "0" にすることでモータ出力は停止となりますが、出力以外の内部回路は、入力 PWMC(CLK2)に従って励磁ステップが進行します。

再度 PWMD(EN3)端子を High もしくは、モードコントロールレジスタ ENCD = "1" にした時、PWMC (CLK2) で進行している分の出力励磁電流レベルとなります。

PWMD(EN3) 端子が Low の状態のときシリアルコマンドの RSTCD 信号によらず、出力 OFF となります。
(この期間にシリアルコマンドで RSTCD = "1" にすると内部のデコーダ用カウンタをリセットします)

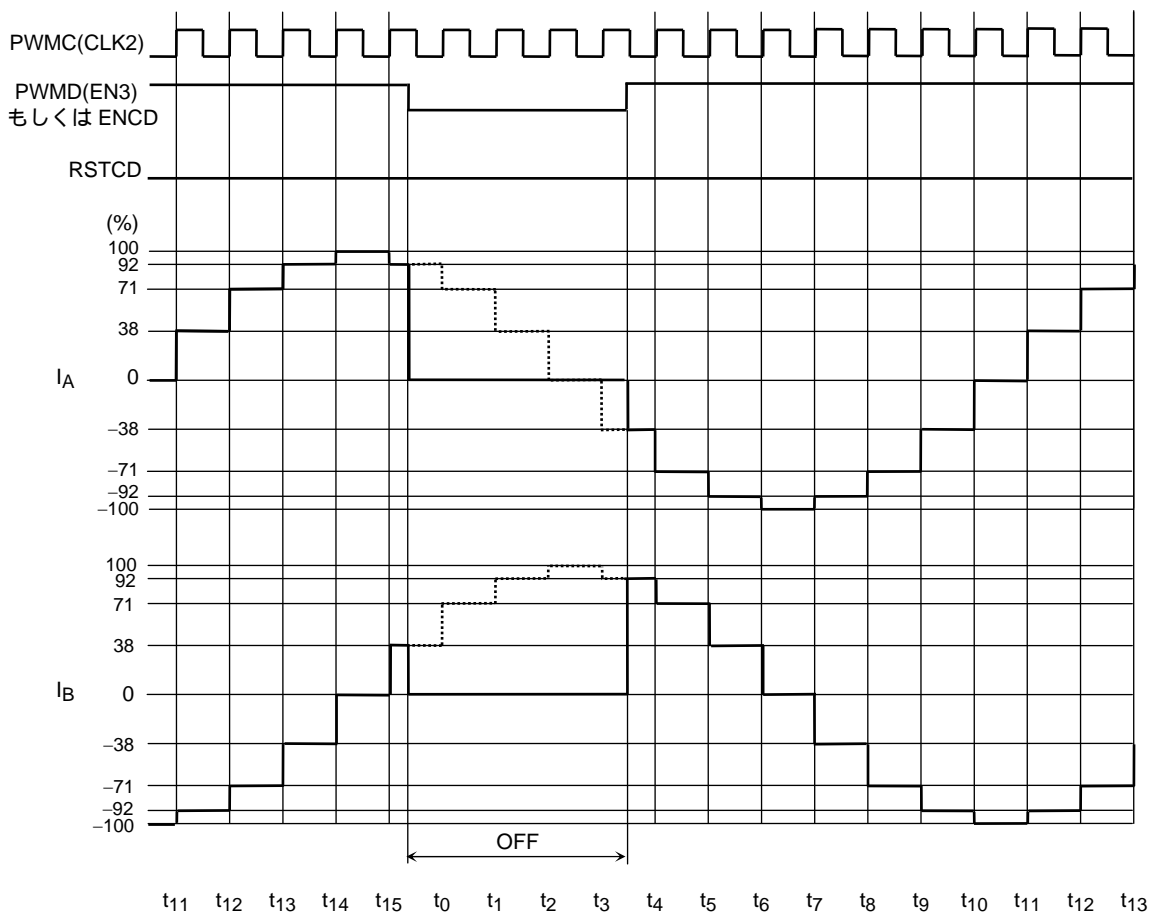


図 31.3.28 出力制御動作

31.3.8.12 駆動開始励磁相設定とカウント値リセット(コントロールレジスタ) 実行時の動作

モータの再開始の位置をコントロールレジスタ(PHCD)で設定することができます。設定できる位置は下記の 0~7 の 8 箇所です。但し 2 相励磁モードのときは使用できません。

またコントロールレジスタ(RSTCD="1")でステップカウントをリセットした場合、PHCD で設定したモータ開始位置のカウント値になり、出力は初期状態になります。RSTCD="1"の期間はステップパルスを入力してもステップカウンタはアップ/ダウンしません。RSTCD="0"でリセットを解除した後、ステップパルスの立ち上がり信号で初期値から次のステップへ進行します。

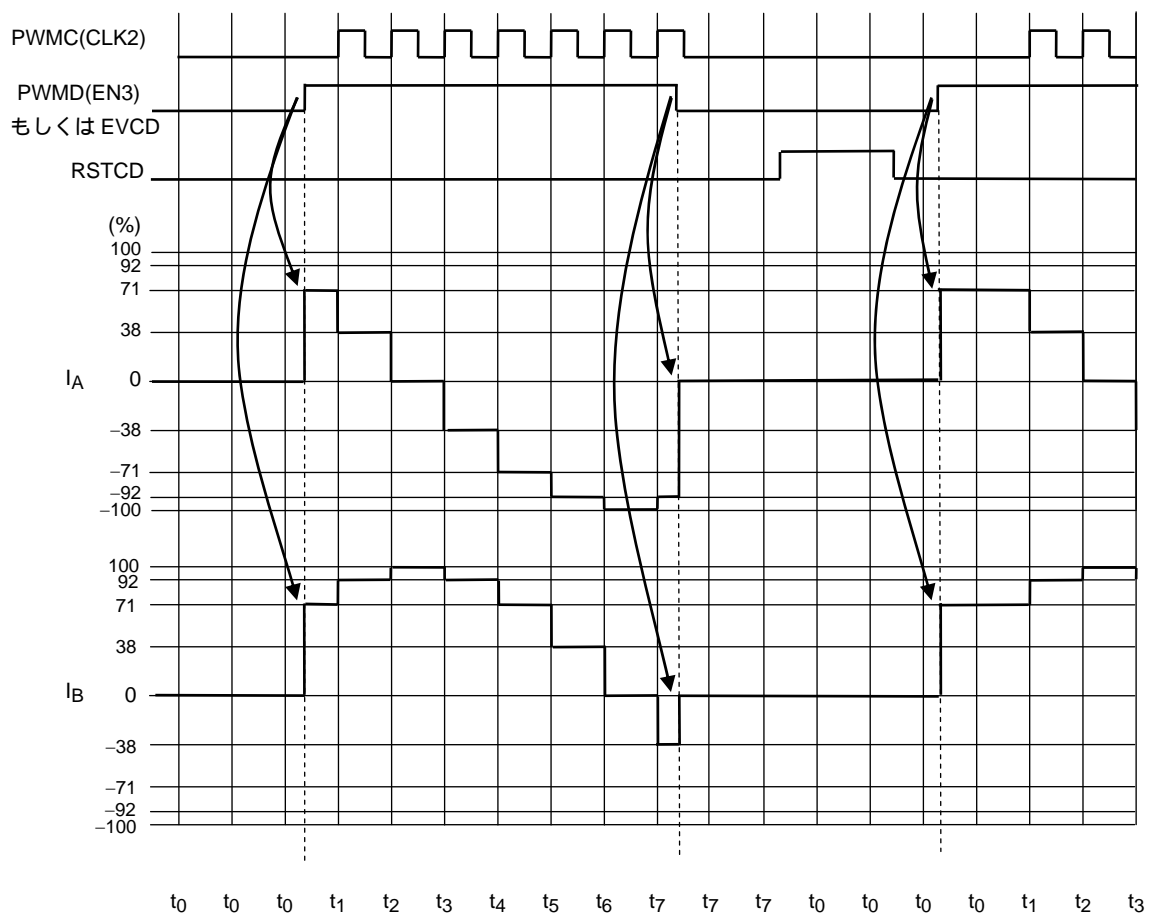
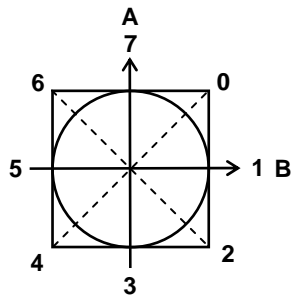


図 31.3.29 開始励磁相設定とカウント値リセット実行時の動作

31.3.9 ドライバch.G

PWM 定電流制御方式の H-SW ドライバを 1.5ch 内蔵しており、以下の 2 系統のいずれかの組み合わせで出力を切り替えることが可能です。(GO1,GO2 もしくは GO2,GO3)

通電制御を行う信号は、MCU からの出力端子(TDB1OUT0)、もしくは(TDB1OUT1/TB9OUT)のいずれかを選択できます。

ドライバGのシステム構成図を、図 31.3.30 に示します。

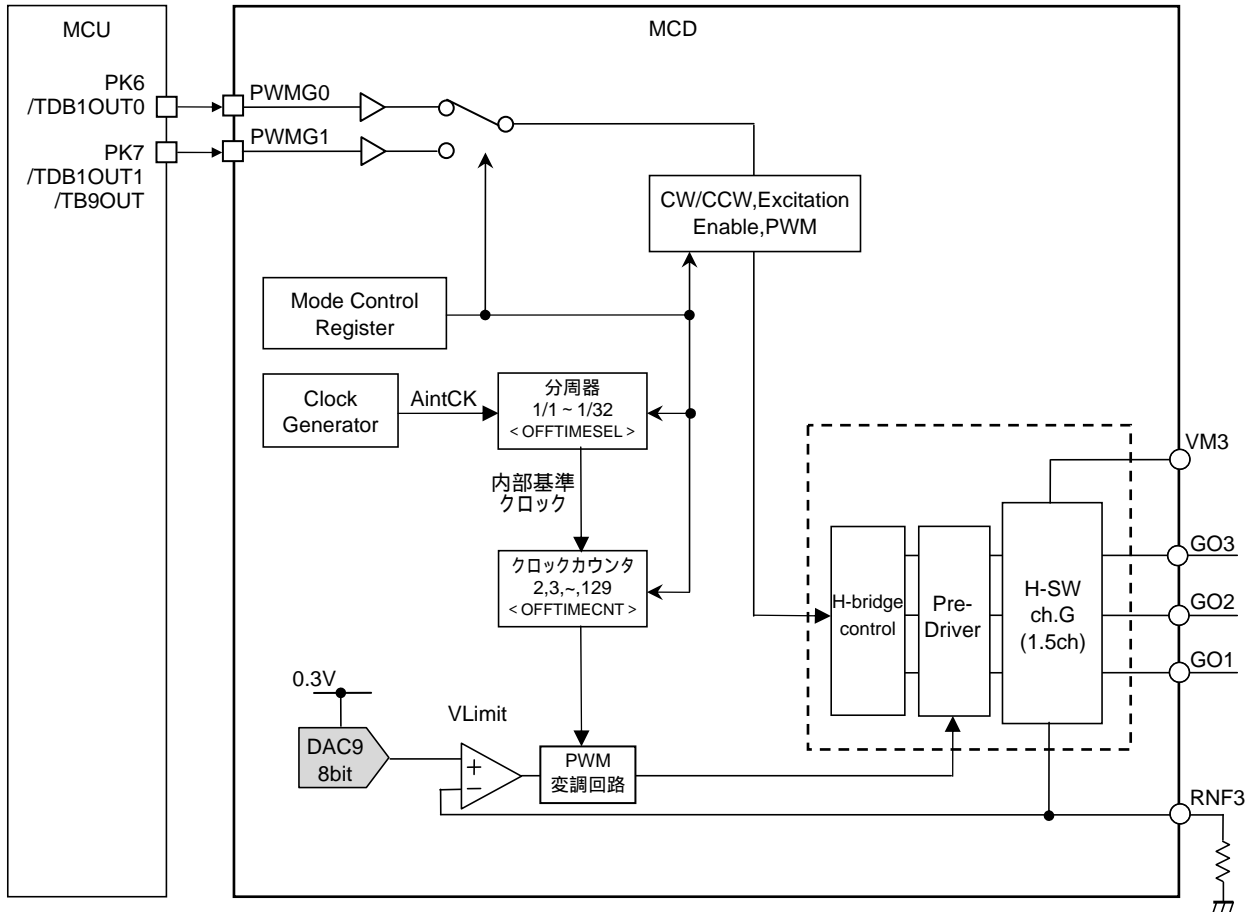


図 31.3.30 ドライバ G のシステム構成図

31.3.9.1 レジスタ説明

アドレス 0BH

	7	6	5	4	3	2	1	0
bit Symbol		EXTG	CHSELG	IFG	PMG	MODG	PGB	PGA
リセット後		0	0	0	0	0	0	0

Bit	Bit Symbol	機能
6	EXTG	PWM 入力選択 0 : TDB1OUT0 1 : TDB1OUT1/TD9OUT
5	CHSELG	出力端子 設定 0 : GO1, GO2 1 : GO2, GO3
4	IFG	電流リミット制御設定 0 : 無効 1 : 有効
3	PMG	論理設定を行います。詳細はドライバファンクションテーブルを参照ください。
2	MODG	0 : 外部ブレーキあり 1 : 外部ブレーキ無し
1	PGB	論理設定を行います。詳細はドライバファンクションテーブルを参照ください。
0	PGA	論理設定を行います。詳細はドライバファンクションテーブルを参照ください。

アドレス 0CH

	7	6	5	4	3	2	1	0
bit Symbol	DA9REG							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	機能														
7-0	DA9REG	電流リミット DAC 設定 <table border="1"> <thead> <tr> <th>設定値</th> <th>入力電圧(Typ.)</th> </tr> </thead> <tbody> <tr> <td>00 0_0000</td> <td>0V</td> </tr> <tr> <td>000 _0001</td> <td>1.17mV</td> </tr> <tr> <td>0000_0010</td> <td>2.34mV</td> </tr> <tr> <td>⋮</td> <td></td> </tr> <tr> <td>⋮</td> <td></td> </tr> <tr> <td>1111_1111</td> <td>0.3V</td> </tr> </tbody> </table> 8bitDAC 値を設定できます。	設定値	入力電圧(Typ.)	00 0_0000	0V	000 _0001	1.17mV	0000_0010	2.34mV	⋮		⋮		1111_1111	0.3V
設定値	入力電圧(Typ.)															
00 0_0000	0V															
000 _0001	1.17mV															
0000_0010	2.34mV															
⋮																
⋮																
1111_1111	0.3V															

アドレス 0EH

	7	6	5	4	3	2	1	0
bit Symbol	OFFTIMECNT			OFFTIMESEL				
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	機能		
7-5	OFFTIMECNT	出力 off 時間(クロックカウント数)設定(3bit)		
		設定値	off time クロック数	備考
		000	2 クロック	1 クロック以上 2 クロック未満
		001	3 クロック	2 クロック以上 3 クロック未満
		010	5 クロック	4 クロック以上 5 クロック未満
		011	9 クロック	8 クロック以上 9 クロック未満
		100	17 クロック	16 クロック以上 17 クロック未満
		101	33 クロック	32 クロック以上 33 クロック未満
		110	65 クロック	64 クロック以上 65 クロック未満
		111	129 クロック	128 クロック以上 129 クロック未満
4-0	OFFTIMESEL	出力 off 時間 基準クロック(5bit, 1~32 クロック設定)		
		設定値	off 時間 基準クロック	
		0_0000	1 クロック	
		0_0001	2 クロック	
		0_0010	3 クロック	
		⋮ ⋮		
		1_1111	32 クロック	

31.3.9.2 入力端子 / 通電端子設定

コントロールレジスタ(EXTG)の設定により、MCU からの出力端子 TDB1OUT0(PWMG0)もしくはTDB1OUT1/TB9OUT(PWMG1)を選択できます EXTG="0"で TDB1OUT0、EXTG ="1"で TDB1OUT1/TB9OUT が選択されます。

コントロールレジスタ CHSELG の設定により、出力 GO1,GO2,GO3 の H-SW 構成の組合せが選択出来ます。

CHSELG ="0"で GO1 と GO2 の 2 端子から出力、GO3 は High-Z、CHSELG ="1"で GO2 と GO3 の 2 端子から出力、GO1 は High-Z になります。各々H-SW 構成となります。

31.3.9.3 ch.Gファンクションテーブル

ch.G は H-SW モードとして使用できます。下記のドライバファンクションテーブルで設定したファンクションに従います。

また ch.G は、定電流 PWM 機能が付加されており、コントロールレジスタ IFG ="1"に設定することで電流リミット制御を有効にできます。

外部ブレーキ制御有りモード

MODG=0 PMG=0

モードコントロールレジスタ			IC 入力	IC 出力			mode	コントロールレジスタ IFG	
PGA	PGB	CHSELG	EXTG=0→ PWMG0 EXTG=1→ PWMG1	GO1	GO2	GO3		0	1
0	0	0	X	Z	Z	Z	STOP	-	-
0	1	0	L	L	L	Z	ショートブレーキ	-	-
0	1	0	H	L	H	Z	CCW	-	定電流
1	0	0	L	L	L	Z	ショートブレーキ	-	-
1	0	0	H	H	L	Z	CW	-	定電流
1	1	0	X	L	L	Z	ショートブレーキ	-	-
0	0	1	X	Z	Z	Z	STOP	-	-
0	1	1	L	Z	L	L	ショートブレーキ	-	-
0	1	1	H	Z	L	H	CCW	-	定電流
1	0	1	L	Z	L	L	ショートブレーキ	-	-
1	0	1	H	Z	H	L	CW	-	定電流
1	1	1	X	Z	L	L	ショートブレーキ	-	-

の反転モード

MODG=0 PMG=1

モードコントロールレジスタ			IC 入力	IC 出力			mode	コントロールレジスタ IFG	
PGA	PGB	CHSELG	EXTG=0→ PWMG0 EXTG=1→ PWMG1	GO1	GO2	GO3		0	1
0	0	0	X	Z	Z	Z	STOP	-	-
0	1	0	L	L	H	Z	CCW	-	定電流
0	1	0	H	L	L	Z	ショートブレーキ	-	-
1	0	0	L	H	L	Z	CW	-	定電流
1	0	0	H	L	L	Z	ショートブレーキ	-	-
1	1	0	X	L	L	Z	ショートブレーキ	-	-
0	0	1	X	Z	Z	Z	STOP	-	-
0	1	1	L	Z	L	H	CCW	-	定電流
0	1	1	H	Z	L	L	ショートブレーキ	-	-
1	0	1	L	Z	H	L	CW	-	定電流
1	0	1	H	Z	L	L	ショートブレーキ	-	-
1	1	1	X	Z	L	L	ショートブレーキ	-	-

外部ブレーキ制御無しモード
MODG=1 PMG=0

モードコントロールレジスタ			IC 入力	IC 出力			mode	コントロールレジスタ IFG	
PGA	PGB	CHSELG	EXTG=0→PWMG0 EXTG=1→PWMG1	GO1	GO2	GO3		0	1
0	X	0	X	Z	Z	Z	STOP	-	-
1	0	0	L	H	L	Z	CW	-	定電流
1	0	0	H	L	H	Z	CCW	-	定電流
1	1	0	X	L	L	Z	ショートブレーキ	-	-
0	X	1	X	Z	Z	Z	STOP	-	-
1	0	1	L	Z	H	L	CW	-	定電流
1	0	1	H	Z	L	H	CCW	-	定電流
1	1	1	X	Z	L	L	ショートブレーキ	-	-

の反転モード
MODG=1 PMG=1

モードコントロールレジスタ			IC 入力	IC 出力			mode	コントロールレジスタ IFG	
PGA	PGB	CHSELG	EXTG=0→PWMG0 EXTG=1→PWMG1	GO1	GO2	GO3		0	1
0	X	0	X	Z	Z	Z	STOP	-	-
1	0	0	L	L	H	Z	CCW	-	定電流
1	0	0	H	H	L	Z	CW	-	定電流
1	1	0	X	L	L	Z	ショートブレーキ	-	-
0	X	1	X	Z	Z	Z	STOP	-	-
1	0	1	L	Z	L	H	CCW	-	定電流
1	0	1	H	Z	H	L	CW	-	定電流
1	1	1	X	Z	L	L	ショートブレーキ	-	-

31.3.9.4 定電流PWM制御機能

ch.G ドライバは、Chop off 時間固定による定電流 PWM 方式の制御が出来ます。定電流 PWM 制御を行う場合は、コントロールレジスタ(IFG = 1)に設定してください、

時間基準となる内部基準クロックは、前述に記載の AintCK (SCOUT=20MHz 時で約 0.8MHz) を用いて、コントロールレジスタ(OFFTIMESEL)の設定により分周(1,2,3,,,32 クロック)することができます。

Chop off 時間は、内部基準クロックのカウント数 (OFFTIMECNT:2,3,5,9,17,33,65,129 の選択) で調整が可能です。

注:定電流 Chopping 動作中に Chop off 時間(OFFTIMECNT)の変更を行なうと設定値よりも off 時間が延びる場合があります。(最大 AintCK の 16 クロック分まで)

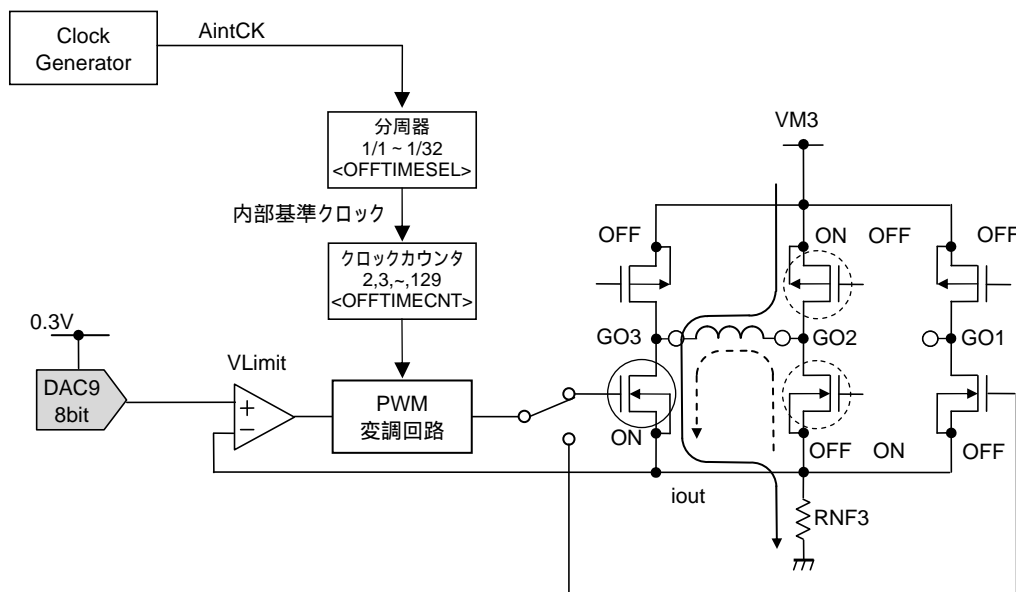


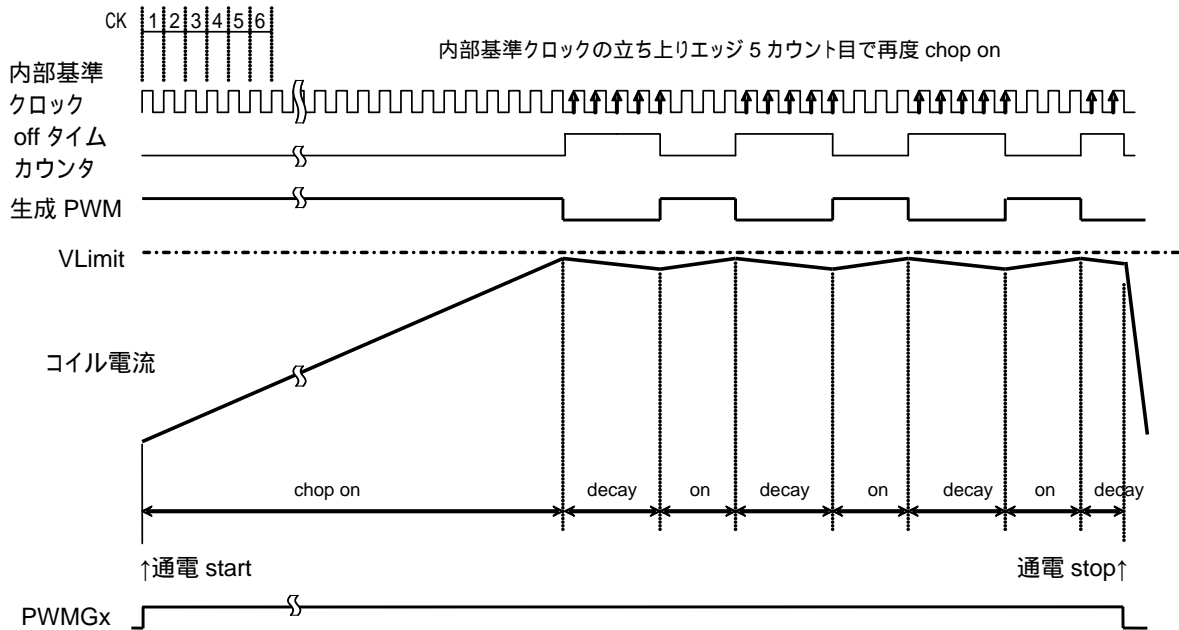
図 31.3.31 ドライバ6システム図

< Chop off 期間をクロック 5 カウント設定 (OFFTIMECNT=010) したときの動作説明 >

まず H-SW 通電 (Chop on) 開始でモータコイルへ電流が流れ、外付け電流検出抵抗 RNF3 で発生した電圧値が、コンパレータの基準電圧 Vlimit (電流 limit) に達すると、コンパレータが動作し H-SW High-side Tr. が OFF となり、H-SW の Low-side Tr. が両方ともに ON しショート状態 (Chop off) となり、Chop on 時にモータコイルに蓄電された電荷が保持 (正確には緩やかに減衰) されます。

Chop off 時間は、出力 High-side Tr. が off した直後の内部基準クロックの立ち上がりエッジのタイミングより内部基準クロックを 5 カウントすることで Chop off 期間を作っています。

この Chop off 時間制御により H-SW を ON/OFF することで PWM 信号を生成しています。



ピークコイル電流 (I_o peak) は、 $I_o = V_{limit}/RNF3$ の式で求められる値にて制限されます。

図 31.3.32 定電流 PWM チョッピング動作イメージ図 (内部 4CLK カウント例)

31.3.10 調整機能

本製品には、アナログ特性を調整する機能を内蔵しております。

31.3.10.1 Rampジェネレータ(ch.C,D,E,F)調整機能

MCU から供給されるクロック(SCOUT)を使って、Ramp 周波数を生成します。以下の表から、供給クロック周波数を選択してください。

アドレス 01H

	7	6	5	4	3	2	1	0
bit Symbol	-	-	-	-	-	MCLKSEL		
リセット後	-	-	-	-	-	0	0	0

Bit	Bit Symbol	機能	
2-0	MCLKSEL	ch.C,D,E,F ramp ジェネレータと時間調整用	
		設定値	SCOUT 値
		000	25MHz
		001	24MHz
		010	22MHz
		011	20MHz
		100	18MHz
		101	16MHz
		110	設定禁止
		111	

注)この機能は STM モードに切り替えたときにイネーブルになります。周波数が安定するまで最大 2ms 程かかりますので、安定してからご使用願います。

31.3.11 センサ信号処理Op-Amp/EVR

本製品は、各種センサの信号処理を行うための、Op-AmpとEVRを内蔵しています。

31.3.11.1 Hall Bias 制御回路 (2Unit)

下記に構成図を示します。

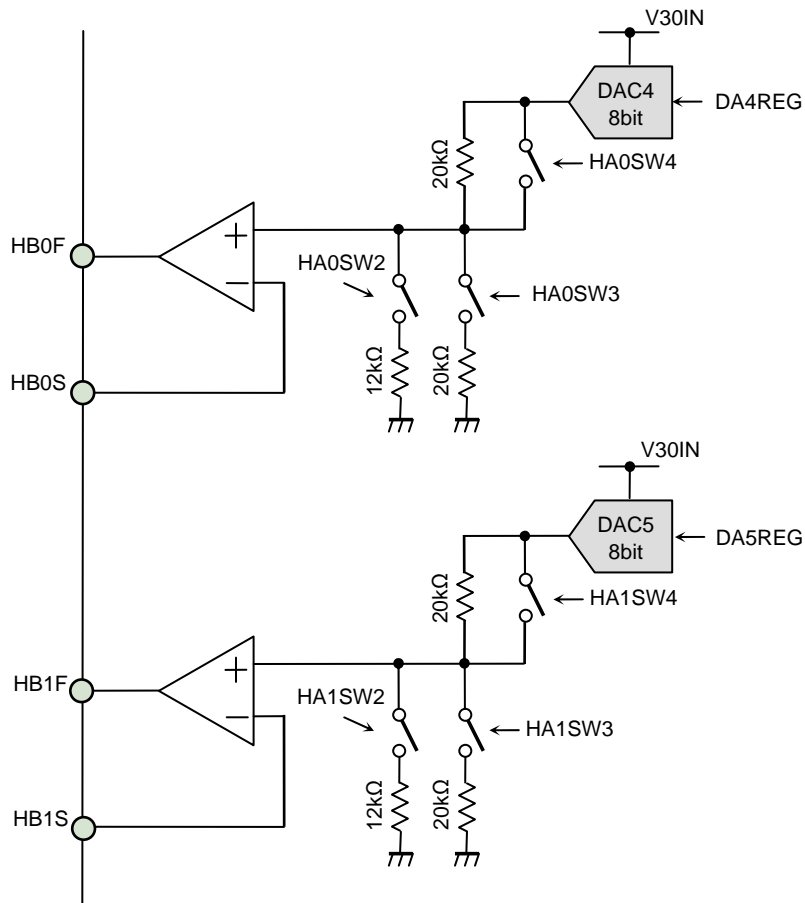


図 31.3.33 Hall Bias 制御回路 構成図

設定レジスタ

アドレス 12H/13H

x=0(ch0),1(ch1)

	7	6	5	4	3	2	1	0
bit Symbol	-	-	-	HxSW4	HxSW3	HxSW2	-	-
リセット後	-	-	-	0	0	0	0	0

Bit	Bit Symbol	機能
4	HxSW4	DAC 出力とオペアンプ入力間のバイパスの on/off 0 : off 1 : on
3	HxSW3	20kΩ のプルダウン抵抗の on/off 0 : off 1 : on
2	HxSW2	12kΩ のプルダウン抵抗の on/off 0 : off 1 : on

空き bit 7,6,5,1,0 は必ず“0”を書き込んでください。

アドレス 14H/15H

y=4(ch0),5(ch1)

	7	6	5	4	3	2	1	0
bit Symbol	DAyREG							
リセット後	-	-	0	0	0	0	0	0

Bit	Bit Symbol	機能														
7-0	DAyREG	8bitDAC 値を設定できます。 <table border="1"> <thead> <tr> <th>設定値</th> <th>入力電圧(Typ.)</th> </tr> </thead> <tbody> <tr> <td>0000_0000</td> <td>0V</td> </tr> <tr> <td>0000_0001</td> <td>11.7mV</td> </tr> <tr> <td>0000_0010</td> <td>23.4mV</td> </tr> <tr> <td>⋮</td> <td></td> </tr> <tr> <td>⋮</td> <td></td> </tr> <tr> <td>1111_1111</td> <td>3.0V</td> </tr> </tbody> </table>	設定値	入力電圧(Typ.)	0000_0000	0V	0000_0001	11.7mV	0000_0010	23.4mV	⋮		⋮		1111_1111	3.0V
設定値	入力電圧(Typ.)															
0000_0000	0V															
0000_0001	11.7mV															
0000_0010	23.4mV															
⋮																
⋮																
1111_1111	3.0V															

31.3.11.2 汎用EVR(10bitDAC) (2Unit)

本製品は、各種センサのオフセットを調整するための EVR (10bit DAC) を 2ch 内蔵しています。

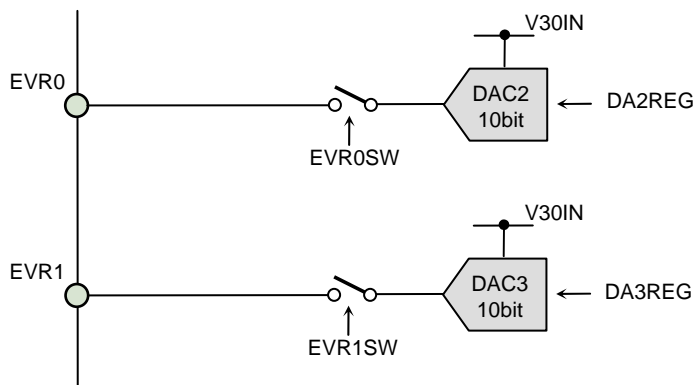


図 31.3.34 10bitDAC 構成図

設定レジスタ

アドレス 1AH/1BH

x=0,y=2(ch0), x=1,y=3(ch1)

	7	6	5	4	3	2	1	0
bit Symbol	-	-	-	EVRxSW	-	-	DAyREG[9:8]	
リセット後	-	-	-	0	-	-	0 0	

Bit	Bit Symbol	機能
4	EVRxSW	10bit DAC のスイッチの on/off 0 : off 1 : on

空き bit 7,6,5,3,2 は必ず“0”を書き込んでください。

アドレス 1CH/1DH

y=2(ch0), y=3(ch1)

	7	6	5	4	3	2	1	0
bit Symbol	DAyREG[7:0]							
リセット後	-	-	0	0	0	0	0	0

Bit	Bit Symbol	機能														
9-0	DAyREG	10bitDAC 値を設定できます。 <table border="1" style="width: 100%;"> <tr> <th>設定値</th> <th>入力電圧(Typ.)</th> </tr> <tr> <td>00_0000_0000</td> <td>0V</td> </tr> <tr> <td>00_0000_0001</td> <td>2.93mV</td> </tr> <tr> <td>00_0000_0010</td> <td>5.86mV</td> </tr> <tr> <td>⋮</td> <td></td> </tr> <tr> <td>⋮</td> <td></td> </tr> <tr> <td>11_1111_1111</td> <td>3.0V</td> </tr> </table>	設定値	入力電圧(Typ.)	00_0000_0000	0V	00_0000_0001	2.93mV	00_0000_0010	5.86mV	⋮		⋮		11_1111_1111	3.0V
設定値	入力電圧(Typ.)															
00_0000_0000	0V															
00_0000_0001	2.93mV															
00_0000_0010	5.86mV															
⋮																
⋮																
11_1111_1111	3.0V															

31.3.11.3 汎用Op-Amp回路 (6Unit)

本製品は、汎用の Op-Amp を 6ch 内蔵しています。

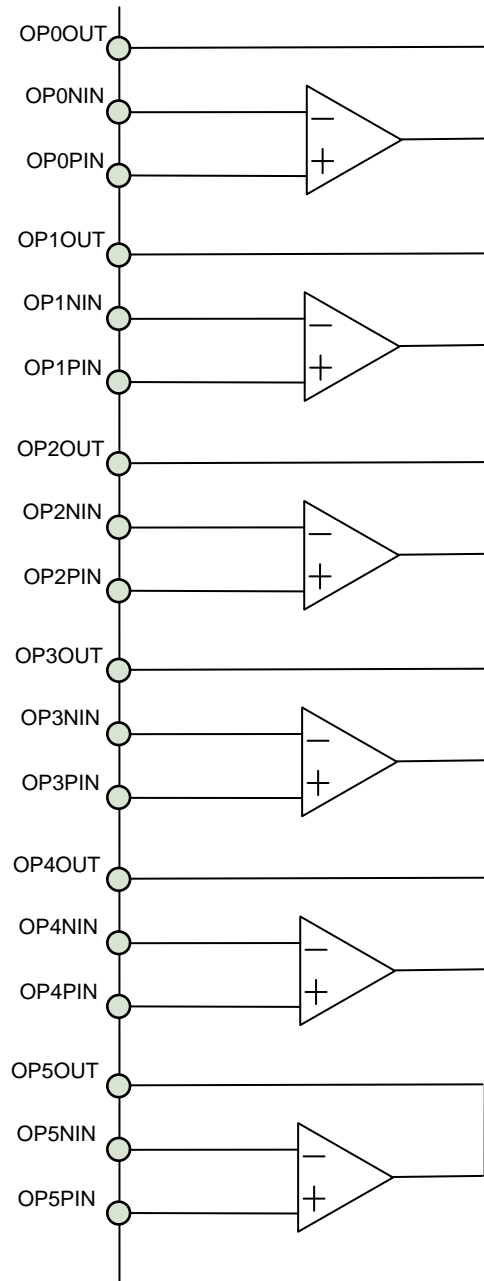
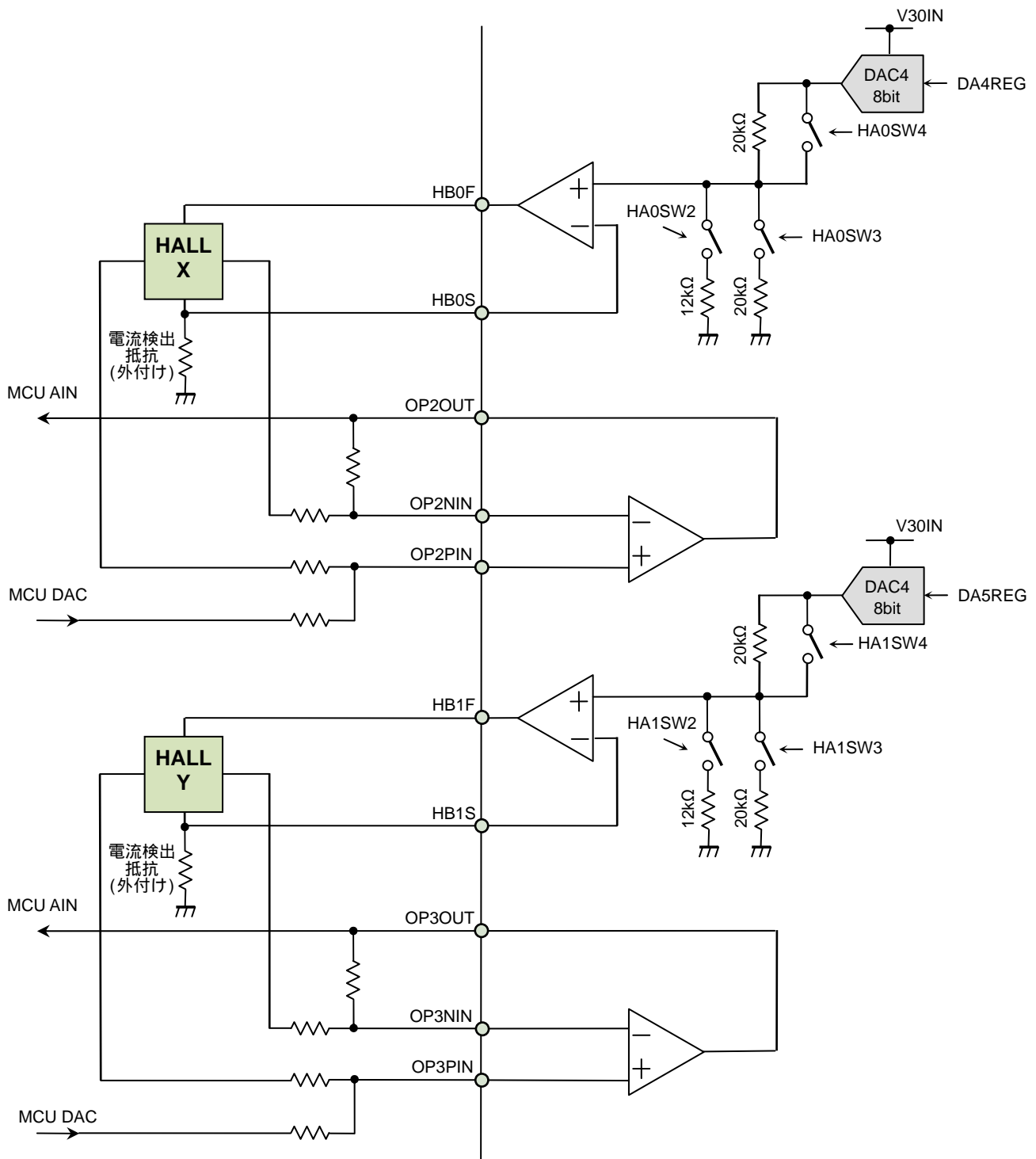
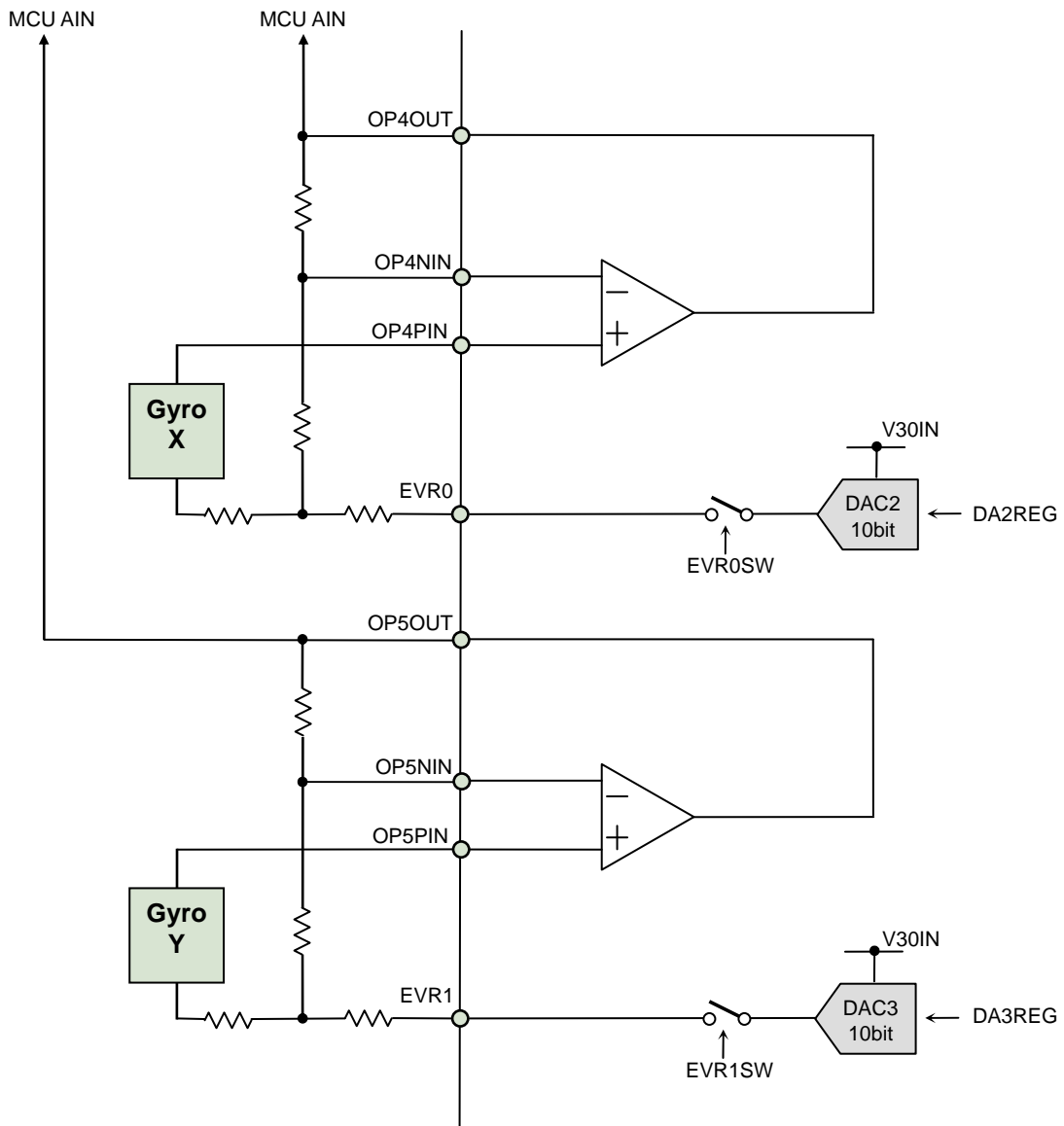


図 31.3.35 汎用 Op-Amp 構成図

31.3.11.4 使用例





31.3.12 フォトエンコーダ回路 (2unit)

本製品は、2系統のフォトインタラプタの I/F を内蔵しています。2相エンコーダを使用するには、波形整形する必要があります。波形整形する機能として Vref(閾値)とヒステリシス幅を任意に設定できます。また出力ラッチ機能付きコンパレータを2個内蔵しています。

下記にフォトエンコーダの回路構成図を示します。

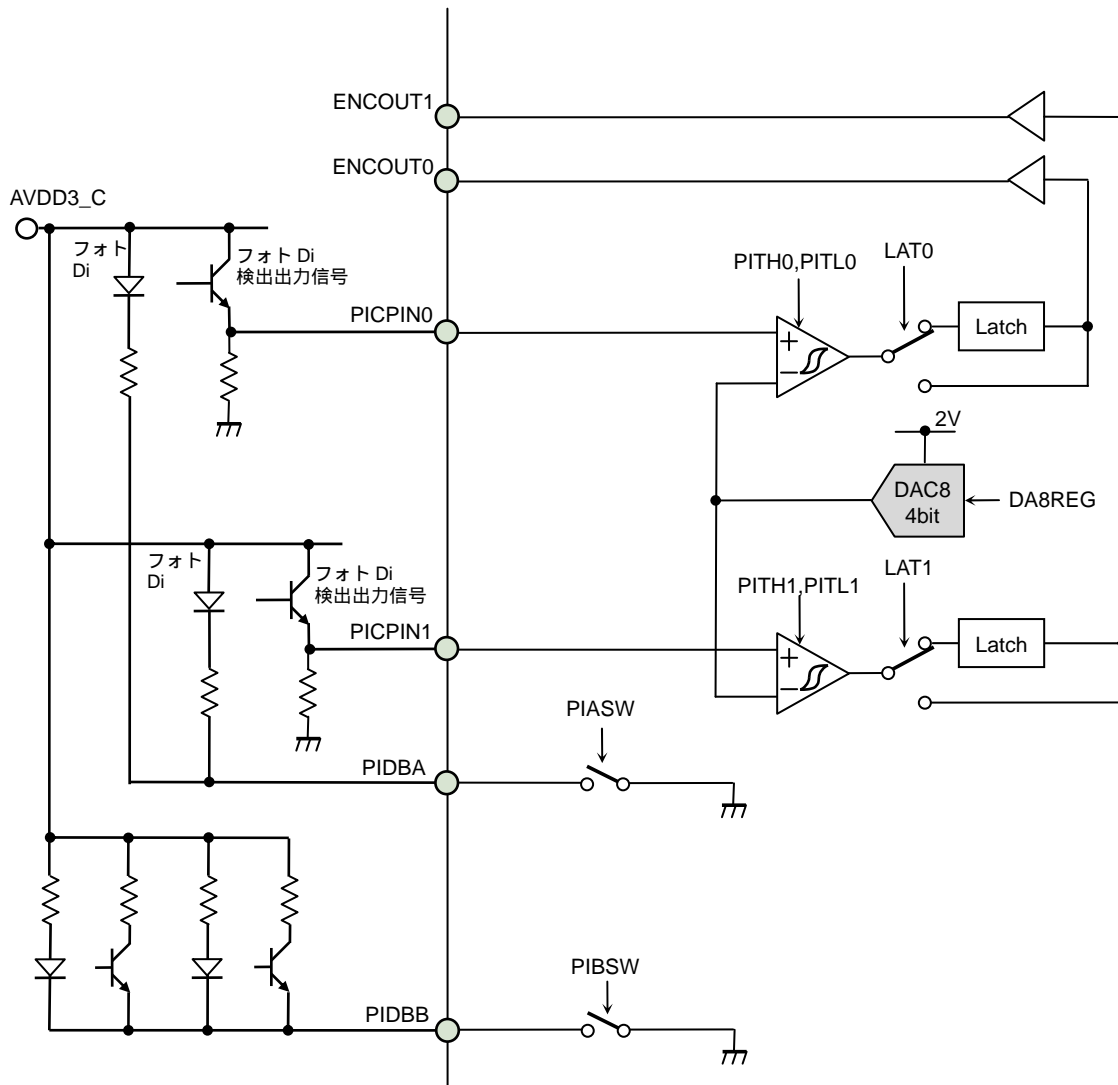


図 31.3.36 フォトエンコーダ回路構成図

設定レジスタ

アドレス 0FH

	7	6	5	4	3	2	1	0
bit Symbol	PITH0		PITL0		PITH1		PITL1	
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	機能	
7-6	PITH0	PI コンパレータ(ch0)上限ヒステリシス設定	
		設定値	上限ヒステリシス
		00	+0.1V
		01	+0.2V
		10	+0.3V
5-4	PITL0	PI コンパレータ(ch0)下限ヒステリシス設定	
		設定値	下限ヒステリシス
		00	-0.1V
		01	-0.2V
		10	-0.3V
3-2	PITH1	PI コンパレータ(ch1)上限ヒステリシス設定	
		設定値	上限ヒステリシス
		00	+0.1V
		01	+0.2V
		10	+0.3V
1-0	PITL1	PI コンパレータ(ch1)下限ヒステリシス設定	
		設定値	下限ヒステリシス
		00	-0.1V
		01	-0.2V
		10	-0.3V
		11	-0.4V

アドレス 10H

	7	6	5	4	3	2	1	0
bit Symbol	-	-	LAT0	LAT0	DA8REG			
リセット後	-	-	0	0	0	0	0	0

Bit	Bit Symbol	機能	
5	LAT0	PI コンパレータ出力 DOUT0 ラッチ・スルー選択 0: ラッチ 1: スルー	
4	LAT1	PI コンパレータ出力 DOUT1 ラッチ・スルー選択 0: ラッチ 1: スルー	
3-0	DA8REG	PI コンパレータ スレッシュホールド設定	
		設定値	入力電圧(Typ.)
		0000	125mV
		0001	250mV
		0010	375mV
		⋮	
1111	2.0V		

アドレス 11H

	7	6	5	4	3	2	1	0
bit Symbol	-	-	-	-	-	-	PIBSW	PIASW
リセット後	-	-	-	-	-	-	0	0

Bit	Bit Symbol	機能
1	PIBSW	フォトインタラプタ電源用 Nch スイッチ 0 : off 1 : on
0	PIASW	フォト LED 電源用 Nch スイッチ 0 : off 1 : on

空き bit 7,6,5,4,3,2 は必ず“0”を書き込んでください。

ヒステリシスコンパレータの設定方法とラッチ機能

フォトエンコーダに内蔵しているヒステリシスコンパレータは閾値とシュミットは幅を変更できます。閾値は、コントロールレジスタ(DA8REG)で設定します。ch0,ch1 兼用して使用します。最大電圧 2V、16 段階で調節可能です。シュミット幅は閾値に対して、上限値、下限値を 0.1V ステップで最大 0.4V まで設定できます。上限値はコントロールレジスタ(PITH0/PITH1)、下限値はコントロールレジスタ(PITL0/PITL1)で各々設定ができます。またコントロールレジスタ(LAT0/1)を 0 にした時点のコンパレータ信号をラッチします。

下記、図 31.3.37 に設定例を示します。

設定条件

	設定値	電圧値
DA8REG	1011	1.5V
PITH0	01	+0.2V
PITL0	10	-0.3V

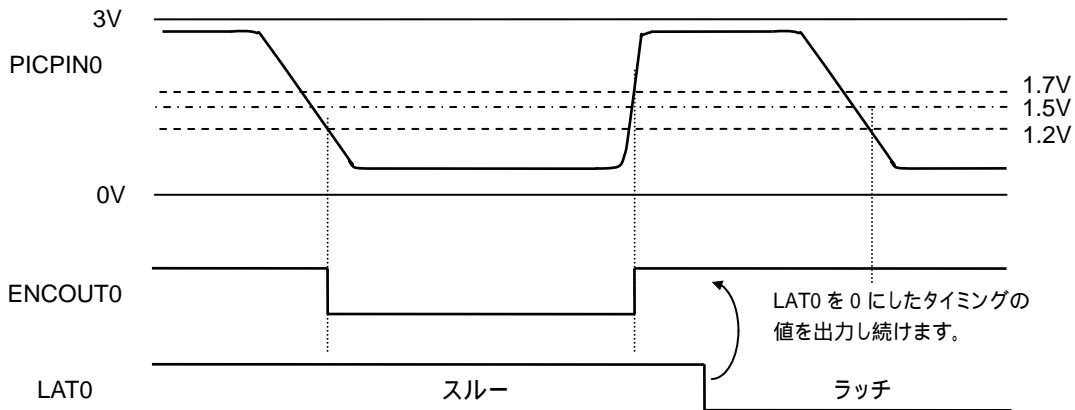


図 31.3.37 ヒステリシスコンパレータコンパレータ設定例

記載内容の留意点

1. ブロック図

ブロック図内の機能ブロック/回路/定数などは、機能を説明するため、一部省略・簡略化している場合があります。

2. 等価回路

等価回路は、回路を説明するため、一部省略・簡略化している場合があります。

3. タイミングチャート

タイミングチャートは機能・動作を説明するため、単純化している場合があります。

4. 応用回路例

応用回路例は、参考例であり、量産設計に際しては、十分な評価を行ってください。
また、工業所有権の使用の許諾を行うものではありません。

5. 測定回路図

測定回路内の部品は、特性確認のために使用しているものであり、応用機器の誤動作や故障が発生しないことを保証するものではありません。

使用上のご注意およびお願い事項

使用上の注意事項

- (1) 絶対最大定格は複数の定格の、どの一つの値も瞬時たりとも超えてはならない規格です。
複数の定格のいずれに対しても超えることができません。
絶対最大定格を超えると破壊、損傷および劣化の原因となり、破裂・燃焼による傷害を負うことがあります。
- (2) 過電流の発生や IC の故障の場合に大電流が流れ続けないように、適切な電源ヒューズを使用してください。IC は絶対最大定格を超えた使い方、誤った配線、および配線や負荷から誘起される異常パルスノイズなどが原因で破壊することがあり、この結果、IC に大電流が流れ続けることで、発煙・発火に至ることがあります。破壊における大電流の流出入を想定し、影響を最小限にするため、ヒューズの容量や溶断時間、挿入回路位置などの適切な設定が必要となります。
- (3) モータの駆動など、コイルのような誘導性負荷がある場合、ON 時の突入電流や OFF 時の逆起電力による負極性の電流に起因するデバイスの誤動作あるいは破壊を防止するための保護回路を接続してください。IC が破壊した場合、傷害を負ったり発煙・発火に至ることがあります。
保護機能が内蔵されている IC には、安定した電源を使用してください。電源が不安定な場合、保護機能が動作せず、IC が破壊することがあります。IC の破壊により、傷害を負ったり発煙・発火に至ることがあります。
- (4) デバイスの逆差し、差し違い、または電源のプラスとマイナスの逆接続はしないでください。電流や消費電力が絶対最大定格を超え、破壊、損傷および劣化の原因になるだけでなく、破裂・燃焼により傷害を負うことがあります。なお、逆差しおよび差し違いのままに通電したデバイスは使用しないでください。
- (5) 本製品は、MOS 構造の素子を搭載しており静電気に対し非常にデリケートであるため、お取り扱いに際しては、アースバンドや導電マットの使用、イオナイザー等による静電気の除去および、温湿度管理等の静電対策に充分ご配慮願います。

使用上の留意点

- (1) 過電流保護回路
過電流制限回路（通常：カレントリミッタ回路）はどのような場合でも IC を保護するわけではありません。動作後は、速やかに過電流状態を解除するようお願いします。
絶対最大定格を超えた場合など、ご使用方法や状況により、過電流制限回路が正常に動作しなかったり、動作する前に IC が破壊したりすることがあります。また、動作後、長時間過電流が流れ続けた場合、ご使用方法や状況によっては、IC が発熱などにより破壊することがあります。
- (2) 放熱設計
パワーアンプ、レギュレータ、ドライバなどの、大電流が流出入する IC の使用に際しては、適切な放熱を行い、規定接合温度 (T_j) 以下になるように設計してください。これらの IC は通常使用時においても、自己発熱をします。IC 放熱設計が不十分な場合、IC の寿命の低下・特性劣化・破壊が発生することがあります。
また、IC の発熱に伴い、周辺に使用されている部品への影響も考慮して設計してください。
- (3) 逆起電力
モータを逆転やストップ、急減速を行った場合に、モータの逆起電力の影響でモータからモータ側電源へ電流が流れ込みますので、電源の Sink 能力が小さい場合、IC のモータ側電源端子、出力端子が定格以上に上昇する恐れがあります。
逆起電力によりモータ側電源端子、出力端子が定格電圧を超えないように設計してください。

製品取り扱い上のお願ひ

- 本資料に掲載されているハードウェア、ソフトウェアおよびシステム（以下、本製品という）に関する情報等、本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。また、文書による当社の事前の承諾を得て本資料を転載複製する場合でも、記載内容に一切変更を加えたり、削除したりしないでください。
- 当社は品質、信頼性の向上に努めていますが、半導体製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により生命・身体・財産が侵害されることのないよう、お客様の責任において、お客様のハードウェア・ソフトウェア・システムに必要な安全設計を行うことをお願いします。なお、設計および使用に際しては、本製品に関する最新の情報（本資料、仕様書、データシート、アプリケーションノート、半導体信頼性ハンドブックなど）および本製品が使用される機器の取扱説明書、操作説明書などをご確認の上、これに従ってください。また、上記資料などに記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を使用する場合は、お客様の製品単独およびシステム全体で十分に評価し、お客様の責任において適用可否を判断してください。
- 本製品は、一般的電子機器（コンピュータ、パーソナル機器、事務機器、計測機器、産業用ロボット、家電機器など）または本資料に個別に記載されている用途に使用されることが意図されています。本製品は、特別に高い品質・信頼性が要求され、またはその故障や誤作動が生命・身体に危害を及ぼす恐れ、膨大な財産損害を引き起こす恐れ、もしくは社会に深刻な影響を及ぼす恐れのある機器（以下“特定用途”という）に使用されることは意図されていませんし、保証もされていません。特定用途には原子力関連機器、航空・宇宙機器、医療機器、車載・輸送機器、列車・船舶機器、交通信号機器、燃焼・爆発制御機器、各種安全関連機器、昇降機器、電力機器、金融関連機器などが含まれます。本資料に個別に記載されている場合を除き、本製品を特定用途に使用しないでください。
- 本製品を分解、解析、リバースエンジニアリング、改造、改変、翻案、複製等しないでください。
- 本製品を、国内外の法令、規則及び命令により、製造、使用、販売を禁止されている製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 別途、書面による契約またはお客様と当社が合意した仕様書がない限り、当社は、本製品および技術情報に関して、明示的にも黙示的にも一切の保証（機能動作の保証、商品性の保証、特定目的への合致の保証、情報の正確性の保証、第三者の権利の非侵害保証を含むがこれに限らない。）をしておりません。
- 本製品、または本資料に掲載されている技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」、「米国輸出管理規則」等、適用ある輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
- 本製品のRoHS適合性など、詳細につきましては製品個別に必ず弊社営業窓口までお問合せください。本製品のご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用ある環境関連法令を十分調査の上、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。
