

TOSHIBA

32 ビット RISC マイクロコントローラ
TX03 シリーズ

TMPM380FDFG

株式会社 **東芝**

ストレージ&デバイスソリューション社



ARM, Cortex および Thumb はARM Limited(またはその子会社)のEUまたはその他の国における
登録商標です。All rights reserved.

ARM[®]

製品ご使用上の注意点について

本資料に掲載されている製品について、使用上の注意点を説明します。

なお、本項目と本資料での記述について、異なる場合は、本資料の記述が優先されます。

1. 電源投入時の動作について

電源投入時、本資料に掲載されている製品の内部は不定状態となります。

このため、リセットが有効となるまで、端子の状態は不定となります。

外部リセット端子を使用してリセットする製品の場合、電源投入後外部から入力するリセットが有効になるまでの間、端子の状態は不定となります。

また、内蔵パワーオンリセットを使用してリセットする製品の場合、電源電圧が電源投入から内蔵パワーオンリセットが有効となる電圧に上昇するまでの間、端子の状態は不定となります。

2. 未使用端子の処置について

本資料に掲載されている製品では、未使用の入出力ポートは、入出力禁止となり、端子はハイインピーダンスです。一般にハイインピーダンスの端子を開放状態で製品を動作させると、外部からのノイズを受け誘起電圧が発生して LSI 内部で静電破壊やラッチアップが発生することがあります。

未使用端子については、1 本ずつ、抵抗を通して電源端子または GND 端子に固定することを推奨します。

3. クロック発振の安定について

リセットはクロック発振が安定してから解除してください。プログラム動作中にクロックを切り替える場合、切り替える先のクロック発振が安定している状態で切り替えてください。

はじめに(本仕様書での SFR 表記に関する注意点)

各周辺機能回路(IP)には、SFR(Special Function Register)と呼ばれる制御レジスタが準備されています。

メモリマップの章に各 IP の SFR アドレス一覧を記載しており、各 IP の章では SFR の詳細を説明しています。

本仕様書では、SFR に関して以下のルールに従って表現しています。

a. IP 別 SFR の一覧表(一例)

- 各 IP の章における SFR の一覧表では、レジスタ名称、アドレス、簡単な説明が表現されています。
- すべてのレジスタには、32bit で表現されるユニークなアドレスが割り振られており、各レジスタのアドレスは「Base Address + (固有)アドレス」で表現されています。(一部例外有)

Base Address = 0x0000_0000

レジスタ名		Address(Base+)
コントロールレジスタ	SAMCR	0x0004
		0x000C

注) SAMCR レジスタのアドレスは 0x0000_0004 番地「Base Address(0x00000000 番地)+固有アドレス(0x0004 番地)」から 32 ビット分となります。

注) 本レジスタは記述説明用のサンプルです。本マイコンには存在しません。

b. 各 SFR(レジスタ)の説明

- 各レジスタは、基本的にすべて 32bit のレジスタで構成されています(一部例外有)。
- 各レジスタの説明では、対象ビット、ビットシンボル、タイプ、リセット後の初期値、機能説明が表現されています。

1.2.2 SAMCR(コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	MODE	
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	MODE	TDATA						
リセット後	0	0	0	1	0	0	0	0

Bit	Bit Symbol	Type	機能
31-10	-	R	リードすると"0"が読めます。
9-7	MODE[2:0]	R/W	動作モード設定 000 : サンプルモード 0 に設定 001 : サンプルモード 1 に設定 010 : サンプルモード 2 に設定 011 : サンプルモード 3 に設定 上記以外 : Reserved
6-0	TDATA[6:0]	W	送信データ

注) Type は基本的に下記 3 種類となります。

R / W : READ WRITE 読み出し/書き込み可能
 R : READ 読み出しのみ可能
 W : WRITE 書き込みのみ可能

c. データ表記について

SFR の説明において使用しているシンボルには以下のようなものがあります。

- x:チャンネル番号/ポート
- n,m:ビット番号

d. レジスタの表現

説明文においてレジスタを以下のように表現しています。

- レジスタ名<Bit Symbol>
 例: SAMCR<MODE>="000"または SAMCR<MODE[2:0]>="000"
 <MODE[2:0]>はビットシンボル MODE(3 ビット幅)の 2~0 ビット目を意味します。
- レジスタ名[Bit]
 例: SAMCR[9:7]="000"
 レジスタ SAMCR(32 ビット幅)の 9~7 ビット目を意味します。

改訂履歴

日付	版	改訂理由
2014/10/23	1	First Release
2015/03/03	2	Contents Revised
2015/08/26	3	Contents Revised
2016/02/24	4	Contents Revised
2022/05/27	5	Contents Revised

目次

製品ご使用上の注意点について

TMPM380FDFG

1.1	機能概要.....	1
1.2	ブロック図.....	5
1.3	ピン配置図(Top view).....	6
1.4	ピン名称と機能.....	7
1.4.1	ピン番号順.....	7
1.5	電源の種類と供給端子.....	14

第2章 プロセッサコア

2.1	コアに関する情報.....	15
2.2	構成可能なオプション.....	15
2.3	例外/割り込み.....	16
2.3.1	割り込み本数.....	16
2.3.2	割り込み優先度ビット数.....	16
2.3.3	SysTick.....	16
2.3.4	SYSRESETREQ.....	16
2.3.5	LOCKUP.....	16
2.3.6	補助フォールトステータスレジスタ.....	16
2.4	イベント.....	17
2.5	電力管理.....	17
2.6	排他アクセス.....	17

第3章 メモリマップ

3.1	メモリマップ.....	19
3.1.1	TMPM380FDFG メモリマップ.....	20
3.1.2	接続表.....	21
3.1.2.1	Code 領域/ SRAM 領域	
3.1.2.2	Peripheral 領域/ 外部バス領域	
3.2	周辺機能ベースアドレス一覧.....	23

第4章 リセット動作

4.1	コールドリセット時.....	26
4.1.1	パワーオンリセット回路によるリセット(RESET 端子を使用しない場合).....	26
4.1.2	RESET 端子によるリセット.....	27
4.2	ウォームリセット時.....	28
4.2.1	リセット期間.....	28

4.3 リセット解除後.....	28
------------------	----

第5章 クロック/モード制御

5.1 特長.....	29
5.2 レジスタ説明.....	30
5.2.1 レジスタ一覧.....	30
5.2.2 CGSYSCR (システムコントロールレジスタ).....	31
5.2.3 CGOSCCR (発振コントロールレジスタ).....	33
5.2.4 CGSTBYCR (スタンバイコントロールレジスタ).....	35
5.2.5 CGPLLSEL (PLL セレクトレジスタ).....	36
5.2.6 CGCKSEL (システムクロックセレクトレジスタ).....	37
5.3 クロック制御.....	38
5.3.1 クロックの種類.....	38
5.3.2 リセット動作による初期値.....	38
5.3.3 クロック系統図.....	39
5.3.4 ウォーミングアップ機能.....	40
5.3.5 クロック逡倍回路(PLL).....	42
5.3.5.1 動作開始.....	
5.3.5.2 PLL 動作開始手順.....	
5.3.6 システムクロック.....	44
5.3.6.1 システムクロックの設定方法.....	
5.3.7 プリスケイラクロック.....	46
5.3.8 クロックの端子出力機能.....	46
5.4 動作モードとモード遷移.....	47
5.4.1 モード状態遷移.....	47
5.5 動作モード.....	48
5.5.1 NORMAL モード.....	48
5.5.2 SLOW モード.....	48
5.6 低消費電力モード.....	49
5.6.1 IDLE モード.....	49
5.6.2 SLEEP モード.....	49
5.6.3 STOP モード.....	50
5.6.4 低消費電力モードの選択.....	51
5.6.5 各モードにおける動作状態.....	52
5.6.6 低消費電力モードの解除.....	53
5.6.7 ウォーミングアップ.....	55
5.6.8 モード遷移によるクロック動作.....	56
5.6.8.1 NORMAL → STOP → NORMAL 動作モード遷移.....	
5.6.8.2 NORMAL → SLEEP → NORMAL 動作モード遷移.....	
5.6.8.3 SLOW → STOP → SLOW 動作モード遷移.....	
5.6.8.4 SLOW → SLEEP → SLOW 動作モード遷移.....	
5.6.9 低消費電力モード遷移時の注意事項.....	58
5.6.9.1 IDLE、SLEEP、STOP モードへ遷移する場合.....	

第6章 例外

6.1 概要.....	59
6.1.1 種類.....	59
6.1.2 処理の流れ.....	60
6.1.2.1 例外要求と検出.....	
6.1.2.2 例外の処理と割り込み処理ルーチンへの分岐(横取り).....	
6.1.2.3 割り込み処理ルーチンの発行.....	
6.1.2.4 例外からの復帰.....	
6.2 リセット例外.....	66
6.3 マスク不能割り込み(NMI).....	66
6.4 SysTick.....	67
6.5 割り込み.....	68
6.5.1 要因.....	68

6.5.1.1	経路	
6.5.1.2	割り込み要因の発生	
6.5.1.3	割り込み要因の伝達	
6.5.1.4	外部割り込み端子を使用する際の注意	
6.5.1.5	要因一覧	
6.5.1.6	アクティブレベル	
6.5.2	処理詳細	73
6.5.2.1	処理の流れ	
6.5.2.2	準備	
6.5.2.3	検出(クロックジェネレータ)	
6.5.2.4	検出(CPU)	
6.5.2.5	CPUの処理	
6.5.2.6	割り込み処理ルーチンでの処理(要因の取り下げ)	
6.6	例外/割り込み関連レジスタ	79
6.6.1	レジスタ一覧	79
6.6.2	NVIC レジスタ	80
6.6.2.1	SysTick 制御およびステータスレジスタ	
6.6.2.2	SysTick リロード値レジスタ	
6.6.2.3	SysTick 現在値レジスタ	
6.6.2.4	SysTick 較正值レジスタ	
6.6.2.5	割り込みイネーブルセットレジスタ 1	
6.6.2.6	割り込みイネーブルセットレジスタ 2	
6.6.2.7	割り込みイネーブルセットレジスタ 3	
6.6.2.8	割り込みイネーブルクリアレジスタ 1	
6.6.2.9	割り込みイネーブルクリアレジスタ 2	
6.6.2.10	割り込みイネーブルクリアレジスタ 3	
6.6.2.11	割り込み保留セットレジスタ 1	
6.6.2.12	割り込み保留セットレジスタ 2	
6.6.2.13	割り込み保留セットレジスタ 3	
6.6.2.14	割り込み保留クリアレジスタ 1	
6.6.2.15	割り込み保留クリアレジスタ 2	
6.6.2.16	割り込み保留クリアレジスタ 3	
6.6.2.17	割り込み優先度レジスタ	
6.6.2.18	ベクタテーブルオフセットレジスタ	
6.6.2.19	アプリケーション割り込みおよびリセット制御レジスタ	
6.6.2.20	システムハンドラ優先度レジスタ	
6.6.2.21	システムハンドラ制御および状態レジスタ	
6.6.3	クロックジェネレータレジスタ	102
6.6.3.1	CGIMCGA(CG 割り込みモードコントロールレジスタ A)	
6.6.3.2	CGIMCGB(CG 割り込みモードコントロールレジスタ B)	
6.6.3.3	CGIMCGC(CG 割り込みモードコントロールレジスタ C)	
6.6.3.4	CGIMCGD(CG 割り込みモードコントロールレジスタ D)	
6.6.3.5	CGIMCGE(CG 割り込みモードコントロールレジスタ E)	
6.6.3.6	CGICRCG(CG 割り込み要求クリアレジスタ)	
6.6.3.7	CGNMIFLG(NMI フラグレジスタ)	
6.6.3.8	CGRSTFLG(リセットフラグレジスタ)	

第7章 DMA コントローラ (DMAC)

7.1	概要	115
7.2	DMA 転送タイプ	116
7.3	ブロック図	117
7.4	レジスタの説明	118
7.4.1	DMAC レジスタ一覧	118
7.4.2	DMACIntStatus (DMAC Interrupt Status Register)	119
7.4.3	DMACIntTCStatus (DMAC Interrupt Terminal Count Status Register)	120
7.4.4	DMACIntTCClear (DMAC Interrupt Terminal Count Clear Register)	121
7.4.5	DMACIntErrorStatus (DMAC Interrupt Error Status Register)	122
7.4.6	DMACIntErrClr (DMAC Interrupt Error Clear Register)	123
7.4.7	DMACRawIntTCStatus (DMAC Raw Interrupt Terminal Count Status Register)	124
7.4.8	DMACRawIntErrorStatus (DMAC Raw Error Interrupt Status Register)	125
7.4.9	DMACEnbldChns (DMAC Enabled Channel Register)	126
7.4.10	DMACSoftBReq (DMAC Software Burst Request Register)	127
7.4.11	DMACSoftSReq (DMAC Software Single Request Register)	129
7.4.12	DMACConfiguration (DMAC Configuration Register)	130
7.4.13	DMACCxSrcAddr (DMAC Channelx Source Address Register)	131
7.4.14	DMACCxDestAddr (DMAC Channelx Destination Address Register)	132
7.4.15	DMACCxLLI (DMAC Channelx Linked List Item Register)	133

7.4.16	DMACCxControl (DMAC Channelx Control Register).....	134
7.4.17	DMACCxConfiguration (DMAC Channelx Configuration Register).....	136
7.5	特殊機能.....	138
7.5.1	Scatter/gather 機能.....	138
7.5.2	Linked list 動作.....	139

第8章 入出力ポート

8.1	ポート機能.....	141
8.1.1	機能一覧.....	141
8.1.2	ポートレジスタ概略説明.....	145
8.1.3	STOP モード中のポート状態.....	146
8.1.4	STOP/SLEEP モード遷移の際の注意.....	146
8.1.5	割り込み入力を STOP モード解除に使用する場合の注意.....	147
8.2	ポート機能詳細.....	148
8.2.1	ポート A (PA0 ~ PA7).....	148
8.2.1.1	ポート A レジスタ一覧	
8.2.1.2	PADATA (ポート A データレジスタ)	
8.2.1.3	PACR (ポート A 出力コントロールレジスタ)	
8.2.1.4	PAFR1 (ポート A ファンクションレジスタ 1)	
8.2.1.5	PAFR2 (ポート A ファンクションレジスタ 2)	
8.2.1.6	PAOD (ポート A オープンドレインコントロールレジスタ)	
8.2.1.7	PAPUP (ポート A プルアップコントロールレジスタ)	
8.2.1.8	PAPDN (ポート A プルダウンコントロールレジスタ)	
8.2.1.9	PAIE (ポート A 入力コントロールレジスタ)	
8.2.2	ポート B (PB0 ~ PB7).....	155
8.2.2.1	ポート B レジスタ一覧	
8.2.2.2	PBDATA (ポート B データレジスタ)	
8.2.2.3	PBCR (ポート B 出力コントロールレジスタ)	
8.2.2.4	PBFR1 (ポート B ファンクションレジスタ 1)	
8.2.2.5	PBOD (ポート B オープンドレインコントロールレジスタ)	
8.2.2.6	PBPUP (ポート B プルアップコントロールレジスタ)	
8.2.2.7	PBPDN (ポート B プルダウンコントロールレジスタ)	
8.2.2.8	PBIE (ポート B 入力コントロールレジスタ)	
8.2.3	ポート C (PC0 ~ PC7).....	161
8.2.3.1	ポート C レジスタ一覧	
8.2.3.2	PCDATA (ポート C データレジスタ)	
8.2.3.3	PCCR (ポート C 出力コントロールレジスタ)	
8.2.3.4	PCFR1 (ポート C ファンクションレジスタ 1)	
8.2.3.5	PCFR2 (ポート C ファンクションレジスタ 2)	
8.2.3.6	PCFR3 (ポート C ファンクションレジスタ 3)	
8.2.3.7	PCFR4 (ポート C ファンクションレジスタ 4)	
8.2.3.8	PCFR5 (ポート C ファンクションレジスタ 5)	
8.2.3.9	PCOD (ポート C オープンドレインコントロールレジスタ)	
8.2.3.10	PCPUP (ポート C プルアップコントロールレジスタ)	
8.2.3.11	PCPDN (ポート C プルダウンコントロールレジスタ)	
8.2.3.12	PCIE (ポート C 入力コントロールレジスタ)	
8.2.4	ポート D (PD0 ~ PD6).....	171
8.2.4.1	ポート D レジスタ一覧	
8.2.4.2	PDDATA (ポート D データレジスタ)	
8.2.4.3	PDCR (ポート D 出力コントロールレジスタ)	
8.2.4.4	PDFR1 (ポート D ファンクションレジスタ 1)	
8.2.4.5	PDFR2 (ポート D ファンクションレジスタ 2)	
8.2.4.6	PDFR3 (ポート D ファンクションレジスタ 3)	
8.2.4.7	PDOD (ポート D オープンドレインコントロールレジスタ)	
8.2.4.8	PDPUP (ポート D プルアップコントロールレジスタ)	
8.2.4.9	PDPDN (ポート D プルダウンコントロールレジスタ)	
8.2.4.10	PDIE (ポート D 入力コントロールレジスタ)	
8.2.5	ポート E (PE0 ~ PE7).....	180
8.2.5.1	ポート E レジスタ一覧	
8.2.5.2	PEDATA (ポート E データレジスタ)	
8.2.5.3	PECR (ポート E 出力コントロールレジスタ)	
8.2.5.4	PEFR1 (ポート E ファンクションレジスタ 1)	
8.2.5.5	PEFR2 (ポート E ファンクションレジスタ 2)	
8.2.5.6	PEOD (ポート E オープンドレインコントロールレジスタ)	
8.2.5.7	PEPUP (ポート E プルアップコントロールレジスタ)	
8.2.5.8	PEPDN (ポート E プルダウンコントロールレジスタ)	
8.2.5.9	PEIE (ポート E 入力コントロールレジスタ)	
8.2.6	ポート F (PF0 ~ PF4).....	187

8.2.6.1	ポート F レジスタ一覧	
8.2.6.2	PFDATA (ポート F データレジスタ)	
8.2.6.3	PFGR (ポート F 出力コントロールレジスタ)	
8.2.6.4	PFGR1 (ポート F ファンクションレジスタ 1)	
8.2.6.5	PFGR2 (ポート F ファンクションレジスタ 2)	
8.2.6.6	PFGR3 (ポート F ファンクションレジスタ 3)	
8.2.6.7	PFOD (ポート F オープンドレインコントロールレジスタ)	
8.2.6.8	PFUP (ポート F プルアップコントロールレジスタ)	
8.2.6.9	PFDPN (ポート F プルダウンコントロールレジスタ)	
8.2.6.10	PFIE (ポート F 入力コントロールレジスタ)	
8.2.7	ポート G (PG0 ~ PG7).....	195
8.2.7.1	ポート G レジスタ一覧	
8.2.7.2	PGDATA (ポート G データレジスタ)	
8.2.7.3	PGCR (ポート G 出力コントロールレジスタ)	
8.2.7.4	PGFR1 (ポート G ファンクションレジスタ 1)	
8.2.7.5	PGFR2 (ポート G ファンクションレジスタ 2)	
8.2.7.6	PGFR3 (ポート G ファンクションレジスタ 3)	
8.2.7.7	PGOD (ポート G オープンドレインコントロールレジスタ)	
8.2.7.8	PGUP (ポート G プルアップコントロールレジスタ)	
8.2.7.9	PGDPN (ポート G プルダウンコントロールレジスタ)	
8.2.7.10	PGIE (ポート G 入力コントロールレジスタ)	
8.2.8	ポート H (PH0 ~ PH7).....	203
8.2.8.1	ポート H レジスタ一覧	
8.2.8.2	PHDATA (ポート H データレジスタ)	
8.2.8.3	PHCR (ポート H 出力コントロールレジスタ)	
8.2.8.4	PHFR1 (ポート H ファンクションレジスタ 1)	
8.2.8.5	PHOD (ポート H オープンドレインコントロールレジスタ)	
8.2.8.6	PHUP (ポート H プルアップコントロールレジスタ)	
8.2.8.7	PHDPN (ポート H プルダウンコントロールレジスタ)	
8.2.8.8	PHIE (ポート H 入力コントロールレジスタ)	
8.2.9	ポート I (PI0 ~ PI1).....	209
8.2.9.1	ポート I レジスタ一覧	
8.2.9.2	PIDATA (ポート I データレジスタ)	
8.2.9.3	PICR (ポート I 出力コントロールレジスタ)	
8.2.9.4	PIOD (ポート I オープンドレインコントロールレジスタ)	
8.2.9.5	PIUP (ポート I プルアップコントロールレジスタ)	
8.2.9.6	PIPDN (ポート I プルダウンコントロールレジスタ)	
8.2.9.7	PIIE (ポート I 入力コントロールレジスタ)	
8.2.10	ポート J (PJ0 ~ PJ7).....	214
8.2.10.1	ポート J レジスタ一覧	
8.2.10.2	PJDATA (ポート J データレジスタ)	
8.2.10.3	PJCR (ポート J 出力コントロールレジスタ)	
8.2.10.4	PJFR1 (ポート J ファンクションレジスタ 1)	
8.2.10.5	PJOD (ポート J オープンドレインコントロールレジスタ)	
8.2.10.6	PJUP (ポート J プルアップコントロールレジスタ)	
8.2.10.7	PJPDN (ポート J プルダウンコントロールレジスタ)	
8.2.10.8	PJIE (ポート J 入力コントロールレジスタ)	
8.2.11	ポート L (PL0, PL2).....	221
8.2.11.1	ポート L レジスタ一覧	
8.2.11.2	PLDATA (ポート L データレジスタ)	
8.2.11.3	PLCR (ポート L 出力コントロールレジスタ)	
8.2.11.4	PLFR1 (ポート L ファンクションレジスタ 1)	
8.2.11.5	PLOD (ポート L オープンドレインコントロールレジスタ)	
8.2.11.6	PLUP (ポート L プルアップコントロールレジスタ)	
8.2.11.7	PLPDN (ポート L プルダウンコントロールレジスタ)	
8.2.11.8	PLIE (ポート L 入力コントロールレジスタ)	
8.2.12	ポート M (PM0 ~ PM1).....	229
8.2.12.1	ポート M レジスタ一覧	
8.2.12.2	PMDATA (ポート M データレジスタ)	
8.2.12.3	PMCR (ポート M 出力コントロールレジスタ)	
8.2.12.4	PMOD (ポート M オープンドレインコントロールレジスタ)	
8.2.12.5	PMPUP (ポート M プルアップコントロールレジスタ)	
8.2.12.6	PMPDN (ポート M プルダウンコントロールレジスタ)	
8.2.12.7	PMIE (ポート M 入力コントロールレジスタ)	
8.2.13	ポート N (PN0 ~ PN7).....	234
8.2.13.1	ポート N レジスタ一覧	
8.2.13.2	PNDATA (ポート N データレジスタ)	
8.2.13.3	PNCR (ポート N 出力コントロールレジスタ)	
8.2.13.4	PNFR1 (ポート N ファンクションレジスタ 1)	
8.2.13.5	PNFR2 (ポート N ファンクションレジスタ 2)	
8.2.13.6	PNOD (ポート N オープンドレインコントロールレジスタ)	
8.2.13.7	PNUP (ポート N プルアップコントロールレジスタ)	
8.2.13.8	PNPDN (ポート N プルダウンコントロールレジスタ)	
8.2.13.9	PNIE (ポート N 入力コントロールレジスタ)	
8.2.14	ポート P (PP0 ~ PP1).....	241

8.2.14.1	ポート P レジスタ一覧	
8.2.14.2	PPDATA (ポート P データレジスタ)	
8.2.14.3	PPCR (ポート P 出力コントロールレジスタ)	
8.2.14.4	PPOD (ポート P オープンドレインコントロールレジスタ)	
8.2.14.5	PPUP (ポート P プルアップコントロールレジスタ)	
8.2.14.6	PPDN (ポート P プルダウンコントロールレジスタ)	
8.2.14.7	PPIE (ポート P 入力コントロールレジスタ)	
8.3	ポート回路図	246
8.3.1	ポートタイプ一覧	246
8.3.2	Type FT1	247
8.3.3	Type FT2	248
8.3.4	Type FT3	249
8.3.5	Type FT4	250
8.3.6	Type FT5	251
8.3.7	Type FT6	252
8.4	付録 (ポート設定一覧)	253
8.4.1	ポート A 設定	253
8.4.2	ポート B 設定	254
8.4.3	ポート C 設定	255
8.4.4	ポート D 設定	257
8.4.5	ポート E 設定	258
8.4.6	ポート F 設定	259
8.4.7	ポート G 設定	260
8.4.8	ポート H 設定	261
8.4.9	ポート I 設定	262
8.4.10	ポート J 設定	263
8.4.11	ポート L 設定	264
8.4.12	ポート M 設定	265
8.4.13	ポート N 設定	266
8.4.14	ポート P 設定	267

第9章 16ビットタイマ/イベントカウンタ(TMRB)

9.1	概要	269
9.2	チャンネル別仕様相違点	270
9.3	構成	271
9.4	レジスタ説明	272
9.4.1	チャンネル別レジスタ一覧	272
9.4.2	TBxEN(イネーブルレジスタ)	273
9.4.3	TBxRUN(RUN レジスタ)	274
9.4.4	TBxCR(コントロールレジスタ)	275
9.4.5	TBxMOD(モードレジスタ)	276
9.4.6	TBxFFCR(フリップフロップコントロールレジスタ)	277
9.4.7	TBxST(ステータスレジスタ)	278
9.4.8	TBxIM(割り込みマスクレジスタ)	279
9.4.9	TBxUC(アップカウンタキャプチャレジスタ)	280
9.4.10	TBxRG0(タイマレジスタ 0)	281
9.4.11	TBxRG1(タイマレジスタ 1)	281
9.4.12	TBxCP0(キャプチャレジスタ 0)	282
9.4.13	TBxCP1(キャプチャレジスタ 1)	282
9.5	回路別の動作説明	283
9.5.1	プリスケータ	283
9.5.2	アップカウンタ(UC)	285
9.5.3	タイマレジスタ(TBxRG0, TBxRG1)	285
9.5.4	キャプチャ制御	285
9.5.5	キャプチャレジスタ(TBxCP0, TBxCP1)	286
9.5.6	アップカウンタキャプチャレジスタ(TBxUC)	286
9.5.7	コンパレータ(CP0, CP1)	286
9.5.8	タイマフリップフロップ(TBxFF0)	286
9.5.9	キャプチャ割り込み(INTCAPx0, INTCAPx1)	286
9.6	機能別の動作説明	287
9.6.1	16ビットインタバルタイマモード	287

9.6.2	16ビットイベントカウンタモード.....	287
9.6.3	16ビットPPG(プログラマブル矩形波)出力モード.....	288
9.6.4	外部トリガPPG(プログラマブル矩形波)出力モード.....	290
9.6.5	タイマ同期モード.....	291
9.7	キャプチャ機能を利用した応用例.....	292
9.7.1	外部トリガパルスからのワンショットパルス出力.....	292
9.7.2	周波数測定.....	294
9.7.3	パルス幅測定.....	294

第10章 16ビット多目的タイマ(MPT)

10.1	概要.....	297
10.2	チャンネル別仕様相違点.....	297
10.3	構成.....	298
10.4	タイマモードの動作説明.....	299
10.4.1	構成.....	299
10.4.2	タイマモードチャンネル別レジスタ一覧.....	300
10.4.3	MTxEN (MPT イネーブルレジスタ).....	301
10.4.4	MTxRUN (MPT RUN レジスタ).....	302
10.4.5	MTxTBCR (MPT コントロールレジスタ).....	303
10.4.6	MTxTBMOD (MPT モードレジスタ).....	304
10.4.7	MTxTBFFCR (MPT フリップフロップコントロールレジスタ).....	305
10.4.8	MTxTBST (MPT ステータスレジスタ).....	306
10.4.9	MTxTBIM (MPT 割込みマスクレジスタ).....	307
10.4.10	MTxTBUC (MPT リードキャプチャレジスタ).....	308
10.4.11	MTxRG0/MTxRG1 (MPT タイマレジスタ).....	308
10.4.12	MTxCP0/MTxCP1 (MPT キャプチャレジスタ).....	310
10.5	回路別の動作説明.....	311
10.5.1	プリスケータ.....	311
10.5.2	アップカウンタ(MTUC0).....	314
10.5.3	タイマレジスタ (MTxRG0、MTxRG1).....	315
10.5.4	キャプチャ制御.....	315
10.5.5	キャプチャレジスタ(MTxCAP0、MTxCAP1).....	315
10.5.6	アップカウンタキャプチャレジスタ(MTxTBUC).....	315
10.5.7	コンパレータ(CP0、CP1).....	316
10.5.8	タイマフリップフロップ (MTxFF0).....	316
10.5.9	キャプチャ割り込み(INTMTCAPx0、INTMTCAPx1).....	316
10.6	IGBTモードの動作説明.....	317
10.6.1	構成.....	317
10.6.2	IGBTモードチャンネル別レジスタ一覧.....	318
10.6.3	MTxEN (MPT イネーブルレジスタ).....	319
10.6.4	MTxRUN (MPT RUN レジスタ).....	320
10.6.5	MTxRG0/MTxRG1 (MPT タイマレジスタ).....	321
10.6.6	MTxCP0/MTxCP1 (MPT キャプチャレジスタ).....	323
10.6.7	MTxIGCR (IGBT コントロールレジスタ).....	324
10.6.8	MTxIGRESTA (IGBT タイマリスタートレジスタ).....	325
10.6.9	MTxIGST (IGBT タイマステータスレジスタ).....	325
10.6.10	MTxIGICR (IGBT 入力コントロールレジスタ).....	326
10.6.11	MTxIGOCR (IGBT 出力コントロールレジスタ).....	327
10.6.12	MTxIGRG2 (IGBT タイマレジスタ 2).....	328
10.6.13	MTxIGRG3 (IGBT タイマレジスタ 3).....	328
10.6.14	MTxIGRG4 (IGBT タイマレジスタ 4).....	329
10.6.15	MTxIGEMGCR (IGBT EMG コントロールレジスタ).....	330
10.6.16	MTxIGEMGST (IGBT EMG ステータスレジスタ).....	331
10.7	回路別の動作説明.....	332
10.7.1	プリスケータ.....	332
10.7.2	アップカウンタ(MTUCx).....	335
10.7.3	周期設定レジスタ (MTxIGRG4).....	336
10.7.4	タイマレジスタ (MTxRG0、MTxRG1、MTxIGRG2、MTxIGRG3、MTxIGRG4).....	336
10.7.5	キャプチャ制御.....	336
10.7.6	キャプチャレジスタ(MTxCAP0、MTxCAP1).....	336

10.7.7	コンパレータ(CP0, CP1, CP2, CP3, CP4).....	337
10.7.8	MTOUT0x, MTOUT1x 出力制御.....	337
10.7.9	キャプチャ割り込み(INTMTCAPx0,INTMTCAPx1).....	337
10.7.10	トリガスタート割り込み(INTMTTBx1).....	337
10.7.11	周期割り込み(INTMTTBx0).....	337
10.7.12	基本動作.....	338
10.7.13	スタート方式.....	339
10.7.13.1	コマンドスタート&トリガキャプチャモード	
10.7.13.2	コマンドスタート&トリガスタートモード	
10.7.13.3	トリガスタートモード	
10.7.14	単発/連続出力モード.....	341
10.7.14.1	連続出力モード	
10.7.14.2	単発出力モード	
10.7.15	停止方式.....	341
10.7.15.1	出力初期状態でカウント停止	
10.7.15.2	出力保持状態でカウント停止	
10.7.15.3	周期終了後に初期状態でカウント停止	
10.7.16	トリガ入力.....	343
10.7.16.1	トリガ入力の論理	
10.7.16.2	トリガ常時受け付け/アクティブ中受付禁止	
10.7.17	緊急停止機能.....	345
10.7.17.1	動作説明	
10.7.17.2	緊急停止モニタ	
10.7.17.3	GEMG 割り込み	
10.7.17.4	緊急出力停止状態の解除	
10.7.18	ノイズキャンセラ.....	346
10.8	モータ制御回路 (PMD : Programmable Motor Driver) の動作説明.....	347
10.8.1	PMD 回路への入出力信号.....	348
10.8.2	構成.....	349
10.8.3	レジスタ説明.....	350
10.8.3.1	チャンネル別レジスタ一覧	
10.8.3.2	MTPDxMDEN(PMD イネーブルレジスタ)	
10.8.3.3	MTPDxPORTMD(ポート出力モードレジスタ)	
10.8.3.4	MTPDxMDCR (PMD 制御レジスタ)	
10.8.3.5	MTPDxCNTSTA(PWM カウンタステータスレジスタ)	
10.8.3.6	MTPDxMDCNT(PWM カウンタレジスタ)	
10.8.3.7	MTPDxMDPRD(PWM 周期レジスタ)	
10.8.3.8	MTPDxCMPU (PWM コンペアレジスタ)	
10.8.3.9	MTPDxCMPV (PWM コンペアレジスタ)	
10.8.3.10	MTPDxCMPW (PWM コンペアレジスタ)	
10.8.3.11	MTPDxMDOUT(PMD 出力制御レジスタ)	
10.8.3.12	MTPDxMDPOT (PMD 出力設定レジスタ)	
10.8.3.13	MTPDxEMGREL (EMG 解除レジスタ)	
10.8.3.14	MTPDxEMGCR(EMG 制御レジスタ)	
10.8.3.15	MTPDxEMGSTA(EMG ステータスレジスタ)	
10.8.3.16	MTPDxDTR(デッドタイムレジスタ)	
10.8.3.17	MTPDxTRGCMP0(トリガコンペアレジスタ 0)	
10.8.3.18	MTPDxTRGCMP1(トリガコンペアレジスタ 1)	
10.8.3.19	MTPDxTRGCR(トリガ制御レジスタ)	
10.8.3.20	MTPDxTRGMD(トリガ出力モード設定レジスタ)	
10.9	回路別の動作説明.....	369
10.9.1	パルス幅変調回路.....	369
10.9.2	通電制御回路.....	371
10.9.3	保護制御回路.....	373
10.9.4	デッドタイム回路.....	374
10.9.5	同期トリガ生成回路.....	374

第11章 シリアルチャネル(SIO/UART)

11.1	概要.....	377
11.2	チャンネル別仕様相違点.....	377
11.3	構成.....	378
11.4	レジスタ説明.....	379
11.4.1	チャンネル別レジスタ一覧.....	379
11.4.2	SCxEN (イネーブルレジスタ).....	380
11.4.3	SCxBUF (バッファレジスタ).....	381

11.4.4	SCxCR (コントロールレジスタ).....	382
11.4.5	SCxMOD0 (モードコントロールレジスタ 0).....	383
11.4.6	SCxMOD1 (モードコントロールレジスタ 1).....	384
11.4.7	SCxMOD2 (モードコントロールレジスタ 2).....	385
11.4.8	SCxBRCR (ボーレートジェネレータコントロールレジスタ).....	387
11.4.9	SCxBRADD (ボーレートジェネレータコントロールレジスタ 2).....	388
11.4.10	SCxFCNF (FIFO コンフィグレジスタ).....	389
11.4.11	SCxRFC (受信 FIFO コンフィグレジスタ).....	391
11.4.12	SCxTFC (送信 FIFO コンフィグレジスタ) (注 2).....	392
11.4.13	SCxRST (受信 FIFO ステータスレジスタ).....	393
11.4.14	SCxTST (送信 FIFO ステータスレジスタ).....	394
11.5	動作モード	395
11.6	データフォーマット	396
11.6.1	データフォーマット一覧.....	396
11.6.2	パリティ制御.....	397
11.6.2.1	送信.....	
11.6.2.2	受信.....	
11.6.3	STOP ビット長.....	397
11.7	クロック制御	398
11.7.1	プリスケアラ.....	398
11.7.2	シリアルクロック生成回路.....	401
11.7.2.1	ボーレートジェネレータ.....	
11.7.2.2	クロック選択回路.....	
11.8	送信/受信バッファと FIFO	405
11.8.1	構成.....	405
11.8.2	送信/受信バッファ.....	405
11.8.3	FIFO.....	406
11.9	ステータスフラグ	406
11.10	エラーフラグ	406
11.10.1	OERR フラグ.....	407
11.10.2	PERR フラグ.....	407
11.10.3	FERR フラグ.....	407
11.11	受信	408
11.11.1	受信カウンタ.....	408
11.11.2	受信制御部.....	408
11.11.2.1	I/O インタフェースモードの場合.....	
11.11.2.2	UART モードの場合.....	
11.11.3	受信動作.....	408
11.11.3.1	受信バッファの動作.....	
11.11.3.2	受信 FIFO の動作.....	
11.11.3.3	I/O インタフェースモード、SCLK 出力での受信.....	
11.11.3.4	受信データの読み出し.....	
11.11.3.5	ウエイクアップ機能.....	
11.11.3.6	オーバランエラー.....	
11.12	送信	413
11.12.1	送信カウンタ.....	413
11.12.2	送信制御部.....	413
11.12.2.1	I/O インタフェースモードの場合.....	
11.12.2.2	UART モードの場合.....	
11.12.3	送信動作.....	414
11.12.3.1	送信バッファの動作.....	
11.12.3.2	送信 FIFO の動作.....	
11.12.3.3	I/O インタフェースモード、SCLK 出力での送信.....	
11.12.3.4	アンダランエラー.....	
11.13	ハンドシェイク機能	417
11.14	割り込み/エラー発生タイミング	418
11.14.1	受信割り込み.....	418
11.14.1.1	シングルバッファ/ダブルバッファ構成の場合.....	
11.14.1.2	FIFO 使用の場合.....	
11.14.2	送信割り込み.....	419
11.14.2.1	シングルバッファ/ダブルバッファ構成の場合.....	
11.14.2.2	FIFO 使用の場合.....	
11.14.3	エラー発生.....	420
11.14.3.1	UART モード.....	
11.14.3.2	I/O インタフェースモード.....	

11.15	DMA 転送	420
11.16	ソフトウェアリセット	420
11.17	モード別動作説明	421
11.17.1	I/O インタフェースモード.....	421
11.17.1.1	送信	
11.17.1.2	受信	
11.17.1.3	送受信(全二重)	
11.17.2	7ビット UART モード.....	432
11.17.3	8ビット UART モード.....	432
11.17.4	9ビット UART モード.....	433
11.17.4.1	ウェイクアップ機能	
11.17.4.2	プロトコル	

第 12 章 シリアルバスインタフェース(I2C/SIO)

12.1	構成	436
12.2	レジスタ説明	437
12.2.1	チャンネル別レジスタ一覧.....	437
12.3	I2C バスモード時のデータフォーマット	438
12.4	I2C バスモード時のコントロールレジスタ	439
12.4.1	SBIxCR0(コントロールレジスタ 0).....	439
12.4.2	SBIxCR1(コントロールレジスタ 1).....	440
12.4.3	SBIxCR2(コントロールレジスタ 2).....	442
12.4.4	SBIxSR(ステータスレジスタ).....	443
12.4.5	SBIxBR0(ボーレートレジスタ 0).....	444
12.4.6	SBIxDBR(データバッファレジスタ).....	445
12.4.7	SBIxI2CAR(I2C バスアドレスレジスタ).....	446
12.5	I2C バスモード時の制御	447
12.5.1	シリアルクロック.....	447
12.5.1.1	クロックソース	
12.5.1.2	クロック同期化	
12.5.2	アクノリッジメントモードの指定.....	448
12.5.3	転送ビット数の選択.....	448
12.5.4	スレープアドレスとアドレス認識モードの設定.....	448
12.5.5	動作モード.....	449
12.5.6	トランスマッタ/レシーバの選択.....	449
12.5.7	マスタ/スレープの選択.....	449
12.5.8	スタート/ストップコンディションの発生.....	450
12.5.9	割り込みサービス要求と解除.....	450
12.5.10	アービトレーションロスト検出モニタ.....	451
12.5.11	スレープアドレス一致検出モニタ.....	452
12.5.12	ゼネラルコール検出モニタ.....	452
12.5.13	最終受信ビットモニタ.....	453
12.5.14	データバッファレジスタ(SBIxDBR).....	453
12.5.15	ボーレートレジスタ(SBIxBR0).....	453
12.5.16	ソフトウェアリセット.....	453
12.6	I2C バスモード時のデータ転送手順	454
12.6.1	デバイスの初期化.....	454
12.6.2	スタートコンディション, スレープアドレスの発生.....	454
12.6.2.1	マスタモードの場合	
12.6.2.2	スレープモードの場合	
12.6.3	1ワードのデータ転送.....	456
12.6.3.1	マスタモードの場合(<MST>="1")	
12.6.3.2	スレープモードの場合(<MST>="0")	
12.6.4	ストップコンディションの発生.....	461
12.6.5	再スタートの手順.....	461
12.7	マルチマスタで使用する際の注意点	463
12.8	SIO モード時のコントロールレジスタ	464
12.8.1	SBIxCR0(コントロールレジスタ 0).....	464
12.8.2	SBIxCR1(コントロールレジスタ 1).....	465
12.8.3	SBIxDBR(データバッファレジスタ).....	466

12.8.4	SBIxCR2(コントロールレジスタ 2)	467
12.8.5	SBIxSR(ステータスレジスタ)	468
12.8.6	SBIxBR0(ボーレートレジスタ 0)	469
12.9	SIO モード時の制御	470
12.9.1	シリアルクロック	470
12.9.1.1	クロックソース	
12.9.1.2	シフトエッジ	
12.9.2	転送モード	472
12.9.2.1	8ビット送信モード	
12.9.2.2	8ビット受信モード	
12.9.2.3	8ビット送受信モード	
12.9.2.4	送信終了時の最終ビット保持時間	

第13章 同期式シリアルインタフェース(SSP)

13.1	概要	479
13.2	ブロック図	480
13.3	レジスタ	481
13.3.1	レジスタ一覧	481
13.3.2	SSPxCR0(制御レジスタ 0)	482
13.3.3	SSPxCR1(制御レジスタ 1)	483
13.3.4	SSPxDR(データレジスタ)	484
13.3.5	SSPxSR(ステータスレジスタ)	485
13.3.6	SSPxCPSR(クロックプリスケールレジスタ)	486
13.3.7	SSPxIMSC(割り込み許可/禁止レジスタ)	487
13.3.8	SSPxRIS(許可前の割り込みステータスレジスタ)	488
13.3.9	SSPxMIS(許可後の割り込みステータスレジスタ)	489
13.3.10	SSPxICR(割り込みクリアレジスタ)	490
13.3.11	SSPxDMACR(DMA 制御レジスタ)	490
13.4	SSP の概要	491
13.4.1	クロックプリスケラ	491
13.4.2	送信 FIFO	491
13.4.3	受信 FIFO	491
13.4.4	割り込み生成ロジック	492
13.4.5	DMA インタフェース	493
13.5	SSP の動作	494
13.5.1	SSP の初期設定	494
13.5.2	SSP のイネーブル	494
13.5.3	クロック比	494
13.6	フレーム形式	495
13.6.1	SSI のフレームフォーマット	496
13.6.2	SPI のフレームフォーマット	497
13.6.3	Microwire のフレームフォーマット	499

第14章 リモコン判定機能(RMC)

14.1	概要	503
14.1.1	リモコン受信	503
14.2	ブロック図	503
14.3	レジスタ説明	504
14.3.1	レジスタ一覧	504
14.3.2	RMCCEN(イネーブルレジスタ)	505
14.3.3	RMCCREN(受信イネーブルレジスタ)	506
14.3.4	RMCRBUF1(受信データバッファレジスタ 1)	507
14.3.5	RMCRBUF2(受信データバッファレジスタ 2)	507
14.3.6	RMCRBUF3(受信データバッファレジスタ 3)	508
14.3.7	RMCCRCR1(受信コントロールレジスタ 1)	509
14.3.8	RMCCRCR2(受信コントロールレジスタ 2)	510
14.3.9	RMCCRCR3(受信コントロールレジスタ 3)	511

14.3.10	RMCRCR4(受信コントロールレジスタ 4)	512
14.3.11	RMCRSTAT(受信ステータスレジスタ)	513
14.3.12	RMCEND1(受信終了ビット数レジスタ 1)	514
14.3.13	RMCEND2(受信終了ビット数レジスタ 2)	514
14.3.14	RMCEND3(受信終了ビット数レジスタ 3)	515
14.3.15	RMCFSSEL(ソースクロック選択レジスタ)	516
14.4	動作説明	517
14.4.1	リモコン受信	517
14.4.1.1	サンプリングブロック	
14.4.1.2	基本動作	
14.4.1.3	リモコン受信の準備	
14.4.1.4	受信許可	
14.4.1.5	受信の停止	
14.4.1.6	リーダ待ちの状態でのリーダなしのリモコン信号の受信	
14.4.1.7	Low 幅のみのリーダで始まるリモコン信号の受信	
14.4.1.8	周期固定の位相方式のリモコン信号の受信	

第 15 章 アナログ/デジタルコンバータ(ADC)

15.1	機能と特徴	527
15.2	ブロック図	527
15.3	レジスタ一覧	528
15.4	レジスタ詳細	530
15.4.1	ADCLK (変換クロック設定レジスタ)	530
15.4.2	ADMOD0 (モード設定レジスタ 0)	531
15.4.3	ADMOD1 (モード設定レジスタ 1)	532
15.4.4	ADMOD2 (モード設定レジスタ 2)	533
15.4.5	ADMOD3 (モード設定レジスタ 3)	534
15.4.6	ADCMPCR0(監視割り込み設定レジスタ 0)	535
15.4.7	ADCMPCR1(監視割り込み設定レジスタ 1)	536
15.4.8	ADCMP0(変換結果比較レジスタ 0)	537
15.4.9	ADCMP1(変換結果比較レジスタ 1)	537
15.4.10	ADREG0(変換結果格納レジスタ 0)	538
15.4.11	ADREG1(変換結果格納レジスタ 1)	539
15.4.12	ADREG2(変換結果格納レジスタ 2)	540
15.4.13	ADREG3(変換結果格納レジスタ 3)	541
15.4.14	ADREG4(変換結果格納レジスタ 4)	542
15.4.15	ADREG5(変換結果格納レジスタ 5)	543
15.4.16	ADREG6(変換結果格納レジスタ 6)	544
15.4.17	ADREG7(変換結果格納レジスタ 7)	545
15.4.18	ADREG8(変換結果格納レジスタ 8)	546
15.4.19	ADREG9(変換結果格納レジスタ 9)	547
15.4.20	ADREG10(変換結果格納レジスタ 10)	548
15.4.21	ADREG11(変換結果格納レジスタ 11)	549
15.4.22	PMD トリガ用プログラムレジスタ	550
15.4.22.1	ADPSEL0 ~ ADPSEL3(PMD トリガ用プログラム番号選択レジスタ 0~3)	
15.4.22.2	ADPINTS0 ~ 5(PMD トリガ用割り込み選択レジスタ 0~5)	
15.4.22.3	ADPSET0 ~ 5(PMD トリガ用プログラム選択レジスタ 0~5)	
15.4.23	ADTSET03 / ADTSET47 / ADTSET811(タイマトリガ用プログラムレジスタ)	565
15.4.24	ADSSSET03 / ADSSSET47 / ADSSSET811(ソフトウェアトリガ用プログラムレジスタ)	569
15.4.25	ADASET03 / ADASET47 / ADASET811(常時変換用プログラムレジスタ)	573
15.5	動作説明	577
15.5.1	アナログ基準電圧	577
15.5.2	AD 変換開始	577
15.5.3	AD 監視機能	578
15.6	AD 変換タイミングチャート	579
15.6.1	ソフトウェア AD 変換	579
15.6.2	常時 AD 変換	580
15.6.3	トリガによる AD 変換開始	581

第16章 エンコーダ入力回路 (ENC)

16.1	概要	583
16.2	チャンネル別相違点	583
16.3	ブロック図	583
16.4	レジスタ説明	584
16.4.1	レジスタ一覧.....	584
16.4.2	ENxTNCR(入力制御レジスタ).....	585
16.4.3	ENxRELOAD(カウンタリロードレジスタ).....	589
16.4.4	ENxINT(比較レジスタ).....	590
16.4.5	ENxCNT(カウンタレジスタ).....	591
16.5	動作説明	592
16.5.1	エンコーダモード.....	592
16.5.2	センサモード.....	592
16.5.2.1	イベントカウントモード	
16.5.2.2	タイマカウントモード	
16.5.3	タイマモード.....	592
16.6	機能	593
16.6.1	モード動作概要.....	593
16.6.1.1	エンコーダモード	
16.6.1.2	センサモード(イベントカウント)	
16.6.1.3	センサモード(タイマカウント)	
16.6.1.4	タイマモード	
16.6.2	カウンタおよび割り込み発生動作 ENxTNCR<CMPEN> = 1 のとき.....	598
16.6.2.1	エンコーダモード	
16.6.2.2	センサモード(イベントカウント)	
16.6.2.3	センサモード(タイマカウント)	
16.6.2.4	タイマモード	
16.6.3	カウンタおよび割り込み発生動作 ENxTNCR<CMPEN> = 0 のとき.....	600
16.6.3.1	エンコーダモード	
16.6.3.2	センサモード(イベントカウント)	
16.6.3.3	センサモード(タイマカウント)	
16.6.3.4	タイマモード	
16.6.4	エンコーダ回転方向.....	602
16.6.5	カウンタ回路.....	603
16.6.5.1	動作概要	
16.6.6	割り込み.....	604
16.6.6.1	動作概要	

第17章 リアルタイムクロック(RTC)

17.1	RTCの機能概略	605
17.2	ブロック図	605
17.3	レジスタ説明	606
17.3.1	レジスタ一覧.....	606
17.3.2	コントロールレジスタ.....	606
17.3.3	レジスタ詳細.....	608
17.3.3.1	RTCSECR(秒桁レジスタ(PAGE0のみ))	
17.3.3.2	RTCMINR(分桁レジスタ(PAGE0/1))	
17.3.3.3	RTCHOURR(時間桁レジスタ(PAGE0/1))	
17.3.3.4	RTCDAYR(曜日桁レジスタ(PAGE0/1))	
17.3.3.5	RTCDATER(日桁レジスタ(PAGE0/1))	
17.3.3.6	RTCMONTHR(月桁レジスタ(PAGE0のみ))	
17.3.3.7	RTCMONTHR(24時間時計, 12時間時計の選択レジスタ(PAGE1のみ))	
17.3.3.8	RTCYEARR(年桁レジスタ(PAGE0のみ))	
17.3.3.9	RTCYEARR(うるう年レジスタ(PAGE1のみ))	
17.3.3.10	RTCPAGER(PAGEレジスタ(PAGE0/1))	
17.3.3.11	RTCRESTR(リセットレジスタ(PAGE0/1))	
17.4	動作説明	615
17.4.1	時計データをリードする場合.....	615
17.4.2	時計データをライトする場合.....	615

17.4.3	低消費電力モードへ遷移する場合.....	617
17.5	アラーム機能の説明.....	618
17.5.1	アラームレジスタと時計の一致時、ALARM 端子からパルスを出力.....	618
17.5.2	1 Hz, 2 Hz, 4 Hz, 8 Hz, 16 Hz のパルスを出力する場合.....	619

第 18 章 パワーオンリセット回路(POR)

18.1	構成.....	621
18.2	機能.....	621

第 19 章 電圧検出回路(VLTD)

19.1	構成.....	623
19.2	レジスタ説明.....	624
19.2.1	レジスタ一覧.....	624
19.2.2	VDCR (制御レジスタ).....	624
19.2.3	VDSR (ステータスレジスタ).....	625
19.3	動作説明.....	626
19.3.1	検出電圧の選択と電圧検出動作の許可.....	626
19.3.2	電圧低下の検出.....	626
19.3.3	パワーオンリセットと VLTD の動作例.....	627
19.3.3.1	POR.....	
19.3.3.2	VLTD.....	

第 20 章 周波数検知回路(OFD)

20.1	構成.....	629
20.2	レジスタ説明.....	630
20.2.1	レジスタ一覧.....	630
20.2.1.1	OFDCR1(制御レジスタ 1)	
20.2.1.2	OFDCR2(制御レジスタ 2)	
20.2.1.3	OFDMN(検知周波数下限値レジスタ)	
20.2.1.4	OFDMX(検知周波数上限値レジスタ)	
20.2.1.5	OFDRST(リセット制御レジスタ)	
20.2.1.6	OFDSTAT(ステータスレジスタ)	
20.3	動作説明.....	635
20.3.1	設定.....	635
20.3.2	動作.....	635
20.3.3	検知周波数.....	636
20.3.4	使用可能な動作モード.....	636
20.3.5	動作手順例.....	637

第 21 章 ウォッチドッグタイマ(WDT)

21.1	構成.....	639
21.2	レジスタ一覧.....	640
21.2.1	WDMOD(ウォッチドッグタイマモードレジスタ).....	640
21.2.2	WDCR(ウォッチドッグタイマコントロールレジスタ).....	641
21.3	動作説明.....	642
21.3.1	基本動作.....	642
21.3.2	動作モードと動作状態.....	642
21.4	暴走検出時の動作.....	643
21.4.1	INTWDT 割り込み発生の場合.....	643
21.4.2	内部リセット発生の場合.....	644

21.5	コントロールレジスタ	645
21.5.1	ウォッチドッグタイマモードレジスタ(WDMOD).....	645
21.5.2	ウォッチドッグタイマコントロールレジスタ(WDCR).....	645
21.5.3	設定例.....	646
21.5.3.1	ディセーブル制御	
21.5.3.2	イネーブル制御	
21.5.3.3	ウォッチドッグタイマのクリア制御	
21.5.3.4	ウォッチドッグタイマ検出時間の設定	

第22章 Flash 動作説明

22.1	フラッシュメモリ	647
22.1.1	特長.....	647
22.1.2	フラッシュ部ブロック図.....	649
22.2	動作モード	650
22.2.1	リセット動作.....	651
22.2.2	ユーザーブートモード(シングルチップモード).....	651
22.2.2.1	(1-A)書き替えルーチンをフラッシュメモリに内蔵する場合の手順例	
22.2.2.2	(1-B)書き替えルーチンを外部から転送する場合の手順例	
22.2.3	シングルブートモード.....	660
22.2.3.1	(2-A)内蔵 BOOT ROM の書き替えアルゴリズムを利用する場合	
22.2.4	モード設定.....	663
22.2.5	メモリマップ.....	664
22.2.6	インタフェース仕様.....	665
22.2.7	データ転送フォーマット.....	666
22.2.8	メモリの制約について.....	666
22.2.9	ブートプログラムの転送フォーマット.....	667
22.2.9.1	RAM 転送	
22.2.9.2	フラッシュメモリチップ消去およびプロテクトビット消去	
22.2.10	ブートプログラム動作説明.....	670
22.2.10.1	RAM 転送コマンド	
22.2.10.2	フラッシュメモリチップ消去およびプロテクトビット消去コマンド	
22.2.10.3	ACK 応答データ	
22.2.10.4	シリアル動作モード判定	
22.2.10.5	パスワードについて	
22.2.10.6	CHECK SUM の計算方法	
22.2.11	ブートプログラム全体フローチャート.....	682
22.3	オンボードプログラミングでのフラッシュメモリ書き込み/消去	683
22.3.1	フラッシュメモリ.....	683
22.3.1.1	ブロック構成	
22.3.1.2	基本動作	
22.3.1.3	リセット (ハードウェアリセット)	
22.3.1.4	コマンド説明	
22.3.1.5	フラッシュコントロール/ステータスレジスタ	
22.3.1.6	コマンドシーケンス一覧	
22.3.1.7	バスライトサイクル時のアドレスビット構成	
22.3.1.8	フローチャート	

第23章 プロテクト/セキュリティ機能

23.1	概要	699
23.2	特長	699
23.2.1	内蔵 ROM (Flash)のライト/消去プロテクト.....	699
23.2.2	セキュリティ機能.....	699
23.3	レジスタ	700
23.3.1	レジスタ一覧.....	700
23.3.2	FCFLCS(フラッシュコントロールレジスタ).....	701
23.3.3	FCSECBIT(セキュリティビットレジスタ).....	702
23.4	設定/解除方法	703
23.4.1	内蔵 ROM (Flash)のライト/消去プロテクト.....	703
23.4.2	セキュリティビット.....	703

第 24 章 デバッグインタフェース

24.1	仕様概要	705
24.2	SWJ-DP	705
24.3	ETM	705
24.4	端子情報	706
24.5	ホールドモード中の周辺機能	707
24.6	デバッグツールとの接続	708
24.6.1	接続方法	708
24.6.2	デバッグインタフェース端子を汎用ポートとして使用する際の注意	708

第 25 章 ポート部等価回路図

25.1	PA0~7, PB0~7, PC0~7, PD0~6, PE0~7, PF0~4, PG0~7, PL2, PN0~7	709
25.2	PH0~7, PI0~1, PJ0~7	709
25.3	PL0	710
25.4	PM0~1, PP0~1	710
25.5	X1, X2	711
25.6	XT1, XT2	711
25.7	RESET	711
25.8	MODE	711
25.9	FTEST3	712
25.10	VREFH, VREFL	712

第 26 章 電気的特性

26.1	絶対最大定格	713
26.2	DC 電気的特性 (1/3)	714
26.3	DC 電気的特性 (2/3)	715
26.4	DC 電気的特性 (3/3)	716
26.5	12 / 10 ビット AD コンバータ変換特性	717
26.6	AC 電気的特性	718
26.6.1	AC 測定条件	718
26.6.2	シリアルチャネル (SIO/UART)	718
26.6.2.1	I/O インタフェースモード	
26.6.3	シリアルバスインタフェース (I2C/SIO)	720
26.6.3.1	I2C モード	
26.6.3.2	クロック同期式 8 ビット SIO モード	
26.6.4	同期式シリアルインタフェース (SSP)	723
26.6.4.1	AC 測定条件	
26.6.4.2	SSP の SPI モード (マスタ)	
26.6.4.3	SSP の SPI モード (スレーブ)	
26.6.5	イベントカウンタ	727
26.6.6	キャプチャ	727
26.6.7	外部割り込み	727
26.6.8	SCOUT 端子 AC 特性	728
26.6.9	デバッグ通信	729
26.6.9.1	SWD インタフェース	
26.6.9.2	JTAG インタフェース	
26.6.10	ETM トレース	730
26.6.11	内蔵発振回路特性	730
26.6.12	フラッシュ特性	730

26.7	発振回路	731
26.7.1	セラミック発振子	731
26.7.2	水晶発振子	731

第 27 章 パッケージ寸法図



CMOS 32 ビット マイクロコントローラ

TMPM380FDFG

TMPM380FDFG は、ARM® 社 Cortex® -M3 コアを内蔵した 32 ビット RISC マイクロプロセッサです。

製品名	ROM (FLASH)	RAM	パッケージ
TMPM380FDFG	512 Kbyte	32 Kbyte	LQFP100 (14 mm × 14 mm, 0.5 mm ピッチ)

機能概要と特長は次のとおりです。

1.1 機能概要

1. ARM 社製 Cortex-M3 コアを使用
 - a. Thumb®-2 命令で、コード効率の向上を実現
 - ・プログラムフロー改善のための新しい 16 ビット命令
 - ・性能とコードサイズ向上のための新しい 32 ビット命令
 - ・32 ビット/16 ビット混在の命令セットでコード効率を向上
 - b. 高性能化と低消費電力化を同時に実現
 - 【高性能化】
 - ・32 ビット乗算($32 \times 32 = 32$ ビット)を 1 クロックで実行
 - ・除算を 2~12 クロックで実行
 - 【低消費電力化】
 - ・低消費電力ライブラリを使用した最適化設計
 - ・プロセッサコアの動作を停止させるスタンバイ機能
 - c. リアルタイム制御に向けた高速割り込み応答
 - ・実行時間の長い命令は割り込みで中断可能
 - ・スタックへの PUSH をハードウェアで自動的に実行
2. 内蔵プログラムメモリ/データメモリ
 - ・ 内蔵 Flash ROM:
FD:512K byte
 - ・ 内蔵 RAM:
FD:32K byte
3. DMA コントローラ(DMAC) : 2 チャンネル
転送対象 : 内蔵メモリ、内蔵 I/O および外部メモリ
4. 16 ビットタイマ(TMRB) : 8 チャンネル

- ・ 16 ビットインタバルタイマモード
 - ・ 16 ビットイベントカウンタモード
 - ・ 16 ビットプログラマブル矩形波出力(PPG)モード
 - ・ 外部トリガプログラマブル矩形波出力(PPG)モード
 - ・ タイマ同期モード
 - ・ インプットキャプチャ機能
5. リアルタイムクロック(RTC) : 1 チャンネル
- ・ 時計機能(時間, 分, 秒)
 - ・ カレンダー機能(月日, 週, うるう年)
 - ・ アラーム機能(アラーム出力)
 - ・ アラーム割り込み発生
6. ウォッチドッグタイマ(WDT) : 1 チャンネル
- リセットまたはマスク不能割り込み(NMI) 発生
7. パワーオンリセット回路 (POR)
8. 電圧検出回路 (VLTD)
9. 周波数探知回路(OFD) : 1 チャンネル
10. エンコーダ入力回路(ENC) : 2 チャンネル
- ・ インクリメンタル形エンコーダ対応 (AB 信号/ABZ 信号)
 - ・ 回転方向検出回路
 - ・ 絶対位置検出カウンタ
 - ・ 位置コンペア回路
 - ・ ノイズフィルタ内蔵
 - ・ 3相センサ入力対応
11. 16 ビット多目的タイマ (MPT) : 3 チャンネル
- ・ モータ制御(PMD : 2 チャンネル)
 - ・ IGBT 制御
 - ・ 16bit タイマ
12. シリアルチャンネル(SIO/UART) : 5 チャンネル
- UART/クロック同期式モード選択可能(4 byte FIFO 内蔵)
13. シリアルバスインタフェース(I2C/SIO) : 2 チャンネル
- I2C バスモード/クロック同期式モード選択可能

14. 同期式シリアルインタフェース (SSP) : 2 チャンネル
 - ・ SPI フレームフォーマット/SSI フレームフォーマット/Microwire フレームフォーマット
 - ・ 通信速度 マスタモード時: 10Mbps (max.)、スレーブモード時 : 3.3Mbps (max.)

15. リモコン判定機能(RMC) : 1 チャンネル
 - 72 bit まで一括受信

16. 12/10 ビット AD コンバータ(ADC) : 1 ユニット(アナログ入力 18 チャンネル)
 - ・ トリガスタート機能 : TMRB 割り込み/PMD トリガによるスタート可能
 - ・ プログラムによるトリガ要因、ソフトウェア、常時交換のチャンネル設定可能
 - ・ AD 変換格納レジスタ 12ch
 - ・ AD 変換結果監視機能 2ch
 - ・ 変換時間 2.0 μ sec (ADC 変換クロック 40MHz 時)

17. 割り込み機能
 - ・ 内部 77 本 : 7 レベルの優先順位設定可能(NMI を除く)
 - ・ 外部 16 本 : 7 レベルの優先順位設定可能

18. 入出力ポート(PORT) : 84 端子
 - ・ 入出力 : 83 端子
 - ・ 出力 : 1 端子

19. スタンバイ機能
 - ・ スタンバイモード : IDLE, SLEEP, STOP
 - ・ サブクロック動作(32.768 kHz) : SLOW, SLEEP

20. クロックジェネレータ(CG)
 - ・ 外部発振器(高速発振周波数 10MHz) or 内蔵発振器(高速発振周波数 9MHz)
 - ・ 外部発振器(低速発振周波数 32.768kHz)
 - ・ PLL 内蔵(4 通倍)
 - ・ クロックギア機能 : 高速クロックを 1/1, 1/2, 1/4, 1/8, 1/16 に分周可能

21. エンディアン
 - リトルエンディアン

22. デバッグインタフェース
 - JTAG/SWD/SWV/TRACE(DATA 2bit)

23. 最大動作周波数 : 40 MHz

24. 動作電圧範囲

- ・ DVDD5= 4.5 V ~ 5.5 V (全機能)
- ・ DVDD5= 4.0 V ~ 5.5 V (除く、12bitAD コンバータ変換精度と AC 電気的特性, Flash 書き込み)

25. 温度範囲

- ・ -40°C ~ 85°C (Flash W/E 時及びデバッグ時以外)
- ・ 0°C ~ 70°C (Flash W/E 時及びデバッグ時)

26. パッケージ

LQFP100 (14 mm × 14 mm, 0.5 mm ピッチ)

1.2 ブロック図

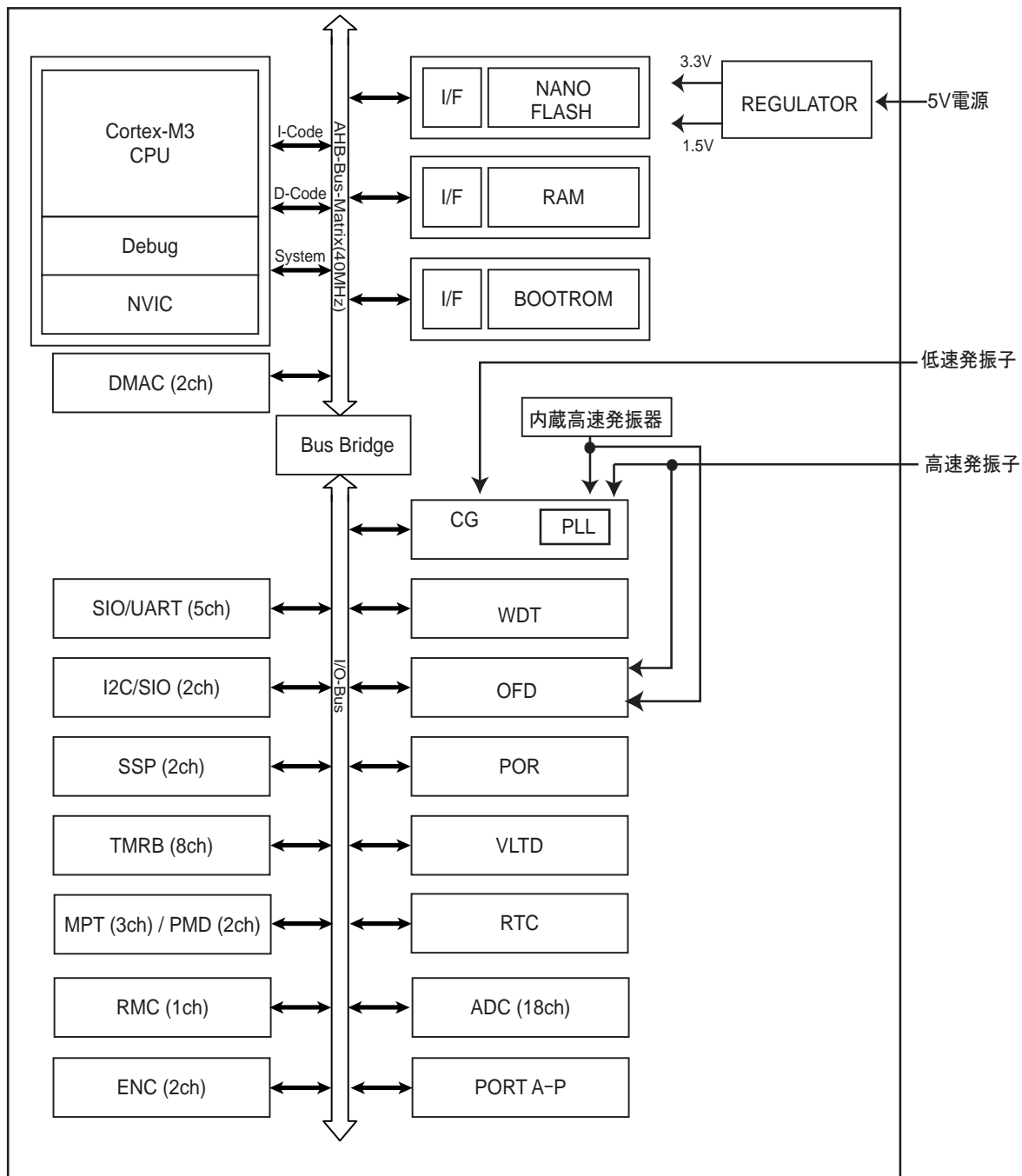


図 1-1 TMPM380DFDG ブロック図

1.3 ピン配置図(Top view)

TMPM380FDFG のピン配置図は、図 1-2 のとおりです。

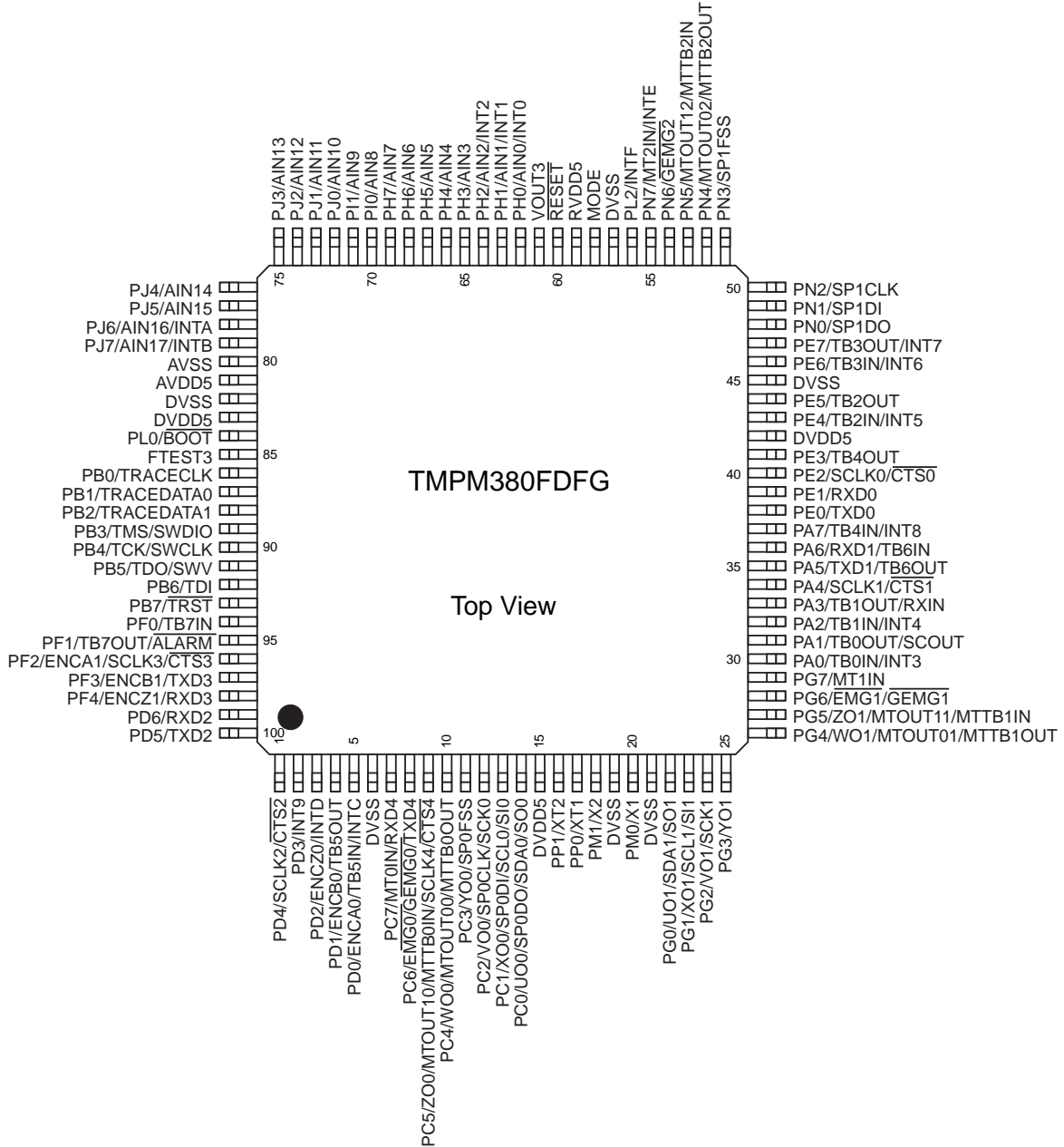


図 1-2 ピン配置図(LQFP100)

1.4 ピン名称と機能

TMPM380FDFG の入出力ピン名称と機能は、表 1-1 の通りです。

1.4.1 ピン番号順

表 1-1 ピン名称と機能<ピン番号順> (1/7)

分類	ピン番号	記号	入出力	機能
機能	1	PD4 SCLK2 $\overline{\text{CTS2}}$	入出力 入出力 入力	入出力ポート SIO クロック端子 SIO ハンドシェイク機能
機能	2	PD3 INT9	入出力 入力	入出力ポート 外部割込み端子
機能	3	PD2 ENCZ0 INTD	入出力 入力 入力	入出力ポート Z 相入力端子 外部割込み端子
機能	4	PD1 ENCB0 TB5OUT	入出力 入力 出力	入出力ポート B 相入力端子 タイマ B 出力端子
機能	5	PD0 ENCA0 TB5IN INTC	入出力 入力 入力 入力	入出力ポート A 相端子入力 タイマ B インプットキャプチャ端子 外部割込み端子
電源	6	DVSS	-	GND 端子
機能	7	PC7 MT0IN RXD4	入出力 入力 入力	入出力ポート 多目的タイマ (IGBT モード) 入力端子 SIO 受信端子
機能	8	PC6 $\overline{\text{EMG0}}$ $\overline{\text{GEMG0}}$ TXD4	入出力 入力 入力 出力	入出力ポート 多目的タイマ (PMD モード) 異常検出入力 多目的タイマ (IGBT モード) 異常検出入力 SIO 送信端子
機能	9	PC5 ZO0 MTOUT10 MTTB0IN SCLK4 $\overline{\text{CTS4}}$	入出力 出力 出力 入力 入出力 入力	入出力ポート 多目的タイマ (PMD モード) Z 相出力端子 多目的タイマ (IGBT モード) 出力端子 多目的タイマ (タイマモード) 入力端子 SIO クロック端子 SIO ハンドシェイク用端子
機能	10	PC4 WO0 MTOUT00 MTTB0OUT	入出力 出力 出力 出力	入出力ポート 多目的タイマ (PMD モード) W 相出力端子 多目的タイマ (IGBT モード) 出力端子 多目的タイマ (タイマモード) 出力端子
機能	11	PC3 YO0 SP0FSS	入出力 出力 入出力	入出力ポート 多目的タイマ (PMD モード) Y 相出力端子 SSP フレーム/スレーブ選択端子

表 1-1 ピン名称と機能<ピン番号順> (2/7)

分類	ピン番号	記号	入出力	機能
機能	12	PC2 VO0 SP0CLK SCK0	入出力 出力 入出力 入出力	入出力ポート 多目的タイマ (PMD モード) V 相出力端子 SSP クロック端子 SIO モードクロック端子
機能	13	PC1 XO0 SP0DI SCL0/SI0	入出力 出力 入力 入出力	入出力ポート 多目的タイマ (PMD モード) X 相出力端子 SSP データ入力端子 I2C モードクロック、SIO モード受信端子
機能	14	PC0 UO0 SP0DO SDA0/SO0	入出力 出力 出力 入出力	入出力ポート 多目的タイマ (PMD モード) U 相出力端子 SSP データ出力端子 I2C モード送受信、SIO モード送信端子
電源	15	DVDD5	-	電源端子
機能/ クロック	16	PP1 XT2	入出力 出力	入出力ポート 低速発振子接続端子
機能/ クロック	17	PP0 XT1	入出力 入力	入出力ポート 低速発振子接続端子
機能/ クロック	18	PM1 X2	入出力 出力	入出力ポート 高速発振子接続端子
電源	19	DVSS	-	GND 端子
機能/ クロック	20	PM0 X1	入出力 入力	入出力ポート 高速発振子接続端子
電源	21	DVSS	-	GND 端子
機能	22	PG0 UO1 SDA1/SO1	入出力 出力 入出力	入出力ポート 多目的タイマ (PMD モード) U 相出力端子 I2C モード送受信、SIO モード送信端子
機能	23	PG1 XO1 SCL1/SI1	入出力 出力 入出力	入出力ポート 多目的タイマ (PMD モード) X 相出力端子 I2C モードクロック、SIO モード受信端子
機能	24	PG2 VO1 SCK1	入出力 出力 入出力	入出力ポート 多目的タイマ (PMD モード) V 相出力端子 SIO モードクロック端子
機能	25	PG3 YO1	入出力 出力	入出力ポート 多目的タイマ (PMD モード) Y 相出力端子
機能	26	PG4 WO1 MTOUT01 MTTB1OUT	入出力 出力 出力 出力	入出力ポート 多目的タイマ (PMD モード) W 相出力端子 多目的タイマ (IGBT モード) 出力端子 多目的タイマ (タイマモード) 出力端子
機能	27	PG5 ZO1 MTOUT11 MTTB1IN	入出力 出力 出力 入力	入出力ポート 多目的タイマ (PMD モード) Z 相出力端子 多目的タイマ (IGBT モード) 出力端子 多目的タイマ (タイマモード) 入力端子

表 1-1 ピン名称と機能<ピン番号順> (3/7)

分類	ピン番号	記号	入出力	機能
機能	28	PG6 EMG1 GEMG1	入出力 入力 入力	入出力ポート 多目的タイマ (PMD モード) 異常検出入力 多目的タイマ (IGBT モード) 異常検出入力
機能	29	PG7 MT11IN	入出力 入力	入出力ポート 多目的タイマ (IGBT モード) 入力端子
機能	30	PA0 TB0IN INT3	入出力 入力 入力	入出力ポート タイマ B インพุットキャプチャ端子 外部割込み端子
機能	31	PA1 TB0OUT SCOUT	入出力 出力 出力	入出力ポート タイマ B 出力 内部クロック出力端子
機能	32	PA2 TB1IN INT4	入出力 入力 入力	入出力ポート タイマ B インพุットキャプチャ端子 外部割込み端子
機能	33	PA3 TB1OUT RXIN	入出力 出力 入力	入出力ポート タイマ B 出力端子 リモコン入力
機能	34	PA4 SCLK1 CTS1	入出力 入出力 入力	入出力ポート SIO クロック端子 SIO ハンドシェイク用端子
機能	35	PA5 TXD1 TB6OUT	入出力 出力 出力	入出力ポート SIO 送信端子 タイマ B 出力端子
機能	36	PA6 RXD1 TB6IN	入出力 入力 入力	入出力ポート SIO 受信端子 タイマ B インพุットキャプチャ端子
機能	37	PA7 TB4IN INT8	入出力 入力 入力	入出力ポート タイマ B インพุットキャプチャ端子 外部割込み端子
機能	38	PE0 TXD0	入出力 出力	入出力ポート SIO 送信端子
機能	39	PE1 RXD0	入出力 入力	入出力ポート SIO 受信端子
機能	40	PE2 SCLK0 CTS0	入出力 入出力 入力	入出力ポート SIO クロック端子 SIO ハンドシェイク端子
機能	41	PE3 TB4OUT	入出力 出力	入出力ポート タイマ B 出力端子
電源	42	DVDD5	-	電源端子
機能	43	PE4 TB2IN INT5	入出力 入力 入力	入出力ポート タイマ B インพุットキャプチャ端子 外部割込み端子

表 1-1 ピン名称と機能<ピン番号順> (4/7)

分類	ピン番号	記号	入出力	機能
機能	44	PE5 TB2OUT	入出力 出力	入出力ポート タイマ B 出力端子
電源	45	DVSS	-	GND 端子
機能	46	PE6 TB3IN INT6	入出力 入力 入力	入出力ポート タイマ B インプットキャプチャ端子 外部割込み端子
機能	47	PE7 TB3OUT INT7	入出力 出力 入力	入出力ポート タイマ B 出力端子 外部割込み端子
機能	48	PN0 SP1DO	入出力 出力	入出力ポート SSP データ出力端子
機能	49	PN1 SP1DI	入出力 入力	入出力ポート SSP データ入力端子
機能	50	PN2 SP1CLK	入出力 入出力	入出力ポート SSP クロック端子
機能	51	PN3 SP1FSS	入出力 入出力	入出力ポート SSP フレーム/スレーブ選択端子
機能	52	PN4 MTOUT02 MTTB2OUT	入出力 出力 出力	入出力ポート 多目的タイマ (IGBT モード) 出力端子 多目的タイマ (タイマモード) 出力端子
機能	53	PN5 MTOUT12 MTTB2IN	入出力 出力 入力	入出力ポート 多目的タイマ (IGBT モード) 出力端子 多目的タイマ (タイマモード) 入力端子
機能	54	PN6 GEMG2	入出力 入力	入出力ポート 多目的タイマ (IGBT モード) 異常検出入力
機能	55	PN7 MT2IN INTE	入出力 入力 入力	入出力ポート 多目的タイマ (IGBT モード) 入力端子 外部割込み端子
機能	56	PL2 INTF	入出力 入力	入出力ポート 外部割込み端子
電源	57	DVSS	-	GND 端子
テスト	58	MODE	入力	モード端子 (注)必ず GND に接続してください。
電源	59	RVDD5	-	電源端子
リセット	60	$\overline{\text{RESET}}$	入力	リセット入力端子
電源	61	VOUT3	-	内部電源の安定化コンデンサ接続端子 (注)DVSS との間にコンデンサ(3.3~4.7 μ F)を接続してください。
機能	62	PH0 AIN0 INT0	入出力 入力 入力	入出力ポート アナログ入力端子 外部割込み端子

表 1-1 ピン名称と機能<ピン番号順> (5/7)

分類	ピン番号	記号	入出力	機能
機能	63	PH1 AIN1 INT1	入出力 入力 入力	入出力ポート アナログ入力端子 外部割込み端子
機能	64	PH2 AIN2 INT2	入出力 入力 入力	入出力ポート アナログ入力端子 外部割込み端子
機能	65	PH3 AIN3	入出力 入力	入出力ポート アナログ入力端子
機能	66	PH4 AIN4	入出力 入力	入出力ポート アナログ入力端子
機能	67	PH5 AIN5	入出力 入力	入出力ポート アナログ入力端子
機能	68	PH6 AIN6	入出力 入力	入出力ポート アナログ入力端子
機能	69	PH7 AIN7	入出力 入力	入出力ポート アナログ入力端子
機能	70	PI0 AIN8	入出力 入力	入出力ポート アナログ入力端子
機能	71	PI1 AIN9	入出力 入力	入出力ポート アナログ入力端子
機能	72	PJ0 AIN10	入出力 入力	入出力ポート アナログ入力端子
機能	73	PJ1 AIN11	入出力 入力	入出力ポート アナログ入力端子
機能	74	PJ2 AIN12	入出力 入力	入出力ポート アナログ入力端子
機能	75	PJ3 AIN13	入出力 入力	入出力ポート アナログ入力端子
機能	76	PJ4 AIN14	入出力 入力	入出力ポート アナログ入力端子
機能	77	PJ5 AIN15	入出力 入力	入出力ポート アナログ入力端子
機能	78	PJ6 AIN16 INTA	入出力 入力 入力	入出力ポート アナログ入力端子 外部割込み端子
機能	79	PJ7 AIN17 INTB	入出力 入力 入力	入出力ポート アナログ入力端子 外部割込み端子
電源	80	AVSS	-	AD コンバータ用 GND 端子 (注)AD コンバータを使用しない場合でも GND に接続してください。
電源	81	AVDD5	-	AD コンバータ用電源端子、兼基準電圧端子 (注)AD コンバータを使用しない場合でも電源端子に接続してください。

表 1-1 ピン名称と機能<ピン番号順> (6/7)

分類	ピン番号	記号	入出力	機能
電源	82	DVSS	-	GND 端子
電源	83	DVDD5	-	電源端子
機能/ 制御	84	PL0 $\overline{\text{BOOT}}$	出力 入力	出力ポート BOOT モード端子
テスト	85	FTEST3	-	テスト端子 (注)必ず OPEN にしてください。
機能/ デバッグ	86	PB0 TRACECLK	入出力 出力	入出力ポート デバッグ用端子
機能/ デバッグ	87	PB1 TRACEDATA0	入出力 出力	入出力ポート デバッグ用端子
機能/ デバッグ	88	PB2 TRACEDATA1	入出力 出力	入出力ポート デバッグ用端子
機能/ デバッグ	89	PB3 TMS / SWDIO	入出力 入出力	入出力ポート デバッグ用端子
機能/ デバッグ	90	PB4 TCK / SWCLK	入出力 入出力	入出力ポート デバッグ用端子
機能/ デバッグ	91	PB5 TDO / SWV	入出力 出力	入出力ポート デバッグ用端子
機能/ デバッグ	92	PB6 TDI	入出力 入力	入出力ポート デバッグ用端子
機能/ デバッグ	93	PB7 $\overline{\text{TRST}}$	入出力 入力	入出力ポート デバッグ用端子
機能	94	PF0 TB7IN	入出力 入力	入出力ポート タイマ B インプットキャプチャ端子
機能	95	PF1 TB7OUT $\overline{\text{ALARM}}$	入出力 出力 出力	入出力ポート タイマ B 出力端子 アラーム出力端子
機能	96	PF2 ENCA1 SCLK3 $\overline{\text{CTS3}}$	入出力 入力 入出力 入力	入出力ポート A 相入力端子 SIO クロック端子 SIO ハンドシェイク用端子

表 1-1 ピン名称と機能<ピン番号順> (7/7)

分類	ピン番号	記号	入出力	機能
機能	97	PF3 ENCB1 TXD3	入出力 入力 出力	入出力ポート B 相入力端子 SIO 送信端子
機能	98	PF4 ENCZ1 RXD3	入出力 入力 入力	入出力ポート Z 相入力端子 SIO 受信端子
機能	99	PD6 RXD2	入出力 入力	入出力ポート SIO 受信端子
機能	100	PD5 TXD2	入出力 出力	入出力ポート SIO 送信端子

1.5 電源の種類と供給端子

表 1-2 電源の種類と供給端子

電源の種類	電圧範囲	ピン番号	電源供給端子
RVDD5	4.0 ~ 5.5V (発振端子は内部 1.5V)	59	-
DVDD5		15,42,83	PA,PB,PC,PD,PE,PF,PG,PL,PN, PM,PP,X1,X2,XT1,XT2, RESET,MODE,FTEST3
AVDD5		81	PH,PI,PJ
VOUT3	2.7 ~ 3.6V	61	-
DVSS	GND	6,19,21,45,57,82	-
AVSS		80	-

第2章 プロセッサコア

TX03 シリーズには、高性能 32 ビットプロセッサコア (ARM 社 Cortex-M3 コア) が内蔵されています。プロセッサコアの動作については、ARM 社からリリースされる "Cortex-M3 テクニカルリファレンスマニュアル" を参照してください。ここでは、製品固有の情報について説明します。

2.1 コアに関する情報

TMPM380DFDG で使用している Cortex-M3 コアのリビジョンは以下のとおりです。

CPU コア部、アーキテクチャなどの詳細は、ARM 社の下記 URL より "Cortex-M series processors" のマニュアルを参照してください。

<http://infocenter.arm.com/help/index.jsp>

製品名	コアリビジョン
TMPM380DFDG	r2p0

2.2 構成可能なオプション

Cortex-M3 コアは、一部のブロックについて実装するかどうかを選択することができます。TMPM380DFDG での構成は以下のとおりです。

構成可能なオプション	実装
FPB	リテラルコンパレータ : 2 本 命令コンパレータ : 6 本
DWT	コンパレータ : 4 本
ITM	あり
MPU	なし
ETM	あり
AHB-AP	あり
AHB トレースマクロセル インタフェース	なし
TPIU	あり
WIC	なし
デバッグポート	JTAG/ シリアルワイヤ

2.3 例外/割り込み

例外/割り込みに関連する製品固有の情報をまとめます。

2.3.1 割り込み本数

Cortex-M3 コアは割り込み本数を 1 ~ 240 本の間で任意に構成することができます。

TMPM380FDG の割り込み本数は 93 本です。割り込み本数は NVIC レジスタの割り込みコントローラタイプレジスタの<INTLINESNUM[4:0]>ビットに反映され、本製品では"0x03"が読み出されません。

2.3.2 割り込み優先度ビット数

Cortex-M3 コアは割り込み優先度ビット数を 3 ~ 8 ビットの間で任意に構成することができます。

TMPM380FDG の割り込み優先度は 3 ビットです。このビット数は割り込み優先度レジスタとシステムハンドラ優先度レジスタのビット構成に反映されます。

2.3.3 SysTick

Cortex-M3 コアには SysTick と呼ばれるシステムタイマがあり、SysTick 例外を発生させることができます。

SysTick 例外の詳細については、例外の「SysTick」の章および、「NVIC レジスタ」の SysTick 関連レジスタの章を参照してください。

2.3.4 SYSRESETREQ

Cortex-M3 コアは、アプリケーション割り込みおよびリセット制御レジスタの<SYSRESETREQ>ビットがセットされると SYSRESETREQ 信号を出力します。

TMPM380FDG では SYSRESETREQ 信号が出力されるとウォームリセットと同様の動作になります。

注) SLOW モードでは<SYSRESETREQ>によるリセットは使用しないでください。

2.3.5 LOCKUP

回復不能な例外が発生すると Cortex-M3 コアは LOCKUP 信号を出力し、ソフトウェアに重大な誤りのあることを示します。

TMPM380FDG ではこの信号は未使用です。LOCKUP 状態から復帰する際にはマスク不能割り込み(NMI)またはリセットを使用する必要があります。

2.3.6 補助フォールトステータスレジスタ

Cortex-M3 コアにはソフトウェアに対して追加のシステムフォールト情報を提供するための補助フォールトステータスレジスタが準備されています。

TMPM380FDG ではこのレジスタに対して機能を定義していません。リードすると常に"0x0000_0000"が読み出されます。

2.4 イベント

Cortex-M3 コアにはイベント出力信号とイベント入力信号があります。イベント出力信号は、SEV 命令実行により出力されます。また、イベントが入力されると WFE 命令による低電力状態から復帰します。

TMPM380FDFG では、イベント出力信号、イベント入力信号とも未使用です。SEV 命令、WFE 命令は使用しないでください。

2.5 電力管理

Cortex-M3 コアには電力管理のための信号として SLEEPING および SLEEPDEEP があります。SLEEPDEEP は、システム制御レジスタの<SLEEPDEEP>ビットがセットされている場合に出力されます。

これらの信号は、割り込み待ち(WFI)命令の実行、イベント待ち(WFE)命令の実行または、システム制御レジスタの<SLEEPONEXIT>ビットがセットされている場合の割り込みサービスルーチン(ISR)からの退出時に出力されます。

TMPM380FDFG では、SLEEPDEEP 信号は使用していません。<SLEEPDEEP>ビットはセットしないでください。また、イベント信号も未使用のため、WFE 命令は使用しないでください。

電力管理については、「クロック／モード制御」の章を参照してください。

2.6 排他アクセス

Cortex-M3 コアの DCode バスおよびシステムバスは排他アクセスをサポートしていますが、TMPM380FDFG ではこの機能を使用していません。

第3章 メモリマップ

3.1 メモリマップ

TMPM380DFDG のメモリマップは、ARM Cortex-M3 コアのメモリマップに沿って作られており、内蔵 ROM 領域は Cortex-M3 コアメモリマップの Code 領域、内蔵 RAM 領域は SRAM 領域、特殊機能レジスタ(SFR)領域は Peripheral 領域に割り付けられています。特殊機能レジスタ(SFR : Special function register)とは、入出力ポートおよび周辺機能のコントロールレジスタを示します。SRAM 領域、SFR 領域はすべてビットバンド領域に含まれています。

CPU 内レジスタ領域はコア内部のレジスタ領域です。

各領域の詳細については、"Cortex-M3 テクニカルリファレンスマニュアル"を参照してください。

"Fault"と記載された領域では、アクセスするとメモリフォールトが有効な場合にはメモリフォールト、無効な場合にはハードフォールトが発生します。また、ベンダ固有領域にはアクセスしないでください。

3.1.1 TMPM380FDFG メモリマップ

TMPM380FDFG のメモリマップを図 3-1 に示します。

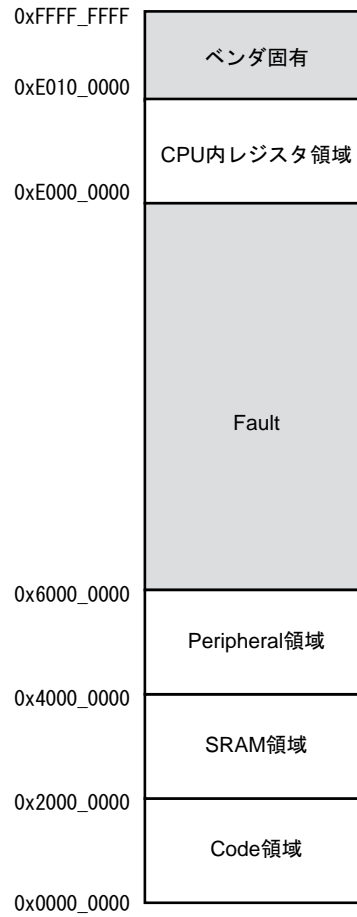


図 3-1 メモリマップ

3.1.2 接続表

3.1.2.1 Code 領域/ SRAM 領域

(1) シングルチップモード

製品名	Start Address	マスタ		DMAC	Core S-Bus	Core D-Bus	Core I-Bus
		スレーブ					
TMPM380FD	0x0000_0000	Flash ROM	M0	Fault	Fault	o	o
	0x0008_0000	Fault	-	Fault	Fault	Fault	Fault
	0x2000_0000	RAM	M1	o	o	Fault	Fault
	0x2000_8000	Fault	-	Fault	Fault	Fault	Fault
	0x2200_0000	Bit band alias	-	Fault	o	Fault	Fault
	0x2210_0000	Fault	-	Fault	Fault	Fault	Fault

(2) シングルブートモード

製品名	Start Address	マスタ		DMAC	Core S-Bus	Core D-Bus	Core I-Bus
		スレーブ					
TMPM380FD	0x0000_0000	Boot ROM	M2	Fault	Fault	o	o
	0x0000_1000	Fault	-	Fault	Fault	Fault	Fault
	0x2000_0000	RAM	M1	o	o	Fault	Fault
	0x2000_8000	Fault	-	Fault	Fault	Fault	Fault
	0x2200_0000	Bit band alias	-	Fault	o	Fault	Fault
	0x2210_0000	Fault	-	Fault	Fault	Fault	Fault
	0x3F7F_F000	Reserved	-	Fault	Reserved	Fault	Fault
	0x3F80_0000	Flash ROM(Mirror)	-	Fault	o	Fault	Fault
	0x3F88_0000	Fault	-	Fault	Fault	Fault	Fault

注) Reserved 記載のアドレス範囲にはアクセスしないで下さい。

3.1.2.2 Peripheral 領域/ 外部バス領域

Start Address	マスタ スレーブ		DMAC	Core S-Bus	Core D-Bus	Core I-Bus
			S0	S1	S2	S3
0x4000_0000	PORT	M3	o	o	Fault	Fault
0x4001_0000	TMRB		o	o	Fault	Fault
0x4001_0400	ENC		o	o	Fault	Fault
0x4002_0000	SBI		o	o	Fault	Fault
0x4002_0080	SIO/UART		o	o	Fault	Fault
0x4003_0000	ADC		o	o	Fault	Fault
0x4004_0000	WDT		o	o	Fault	Fault
0x4004_0100	RTC		o	o	Fault	Fault
0x4004_0200	CG		o	o	Fault	Fault
0x4004_0400	RMC		o	o	Fault	Fault
0x4004_0800	OFD		o	o	Fault	Fault
0x4004_0900	VLTD		o	o	Fault	Fault
0x4005_0400	MPT(PMD)		o	o	Fault	Fault
0x4005_0800	MPT(TMRB/IGBT)		o	o	Fault	Fault
0x4008_0000	DMAC	M4	Fault	o	Fault	Fault
0x4009_0000	Fault	-	Fault	Fault	Fault	Fault
0x400C_0000	SSP	M5	o	o	Fault	Fault
0x400C_4000	Fault	-	Fault	Fault	Fault	Fault
0x41FF_F000	Flash(SFR)	M3	o	o	Fault	Fault
0x4200_0000	Bit Band Alias	-	Fault	o	Fault	Fault
0x4320_0000	Fault	-	Fault	Fault	Fault	Fault
0x4380_0000	Bit Band Alias	-	Fault	o	Fault	Fault
0x4388_0000	Fault	-	Fault	Fault	Fault	Fault

3.2 周辺機能ベースアドレス一覧

Peripheral 領域のうち、制御レジスタ以外のアドレスにはアクセスしないでください。制御レジスタの詳細は、各周辺機能の章を参照してください。

周辺機能		ベースアドレス
入出力ポート(PORT)	Port A	0x4000_0000
	Port B	0x4000_0040
	Port C	0x4000_0080
	Port D	0x4000_00C0
	Port E	0x4000_0100
	Port F	0x4000_0140
	Port G	0x4000_0180
	Port H	0x4000_01C0
	Port I	0x4000_0200
	Port J	0x4000_0240
	Port L	0x4000_02C0
	Port M	0x4000_0300
	Port N	0x4000_0340
	Port P	0x4000_0380
16 ビットタイマ/イベントカウンタ(TMRB)	ch0	0x4001_0000
	ch1	0x4001_0040
	ch2	0x4001_0080
	ch3	0x4001_00C0
	ch4	0x4001_0100
	ch5	0x4001_0140
	ch6	0x4001_0180
	ch7	0x4001_01C0
エンコーダ入力回路(ENC)	ch0	0x4001_0400
	ch1	0x4001_0500
シリアルバスインタフェース(I2C/SIO)	ch0	0x4002_0000
	ch1	0x4002_0020
シリアルチャネル(SIO/UART)	ch0	0x4002_0080
	ch1	0x4002_00C0
	ch2	0x4002_0100
	ch3	0x4002_0140
	ch4	0x4002_0180
アナログ/デジタルコンバータ(ADC)		0x4003_0000
ウォッチドッグタイマ(WDT)		0x4004_0000
リアルタイムクロック(RTC)		0x4004_0100
クロック/モード制御(CG)		0x4004_0200
リモコン判定機能(RMC)		0x4004_0400
周波数検知回路(OFD)		0x4004_0800
電圧検出回路(VLTD)		0x4004_0900
16 ビット多目的タイマ (PMD)	ch0	0x4005_0400
	ch1	0x4005_0480
16 ビット多目的タイマ (TMRB/IGBT)	ch0	0x4005_0800
	ch1	0x4005_0880
	ch2	0x4005_0900
DMA コントローラ(DMAC)		0x4008_0000

周辺機能		ベースアドレス
同期式シリアルインタフェース(SSP)	ch0	0x400C_0000
	ch1	0x400C_1000
フラッシュ制御(Flash SFR)		0x41FF_F000

第4章 リセット動作

リセットの種類として以下のものがあります。

- ・ パワーオンリセット回路(POR)
- ・ 電圧検出回路(VLTD)
- ・ リセット端子(RESET)
- ・ ウォッチドッグタイマ(WDT)
- ・ 周波数検知回路(OFD)
- ・ CPU のアプリケーション割り込みおよびリセットレジスタ<SYSRESETREQ>ビット

リセットの要因を確認するためには、クロックジェネレータレジスタの CGRSTFLG を参照してください。CGRSTFLG については、例外の章を参照してください。

パワーオンリセット回路、電圧検出回路、ウォッチドッグタイマ、周波数検知回路についてはそれぞれの章を参照してください。

<SYSRESETREQ>によるリセットについては、"Cortex-M3 テクニカルリファレンスマニュアル"を参照してください。

- 注 1) リセット動作を行うと内蔵 RAM のデータは保証されません。
- 注 2) SLOW モードでは<SYSRESETREQ>によるリセットは使用しないでください。

4.1 コールドリセット時

電源投入の際には、内蔵レギュレータ、内蔵フラッシュメモリおよび内蔵高速発振の安定時間を考慮する必要があります。TMPM380FDFG では、これらの機能の安定のための時間を内部回路が自動的に挿入します。

4.1.1 パワーオンリセット回路によるリセット($\overline{\text{RESET}}$ 端子を使用しない場合)

電源電圧がパワーオンリセットの解除電圧を超えるとパワーオンカウンタが動作を開始し、約 0.8ms 後に内部リセット信号が解除されます。

パワーオンリセット回路の動作については、「パワーオンリセット回路(POR)」の章を参照してください。

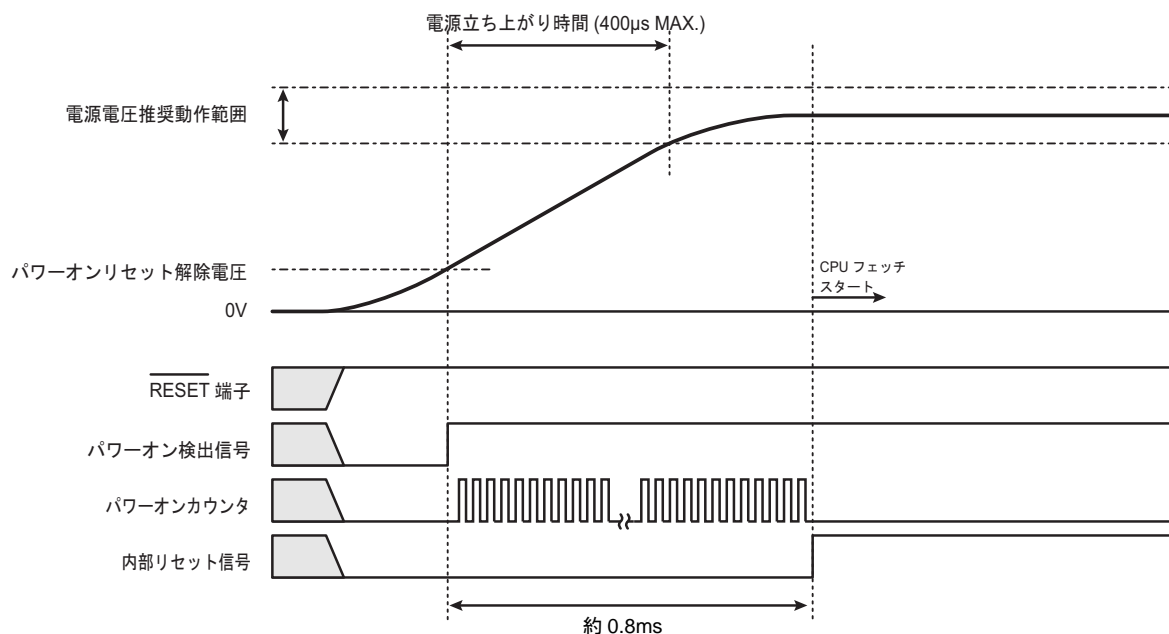


図 4-1 パワーオン回路によるリセット動作

4.1.2 $\overline{\text{RESET}}$ 端子によるリセット

内部リセット信号が解除されるのは、 $\overline{\text{RESET}}$ 端子が"High"になってから約 0.4ms 後です。ただし、パワーオンリセット信号が"High"になってから 400 μs 以内に $\overline{\text{RESET}}$ 端子を"High"にした場合、4.1.1 のパワーオンリセットによるリセット動作と同じ動作になります。

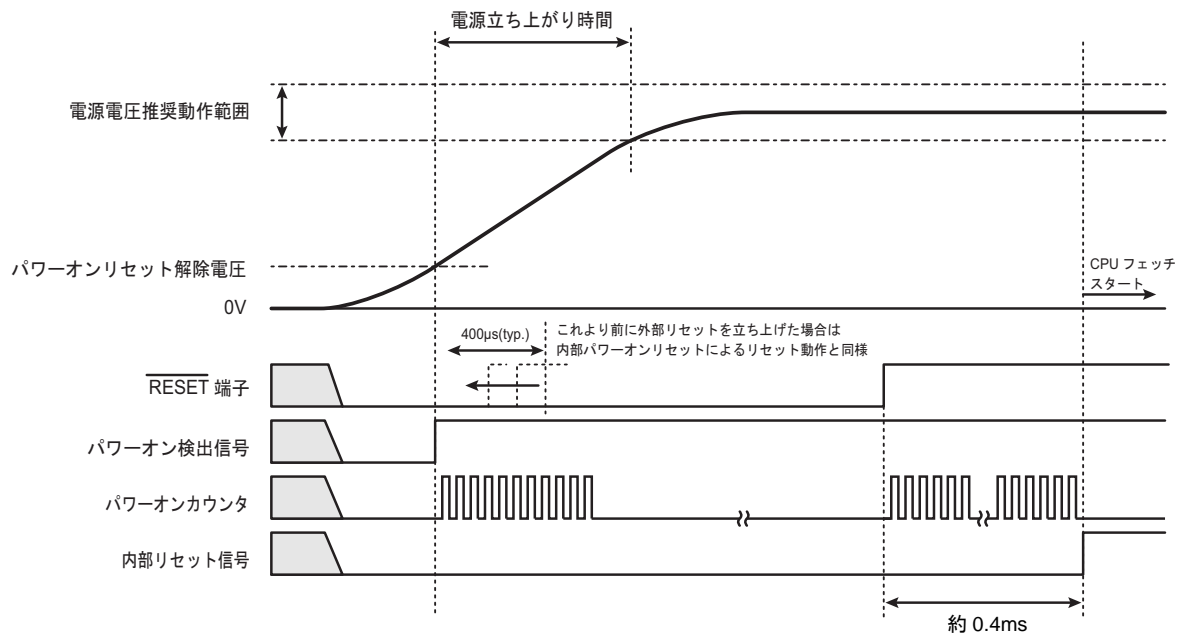


図 4-2 $\overline{\text{RESET}}$ 端子によるリセット動作

4.2 ウォームリセット時

4.2.1 リセット期間

TMPM380FDFG にリセットをかけるには、電源電圧が動作範囲内であり、 $\overline{\text{RESET}}$ 端子を少なくとも内部高周波発振 12 システムクロック間"Low"にしてください。 $\overline{\text{RESET}}$ 端子が"High"になってから約 0.4ms 後に内部リセットが解除されます。

4.3 リセット解除後

リセット解除後は、Cortex-M3 コアの制御レジスタや周辺機能の制御レジスタ(SFR)は初期化されません。コア内部のシステムデバッグコンポーネント(FPB、DWT、ITM)レジスタ、クロックジェネレータレジスタの CGRSTFLG および FLASH 関連レジスタの FCSECBIT はコールドリセットでのみ初期化されません。

リセット解除後、内蔵高速発振器のクロックで動作を開始します。必要に応じて外部クロック、PLL 逡倍回路の設定を行ってください。

第5章 クロック/モード制御

5.1 特長

クロック/モード制御ブロックでは、クロックギアやプリスケラクロックの選択、PLL(通倍回路)や発振器のウォーミングアップ等を設定することが可能です。

また、低消費電力モードがあり、モード遷移を行うことで電力の消費を抑えることが可能です。

本章では、クロックの制御および動作モードとモード遷移について説明します。

5.2 レジスタ説明

5.2.1 レジスタ一覧

CG 関連のレジスタとアドレスを以下に示します。

Base Address = 0x4004_0200

レジスタ名		Address (Base+)
システムコントロールレジスタ	CGSYSCR	0x0000
発振コントロールレジスタ	CGOSCCR	0x0004
スタンバイコントロールレジスタ	CGSTBYCR	0x0008
PLL セレクトレジスタ	CGPLLSEL	0x000C
システムクロックセレクトレジスタ	CGCKSEL	0x0010

5.2.2 CGSYSCR (システムコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	FCSTOP	-	-	SCOSEL	
リセット後	0	0	0	0	0	0	0	1
	15	14	13	12	11	10	9	8
bit symbol	-	-	FPSEL		-	PRCK		
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	GEAR		
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-24	-	R	リードすると"0"が読めます。
23	-	R/W	"0"を書いてください。
22-21	-	R	リードすると"0"が読めます。
20	FCSTOP	R/W	ADC クロック選択 0: 動作 1: 停止 AD コンバータへのクロック供給を停止させることが可能です。 リセット後は AD コンバータへのクロックは供給されています。 "1"(停止)に設定する場合は、必ず AD 変換が停止または終了していることを確認してから設定してください。
19-18	-	R	リードすると"0"が読めます。
17-16	SCOSEL[1:0]	R/W	SCOUT 出力選択 00: fs 01: fsys/2 10: fsys 11: φT0 SCOUT 端子から出力するクロックを設定します。
15-14	-	R	リードすると"0"が読めます。
13-12	FPSEL[1:0]	R/W	φT0 ソースクロック選択 00: fgear をプリスケラで分周したクロック 01: fc をプリスケラで分周したクロック 10: fsys 11: fsys φT0 のソースクロックを選択します。SLOW モード時は、必ず"10"または"11"を設定してください。
11	-	R	リードすると"0"が読めます。
10-8	PRCK[2:0]	R/W	プリスケラクロック選択 000: fperiph 100: fperiph/16 001: fperiph/2 101: fperiph/32 010: fperiph/4 110: Reserved 011: fperiph/8 111: Reserved 周辺機能に供給するプリスケラクロックを選択します。
7-3	-	R	リードすると"0"が読めます。

Bit	Bit Symbol	Type	機能
2-0	GEAR[2:0]	R/W	高速クロック(fc)のギア選択 000: fc 100: fc/2 001: Reserved 101: fc/4 010: Reserved 110: fc/8 011: Reserved 111: fc/16

5.2.3 CGOSCCR(発振コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	WUODR							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	WUODR				WUPSEL2	HOSCON	OSCSEL	XEN2
リセット後	0	0	0	0	0	0	0	1
	15	14	13	12	11	10	9	8
bit symbol	WUODRL		-	-	-	-	XTEN	XEN1
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	WUPSEL1	PLLON	WUEF	WUEON
リセット後	0	0	1	1	0	0	0	0

Bit	Bit Symbol	Type	機能
31-20	WUODR[11:0]	R/W	ウォーミングアップカウンタ設定値 ウォーミングアップタイマの時間を設定します。
19	WUPSEL2	R/W	ウォーミングアップクロック選択 0: 内部高速発振(f_{IHOSC}) 1: 外部高速発振(f_{EHOSC}) ウォーミングアップさせたい発振器のクロックを選択します。選択されたクロックでウォーミングアップタイマのカウントを行います。 STOP/SLEEP モードを使用する場合、STOP/SLEEP モードに移行する前に<OSCSEL>で選択したクロックと同じクロックを設定してください。
18	HOSCEN	R/W	PortM/外部高速発振器選択 0: Port M 1: X1/X2 (f_{EHOSC}) 外部高速発振器(X1/X2)とポート M のどちらを使用するか選択します。外部発振器として使用する場合は、ポート M について、PMCR/PMPUP/PMPDN/PMIE = disable に設定してください。 (リセット後は、全て disable)
17	OSCSEL	R/W	高速発振器の切り替え (注 3) 0: 内部(f_{IHOSC}) 1: 外部(f_{EHOSC})
16	XEN2	R/W	内部高速発振器の動作選択 0: 停止 1: 発振
15-14	WUODRL[1:0]	R/W	ウォーミングアップカウンタ設定値 ウォーミングアップタイマの下位 2 ビットのカウント値を設定します。低速クロックのときのみ使用します。高速発振選択時は"00"を設定してください
13-12	-	R/W	"0"をライトしてください。
11-10	-	R	リードすると"0"が読めます。
9	XTEN	R/W	外部低速発振器の動作選択 0: 停止 1: 発振
8	XEN1	R/W	外部高速発振器の動作選択 0: 停止 1: 発振
7-4	-	R/W	必ず"0011"を設定してください。
3	WUPSEL1	R/W	ウォームアップカウンタ選択 0: 高速 1: 低速

Bit	Bit Symbol	Type	機能
2	PLLON	R/W	PLL(通倍回路)動作の選択(注4) 0: 停止 1: 発振
1	WUEF	R	ウォーミングアップタイムステータス 0: ウォーミングアップ終了 1: ウォーミングアップ中 ウォーミングアップタイムの状態を確認できます。
0	WUEON	W	ウォーミングアップタイム制御 0: don't care 1: ウォーミングアップスタート このビットをセットすることでウォーミングアップタイムがスタートします。 リードすると"0"が読めます。

注1) ウォーミングアップ時間の設定については「5.3.4 ウォーミングアップ機能」を参照してください。

注2) PLLの設定については、「5.3.5 クロック通倍回路(PLL)」を参照してください。

注3) CGOSCCR<OSCSEL>が"1"の場合、PMCR/PMPUP/PMPDN/PMIEを変更することができません。

注4) f_{IHOSC} をシステムクロックとして使用する場合、PLL 通倍の使用は禁止です。

5.2.4 CGSTBYCR(スタンバイコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	DRVE
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	RXTEN	RXEN
リセット後	0	0	0	0	0	0	0	1
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	STBY		
リセット後	0	0	0	0	0	0	1	1

Bit	Bit Symbol	Type	機能
31-20	-	R	リードすると"0"が読めます。
19-17	-	R/W	"0"を書いてください。
16	DRVE	R/W	STOP モード中のポート状態の制御 0: ポートをドライブしません。 1: ポートをドライブします。
15-10	-	R	リードすると"0"が読めます。
9	RXTEN	R/W	STOP モード解除後の低速発振動作 0: 停止 1: 発振
8	RXEN	R/W	STOP モード解除後の高速発振動作 0: 停止 1: 発振
7-3	-	R	リードすると"0"が読めます。
2-0	STBY[2:0]	R/W	低消費電力モード選択 000: Reserved 001: STOP 010: SLEEP 011: IDLE 100: Reserved 101: Reserved 110: Reserved 111: Reserved

注) Reserved は設定禁止です。

5.2.5 CGPLLSEL(PLL セレクトレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	1	1	1	0	0	1	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	PLLSEL
リセット後	0	0	0	1	1	1	1	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます。
15-12	-	R/W	"0111"を書いてください。
11	-	R	リードすると"0"が読めます。
10-8	-	R/W	"010"を書いてください。
7-1	-	R/W	"0001111"を書いてください。
0	PLLSEL	R/W	PLL 選択 0: fosc 使用 1: f _{PLL} 使用 PLL にて選倍されたクロックの使用可否を選択します。 リセット解除後は"fosc(内部高速発振)"選択ですので、PLL を使用する場合はこのビットの設定が必要です。

注) f_{IHOSC} をシステムクロックとして使用する場合、PLL 選倍の使用は禁止です。

5.2.6 CGCKSEL (システムクロックセレクトレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	SYSCK	SYSCKFLG
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	-	R	リードすると"0"が読めます。
1	SYSCK	R/W	システムクロック選択 0: 高速 1: 低速 システムクロックを選択します。 <SYSCK>の切り替えをおこなう場合は、高速発振器(f_{EHOSC} または f_{HOSC})と低速発振器が安定している必要があります。 使用するシステムクロックに応じて、事前に CGOSCCR <XEN1>, <XEN2>, <XTEN>を"1"に設定する必要があります。
0	SYSCKFLG	R	システムクロックステータス 0: 高速 1: 低速 システムクロック選択の状態を示します。 <SYSCK>にて発振器の切り替えをおこなった場合、切り替え完了には時間差が発生します。 <SYSCK>で選択した発振器が<SYSCKFLG>にて読み出されれば、発振器の切り替えが完了している状態です。

5.3 クロック制御

5.3.1 クロックの種類

クロックの一覧を以下に示します。

f_{EHOSC}	: 外部高速発振回路で生成されるクロック
f_{IHOSC}	: 内部高速発振器で生成されるクロック
f_s	: 外部低速発振回路で生成されるクロック
f_{osc}	: CGOSCCR<OSCSEL>で指定された f_{IHOSC} または f_{EHOSC}
f_{PLL}	: PLL により通倍(4 通倍)されたクロック
f_c	: CGPLLSEL<PLLSEL>で選択されたクロック(高速クロック)
f_{gear}	: CGSYSCR<GEAR[2:0]>で選択されたクロック
f_{sys}	: CGCKSEL<SYSCK>で選択されたクロック
f_{periph}	: CGSYSCR<FPSEL[1:0]>で選択されたクロック
$\phi T0$: CGSYSCR<PRCK[2:0]>で選択されたクロック (プリスケラクロック)

ギアクロック f_{gear} とプリスケラクロック $\phi T0$ は以下のように分周することが可能です。

ギアクロック	: $f_c, f_c/2, f_c/4, f_c/8, f_c/16$
プリスケラクロック	: $f_{periph}, f_{periph}/2, f_{periph}/4, f_{periph}/8, f_{periph}/16, f_{periph}/32$

5.3.2 リセット動作による初期値

リセット動作により、クロックの設定は下記のような状態に初期化されます。

内部高速発振器	: 発振
外部高速発振器	: 停止
外部低速発振器	: 停止
PLL (通倍回路)	: 停止
ギアクロック	: f_c (分周なし)

リセット動作によりすべてのクロックの設定が f_{IHOSC} と同じになります。

$f_c = f_{IHOSC}$
$f_{sys} = f_c = f_{IHOSC}$
$f_{periph} = f_c = f_{IHOSC}$
$\phi T0 = f_{periph} = f_{IHOSC}$

5.3.3 クロック系統図

クロック系統図を図 5-1 に示します。

セレクタに入力されるクロックのうち、矢印つきのものがリセット後の初期状態として選択されます。

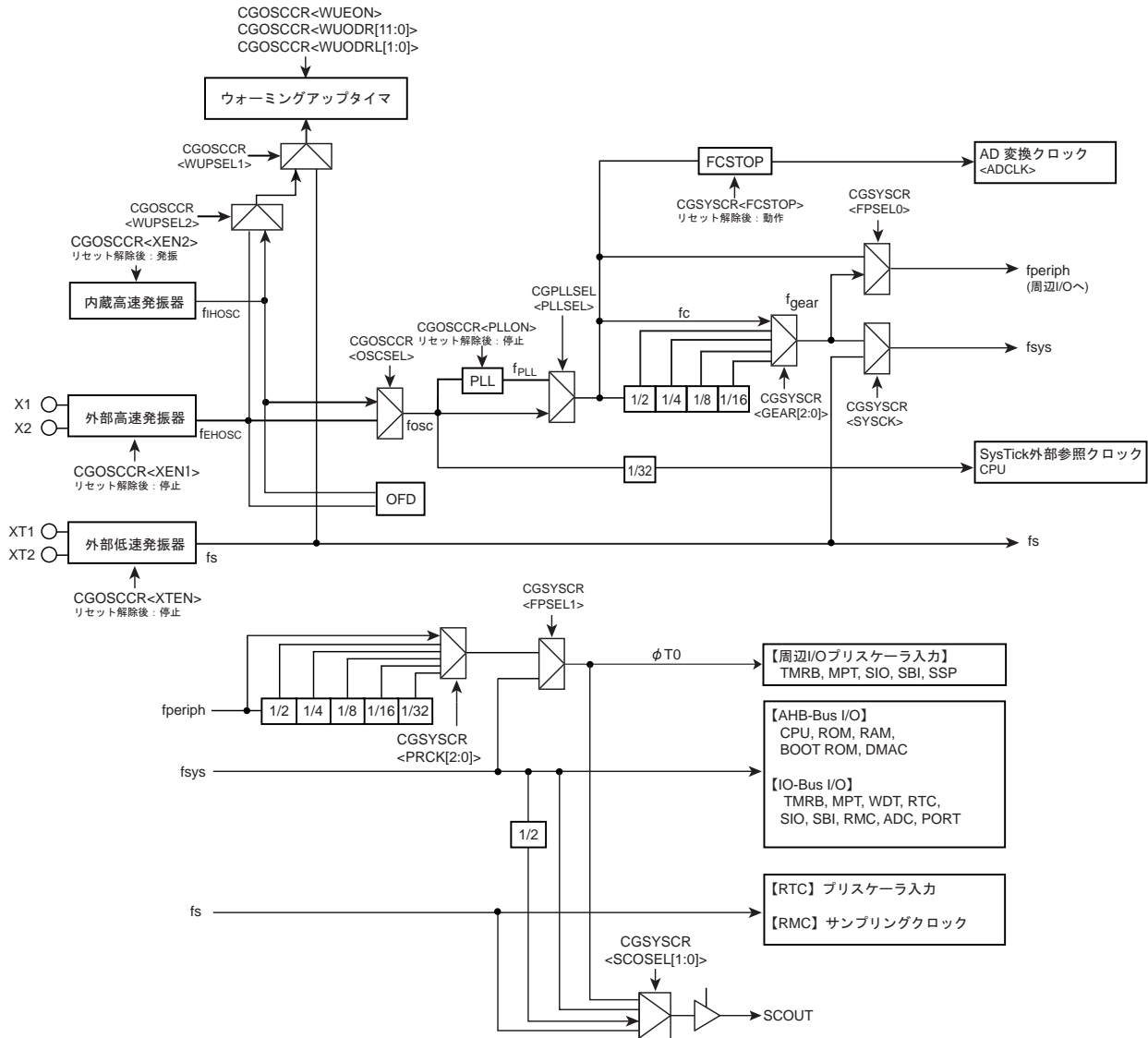


図 5-1 クロック系統図

5.3.4 ウォーミングアップ機能

ウォーミングアップ機能は、fs の発振安定時間、STOP モード解除時にウォーミングアップタイマを用いて発振子の安定時間や、PLL の安定時間を確保するための機能です。詳細については、「5.3.4 ウォーミングアップ機能」にて説明します。

ウォーミングアップ機能の使用方法を説明します。

1. クロックの選択

ウォーミングアップカウンタのカウントアップクロックを CGOSCCR<WUPSEL2><WUPSEL1>で選択します。

2. ウォーミングアップカウンタ設定値の算出

ウォーミングアップ時間は、CGOSCCR<WUODR[11:0]><WUODRL[1:0]>により、任意の値が設定可能です。CGOSCCR<WUODR[11:0]><WUODRL[1:0]>の設定値は、以下の計算式から算出し、下位 4 ビットを切り捨てて設定します。

高速クロックのウォーミングアップの場合は<WUODR[11:0]>に、低速クロックのウォーミングアップの場合は<WUODR[11:0]><WUODRL[1:0]>に設定します。

$$\text{ウォーミングアップサイクル数} = \frac{\text{ウォーミングアップ時間}}{\text{ウォームアップクロック周期}}$$

注) 高速クロックのウォーミングアップの場合、CGOSCCR<WUODRL[1:0]>には、"00"を設定してください。

高速発振子 8MHz 使用時、ウォーミングアップ時間 5ms を設定する場合は以下のようになります。

$$\frac{\text{ウォーミングアップ時間}}{\text{ウォームアップクロック周期}} = \frac{5\text{ms}}{1/8\text{MHz}} = 40,000\text{サイクル} = 0x9C40$$

下位 4 ビットを切り捨て、0x9C4 を CGOSCCR<WUODR[11:0]>に設定します。

3. ウォーミングアップの開始および終了確認



ソフトウェア (命令) によりウォーミングアップの開始および終了確認を行う場合、CGOSCCR<WUEON>に"1"を設定することでウォーミングアップを開始します。また、終了の確認は<WUEF>で行います。<WUEF>が"1"でウォーミングアップ中、"0"で終了を示します。

注 1) 低消費電力モードへ遷移する場合、カウント値が CGOSCCR<WUODR[11:0]>と<WUODRL[1:0]>に反映されているのを確認してから WFI 命令を実行してください。

注 2) ウォーミングアップタイマは発振クロックで動作しているため、発振周波数に揺らぎがある場合は誤差を含みます。したがって概略時間として捉える必要があります。

以下に、ウォーミングアップ機能の設定例を示します。

表 5-1 ウォーミングアップ機能設定例（高速外部発振(f_{EHOSC})の場合）

CGOSCCR<WUPSEL1> = "0"	:ウォームアップクロック選択（高速を選択）
CGOSCCR<WUPSEL2> = "1"	:ウォームアップクロック選択（外部高速発振(f_{EHOSC})を選択）
CGOSCCR<WUODR[11:0]> = "0x9C4"	:ウォーミングアップ時間設定
CGOSCCR<WUODRL[1:0]> = "00"	
 CGOSCCR<WUODR[11:0]> リード	:ウォーミングアップ時間の反映確認 "0x9C4"がリードできるまで繰り返し。
CGOSCCR<XEN1> = "1"	:外部高速発振(f_{EHOSC})イネーブル
CGOSCCR<WUEON> = "1"	:ウォーミングアップタイマ(WUP)スタート
 CGOSCCR<WUEF>リード	: "0" (WUP 終了)になるまでウェイト

5.3.5 クロック逡倍回路(PLL)

高速発振器の出力クロック f_{osc} を4逡倍した f_{PLL} クロックを出力する回路です。これにより、発振器への入力周波数は低く内部クロックは高速にすることが可能です。

5.3.5.1 動作開始

PLL はリセット解除後ディセーブル状態です。

PLL を使用するためには、CGOSCCR<PLLON>を"1"に設定して PLL の動作を開始します。その後、ロックアップ時間約 200 μ s 経過後に、CGPLLSEL<PLLSEL>にて"1"を選択することにより、 f_{osc} を4逡倍した f_{PLL} クロックを使用することができます。

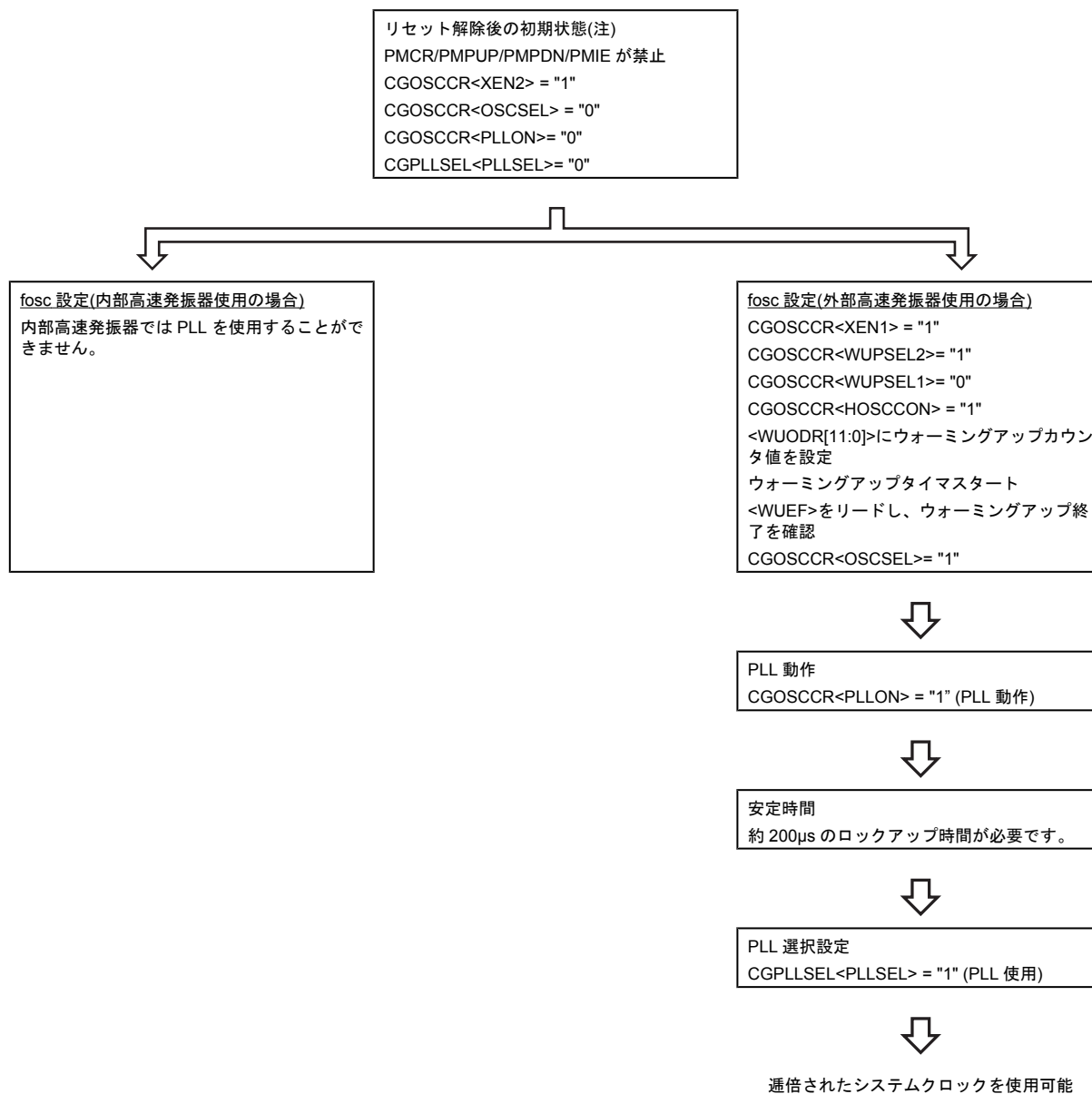
なお、PLL 動作が安定するまでの時間は、ウォーミングアップ機能などを用いて確保する必要があります。

注) f_{HOSC} を使用している時には、PLL を使用しないでください。

5.3.5.2 PLL 動作開始手順

以下に PLL 動作開始シーケンスを示します。

クロック設定手順



注) 内部高速発振器、電源電圧の安定が必要です。

5.3.6 システムクロック

システムクロックのソースクロックとして、内部高速発振クロック、外部高速発振クロックと外部低速発振クロックが使用可能です

ソースクロック	周波数	PLL 使用
内部高速発振クロック (IHOSC)	9MHz (ねらい目)	使用できません
外部高速発振クロック (EHOSC)	8 ~ 10MHz	不使用または4 逡倍
外部低速発振クロック (fs)	30 ~ 34kHz	-

ソースクロックに内部高速発振クロックまたは外部高速発振クロックを使用しているとき、システムクロックとして CGSYSCR<GEAR[2:0]>で分周したクロックを選択することができます。設定の変更は動作中に可能ですが、実際にクロックが切り替わるまで、若干の時間を要します。

PLL、クロックギアの設定による動作周波数例を表 5-2 に示します。

表 5-2 PLL、クロックギア使用時の周波数設定範囲（単位：MHz, "-": 設定禁止, "*" : Don't care）

入力 周波数	最小動作 周波数	最小動作 周波数 (fc)	最大動作 周波数 (fc)	ADC 最大動作 周波数	クロックギア(CG) PLL = ON 時					クロックギア(CG) PLL = OFF 時					
					1/1	1/2	1/4	1/8	1/16	1/1	1/2	1/4	1/8	1/16	
EHOSC	8	4	1	32	32	32	16	8	4	2	8	4	2	1	-
	10			40	40	40	20	10	5	2.5	10	5	2.5	1.25	-
IHOSC	10			10	10	-	-	-	-	-	10	5	2.5	1.25	-
fs	0.032768	-	0.032768	0.032768	-	*	*	*	*	*	*	*	*	*	*

↑ リセット後の初期値

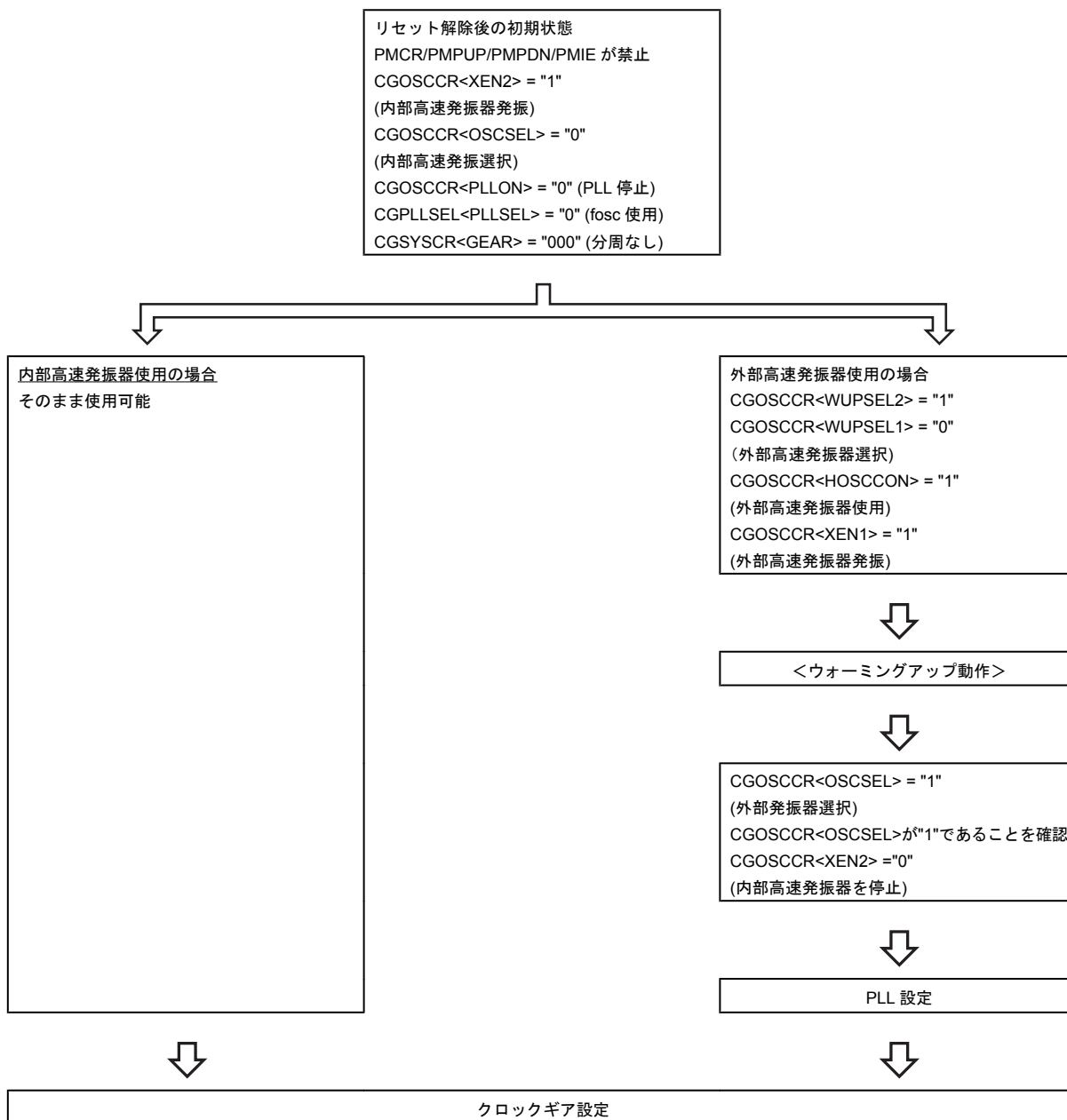
注) SysTick 使用時は 1/16 は使用しないでください。

5.3.6.1 システムクロックの設定方法

システムクロックの選択は CGOSCCR で行います。クロック選択後、必要に応じて PLL 設定を CGPLLSEL, CGOSCCR で、クロックギアの設定を CGSYSCR で行います。

以下にクロックの設定手順を示します

クロック設定手順



5.3.7 プリスケーラクロック

周辺機能には、それぞれにクロックを分周するプリスケーラがあります。これらのプリスケーラへ入力するクロック $\phi T0$ は、CGSYSCR<FPSEL[1:0]>で選択されたクロック fperiph をさらに CGSYSCR<PRCK[2:0]>にて分周することが可能です。リセット後の $\phi T0$ は fperiph/1 が選択されま

注) クロックギアを使用する場合、周辺機能の各ブロックのプリスケーラ出力 ϕTn は、 $\phi Tn \leq f_{sys}/2$ を満足するように時間設定(ϕTn が f_{sys} よりも遅くなるように)してください。また、タイマカウンタなどの周辺機能の動作中にクロックギアを切り替えないようにしてください。

5.3.8 クロックの端子出力機能

本製品には、クロックの端子出力機能があります。出力可能なクロックとして、低速クロック fs、システムクロックの2分周 fsys/2、システムクロック fsys、プリスケーラクロック $\phi T0$ を SCOUT 端子から出力できます。

注1) SCOUT から出力されるシステムクロックは、内部クロックとの位相差 (AC タイミング) は保証できません。

注2) SCOUT に fsys を選択しているときにクロックギアを切り替えると、切り替えた直後、fsys の波形が乱れます。波形の乱れがシステム上、問題となる場合は、クロックギア切り替え時に SCOUT 出力をディセーブルにするなど対策を施してください。

ポートを SCOUT 端子として使用するときの設定は、"入出力ポート"を参照してください。

表 5-3 に SCOUT 端子を SCOUT 出力に設定した場合のモード別端子状態を示します。

表 5-3 モード別 SCOUT 出力状態

SCOUT 選択 CGSYSCR	モード	NORMAL	SLOW	低消費電力モード		
				IDLE	SLEEP	STOP (注)
<SCOSEL[1:0]> = "00"		fs クロックを出力します				
<SCOSEL[1:0]> = "01"		fsys/2 クロックを出力します				"0"または"1"に固定されます
<SCOSEL[1:0]> = "10"		fsys クロックを出力します				
<SCOSEL[1:0]> = "11"		$\phi T0$ クロックを出力します				

注) STOP モードへ遷移するときに、最初に CGSTBYCR<PTKEEP>を"1"に設定してポートの状態を保持してください。

5.4 動作モードとモード遷移

5.4.1 モード状態遷移

動作モードとして NORMAL モードと SLOW モードがあります。NORMAL モードはシステムクロックに高速クロックを使用し、SLOW モードは低速クロックを使用します。

プロセッサコアの動作を停止して電力の消費を抑える低消費電力モードとして、IDLE モード、SLEEP モード、STOP モードがあります。

低速クロックを使用しない場合は SLOW/SLEEP モードは使用できません。

図 5-2 にモード状態遷移図を示します。

Sleep-on-exit については、"Cortex-M3 テクニカルリファレンスマニュアル"を参照してください。

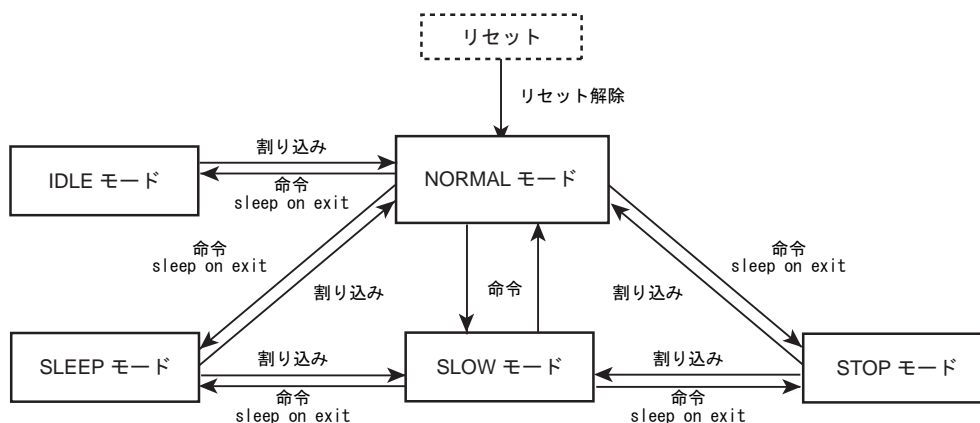


図 5-2 モード状態遷移図

5.5 動作モード

動作モードには NORMAL モードと SLOW モードがあります。NORMAL, SLOW モードの特徴は次のとおりです。

5.5.1 NORMAL モード

CPU コアおよび周辺ハードウェアを高速クロックで動作させるモードです。リセット解除後は、NORMAL モードになります。低速クロックを動作させる事も可能です。

5.5.2 SLOW モード

高速クロックを停止させ、CPU コア、周辺ハードウェアを低速クロックで動作させるモードです。NORMAL モードに比べ消費電力を低減することができます。

- 注 1) SLOW モードでは、CGSYSCR<FPSEL[1:0]>には、必ず"10"か"11"を設定してください。
- 注 2) SLOW モードでは、Cortex-M3 コアの NVIC レジスタのアプリケーション割り込みおよびリセットレジスタ <SYSRESETREQ>によるリセットは使用しないでください。

5.6 低消費電力モード

低消費電力モードには、IDLE, SLEEP, STOP モードがあります。低消費電力モードに移行するには、システムコントロールレジスタ CGSTBYCR<STBY[2:0]>にてモードを選択し、WFI(Wait For Interrupt)命令を実行します。WFI 命令によって低消費電力モードへ移行した場合、低消費電力モードからの復帰はリセットまたは割り込み発生により行われます。割り込みで復帰する場合には、設定を行っておく必要があります。詳細は「例外」の章の「割り込み」を参照してください。

- 注 1) 本製品ではイベントによる復帰はサポートしていないため、WFE (Wait For Event)による低消費電力モードへの移行は行わないでください。
- 注 2) 本製品は、Cortex-M3 コアの SLEEPDEEP による低消費電力モードはサポートしていません。システム制御レジスタの<SLEEPDEEP>ビットは設定しないでください。

IDLE, SLEEP, STOP モードの特長は次のとおりです。

5.6.1 IDLE モード

CPU が停止するモードです。周辺機能は、各モジュールの中のレジスタに IDLE モード時の動作/停止設定レジスタを 1 ビット持ち、IDLE モードでの動作設定が可能です。IDLE モード時に動作停止に設定された周辺機能は、IDLE モードへ遷移した時の状態で停止します。

以下に IDLE モードでの動作を設定できる周辺機能の一覧を示します。設定方法は、各機能の章を参照してください。

- 16 ビットタイマ/イベントカウンタ(TMRB)
- 16 ビット多目的タイマ(MPT) (PMD 動作を除く)
- シリアルチャネル(SIO/UART)
- シリアルバスインタフェース(I2C/SIO)
- アナログ/デジタルコンバータ(ADC)
- ウォッチドッグタイマ(WDT)

注) ウォッチドックタイマは IDLE モードへ遷移する前に停止してください。

5.6.2 SLEEP モード

内部低速発振器と RTC、リモコン判定機能が動作します。

SLEEP モードが解除されると、SLEEP モードへ移行する直前の動作モードへ復帰し、動作を開始します。

5.6.3 STOP モード

一部の回路を除き、内部発振器も含めてすべての内部回路が停止しするモードです。

STOP モードが解除されると、STOP モードへ移行する直前の動作モードへ復帰します。

STOP モードでは CGSTBYCR<DRVE>の設定により端子のドライブ状態を保持することができます。STOP モード時の端子状態を表 5-4 に示します。

注) 復帰時にウォーミングアップが必要になります。ウォーミングアップ時間の設定は、STOP モードに入る前のモード(NORMAL モードまたは SLOW モード)にて設定する必要があります。ウォーミングアップ時間に関しては、「5.6.8 モード遷移によるクロック動作」を参照してください。

表 5-4 STOP モード時の端子状態

機能	端子名	入出力	<DRVE> = 0	<DRVE> = 1
発振器	X1, XT1	入力	×	×
	X2, XT2	出力	"High"レベル出力	"High"レベル出力
ポート	Px	入力	×	PxIE[m]設定による
		出力	×	PxCR[m]設定による
デバッグ機能	TMS/SWDIO TDO/SWV	入力	PxIE[m]設定による	PxIE[m]設定による
		出力	PxCR[m]設定かつデータ有効な時にイネーブル	PxCR[m]設定かつデータ有効な時にイネーブル
割り込み機能	INT	入力	PxIE[m]設定による	
SSP	SPCLK, SPFSS, SPDO	出力	×	PxCR[m]設定かつデータ有効な時にイネーブル
MPT (PMD モード)	EMG	入力	×	PxIE[m]設定による
	UO, VO, WO XO, YO, ZO	出力	PxCR[m]設定かつデータ有効な時にイネーブル	PxCR[m]設定かつデータ有効な時にイネーブル
MPT (IGBT モード)	GEMG, MTIN	入力	×	PxIE[m]設定による
	MTOUT0 MTOUT1	出力	PxCR[m]設定かつデータ有効な時にイネーブル	PxCR[m]設定かつデータ有効な時にイネーブル
上記以外の機能		入力	×	PxIE[m]設定による
		出力	×	PxCR[m]設定による

o : 入力または出力が有効

x : 入力または出力が無効

注) 「x」は該当ポート番号、「m」は該当ビットを示します。

5.6.4 低消費電力モードの選択

低消費電力モード選択は、CGSTBYCR<STBY[2:0]>の設定で選択されます。

表 5-5 に<STBY[2:0]>の設定より選択されるモードを示します。

表 5-5 低消費電力モードと設定

モード	CGSTBYCR <STBY[2:0]>
STOP	001
SLEEP	010
IDLE	011

注) 上記の設定以外は行わないでください。

5.6.5 各モードにおける動作状態

各モードにおける動作状態を表 5-6 に示します。

表 5-6 各動作モードにおける動作状態

Block	NORMAL	SLOW	IDLE	SLEEP	STOP
Processor core	o	o	x	x	x
I/O port	o	o	o	o	o (注 2)
SSP	o	#	x	x	x
12/10-bit ADC	o	#	モジュールごと に動作/停止選択 可能	x	x
SIO/UART	o	#		x	x
I2C/SIO	o	#		x	x
WDT	o	#		x	x
TMRB	o	o		x	x
MPT (TMRB)	o	o		x	x
MPT (IGBT)	o	#		x	x
MPT (PMD)	o	#		o	x
RMC	o	o	o	o	x
RTC	o	o	o	o	x
CG	o	o	o	o	x
PLL	o	x	o	x	x
OFD	o (注 3)	x	o (注 3)	x	x
外部高速発振器 (f _{EHOSC})	o	o (注 1)	o	x	x
内部高速発振器 (f _{IHOSC})	o	o (注 1)	o	x	x
外部低速発振器 (fs)	o	o	o	o	x

o: 対象のモード中に動作が可能

x: 対象のモードに移行すると自動的にモジュールへのクロックが停止

#: 対象のモードに移行する前にソフトウェアにてモジュールを停止する必要あり

注 1) NORMAL モードから SLOW モードに移行した場合、高速発振器(EHOSC, IHOSC)は自動では発振停止しないため、CGOSCCR<XEN1>または<XEN2>を設定して発振停止してください。SLOW モードから NORMAL モードに移行する前に、高速発振器(EHOSC, IHOSC)は自動では発振開始しないため、CGOSCCR<XEN1>または<XEN2>を設定して発振開始してください。

注 2) CGSTBYCR<DRVE>の設定に依存します。

注 3) 内部高速発振器を使用する場合、OFD はディセーブルに設定してください。

5.6.6 低消費電力モードの解除

低消費電力モードからの解除は、割り込み、マスク不能割り込み(NMI)、リセットによって行うことができます。使用できるスタンバイ解除ソースは、低消費電力モードにより決まります。

詳細を表 5-7 に示します。

表 5-7 解除ソースと解除可能なモード

低消費電力モード		IDLE	SLEEP	STOP	
解除 ソース	INT0 to F (注 1)	o	o	o	
	INTRTC	o	o	x	
	INTRMCRX	o	o	x	
	INTSSP0 to 1	x	x	x	
	INTSBI0 to 1	o	x	x	
	INTRX0 to 4, INTTX0 to 4	o	x	x	
	INTADPD0 to 1 /INTADCP0 to 1	o	x	x	
	INTADTMR /INTADSFT	o	x	x	
	INTPMD0 to 1, INTEMG0 to 1	o	x	x	
	INTMTTB00 to 20 / 01 to 21	o	x	x	
	INTMTCAP00 to 20 / 01 to 21	o	x	x	
	INTMTEMG0 to 2	o	x	x	
	INTTB00 to 70 / 01 to 71	o	x	x	
	INTCAP00 to 70 / 01 to 71	o	x	x	
	INTENC0 to 1	o	x	x	
	INTDMACERR, INTDMACTC	o	x	x	
	SysTick 割り込み		o	x	x
	マスク不能割り込み (INTWDT)		o	x	x
	マスク不能割り込み (INTVLTD)		o	x	x
	リセット (WDT)		o	x	x
リセット (POR)		o	o	o	
リセット (OFD)		o	x	x	
リセット (RESET 端子)		o	o	o	

o: 解除後、割り込み処理を開始します。(RESET は本製品を初期化します)

x: 解除に使用できません

注 1) IDLE, SLEEP, STOP モードからレベルモードの割り込みによる解除を行う場合、割り込み処理が開始されるまでレベルを保持してください。それ以前でレベルを変化させた場合は、正しい割り込み処理を開始できません。

注 2) 低消費電力モードへ移行する場合は、CPU で復帰要因以外の割り込みを禁止してください。禁止していない場合、復帰要因以外の割り込みで解除が行われる場合があります。

- ・ 割り込み要求による解除
割り込みによって低消費電力モードを解除する場合、CPU で割り込みが検出されるよう準備しておく必要があります。
STOP モードの解除に使用する割り込みの設定については、「例外」章の「割り込み」を参照してください。
- ・ SysTick 割り込みによる解除
SysTick 割り込みは IDLE モードでのみ使用可能です。
- ・ マスク不能割り込み(NMI)による解除
NMI の要因には WDT 割り込み(INTWDT)と VLTD 割り込み(INTVLTD)があります。
INTWDT、INTVLTD による低消費電力モードの解除は IDLE モードでのみ可能です。
INTWDT、INTVLTD による SLEEP モード、STOP モードの解除はできません。SLEEP モード、STOP モードへ遷移する前に INTWDT と INTVLTD が発生しないようにしてください。
- ・ リセットによる解除
 $\overline{\text{RESET}}$ 端子によるリセット、POR によるリセットですべての低消費電力モードからの解除を行うことができます。
WDT によるリセット、OFD によるリセットで IDLE モードからの解除を行うことができます。WDT によるリセット、OFD によるリセットで、SLEEP モード、STOP モードの解除はできません。SLEEP、STOP モードへ遷移する前に、WDT によるリセット、OFD によるリセットが発生しないようにしてください。
リセットで解除した場合には通常のリセット動作と同様になり、解除後は NORMAL モードですべてのレジスタが初期化された状態になります。
STOP モードの解除にリセットを使用する場合、自動ウォーミングアップが行われなため、発振器動作が安定するまでリセット信号を有効に保ってください。

割り込みの詳細に関しては、「例外」の章の「割り込み」をご参照ください。

5.6.7 ウォーミングアップ

モード遷移時、発振器の安定のためウォーミングアップが必要な場合があります。

STOP モードから NORMAL/SLOW モードへの遷移および、SLEEP モードから NORMAL モードへの遷移では、自動的に内部発振が選択されウォーミングアップ用カウンタが起動され、ウォーミングアップ時間経過後にシステムクロックの出力が開始されます。

このため、STOP/ SLEEP モードに移行する命令を実行する前に、CGOSCCR <WUPSEL2> <WUPSEL1>でウォーミングアップする発振器の選択および、CGOSCCR <WUODR[11:0]> <WUODRL[1:0]>でウォーミングアップ時間の設定を行ってください。

NORMAL モードから SLOW/SLEEP モードへ遷移する時、外部低速発振器が禁止の状態であれば、外部低速発振器を許可した後に、発振器の安定のためにウォーミングアップが必要になります。この場合、ソフトウェアでウォーミングアップを起動してください。

SLOW モードから NORMAL モードへ遷移するとき、高速発振器が禁止の状態であれば、内部高速発振器または外部高速発振器を許可した後に、発振器の安定のためにウォーミングアップが必要になります。この場合、ソフトウェアでウォーミングアップを起動してください。

ウォーミングアップ時間については、「5.6.8 モード遷移によるクロック動作」を参照してください。

各動作モード遷移時におけるウォーミングアップの有無を表 5-8 に示します。

表 5-8 各動作モード遷移時のウォーミングアップ設定

動作モード遷移	ウォーミングアップ設定
NORMAL → IDLE	不要
NORMAL → SLEEP	不要(注 1)
NORMAL → SLOW	不要(注 1)
NORMAL → STOP	不要
IDLE → NORMAL	不要
SLEEP → NORMAL	自動ウォーミングアップ
SLEEP → SLOW	不要
SLOW → NORMAL	不要(注 2)
SLOW → SLEEP	不要
SLOW → STOP	不要
STOP → NORMAL	自動ウォーミングアップ(注 3)
STOP → SLOW	自動ウォーミングアップ

注 1) 外部低速発振回路がディセーブルの場合、イネーブルにした上でソフトウェアでウォーミングアップを起動する必要があります。

注 2) 内部または外部高速発振回路がディセーブルの場合、イネーブルにした上でソフトウェアでウォーミングアップを起動する必要があります。

注 3) $\overline{\text{RESET}}$ 端子、POR によるリセットで解除する場合には、自動ウォーミングアップを行いません。コールドスタートと同じようにリセットしてください。

5.6.8 モード遷移によるクロック動作

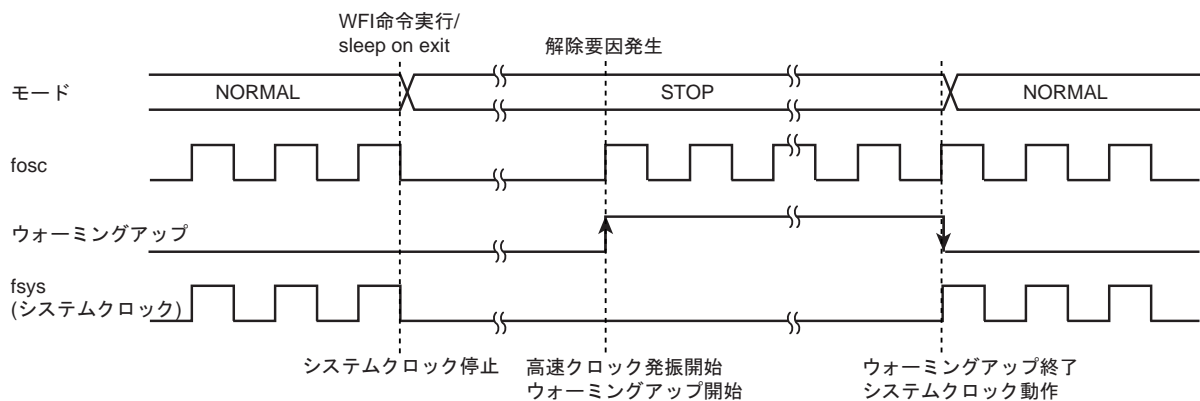
モード遷移の際の、クロック動作について以下に示します。

5.6.8.1 NORMAL → STOP → NORMAL 動作モード遷移

STOP モードから NORMAL モードへ復帰する場合、ウォーミングアップは自動的に起動します。

STOP モードへ遷移する前に CGOSCCR<WUODR[11:0]>に高速発振器の安定時間を設定してください。PLL を使用している場合は、ロックアップ時間の約 200 μ s を加える必要があります。

リセットで NORMAL モードへ復帰する場合はウォーミングアップは行われません。コールドリセットと同じリセットを入力してください。

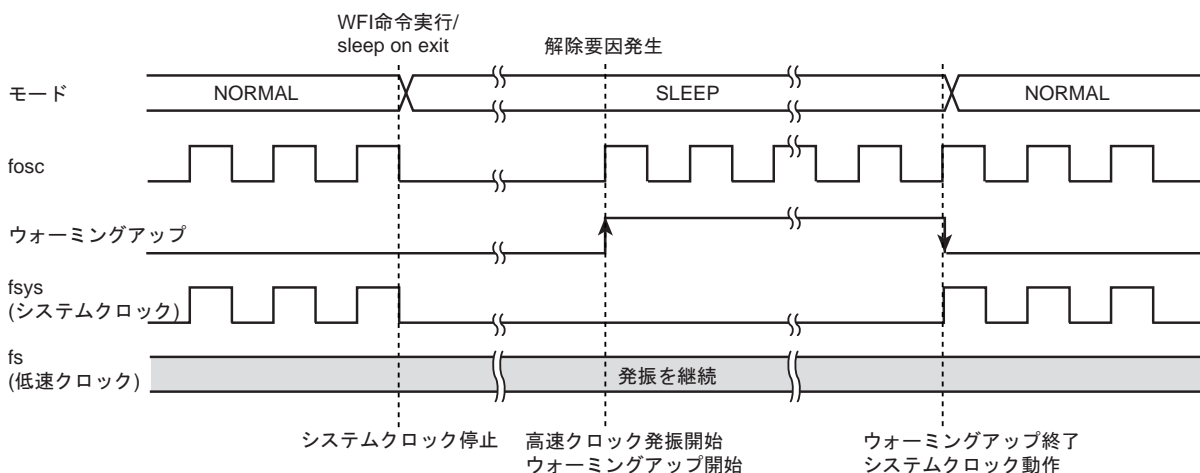


5.6.8.2 NORMAL → SLEEP → NORMAL 動作モード遷移

SLEEP モードから NORMAL モードへ復帰する場合、ウォーミングアップは自動的に起動します。

SLEEP モードへ遷移する前に CGOSCCR<WUODR[11:0]> <WUODRL[1:0]>に外部低速発振器の安定時間を設定してください。

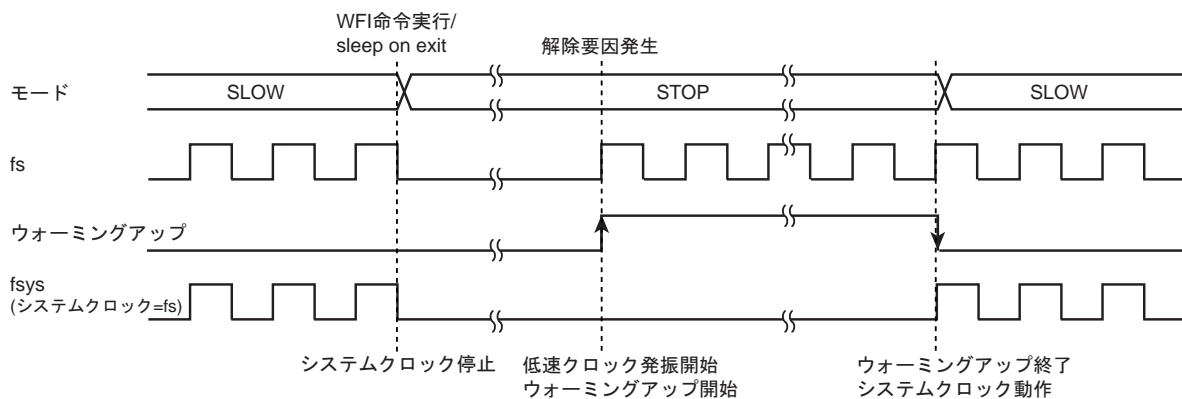
リセットで NORMAL モードへ復帰する場合はウォーミングアップは行われません。コールドリセットと同じリセットを入力してください。



5.6.8.3 SLOW → STOP → SLOW 動作モード遷移

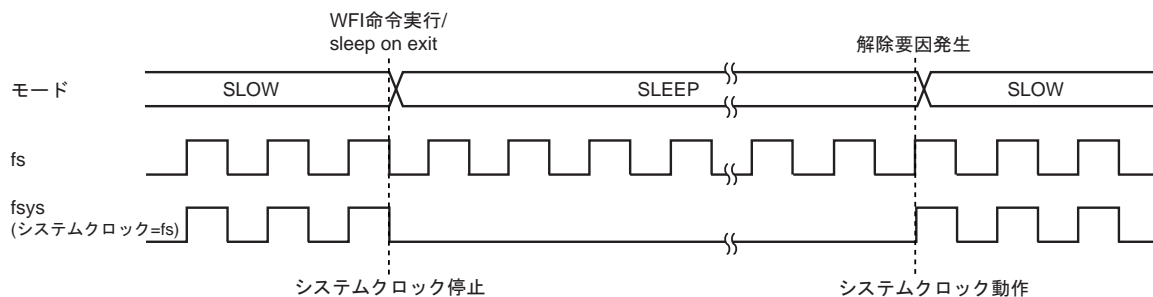
STOP モードから SLOW モードへ復帰する場合、ウォーミングアップは自動的に起動します。

STOP モードへ遷移する前に CGOSCCR<WUODR[11:0]> <WUODRL[1:0]>に外部低速発振器の安定時間を設定してください。



5.6.8.4 SLOW → SLEEP → SLOW 動作モード遷移

外部低速発振器は SLEEP モード中でも発振を継続しているため、ウォーミングアップの必要はありません。



5.6.9 低消費電力モード遷移時の注意事項

5.6.9.1 IDLE、SLEEP、STOP モードへ遷移する場合

- (1) IDLE モード、SLEEP モードまたは STOP モードへ遷移する WFI 命令実行タイミングで解除割り込み要求が発生した場合、解除要求が優先され IDLE/SLEEP/STOP モードへ遷移しません。そのため、割り込みの許可、禁止状態に応じて下記の処理記述をしてください。
 - a. 割り込み禁止状態 (PRIMASK のみでマスクされる状態)

WFI 命令の直後に NOP 命令を 8 つ以上記述し、その後本来実行する命令を記述してください。
 - b. 割り込み許可状態

割り込み処理ルーチンへ分岐しますので、割り込み処理の記述をしてください。
- (2) SLEEP モード、STOP モードへ遷移する前に、fosc とウォーミングアップカウンタのソースクロックが同じとなるよう CGOSCCR<OSCESEL>で選択した同じクロックを CGOSCCR <WUPSEL1> <WUPSEL2>に設定してください。
- (3) IDLE モードでのみマスク不能割り込みによる解除が可能です。
- (4) SLEEP モード、STOP モードの解除要因としてマスク不能割り込みは使用しないでください。SLEEP モード、STOP モードへ遷移する前にマスク不能割り込みが入らないようにしてください。(ウォッチドックタイマ停止、電圧検知回路停止)

第6章 例外

この章では、例外の特長、種類、処理について概略を説明します。

例外はCPUのアーキテクチャと深くかかわる部分ですので、必要に応じて"Cortex-M3 テクニカルリファレンスマニュアル"もご覧ください。

6.1 概要

例外はCPUに対し現在実行中の処理を中断して別の処理に移ることを要求するものです。

例外には、何らかの異常な状態が起こったときや例外を発生する命令を実行したときに発生するものと、外部端子や周辺機能からの割り込み要求信号といった、ハードウェアによる要因で発生する割り込みがあります。

すべての例外は優先度にしたがってCPU内にあるネスト型ベクタ割り込みコントローラ(NVIC)によって処理されます。例外が発生すると、CPUはそのときの状態をスタックに退避し、割り込み処理ルーチンへ分岐します。割り込み処理ルーチンの実行後、スタックに退避した情報は自動的に復帰されます。

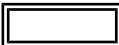
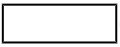
6.1.1 種類

例外には以下のようなものがあります。

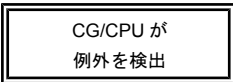
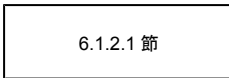

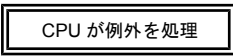


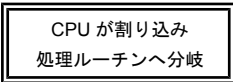

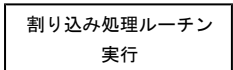
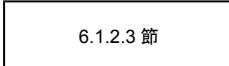

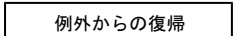
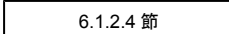
それぞれの例外の詳細な内容は、"Cortex-M3 テクニカルリファレンスマニュアル"をご覧ください。

- ・ リセット
- ・ マスク不能割り込み(NMI)
- ・ ハードフォールト
- ・ メモリ管理
- ・ バスフォールト
- ・ 用法フォールト
- ・ SVCcall (スーパーバイザコール)
- ・ デバッグモニタ
- ・ PendSV
- ・ SysTick
- ・ 外部割り込み

6.1.2 処理の流れ

例外／割り込みの処理の流れの概略を以下に示します。以下の説明で、はハードウェアによる処理を、はソフトウェアによる処理を示しています。

それぞれの処理の内容について、後続の節で説明します。

処理	内容	説明
 CG/CPUが例外を検出	CG/CPUが例外要求を検出します。	 6.1.2.1 節
		
 CPUが例外を処理	CPUが例外処理を行います。	 6.1.2.2 節
		
 CPUが割り込み処理ルーチンへ分岐	検出した例外に応じた割り込み処理ルーチンへ分岐します。	
		
 割り込み処理ルーチン実行	必要な処理を行います。	 6.1.2.3 節
		
 例外からの復帰	別の割り込み処理ルーチンまたはもとのプログラムに復帰します。	 6.1.2.4 節

6.1.2.1 例外要求と検出

(1) 例外要求の発生

例外は、CPU の命令実行、メモリアクセス、外部割り込み端子や周辺機能からの割り込み要求などにより発生します。

CPU の命令実行による例外の要求は、例外を発生する命令の実行や、命令実行中の異常が要因で発生します。

メモリアクセスによる例外の要求は、実行不可領域からの命令フェッチや、フォールト領域へのアクセスにより発生します。

割り込みの要求は、外部割り込み端子からの信号入力や周辺機能から発生します。スタンバイ解除に使用する割り込みの場合、クロックジェネレータの設定も必要になります。詳細は「6.5 割り込み」の節で説明します。

(2) 例外の検出

複数の例外が同時に検出された場合には、CPU は優先度にしたがって最も優先度の高い例外を選択します。

各例外の優先度は以下のとおりです。"構成可能"と記載された例外は、優先度を設定することができます。また、メモリ管理、バスフォールト、用法フォールトは許可/禁止を選択することができます。禁止された例外が発生した場合にはハードフォールトとして扱われます。

表 6-1 例外の種類と優先度

番号	例外	優先度	要因
1	リセット	-3 (最高)	リセット端子, WDT, POR, OFD, SYSRESETREQ
2	マスク不能割り込み	-2	WDT, VLTD
3	ハードフォールト	-1	より優先度の高いフォールトの処理中、または禁止されているために発生できないフォールト
4	メモリ管理	構成可能	MPU (メモリ保護ユニット)からの例外(注 1) 実行不可(XN) (Execute Never)領域からの命令フェッチ
5	バスフォールト	構成可能	メモリマップのハードフォールト領域に対するアクセス
6	用法フォールト	構成可能	未定義命令の実行や、命令実行によって発生するその他のエラー
7~10	予約	-	
11	SVCcall	構成可能	SVC 命令によるシステムサービスの呼び出し
12	デバッグモニタ	構成可能	CPU がフォールト中でないときのデバッグモニタ
13	予約	-	
14	PendSV	構成可能	保留可能なシステムサービスへの要求
15	SysTick	構成可能	システムタイマからの通知
16~	外部割り込み	構成可能	外部割り込み端子や周辺機能(注 2)

注 1) 本製品は MPU を搭載していません。

注 2) 外部割り込みは、製品により要因と番号が異なります。具体的な要因と番号については、「6.5.1.5 要因一覧」を参照してください。

(3) 優先度の設定

・ 優先度レベル

外部割り込みの優先度は、割り込み優先度レジスタで、それ以外の例外はシステムハンドラ優先度レジスタで該当する<PRI_n>ビットに設定します。

<PRI_n>は、構成を変更することが可能になっており、優先度設定のためのビット数は製品により3ビット~8ビットのいずれかになります。このため、設定できる優先度の範囲も製品により異なります。

8ビットの構成の場合、優先度は0~255のレベルを設定できます。最も高い優先度は"0"です。複数の要因を同じ優先度に設定した場合、番号の小さい例外の優先度が高くなります。

注) 本製品では、<PRI_n>ビットは3ビットの構成になっています。

・ 優先度のグループ化

優先度をグループ化することもできます。アプリケーション割り込みおよびリセット制御レジスタの<PRIGROUP>を設定することで、<PRI_n>を横取り優先度とサブ優先度に分割することができます。

優先度はまず横取り優先度で判定され、横取り優先度が同じ場合サブ優先度で判定されます。サブ優先度も同じ場合は例外番号の小さいほうが優先度が高くなります。

表 6-2 に優先度のグループ化の設定についてまとめます。表中の横取り優先度数、サブ優先度数は、<PRI_n>が8ビット構成の場合の数です。

表 6-2 優先度のグループ化設定

<PRIGROUP[2:0]> の設定	<PRI_n[7:0]>		横取り優先度数	サブ優先度数
	横取り フィールド	サブ優先度 フィールド		
000	[7:1]	[0]	128	2
001	[7:2]	[1:0]	64	4
010	[7:3]	[2:0]	32	8
011	[7:4]	[3:0]	16	16
100	[7:5]	[4:0]	8	32
101	[7:6]	[5:0]	4	64
110	[7]	[6:0]	2	128
111	なし	[7:0]	1	256

注) <PRI_n>の構成が8ビットより小さい場合、下位ビットは"0"となります。

たとえば、3ビット構成の場合、<PRI_n[7:5]>で優先度が設定され、<PRI_n[4:0]>は"00000"になります。

6.1.2.2 例外の処理と割り込み処理ルーチンへの分岐(横取り)

例外により、実行中の処理を中断して割り込み処理ルーチンへ分岐する動作を"横取り"と呼びます。

(1) レジスタの退避

例外を検出すると、CPUは8つのレジスタの内容を退避します。退避するレジスタと退避の順序は以下のとおりです。

- ・ プログラムカウンタ(PC)
- ・ プログラムステータスレジスタ(xPSR)
- ・ r0～r3
- ・ r12
- ・ リンクレジスタ(LR)

レジスタの退避が終了すると、SPは8ワード分減らされます。レジスタ退避終了後のスタックの状態は以下のようになっています。



(2) 割り込み処理ルーチンのフェッチ

レジスタの退避と同時にCPUは割り込み処理ルーチンの命令フェッチを行います。

各例外の割り込み処理ルーチンの先頭番地をベクタテーブルに準備しておきます。ベクタテーブルはリセット後、コード領域の0x0000_0000番地に置かれます。ベクタテーブルは、ベクタテーブルオフセットレジスタを設定することでコード空間またはSRAM空間の任意のアドレスに置くことができます。

ベクタテーブルにはまた、メインスタックの初期値を設定します。

(3) 後着

割り込み処理ルーチンの実行前に、検出した例外よりも優先度の高い例外を検出した場合、CPUは優先度の高い例外の処理に移行します。これを後着と呼びます。

後着の場合、CPUは新たに検出された例外の割り込み処理ルーチンのフェッチを改めて行い、分岐しますが、再度レジスタの内容を退避することはありません。

(4) ベクタテーブルの構成

ベクタテーブルの構成は以下のとおりです。

最初の4ワード(スタックの先頭アドレス, リセット, NMI, ハードフォールトの割り込み処理ルーチンアドレス)は必ず設定する必要があります。その他の例外の割り込み処理ルーチンアドレスは、必要に応じて準備します。

オフセット	例外	内容	備考
0x00	リセット	メインスタックの初期値	必須
0x04	リセット	割り込み処理ルーチンアドレス	必須
0x08	マスク不能割り込み	割り込み処理ルーチンアドレス	必須
0x0C	ハードフォールト	割り込み処理ルーチンアドレス	必須
0x10	メモリ管理	割り込み処理ルーチンアドレス	任意
0x14	バスフォールト	割り込み処理ルーチンアドレス	任意
0x18	用法フォールト	割り込み処理ルーチンアドレス	任意
0x1C ~ 0x28	予約		
0x2C	SVCall	割り込み処理ルーチンアドレス	任意
0x30	デバッグモニタ	割り込み処理ルーチンアドレス	任意
0x34	予約		
0x38	PendSV	割り込み処理ルーチンアドレス	任意
0x3C	SysTick	割り込み処理ルーチンアドレス	任意
0x40	外部割り込み	割り込み処理ルーチンアドレス	任意

6.1.2.3 割り込み処理ルーチンの発行

割り込み処理ルーチンでは、発生した例外に応じて必要な処理を行います。割り込み処理ルーチンはユーザが準備します。

割り込み処理ルーチンでは、通常の処理プログラムに戻ったときに再度同じ割り込みが発生しないよう、割り込み要求の取り下げなどの処理が必要になる場合があります。

割り込みについての詳細は「6.5 割り込み」の節で説明します。

割り込み処理ルーチンの実行中に現在処理中の例外よりも優先度の高い例外を検出した場合、CPU は現在実行中の割り込み処理ルーチンを中断し新たに検出された例外の処理を行います。

6.1.2.4 例外からの復帰

(1) 割り込み処理ルーチンからの復帰先

割り込み処理ルーチン終了時の状態により復帰先が決まります。

- ・ テールチェーン
保留中の例外が存在し、中断されている例外処理がないかまたは中断されているどの例外よりも優先度が高い場合、保留中の例外の割り込み処理ルーチンへ復帰します。
このとき、スタックの退避と復帰は省略されます。この動作をテールチェーンと呼びます。
- ・ 処理が中断されている割り込み処理ルーチンへ復帰
保留中の例外がない場合、または存在しても処理が中断されている例外の優先度が高い場合、中断されている例外の割り込み処理ルーチンへ復帰します。
- ・ 元のプログラムへ復帰
保留中の例外も処理が中断されている例外もない場合、元のプログラムへ復帰します。

(2) 復帰処理

CPU は、割り込み処理ルーチンから復帰する際に以下の処理を行います。

- ・ レジスタの復帰
退避していた 8 つのレジスタ(PC, xPSR, r0~r3, r12, LR)を復帰し SP を調整します。
- ・ 割り込み番号のロード
退避していた xPSR から現在有効な割り込み番号をロードします。この割り込み番号によって CPU はどの割り込みに復帰するかを制御します。
- ・ SP の選択
例外(ハンドラモード)へ復帰する場合、SP は SP_main です。スレッドモードへ復帰する場合、SP は SP_main または SP_process です。

6.2 リセット例外

リセット例外には、以下の5種類の要因があります。

リセットの要因を確認するためには、クロックジェネレータレジスタのCGRSTFLGを参照してください。

- ・ 外部リセット端子
外部リセット端子を"Low"にしたのち、"High"にすることによりリセット例外が発生します。
- ・ WDTによるリセット例外
WDTにリセットを発生する機能があります。詳細は「ウォッチドッグタイマ」の章をご覧ください。
- ・ SYSRESETREQによるリセット例外
NVICレジスタの、アプリケーション割り込みおよびリセット制御レジスタのSYSRESETREQビットをセットすることで、リセットを発生させることができます。
- ・ PORによるリセット例外
PORにリセットを発生する機能があります。詳細は「パワーオンリセット回路」の章をご覧ください。
- ・ OFDによるリセット例外
OFDにリセットを発生する機能があります。詳細は「周波数検知回路」の章をご覧ください。

6.3 マスク不能割り込み(NMI)

マスク不能割り込みには、以下の2種類の要因があります。

マスク不能割り込みの要因を確認するためには、クロックジェネレータレジスタのCGNMIFLGを参照してください。

- ・ WDTによるマスク不能割り込み
WDTにマスク不能割り込みを発生する機能があります。詳細は「ウォッチドッグタイマ」の章をご覧ください。
- ・ VLTDによるマスク不能割り込み
VLTDにマスク不能割り込みを発生する機能があります。詳細は「電圧検出回路」の章をご覧ください。

6.4 SysTick

SysTick は、CPU の持つシステムタイマを使用した割り込み機能です。

SysTick リロード値レジスタに値を設定し、SysTick 制御およびステータスレジスタで機能をイネーブルにすると、リロード値レジスタに設定された値がカウンタへリロードされカウントダウンを開始します。カウンタが"0"になると SysTick 例外が発生します。また、例外を保留しフラグでタイマが"0"になったことを確認することもできます。

SysTick 較正值レジスタには、システムタイマで 10 ms を計測する際のリロード値が準備されています。製品により、カウントクロックの周期は異なるため、較正值レジスタに設定されている値も異なります。

注) 本製品では、外部参照クロックとして f_{osc} (CGOSCCR<OSCSEL>で選択されるクロック)を 32 分周したクロックが使用されます。

6.5 割り込み

この節では、割り込みの伝わる経路, 要因, 必要な設定について説明します。

割り込みは、割り込み要因ごとの信号により CPU へ通知されます。

CPU は、優先順位付けを行い最も優先度の高い割り込みを発生します。

スタンバイ解除に使用する割り込み要因は、クロックジェネレータを経由して CPU に要因が伝わるため、クロックジェネレータの設定も必要です。

6.5.1 要因

6.5.1.1 経路

割り込み要求の経路を図 6-1 に示します。

周辺機能からの割り込み要求のうち、スタンバイ解除に使用されないものは直接 CPU に入力されます。(経路 ①)

スタンバイ解除に使用される周辺機能割り込み(経路 ②)および、外部割り込み端子からの割り込み(経路 ③)はクロックジェネレータに入力され、スタンバイ解除のロジックを経由して CPU に入力されます。(経路 ④⑤)

外部割り込み端子からの割り込みは、スタンバイ解除に使用しない場合スタンバイ解除ロジックを経由せずに CPU に入力されます。(経路 ⑥)

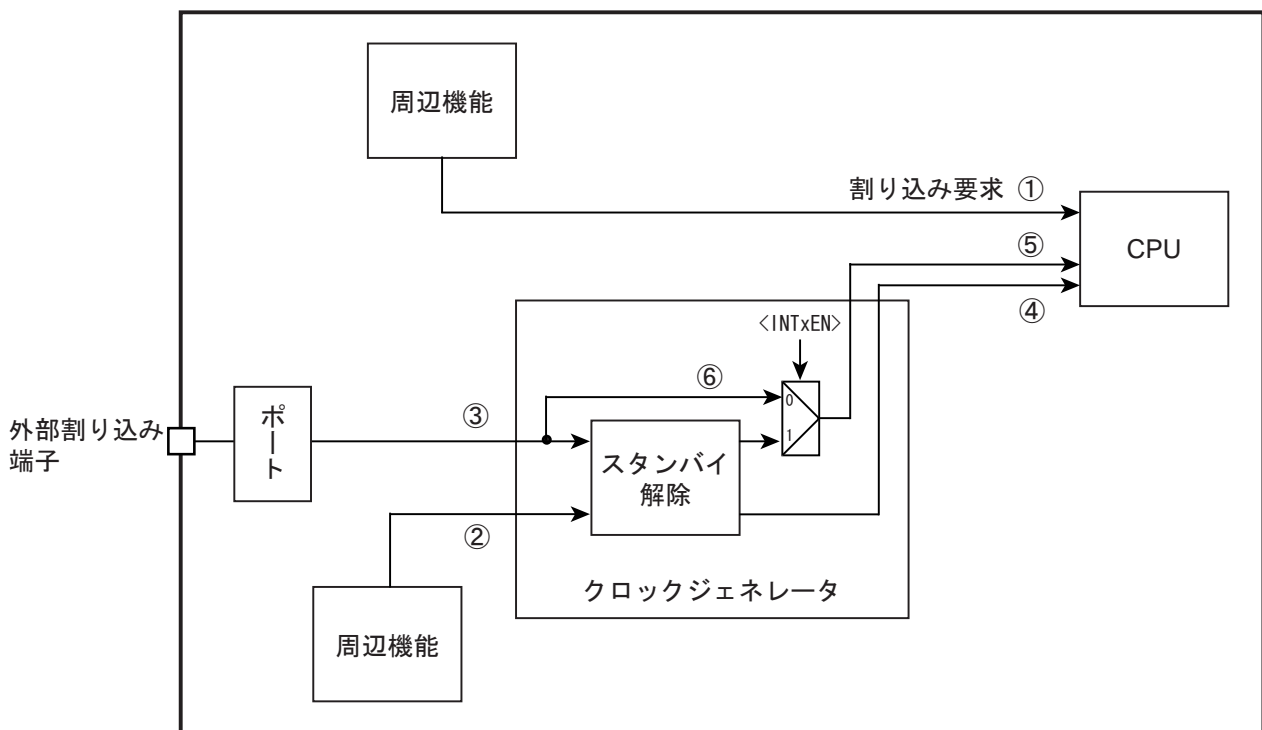


図 6-1 割り込みの経路

6.5.1.2 割り込み要因の発生

割り込み要求は、割り込み要因に割り当てられた外部端子、周辺機能、NVIC レジスタの割り込み保留セットレジスタの設定により発生します。

- ・ 外部端子からの割り込み
外部割り込み端子を使用する場合、ポートの制御レジスタで端子を割り込み機能に設定します。
- ・ 周辺機能の割り込み
周辺機能の割り込みを使用する場合、使用する周辺機能で割り込みが出力されるよう設定する必要があります。
詳細は各章をご覧ください。
- ・ 割り込みの強制的な保留
割り込み保留セットレジスタの該当する割り込みのビットをセットすることで、割り込み要因を発生させることができます。

6.5.1.3 割り込み要因の伝達

外部端子/周辺機能から発生した割り込み要求のうち、スタンバイ解除要因にならないものは直接 CPU に接続されます。

スタンバイ解除要因として使用できる割り込みは、クロックジェネレータを経由して CPU に接続されるため、クロックジェネレータの設定が必要です。ただし、外部割り込みについてはスタンバイ解除要因として使用しない場合はクロックジェネレータの設定なしで使用することもできます。この場合、次項の注意事項に留意して使用してください。

6.5.1.4 外部割り込み端子を使用する際の注意

外部割り込みを使用する際には、予期しない割り込みが発生しないよう以下の点に留意してください。

外部割り込み端子からの入力信号は、入力ディセーブル($PxIE < PxmIE = "0"$)の場合 "High" となります。また、外部割り込みをスタンバイ解除要因として使用しない場合（「図 6-1 割り込みの経路」の⑥の経路）、外部割り込み端子からの入力信号がそのまま CPU に伝わります。CPU は "High" 入力を割り込みとして認識しますので、入力ディセーブルのまま CPU で該当する割り込みを有効にすると割り込みが発生します。

外部割り込みをスタンバイ解除要因とせずに使用する際には、割り込み端子入力を "Low" レベルとして入力ディセーブルにし、その後 CPU で割り込み許可設定を行ってください。

6.5.1.5 要因一覧

割り込みの要因一覧を表 6-3 に示します。

表 6-3 割り込み要因一覧

番号	要因		アクティブレベル (スタンバイ解除)	CG 割り込みモード コントロールレジスタ		
0	INT0	割り込み端子 0	任意	CGIMCGA		
1	INT1	割り込み端子 1				
2	INT2	割り込み端子 2				
3	INT3	割り込み端子 3				
4	INT4	割り込み端子 4				
5	INT5	割り込み端子 5				
6	INTRX0	シリアル受信 (channel 0)				
7	INTTX0	シリアル送信 (channel 0)				
8	INTRX1	シリアル受信(channel 1)				
9	INTTX1	シリアル送信 (channel 1)				
10	INTSSP0	SSP 割り込み (channel 0)				
11	INTSSP1	SSP 割り込み (channel 1)				
12	INTEMG0	PMD EMG 割り込み (channel 0)				
13	INTEMG1	PMD EMG 割り込み (channel 1)				
14	INTSBI0	シリアルバスインタフェース 0				
15	INTSBI1	シリアルバスインタフェース 1				
16	INTADPD0	ADC PMD0 トリガ同期変換終了				
17	INTRTC	RTC			↓エッジ	CGIMCGE
18	INTADPD1	ADC PMD1 トリガ同期変換終了				
19	INTRMCRX	リモコン受信			↑エッジ	CGIMCGE
20	INTTB00	16-bit TMRB コンペア一致 0/オーバーフロー (channel 0)				
21	INTTB01	16-bit TMRB コンペア一致 1 (channel 0)				
22	INTTB10	16-bit TMRB コンペア一致 0/オーバーフロー (channel 1)				
23	INTTB11	16-bit TMRB コンペア一致 1 (channel 1)				
24	INTTB40	16-bit TMRB コンペア一致 0/オーバーフロー (channel 4)				
25	INTTB41	16-bit TMRB コンペア一致 1 (channel 4)				
26	INTTB50	16-bit TMRB コンペア一致 0/オーバーフロー (channel 5)				
27	INTTB51	16-bit TMRB コンペア一致 1 (channel 5)				
28	INTPMD0	PMD PWM 割り込み (channel 0)				
29	INTPMD1	PMD PWM 割り込み (channel 1)				
30	INTCAP00	16-bit TMRB インพุットキャプチャ 0 (channel 0)				
31	INTCAP01	16-bit TMRB インพุットキャプチャ 1 (channel 0)				
32	INTCAP10	16-bit TMRB インพุットキャプチャ 0 (channel 1)				
33	INTCAP11	16-bit TMRB インพุットキャプチャ 1 (channel 1)				
34	INTCAP40	16-bit TMRB インพุットキャプチャ 0 (channel 4)				
35	INTCAP41	16-bit TMRB インพุットキャプチャ 1 (channel 4)				
36	INTCAP50	16-bit TMRB インพุットキャプチャ 0 (channel 5)				
37	INTCAP51	16-bit TMRB インพุットキャプチャ 1 (channel 5)				
38	INT6	割り込み端子 6	任意	CGIMCGB		
39	INT7	割り込み端子 7				
40	INTRX2	シリアル受信(channel 2)				

表 6-3 割り込み要因一覧

番号	要因		アクティブレベル (スタンバイ解除)	CG 割り込みモード コントロールレジスタ		
41	INTTX2	シリアル送信 (channel 2)				
42	INTADCP0	AD 変換監視機能割り込み 0				
43	INTADCP1	AD 変換監視機能割り込み 1				
44	INTRX4	シリアル受信(channel 4)				
45	INTTX4	シリアル送信 (channel 4)				
46	INTTB20	16-bit TMRB コンペアー致 0/オーバフロー (channel 2)				
47	INTTB21	16-bit TMRB コンペアー致 1 (channel 2)				
48	INTTB30	16-bit TMRB コンペアー致 0/オーバフロー (channel 3)				
49	INTTB31	16-bit TMRB コンペアー致 1 (channel 3)				
50	INTCAP20	16-bit TMRB インพุットキャプチャ 0 (channel 2)				
51	INTCAP21	16-bit TMRB インพุットキャプチャ 1 (channel 2)				
52	INTCAP30	16-bit TMRB インพุットキャプチャ 0 (channel 3)				
53	INTCAP31	16-bit TMRB インพุットキャプチャ 1 (channel 3)				
54	INTADSFT	AD ソフトスタート終了				
55	予約	予約				
56	INTADTMR	AD タイマ同期変換終了				
57	予約	予約				
58	INT8	割り込み端子 8			任意	CGIMCGC
59	INT9	割り込み端子 9				
60	INTA	割り込み端子 A				
61	INTB	割り込み端子 B				
62	INTENC0	エンコーダ PMD 用エンコーダ入力割り込み (channel 0)				
63	INTENC1	エンコーダ PMD 用エンコーダ入力割り込み (channel 1)				
64	INTRX3	シリアル受信(channel 3)				
65	INTTX3	シリアル送信 (channel 3)				
66	INTTB60	16-bit TMRB コンペアー致 0/オーバフロー (channel 6)				
67	INTTB61	16-bit TMRB コンペアー致 1 (channel 6)				
68	INTTB70	16-bit TMRB コンペアー致 0/オーバフロー (channel 7)				
69	INTTB71	16-bit TMRB コンペアー致 1 (channel 7)				
70	INTCAP60	16-bit TMRB インพุットキャプチャ 0 (channel 6)				
71	INTCAP61	16-bit TMRB インพุットキャプチャ 1 (channel 6)				
72	INTCAP70	16-bit TMRB インพุットキャプチャ 0 (channel 7)				
73	INTCAP71	16-bit TMRB インพุットキャプチャ 1 (channel 7)				
74	INTC	割り込み端子 C	任意	CGIMCGD		
75	INTD	割り込み端子 D				
76	INTE	割り込み端子 E				
77	INTF	割り込み端子 F				
78	INTDMACERR	DMA 転送エラー割り込み				
79	INTDMACTC	DMA 転送終了割り込み				
80	INTMTTB00	MPT コンペアー致 0/オーバフロー、 IGBT 周期割り込み (channel 0)				
81	INTMTTB01	MPT コンペアー致 1、 IGBT トリガ割り込み (channel 0)				

表 6-3 割り込み要因一覧

番号	要因		アクティブレベル (スタンバイ解除)	CG 割り込みモード コントロールレジスタ
82	INTMTTB10	MPT コンペアー致 0/オーバーフロー、 IGBT 周期割り込み (channel 1)		
83	INTMTTB11	MPT コンペアー致 1、 IGBT トリガ割り込み (channel 1)		
84	INTMTTB20	MPT コンペアー致 0/オーバーフロー、 IGBT 周期割り込み (channel 2)		
85	INTMTTB21	MPT コンペアー致 1、 IGBT トリガ割り込み (channel 2)		
86	INTMTCAP00	MPT インพุットキャプチャ 0 (channel 0)		
87	INTMTCAP01	MPT インพุットキャプチャ 1 (channel 0)		
88	INTMTCAP10	MPT インพุットキャプチャ 0 (channel 1)		
89	INTMTCAP11	MPT インพุットキャプチャ 1 (channel 1)		
90	INTMTCAP20	MPT インพุットキャプチャ 0 (channel 2)		
91	INTMTCAP21	MPT インพุットキャプチャ 1 (channel 2)		
92	INTMTEMG0	MPT EMG 割り込み (channel 0)		
93	INTMTEMG1	MPT EMG 割り込み (channel 1)		
94	INTMTEMG2	MPT EMG 割り込み (channel 2)		

6.5.1.6 アクティブレベル

アクティブレベルはどのような信号変化を割り込み要因と見なすかを示しています。CPU は割り込み信号の"High"を割り込み要因とみなします。各種周辺機能から CPU へ直接割り込み信号が伝わるものは、割り込み要求として"High"パルスを出力するようになっています。

スタンバイ解除要因となる割り込みについては、クロックジェネレータに設定するアクティブレベルは、周辺機能からの割り込み要求は立ち上がり(「↑」)エッジまたは立ち下がり(「↓」)エッジとなり、割り込み端子からの割り込み要求は"High"レベル、"Low"レベル、立ち上がり(「↑」)エッジ、立ち下がり(「↓」)エッジから選ぶことができます。

スタンバイ解除要因となる割り込みを使用するときにはクロックジェネレータレジスタの CGIMCGx<INTxEN>を有効にし、CGIMCGx<EMCGx[2:0]>にアクティブレベルを設定します。周辺機能からの割り込み要求のアクティブレベルは表 6-3 で指定されているとおりに設定してください。

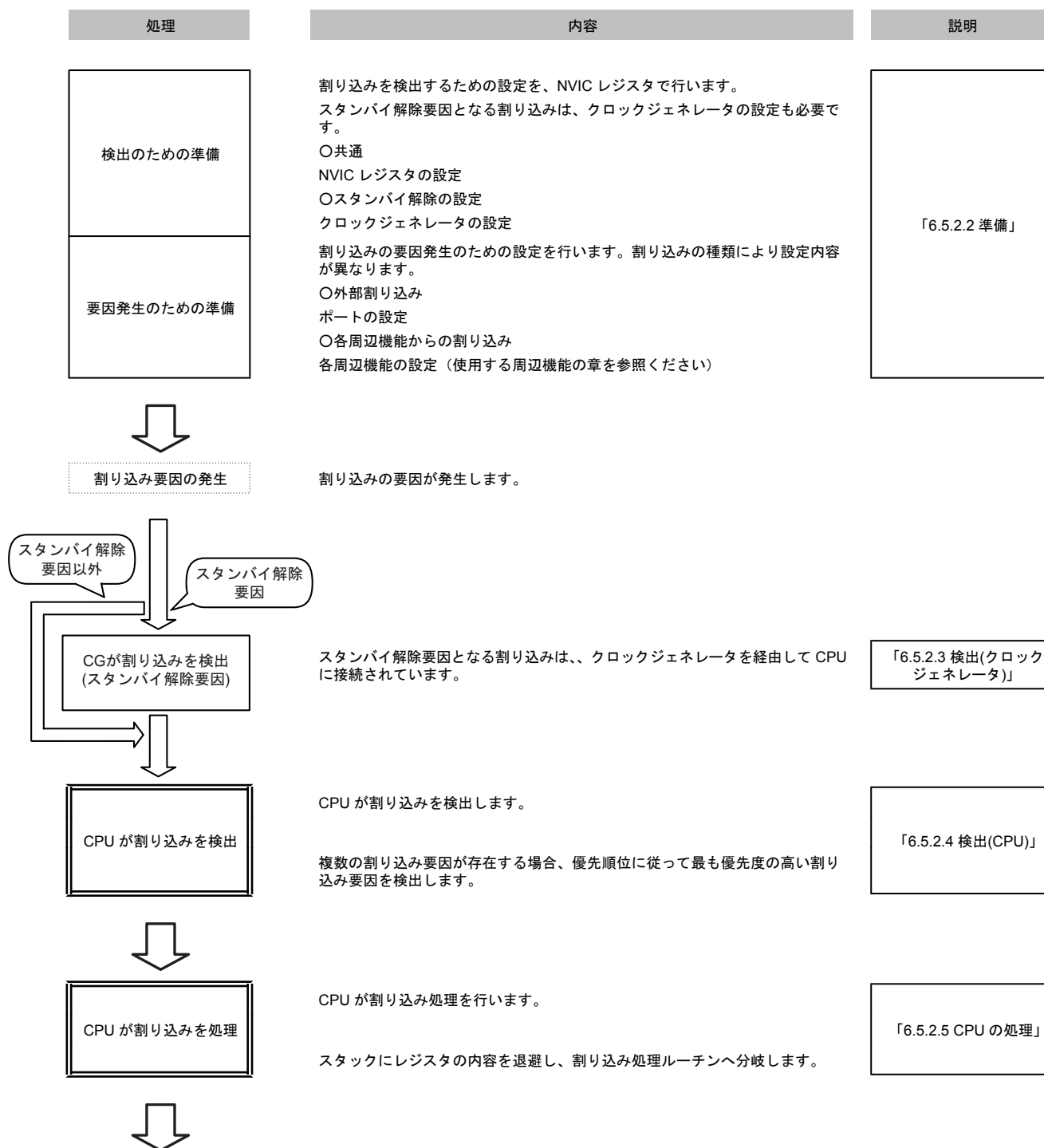
クロックジェネレータで検出された割り込みは、"High"レベル信号で CPU に通知されます。


6.5.2 処理詳細

6.5.2.1 処理の流れ

割り込みの処理の流れを以下に示します。

以下の説明で、はハードウェアによる処理を、はソフトウェアによる処理を示しています。



処理	内容	説明
割り込み サービスルーチン実行	必要な処理をプログラミングしてください。 必要に応じて割り込み要因の取り下げを行ってください。	「6.5.2.6 割り込み処理ルーチンでの処理(要因の取り下げ)」
 元のプログラムへ復帰	割り込み処理ルーチンから通常の処理プログラムに復帰します。	

6.5.2.2 準備

割り込みの準備を行うときには、設定途中で不要な割り込みの発生を防ぐために設定の順番に注意が必要です。

割り込みの使用開始、または設定変更のときの基本的な順序は、まず、CPU で割り込みを禁止し、次に割り込み経路で CPU から遠いところから設定を行い、最後に CPU で割り込みを許可します。

クロックジェネレータの設定を行うときには、条件の設定を行った後、不要な割り込みが発生しないよう、クロックジェネレータ内部の割り込み情報をクリアしてから割り込み許可の設定を行います。

以下に設定の手順と、手順ごとの具体的な設定方法を示します。

1. CPU 割り込み禁止
2. CPU 割り込み設定
3. 要因の準備(1)(外部割り込み)
4. 要因の準備(2)(周辺機能からの割り込み)
5. 要因の準備(3)(割り込み保留セットレジスタ)
6. クロックジェネレータの設定
7. CPU 割り込み許可

(1) CPU 割り込み禁止

CPU を割り込み禁止状態にするには、PRIMASK レジスタに"1"をセットします。これにより、マスク不能割り込みとハードフォールト例外以外のすべての割り込みと例外がマスクされます。

このレジスタをセットするためには"MSR"命令を使用します。

割り込みマスクレジスタ		
PRIMASK	←	"1"(割り込み禁止)

注 1) PRIMASK レジスタは、ユーザ・アクセス・レベルではセットできません。

注 2) PRIMASK レジスタに"1"がセットされているとき、フォールトが発生するとハードフォールトとして扱われます。

(2) CPU 割り込み設定

NVIC レジスタの割り込み優先度 レジスタで<PRI_n>に優先度の設定を行います。

このレジスタは、8 ビットごとに各割り込み要因に割り当てられていますが、製品ごとに構成するビット数が異なります。8 ビットの構成の場合「0」から「255」までの優先度を設定することができます。最も高い優先度は「0」です。複数の要因を同じ優先度に設定した場合、番号の小さい割り込みの優先度が高くなります。

グループ優先度を設定する場合にはアプリケーション割り込みおよびリセット制御レジスタの<PRIGROUP>も設定します。

NVIC レジスタ		
<PRI_n>	←	「優先度」
<PRIGROUP>	←	「グループ優先度」(必要に応じて設定してください)

注) 「n」は該当する例外/割り込みの番号を示します。
本製品では割り込み優先度レジスタの優先度設定領域は3ビットの構成になっています。

(3) 要因の準備(1) (外部割り込み)

外部割り込みを使用する場合、該当する端子のポートの設定を行います。機能端子として使用するため、該当するポートのファンクションレジスタ PxFRn[m]を"1"に、ポートを入力として使用するために PxIE[m]を"1"に設定します。

ポートレジスタ		
PxFRn<PxmFn>	←	"1"
PxIE<PxmlE>	←	"1"

注) 「x」は該当ポート番号、「m」は該当ビット、「n」はファンクションレジスタ番号を示します。
STOP 以外のモードでは、PxIE で入力イネーブル設定であれば PxFR の設定によらず割り込みの入力が有効になります。割り込みの設定を行う際に、未使用の割り込みをイネーブルにしないようご注意ください。また、「6.5.1.4 外部割り込み端子を使用する際の注意」の記載事項に注意してください。

(4) 要因の準備(2) (周辺機能からの割り込み)

周辺機能からの割り込みを使用する場合、設定方法は周辺機能によって異なります。各周辺機能の章をご覧ください。

(5) 要因の準備(3) (割り込み保留セットレジスタ)

割り込み保留セットレジスタで割り込みを発生する場合、該当するビットに"1"をセットします。

NVIC レジスタ		
割り込み保留セット[m]	←	"1"

注) 「m」は該当ビットを示します。

(6) クロックジェネレータの設定

スタンバイ解除要因となる割り込みは、クロックジェネレータの CGIMCG レジスタでアクティブレベルと割り込み許可の設定を行います。CGIMCG レジスタは要因ごとの設定レジスタです。

割り込み許可の前に、不要な割り込み発生を防止するため割り込み要求のクリアを CGICRCG レジスタで行います。CGICRCG レジスタは、要因に対応した値を書き込むことで保持されていた割り込み要求をクリアすることができます。具体的な値は、「6.6.3.6 CGICRCG(CG 割り込み要求クリアレジスタ)」を参照してください。

割り込み端子からの割り込み要求をスタンバイ解除要因として使用しない場合、クロックジェネレータの設定を行わずに使用することもできます。ただし、CPUが割り込み要因として検出するためには、「High」パルスまたは「High」レベルの信号を入力する必要があります。また、「6.5.1.4 外部割り込み端子を使用する際の注意」の記載事項に注意してください。

クロックジェネレータレジスタ		
CGIMCGn<EMCGm>	←	アクティブレベル
CGICRCG<ICRCG>	←	使用する要因に対応する値
CGIMCGn<INTmEN>	←	"1"(割り込み許可)

注) 「n」はレジスタ番号、「m」は割り込み要因固有の番号を示します。

(7) CPU 割り込み許可

CPUの割り込み許可の設定をします。

割り込み保留クリアレジスタで保留状態の割り込みをクリアし、割り込みイネーブルセットレジスタで割り込みを許可します。これらのレジスタは1ビットずつ各割り込み要因に割り当てられています。

割り込み保留クリアレジスタの該当する割り込みのビットに"1"を書くことで保留されている要因をクリアすることができ、割り込みイネーブルセットレジスタの該当する割り込みのビットに"1"を書くことで割り込みを許可することができます。

ただし、割り込み保留セットレジスタの設定で割り込みを発生する場合、割り込み保留クリアを行うと割り込み要因そのものが失われるため、この操作は不要です。

最後に、PRIMASKレジスタを"0"にクリアします。

NVIC レジスタ		
割り込み保留クリア[m]	←	"1"
割り込みイネーブルセット[m]	←	"1"
割り込みマスクレジスタ		
PRIMASK	←	"0"

注1) 「m」は該当ビットを示します。

注2) PRIMASKレジスタは、ユーザ・アクセス・レベルではセットできません。

6.5.2.3 検出(クロックジェネレータ)

スタンバイ解除要因となる割り込みは、クロックジェネレータに設定されたアクティブレベルにしたがって検出されCPUに伝えられます。

アクティブレベルが立ち上がりまたは立ち下がりエッジの割り込み要因は、検出された後クロックジェネレータで要因が保持されますが、「High」レベルまたは「Low」レベル設定の割り込み要因は、アクティブレベルから変化すると割り込み要因がなくなったとみなされるため、割り込み検出までレベルを保つ必要があります。

クロックジェネレータは割り込みを検出するとCG割り込み要求クリアレジスタ(CGICRCG)で解除されるまで「High」レベルの割り込み信号をCPUに出力します。解除を行わずに復帰すると再度同じ割り込みが検出されますので、割り込み処理ルーチン内で割り込みの解除を行ってください。

6.5.2.4 検出(CPU)

CPU は優先順位に従って最も優先度の高い割り込み要因を検出します。

6.5.2.5 CPU の処理

割り込みが検出されると、CPU はスタックへ PC, PSR, r0~r3, r12, LR を退避し、検出した割り込みの割り込み処理ルーチンへ分岐します。

6.5.2.6 割り込み処理ルーチンでの処理(要因の取り下げ)

割り込み処理ルーチンではアプリケーションにより必要な内容をプログラミングしますが、ここでは推奨する処理と要因の取り下げについて説明します。

(1) 割り込み処理ルーチンでの処理

通常、割り込み処理ルーチンでは必要なレジスタの退避と割り込み処理を行います。Cortex-M3 コアは自動的に PC, PSR, r0~r3, r12, LR をスタックへ退避するため、これらのレジスタをユーザプログラムで退避する必要はありません。

その他のレジスタについては必要に応じて退避します。

割り込み処理ルーチン実行中でも、より高い優先度の割り込みや NMI などの例外は受け付けられます。そのため書き換わる可能性のある、汎用レジスタを退避することを推奨します。

(2) 割り込み要因の取り下げ

スタンバイ解除要因となる割り込みについては、CGICRCG レジスタで割り込み要求を解除する必要があります。

アクティブレベルがレベル検出の割り込みの場合、要因そのものを取り下げない限り割り込み要求は存在し続けるため、まず要因を取り下げる必要があります。レベル検出の場合は、要因が取り下げられるとクロックジェネレータからの割り込み要求信号は自動的に取り下げられます。

エッジ検出の場合は CGICRCG レジスタに該当する割り込みの値を設定することで要因は取り下げられ、再度有効なエッジが発生したときに改めて要因として認識されます。

6.6 例外/割り込み関連レジスタ

以下に、本章で説明した CPU の NVIC レジスタとクロックジェネレータレジスタとアドレスを示します。

6.6.1 レジスタ一覧

NVIC レジスタ

Base Address = 0xE000_E000

レジスタ名	Address(Base+)
SysTick 制御およびステータスレジスタ	0x0010
SysTick リロード値レジスタ	0x0014
SysTick 現在値レジスタ	0x0018
SysTick 較正值レジスタ	0x001C
割り込みイネーブルセットレジスタ 1	0x0100
割り込みイネーブルセットレジスタ 2	0x0104
割り込みイネーブルセットレジスタ 3	0x0108
割り込みイネーブルクリアレジスタ 1	0x0180
割り込みイネーブルクリアレジスタ 2	0x0184
割り込みイネーブルクリアレジスタ 3	0x0188
割り込み保留セットレジスタ 1	0x0200
割り込み保留セットレジスタ 2	0x0204
割り込み保留セットレジスタ 3	0x0208
割り込み保留クリアレジスタ 1	0x0280
割り込み保留クリアレジスタ 2	0x0284
割り込み保留クリアレジスタ 3	0x0288
割り込み優先度レジスタ	0x0400 ~ 0x045C
ベクタテーブルオフセットレジスタ	0x0D08
アプリケーション割り込みおよびリセット制御レジスタ	0x0D0C
システムハンドラ優先度レジスタ	0x0D18, 0x0D1C, 0x0D20
システムハンドラ制御および状態レジスタ	0x0D24

クロックジェネレータレジスタ

Base Address = 0x4004_0200

レジスタ名	Address(Base+)
CG 割り込み要求クリアレジスタ	CGICRCG 0x0014
NMI フラグレジスタ	CGNMIFLG 0x0018
リセットフラグレジスタ	CGRSTFLG 0x001C
CG 割り込みモードコントロールレジスタ A	CGIMCGA 0x0020
CG 割り込みモードコントロールレジスタ B	CGIMCGB 0x0024
CG 割り込みモードコントロールレジスタ C	CGIMCGC 0x0028
CG 割り込みモードコントロールレジスタ D	CGIMCGD 0x002C
CG 割り込みモードコントロールレジスタ E	CGIMCGE 0x0030

6.6.2 NVIC レジスタ

6.6.2.1 SysTick 制御およびステータスレジスタ

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	COUNTFLAG
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	CLKSOURCE	TICKINT	ENABLE
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-17	-	R	リードすると"0"が読めます。
16	COUNTFLAG	R/W	0: タイマは0になっていない 1: タイマが0になった "1"の場合、最後の読み出しの後にタイマが"0"になったことを示します。 このレジスタのいずれかの部分を読み出すとこのビットはクリアされます。
15-3	-	R	リードすると"0"が読めます。
2	CLKSOURCE	R/W	0: 外部参照クロック($f_{osc}/32$) 1: CPU クロック(f_{sys})
1	TICKINT	R/W	0: SysTick を保留しない 1: SysTick を保留する
0	ENABLE	R/W	0: ディセーブル 1: イネーブル "1"をセットするとリロード値レジスタの値をカウンタにロードし、動作を開始します。

注) 本製品では、外部参照クロックとして f_{osc} (CGOSCCR<OSCSEL>で選択されるクロック)を 32 分周したクロックが使用されます。

6.6.2.2 SysTick リロード値レジスタ

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	RELOAD							
リセット後	不定							
	15	14	13	12	11	10	9	8
bit symbol	RELOAD							
リセット後	不定							
	7	6	5	4	3	2	1	0
bit symbol	RELOAD							
リセット後	不定							

Bit	Bit Symbol	Type	機能
31-24	-	R	リードすると"0"が読めます。
23-0	RELOAD	R/W	リロード値 タイマが"0"になったときに SysTick 現在値レジスタにロードする値を設定します。

6.6.2.3 SysTick 現在値レジスタ

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	CURRENT							
リセット後	不定							
	15	14	13	12	11	10	9	8
bit symbol	CURRENT							
リセット後	不定							
	7	6	5	4	3	2	1	0
bit symbol	CURRENT							
リセット後	不定							

Bit	Bit Symbol	Type	機能
31-24	-	R	リードすると"0"が読めます。
23-0	CURRENT	R/W	[リード] SysTick タイマ現在値 [ライト] クリア 任意の値を書き込むとタイマカウントがクリアされます。 このレジスタをクリアすることで、SysTick 制御およびステータスレジスタの<COUNTFLAG>もクリアされます。

6.6.2.4 SysTick 較正值レジスタ

	31	30	29	28	27	26	25	24
bit symbol	NOREF	SKEW	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	TENMS							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	TENMS							
リセット後	0	0	0	0	1	0	0	1
	7	6	5	4	3	2	1	0
bit symbol	TENMS							
リセット後	1	1	0	0	0	1	0	0

Bit	Bit Symbol	Type	機能
31	NOREF	R	0: 参照クロックあり 1: 参照クロックなし
30	SKEW	R	0: 較正值は 10 ms 1: 較正值は 10 ms でない
29-24	-	R	リードすると"0"が読めます。
23-0	TENMS	R	較正值 外部参照クロックで 10 ms をカウントするために使用するリロード値(0x9C4)です。(注)

注) マルチショットで使用する場合、この値を-1して使用してください。

6.6.2.5 割り込みイネーブルセットレジスタ 1

	31	30	29	28	27	26	25	24
bit symbol	SETENA (割り込み 31)	SETENA (割り込み 30)	SETENA (割り込み 29)	SETENA (割り込み 28)	SETENA (割り込み 27)	SETENA (割り込み 26)	SETENA (割り込み 25)	SETENA (割り込み 24)
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	SETENA (割り込み 23)	SETENA (割り込み 22)	SETENA (割り込み 21)	SETENA (割り込み 20)	SETENA (割り込み 19)	SETENA (割り込み 18)	SETENA (割り込み 17)	SETENA (割り込み 16)
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	SETENA (割り込み 15)	SETENA (割り込み 14)	SETENA (割り込み 13)	SETENA (割り込み 12)	SETENA (割り込み 11)	SETENA (割り込み 10)	SETENA (割り込み 9)	SETENA (割り込み 8)
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SETENA (割り込み 7)	SETENA (割り込み 6)	SETENA (割り込み 5)	SETENA (割り込み 4)	SETENA (割り込み 3)	SETENA (割り込み 2)	SETENA (割り込み 1)	SETENA (割り込み 0)
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-0	SETENA	R/W	割り込み番号[31:0] [ライト] 1: 許可 [リード] 0: 禁止 1: 許可 各ビットが指定された番号の割り込みに対応しています。 "1"をライトすることで該当する割り込みを許可します。"0"の書き込みは意味を持ちません。 リードの場合、該当する割り込みの許可/禁止状態が確認できます。

注) 割り込みの内容と割り込み番号については、「6.5.1.5 要因一覧」を参照してください。

6.6.2.6 割り込みイネーブルセットレジスタ 2

	31	30	29	28	27	26	25	24
bit symbol	SETENA (割り込み 63)	SETENA (割り込み 62)	SETENA (割り込み 61)	SETENA (割り込み 60)	SETENA (割り込み 59)	SETENA (割り込み 58)	SETENA (割り込み 57)	SETENA (割り込み 56)
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	SETENA (割り込み 55)	SETENA (割り込み 54)	SETENA (割り込み 53)	SETENA (割り込み 52)	SETENA (割り込み 51)	SETENA (割り込み 50)	SETENA (割り込み 49)	SETENA (割り込み 48)
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	SETENA (割り込み 47)	SETENA (割り込み 46)	SETENA (割り込み 45)	SETENA (割り込み 44)	SETENA (割り込み 43)	SETENA (割り込み 42)	SETENA (割り込み 41)	SETENA (割り込み 40)
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SETENA (割り込み 39)	SETENA (割り込み 38)	SETENA (割り込み 37)	SETENA (割り込み 36)	SETENA (割り込み 35)	SETENA (割り込み 34)	SETENA (割り込み 33)	SETENA (割り込み 32)
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-0	SETENA	R/W	割り込み番号[63:32] [ライト] 1: 許可 [リード] 0: 禁止 1: 許可 各ビットが指定された番号の割り込みに対応しています。 "1"をライトすることで該当する割り込みを許可します。"0"の書き込みは意味を持ちません。 リードの場合、該当する割り込みの許可/禁止状態が確認できます。

注) 割り込みの内容と割り込み番号については、「6.5.1.5 要因一覧」を参照してください。

6.6.2.7 割り込みイネーブルセットレジスタ 3

	31	30	29	28	27	26	25	24
bit symbol	-	SETENA (割り込み 94)	SETENA (割り込み 93)	SETENA (割り込み 92)	SETENA (割り込み 91)	SETENA (割り込み 90)	SETENA (割り込み 89)	SETENA (割り込み 88)
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	SETENA (割り込み 87)	SETENA (割り込み 86)	SETENA (割り込み 85)	SETENA (割り込み 84)	SETENA (割り込み 83)	SETENA (割り込み 82)	SETENA (割り込み 81)	SETENA (割り込み 80)
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	SETENA (割り込み 79)	SETENA (割り込み 78)	SETENA (割り込み 77)	SETENA (割り込み 76)	SETENA (割り込み 75)	SETENA (割り込み 74)	SETENA (割り込み 73)	SETENA (割り込み 72)
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SETENA (割り込み 71)	SETENA (割り込み 70)	SETENA (割り込み 69)	SETENA (割り込み 68)	SETENA (割り込み 67)	SETENA (割り込み 66)	SETENA (割り込み 65)	SETENA (割り込み 64)
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31	-	R	リードすると"0"が読めます。
30-0	SETENA	R/W	割り込み番号[94:64] [ライト] 1: 許可 [リード] 0: 禁止 1: 許可 各ビットが指定された番号の割り込みに対応しています。 "1"をライトすることで該当する割り込みを許可します。"0"の書き込みは意味を持ちません。 リードの場合、該当する割り込みの許可/禁止状態が確認できます。

注) 割り込みの内容と割り込み番号については、「6.5.1.5 要因一覧」を参照してください。

6.6.2.8 割り込みイネーブルクリアレジスタ 1

	31	30	29	28	27	26	25	24
bit symbol	CLRENA (割り込み 31)	CLRENA (割り込み 30)	CLRENA (割り込み 29)	CLRENA (割り込み 28)	CLRENA (割り込み 27)	CLRENA (割り込み 26)	CLRENA (割り込み 25)	CLRENA (割り込み 24)
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	CLRENA (割り込み 23)	CLRENA (割り込み 22)	CLRENA (割り込み 21)	CLRENA (割り込み 20)	CLRENA (割り込み 19)	CLRENA (割り込み 18)	CLRENA (割り込み 17)	CLRENA (割り込み 16)
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	CLRENA (割り込み 15)	CLRENA (割り込み 14)	CLRENA (割り込み 13)	CLRENA (割り込み 12)	CLRENA (割り込み 11)	CLRENA (割り込み 10)	CLRENA (割り込み 9)	CLRENA (割り込み 8)
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	CLRENA (割り込み 7)	CLRENA (割り込み 6)	CLRENA (割り込み 5)	CLRENA (割り込み 4)	CLRENA (割り込み 3)	CLRENA (割り込み 2)	CLRENA (割り込み 1)	CLRENA (割り込み 0)
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-0	CLRENA	R/W	割り込み番号[31:0] [ライト] 1: 禁止 [リード] 0: 禁止 1: 許可 各ビットが指定された番号の割り込みに対応しており、割り込みを禁止したり、禁止されているかどうかを確認できます。 "1"をライトすることで該当する割り込みを禁止します。"0"の書き込みは意味を持ちません。 リードの場合、該当する割り込みの許可/禁止の状態を確認できます。

注) 割り込みの内容と割り込み番号については、「6.5.1.5 要因一覧」を参照してください。

6.6.2.9 割り込みイネーブルクリアレジスタ 2

	31	30	29	28	27	26	25	24
bit symbol	CLRENA (割り込み 63)	CLRENA (割り込み 62)	CLRENA (割り込み 61)	CLRENA (割り込み 60)	CLRENA (割り込み 59)	CLRENA (割り込み 58)	CLRENA (割り込み 57)	CLRENA (割り込み 56)
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	CLRENA (割り込み 55)	CLRENA (割り込み 54)	CLRENA (割り込み 53)	CLRENA (割り込み 52)	CLRENA (割り込み 51)	CLRENA (割り込み 50)	CLRENA (割り込み 49)	CLRENA (割り込み 48)
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	CLRENA (割り込み 47)	CLRENA (割り込み 46)	CLRENA (割り込み 45)	CLRENA (割り込み 44)	CLRENA (割り込み 43)	CLRENA (割り込み 42)	CLRENA (割り込み 41)	CLRENA (割り込み 40)
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	CLRENA (割り込み 39)	CLRENA (割り込み 38)	CLRENA (割り込み 37)	CLRENA (割り込み 36)	CLRENA (割り込み 35)	CLRENA (割り込み 34)	CLRENA (割り込み 33)	CLRENA (割り込み 32)
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-0	CLRENA	R/W	割り込み番号[63:32] [ライト] 1: 禁止 [リード] 0: 禁止 1: 許可 各ビットが指定された番号の割り込みに対応しており、割り込みを禁止したり、禁止されているかどうかを確認できます。 "1"をライトすることで該当する割り込みを禁止します。"0"の書き込みは意味を持ちません。 リードの場合、該当する割り込みの許可/禁止の状態を確認できます。

注) 割り込みの内容と割り込み番号については、「6.5.1.5 要因一覧」を参照してください。

6.6.2.10 割り込みイネーブルクリアレジスタ 3

	31	30	29	28	27	26	25	24
bit symbol	-	CLRENA (割り込み 94)	CLRENA (割り込み 93)	CLRENA (割り込み 92)	CLRENA (割り込み 91)	CLRENA (割り込み 90)	CLRENA (割り込み 89)	CLRENA (割り込み 88)
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	CLRENA (割り込み 87)	CLRENA (割り込み 86)	CLRENA (割り込み 85)	CLRENA (割り込み 84)	CLRENA (割り込み 83)	CLRENA (割り込み 82)	CLRENA (割り込み 81)	CLRENA (割り込み 80)
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	CLRENA (割り込み 79)	CLRENA (割り込み 78)	CLRENA (割り込み 77)	CLRENA (割り込み 76)	CLRENA (割り込み 75)	CLRENA (割り込み 74)	CLRENA (割り込み 73)	CLRENA (割り込み 72)
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	CLRENA (割り込み 71)	CLRENA (割り込み 70)	CLRENA (割り込み 69)	CLRENA (割り込み 68)	CLRENA (割り込み 67)	CLRENA (割り込み 66)	CLRENA (割り込み 65)	CLRENA (割り込み 64)
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31	-	R	リードすると"0"が読めます。
30-0	CLRENA	R/W	割り込み番号[94:64] [ライト] 1: 禁止 [リード] 0: 禁止 1: 許可 各ビットが指定された番号の割り込みに対応しており、割り込みを禁止したり、禁止されているかどうかを確認できます。 "1"をライトすることで該当する割り込みを禁止します。"0"の書き込みは意味を持ちません。 リードの場合、該当する割り込みの許可/禁止の状態を確認できます。

注) 割り込みの内容と割り込み番号については、「6.5.1.5 要因一覧」を参照してください。

6.6.2.11 割り込み保留セットレジスタ 1

	31	30	29	28	27	26	25	24
bit symbol	SETPEND (割り込み 31)	SETPEND (割り込み 30)	SETPEND (割り込み 29)	SETPEND (割り込み 28)	SETPEND (割り込み 27)	SETPEND (割り込み 26)	SETPEND (割り込み 25)	SETPEND (割り込み 24)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	SETPEND (割り込み 23)	SETPEND (割り込み 22)	SETPEND (割り込み 21)	SETPEND (割り込み 20)	SETPEND (割り込み 19)	SETPEND (割り込み 18)	SETPEND (割り込み 17)	SETPEND (割り込み 16)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	SETPEND (割り込み 15)	SETPEND (割り込み 14)	SETPEND (割り込み 13)	SETPEND (割り込み 12)	SETPEND (割り込み 11)	SETPEND (割り込み 10)	SETPEND (割り込み 9)	SETPEND (割り込み 8)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	SETPEND (割り込み 7)	SETPEND (割り込み 6)	SETPEND (割り込み 5)	SETPEND (割り込み 4)	SETPEND (割り込み 3)	SETPEND (割り込み 2)	SETPEND (割り込み 1)	SETPEND (割り込み 0)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定

Bit	Bit Symbol	Type	機能
31-0	SETPEND	R/W	割り込み番号[31:0] [ライト] 1: 保留する [リード] 0: 保留なし 1: 保留あり 各ビットが指定された番号の割り込みに対応しており、割り込みを強制的に保留したり、保留されているかどうかを確認できます。 "1"をライトすることで該当する割り込みを保留します。ただし、すでに保留されている割り込みおよび禁止されている割り込みに対しては無効です。"0"の書き込みは意味を持ちません。 リードの場合、該当する割り込みが保留されているかどうかを示します。 このレジスタのビットをクリアするには、割り込み保留クリアレジスタの対応するビットに"1"をセットします。

注) 割り込みの内容と割り込み番号については、「6.5.1.5 要因一覧」を参照してください。

6.6.2.12 割り込み保留セットレジスタ 2

	31	30	29	28	27	26	25	24
bit symbol	SETPEND (割り込み 63)	SETPEND (割り込み 62)	SETPEND (割り込み 61)	SETPEND (割り込み 60)	SETPEND (割り込み 59)	SETPEND (割り込み 58)	SETPEND (割り込み 57)	SETPEND (割り込み 56)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	SETPEND (割り込み 55)	SETPEND (割り込み 54)	SETPEND (割り込み 53)	SETPEND (割り込み 52)	SETPEND (割り込み 51)	SETPEND (割り込み 50)	SETPEND (割り込み 49)	SETPEND (割り込み 48)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	SETPEND (割り込み 47)	SETPEND (割り込み 46)	SETPEND (割り込み 45)	SETPEND (割り込み 44)	SETPEND (割り込み 43)	SETPEND (割り込み 42)	SETPEND (割り込み 41)	SETPEND (割り込み 40)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	SETPEND (割り込み 39)	SETPEND (割り込み 38)	SETPEND (割り込み 37)	SETPEND (割り込み 36)	SETPEND (割り込み 35)	SETPEND (割り込み 34)	SETPEND (割り込み 33)	SETPEND (割り込み 32)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定

Bit	Bit Symbol	Type	機能
31-0	SETPEND	R/W	割り込み番号[63:32] [ライト] 1: 保留する [リード] 0: 保留なし 1: 保留あり 各ビットが指定された番号の割り込みに対応しており、割り込みを強制的に保留したり、保留されているかどうかを確認できます。 "1"をライトすることで該当する割り込みを保留します。ただし、すでに保留されている割り込みおよび禁止されている割り込みに対しては無効です。"0"の書き込みは意味を持ちません。 リードの場合、該当する割り込みが保留されているかどうかを示します。 このレジスタのビットをクリアするには、割り込み保留クリアレジスタの対応するビットに"1"をセットします。

注) 割り込みの内容と割り込み番号については、「6.5.1.5 要因一覧」を参照してください。

6.6.2.13 割り込み保留セットレジスタ 3

	31	30	29	28	27	26	25	24
bit symbol	-	SETPEND (割り込み 94)	SETPEND (割り込み 93)	SETPEND (割り込み 92)	SETPEND (割り込み 91)	SETPEND (割り込み 90)	SETPEND (割り込み 89)	SETPEND (割り込み 88)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	SETPEND (割り込み 87)	SETPEND (割り込み 86)	SETPEND (割り込み 85)	SETPEND (割り込み 84)	SETPEND (割り込み 83)	SETPEND (割り込み 82)	SETPEND (割り込み 81)	SETPEND (割り込み 80)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	SETPEND (割り込み 79)	SETPEND (割り込み 78)	SETPEND (割り込み 77)	SETPEND (割り込み 76)	SETPEND (割り込み 75)	SETPEND (割り込み 74)	SETPEND (割り込み 73)	SETPEND (割り込み 72)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	SETPEND (割り込み 71)	SETPEND (割り込み 70)	SETPEND (割り込み 69)	SETPEND (割り込み 68)	SETPEND (割り込み 67)	SETPEND (割り込み 66)	SETPEND (割り込み 65)	SETPEND (割り込み 64)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定

Bit	Bit Symbol	Type	機能
31	-	R	リードすると"0"が読めます。
30-0	SETPEND	R/W	<p>割り込み番号[94:64] [ライト] 1: 保留する [リード] 0: 保留なし 1: 保留あり</p> <p>各ビットが指定された番号の割り込みに対応しており、割り込みを強制的に保留したり、保留されているかどうかを確認できます。</p> <p>"1"をライトすることで該当する割り込みを保留します。ただし、すでに保留されている割り込みおよび禁止されている割り込みに対しては無効です。"0"の書き込みは意味を持ちません。</p> <p>リードの場合、該当する割り込みが保留されているかどうかを示します。</p> <p>このレジスタのビットをクリアするには、割り込み保留クリアレジスタの対応するビットに"1"をセットします。</p>

注) 割り込みの内容と割り込み番号については、「6.5.1.5 要因一覧」を参照してください。

6.6.2.14 割り込み保留クリアレジスタ 1

	31	30	29	28	27	26	25	24
bit symbol	CLRPEND (割り込み 31)	CLRPEND (割り込み 30)	CLRPEND (割り込み 29)	CLRPEND (割り込み 28)	CLRPEND (割り込み 27)	CLRPEND (割り込み 26)	CLRPEND (割り込み 25)	CLRPEND (割り込み 24)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	CLRPEND (割り込み 23)	CLRPEND (割り込み 22)	CLRPEND (割り込み 21)	CLRPEND (割り込み 20)	CLRPEND (割り込み 19)	CLRPEND (割り込み 18)	CLRPEND (割り込み 17)	CLRPEND (割り込み 16)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	CLRPEND (割り込み 15)	CLRPEND (割り込み 14)	CLRPEND (割り込み 13)	CLRPEND (割り込み 12)	CLRPEND (割り込み 11)	CLRPEND (割り込み 10)	CLRPEND (割り込み 9)	CLRPEND (割り込み 8)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	CLRPEND (割り込み 7)	CLRPEND (割り込み 6)	CLRPEND (割り込み 5)	CLRPEND (割り込み 4)	CLRPEND (割り込み 3)	CLRPEND (割り込み 2)	CLRPEND (割り込み 1)	CLRPEND (割り込み 0)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定

Bit	Bit Symbol	Type	機能
31-0	CLRPEND	R/W	割り込み番号[31:0] [ライト] 1: 保留をクリアする [リード] 0: 保留なし 1: 保留あり 各ビットが指定された番号の割り込みに対応しており、保留された割り込みをクリアしたり、保留されているかどうかを確認できます。 "1"をライトすることで該当する保留された割り込みをクリアします。ただし、すでに処理が開始されている割り込みに対しては無効です。"0"の書き込みは意味を持ちません。 リードの場合、該当する割り込みが保留されているかどうかを示します。

注) 割り込みの内容と割り込み番号については、「6.5.1.5 要因一覧」を参照してください。

6.6.2.15 割り込み保留クリアレジスタ 2

	31	30	29	28	27	26	25	24
bit symbol	CLRPEND (割り込み 63)	CLRPEND (割り込み 62)	CLRPEND (割り込み 61)	CLRPEND (割り込み 60)	CLRPEND (割り込み 59)	CLRPEND (割り込み 58)	CLRPEND (割り込み 57)	CLRPEND (割り込み 56)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	CLRPEND (割り込み 55)	CLRPEND (割り込み 54)	CLRPEND (割り込み 53)	CLRPEND (割り込み 52)	CLRPEND (割り込み 51)	CLRPEND (割り込み 50)	CLRPEND (割り込み 49)	CLRPEND (割り込み 48)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	CLRPEND (割り込み 47)	CLRPEND (割り込み 46)	CLRPEND (割り込み 45)	CLRPEND (割り込み 44)	CLRPEND (割り込み 43)	CLRPEND (割り込み 42)	CLRPEND (割り込み 41)	CLRPEND (割り込み 40)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	CLRPEND (割り込み 39)	CLRPEND (割り込み 38)	CLRPEND (割り込み 37)	CLRPEND (割り込み 36)	CLRPEND (割り込み 35)	CLRPEND (割り込み 34)	CLRPEND (割り込み 33)	CLRPEND (割り込み 32)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定

Bit	Bit Symbol	Type	機能
31-0	CLRPEND	R/W	割り込み番号[63:32] [ライト] 1: 保留をクリアする [リード] 0: 保留なし 1: 保留あり 各ビットが指定された番号の割り込みに対応しており、保留された割り込みをクリアしたり、保留されているかどうかを確認できます。 "1"をライトすることで該当する保留された割り込みをクリアします。ただし、すでに処理が開始されている割り込みに対しては無効です。"0"の書き込みは意味を持ちません。 リードの場合、該当する割り込みが保留されているかどうかを示します。

注) 割り込みの内容と割り込み番号については、「6.5.1.5 要因一覧」を参照してください。

6.6.2.16 割り込み保留クリアレジスタ 3

	31	30	29	28	27	26	25	24
bit symbol	-	CLRPEND (割り込み 94)	CLRPEND (割り込み 93)	CLRPEND (割り込み 92)	CLRPEND (割り込み 91)	CLRPEND (割り込み 90)	CLRPEND (割り込み 89)	CLRPEND (割り込み 88)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	CLRPEND (割り込み 87)	CLRPEND (割り込み 86)	CLRPEND (割り込み 85)	CLRPEND (割り込み 84)	CLRPEND (割り込み 83)	CLRPEND (割り込み 82)	CLRPEND (割り込み 81)	CLRPEND (割り込み 80)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	CLRPEND (割り込み 79)	CLRPEND (割り込み 78)	CLRPEND (割り込み 77)	CLRPEND (割り込み 76)	CLRPEND (割り込み 75)	CLRPEND (割り込み 74)	CLRPEND (割り込み 73)	CLRPEND (割り込み 72)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	CLRPEND (割り込み 71)	CLRPEND (割り込み 70)	CLRPEND (割り込み 69)	CLRPEND (割り込み 68)	CLRPEND (割り込み 67)	CLRPEND (割り込み 66)	CLRPEND (割り込み 65)	CLRPEND (割り込み 64)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定

Bit	Bit Symbol	Type	機能
31	-	R	リードすると"0"が読めます。
30-0	CLRPEND	R/W	割り込み番号[94:64] [ライト] 1: 保留をクリアする [リード] 0: 保留なし 1: 保留あり 各ビットが指定された番号の割り込みに対応しており、保留された割り込みをクリアしたり、保留されているかどうかを確認できます。 "1"をライトすることで該当する保留された割り込みをクリアします。ただし、すでに処理が開始されている割り込みに対しては無効です。"0"の書き込みは意味を持ちません。 リードの場合、該当する割り込みが保留されているかどうかを示します。

注) 割り込みの内容と割り込み番号については、「6.5.1.5 要因一覧」を参照してください。

6.6.2.17 割り込み優先度レジスタ

割り込み優先度レジスタは、各割り込みに対し8ビットごとの構成になっています。

割り込み番号と対応する割り込み優先度レジスタのアドレスは以下のとおりです。

	31	24 23	16 15	8 7	0
0xE000_E400	PRI_3	PRI_2	PRI_1	PRI_0	
0xE000_E404	PRI_7	PRI_6	PRI_5	PRI_4	
0xE000_E408	PRI_11	PRI_10	PRI_9	PRI_8	
0xE000_E40C	PRI_15	PRI_14	PRI_13	PRI_12	
0xE000_E410	PRI_19	PRI_18	PRI_17	PRI_16	
0xE000_E414	PRI_23	PRI_22	PRI_21	PRI_20	
0xE000_E418	PRI_27	PRI_26	PRI_25	PRI_24	
0xE000_E41C	PRI_31	PRI_30	PRI_29	PRI_28	
0xE000_E420	PRI_35	PRI_34	PRI_33	PRI_32	
0xE000_E424	PRI_39	PRI_38	PRI_37	PRI_36	
0xE000_E428	PRI_43	PRI_42	PRI_41	PRI_40	
0xE000_E42C	PRI_47	PRI_46	PRI_45	PRI_44	
0xE000_E430	PRI_51	PRI_50	PRI_49	PRI_48	
0xE000_E434	PRI_55	PRI_54	PRI_53	PRI_52	
0xE000_E438	PRI_59	PRI_58	PRI_57	PRI_56	
0xE000_E43C	PRI_63	PRI_62	PRI_61	PRI_60	
0xE000_E440	PRI_67	PRI_66	PRI_65	PRI_64	
0xE000_E444	PRI_71	PRI_70	PRI_69	PRI_68	
0xE000_E448	PRI_75	PRI_74	PRI_73	PRI_72	
0xE000_E44C	PRI_79	PRI_78	PRI_77	PRI_76	
0xE000_E450	PRI_83	PRI_82	PRI_81	PRI_80	
0xE000_E454	PRI_87	PRI_86	PRI_85	PRI_84	
0xE000_E458	PRI_91	PRI_90	PRI_89	PRI_88	
0xE000_E45C	-	PRI_94	PRI_93	PRI_92	

各割り込みに割り当てられている8ビットのうち何ビットを優先度の設定に使用できるかは製品により異なります。本製品では、3ビットで優先度を設定することができます。

以下に、代表として割り込み番号0~3の割り込み優先度レジスタの構成を示します。未使用のビットはリードすると"0"が読め、ライトは無視されます。

	31	30	29	28	27	26	25	24
bit symbol	PRI_3			-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	PRI_2			-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	PRI_1			-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PRI_0			-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-29	PRI_3	R/W	割り込み番号3優先度
28-24	-	R	リードすると"0"が読めます。
23-21	PRI_2	R/W	割り込み番号2優先度
20-16	-	R	リードすると"0"が読めます。
15-13	PRI_1	R/W	割り込み番号1優先度
12-8	-	R	リードすると"0"が読めます。
7-5	PRI_0	R/W	割り込み番号0優先度
4-0	-	R	リードすると"0"が読めます。

6.6.2.18 ベクタテーブルオフセットレジスタ

	31	30	29	28	27	26	25	24
bit symbol	-	-	TBLBASE	TBLOFF				
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	TBLOFF							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	TBLOFF							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TBLOFF	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-30	-	R	リードすると"0"が読めます。
29	TBLBASE	R/W	テーブルベース ベクタテーブルを置くメモリ空間を指定します。 0: コード空間 1: SRAM 空間
28-7	TBLOFF	R/W	オフセット値 TBLBASE で指定した領域の先頭からのオフセット値を設定します。 オフセットはテーブルにある例外の数に基づいてアラインされる必要があります。16 個までの割り込みが使える、最小のアライメントは 32 ワードになります。割り込みの数がより多い場合は、次の 2 のべき乗まで切り上げて、アライメントを調整する必要があります。
6-0	-	R	リードすると"0"が読めます。

6.6.2.19 アプリケーション割り込みおよびリセット制御レジスタ

	31	30	29	28	27	26	25	24
bit symbol	VECTKEY/VECTKEYSTAT							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	VECTKEY/VECTKEYSTAT							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ENDIANESS	-	-	-	-	PRIGROUP		
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	SYSRESET REQ	VECTCLR ACTIVE	VECTRESET
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	VECTKEY (ライト) VECTKEYSTAT (リード)	R/W	レジスタキー [ライト]このレジスタへ書き込みを行うには、<VECTKEY>に"0x05FA"を書き込む必要があります。 [リード]リードすると"0xFA05"が読めます。
15	ENDIANESS	R/W	エンディアン形式ビット(注1) 1: ビッグエンディアン 0: リトルエンディアン
14-11	-	R	リードすると"0"が読めます。
10-8	PRIGROUP	R/W	割り込み優先度グループ分け 000: 横取り優先度 7bit、サブ優先度 1bit 001: 横取り優先度 6bit、サブ優先度 2bit 010: 横取り優先度 5bit、サブ優先度 3bit 011: 横取り優先度 4bit、サブ優先度 4bit 100: 横取り優先度 3bit、サブ優先度 5bit 101: 横取り優先度 2bit、サブ優先度 6bit 110: 横取り優先度 1bit、サブ優先度 7bit 111: 横取り優先度 0bit、サブ優先度 8bit 割り込み優先度レジスタ<PRI_n>を、横取り優先度とサブ優先度分けする際のビット構成を設定します。
7-3	-	R	リードすると"0"が読めます。
2	SYSRESET REQ	R/W	システムリセットリクエスト "1"をセットすると CPU が SYSRESETREQ 信号を出力します。(注2)
1	VECTCLR ACTIVE	R/W	アクティブなベクタのクリア 1: アクティブな NMI、フォールト、割り込みのすべての状態の情報をクリアします。 0: クリアしません。 このビットは自身の動作によりクリアされます。 スタックの再初期化はアプリケーションで行う必要があります。
0	VECTRESET	R/W	システムリセット 1: システムをリセットします。 0: システムをリセットしません。 "1"をセットするとデバッグコンポーネント(FPB,DWT,ITM)以外の CPU 内部をリセットし、本ビットもクリアされます。

注1) 本製品はリトルエンディアンがデフォルトで選択されます。

注2) 本製品では、SYSRESETREQが出力されるとウォームリセットが発生します。ウォームリセットにより<SYSRESETREQ>はクリアされます。

6.6.2.20 システムハンドラ優先度レジスタ

システムハンドラ優先度レジスタは、各例外に対し8ビットごとの構成になっています。
例外と対応する割り込み優先度レジスタのアドレスは以下のとおりです。

	31	24 23	16 15	8 7	0
0xE000_ED18	PRI_7		PRI_6 (用法フォールト)	PRI_5 (バスフォールト)	PRI_4 (メモリ管理)
0xE000_ED1C	PRI_11 (SVCall)		PRI_10	PRI_9	PRI_8
0xE000_ED20	PRI_15 (SysTick)		PRI_14 (PendSV)	PRI_13	PRI_12 (デバッグモニタ)

各割り込みに割り当てられている8ビットのうち何ビットを優先度の設定に使用できるかは製品により異なります。本製品では、3ビットで優先度を設定することができます。

以下に、代表として割り込み番号4~7の割り込み優先度レジスタの構成を示します。未使用のビットはリードすると"0"が読め、ライトは無視されます。

	31	30	29	28	27	26	25	24
bit symbol	PRI_7			-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	PRI_6			-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	PRI_5			-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PRI_4			-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-29	PRI_7	R/W	予約
28-24	-	R	リードすると"0"が読めます。
23-21	PRI_6	R/W	用法フォールト 優先度
20-16	-	R	リードすると"0"が読めます。
15-13	PRI_5	R/W	バスフォールト 優先度
12-8	-	R	リードすると"0"が読めます。
7-5	PRI_4	R/W	メモリ管理 優先度
4-0	-	R	リードすると"0"が読めます。

6.6.2.21 システムハンドラ制御および状態レジスタ

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	USGFAULT ENA	BUSFAULT ENA	MEMFAULT ENA
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	SVCALL PENDED	BUSFAULT PENDED	MEMFAULT PENDED	USGFAULT PENDED	SYSTICKACT	PENDSVACT	-	MONITOR ACT
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SVCALLACT	-	-	-	USGFAULT ACT	-	BUSFAULT ACT	MEMFAULT ACT
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-19	-	R	リードすると"0"が読めます。
18	USGFAULT ENA	R/W	用法フォールト 0: 禁止 1: 許可
17	BUSFAULT TENA	R/W	バスフォールト 0: 禁止 1: 許可
16	MEMFAULT ENA	R/W	メモリ管理 0: 禁止 1: 許可
15	SVCALL PENDED	R/W	SVCall 0: 保留されていない 1: 保留されている
14	BUSFAULT PENDED	R/W	バスフォールト 0: 保留されていない 1: 保留されている
13	MEMFAULT PENDED	R/W	メモリ管理 0: 保留されていない 1: 保留されている
12	USGFAULT PENDED	R/W	用法フォールト 0: 保留されていない 1: 保留されている
11	SYSTICKACT	R/W	SysTick 0: アクティブでない 1: アクティブ
10	PENDSVACT	R/W	PendSV 0: アクティブでない 1: アクティブ
9	-	R	リードすると"0"が読めます。
8	MONITORACT	R/W	デバッグモニタ 0: アクティブでない 1: アクティブ

Bit	Bit Symbol	Type	機能
7	SVCALLACT	R/W	SVCall 0: アクティブでない 1: アクティブ
6-4	-	R	リードすると"0"が読めます。
3	USGFAULT ACT	R/W	用法フォールト 0: アクティブでない 1: アクティブ
2	-	R	リードすると"0"が読めます。
1	BUSFAULT ACT	R/W	バスフォールト 0: アクティブでない 1: アクティブ
0	MEMFAULT ACT	R/W	メモリ管理 0: アクティブでない 1: アクティブ

注) アクティブビットの書き換えは、スタックの内容の更新等行いませんので注意して行ってください。

6.6.3 クロックジェネレータレジスタ

6.6.3.1 CGIMCGA(CG 割り込みモードコントロールレジスタ A)

	31	30	29	28	27	26	25	24
bit symbol	-	EMCG3			EMST3		-	INT3EN
リセット後	0	0	1	0	0	0	不定	0
	23	22	21	20	19	18	17	16
bit symbol	-	EMCG2			EMST2		-	INT2EN
リセット後	0	0	1	0	0	0	不定	0
	15	14	13	12	11	10	9	8
bit symbol	-	EMCG1			EMST1		-	INT1EN
リセット後	0	0	1	0	0	0	不定	0
	7	6	5	4	3	2	1	0
bit symbol	-	EMCG0			EMST0		-	INT0EN
リセット後	0	0	1	0	0	0	不定	0

Bit	Bit Symbol	Type	機能
31	-	R	リードすると"0"が読めます。
30-28	EMCG3[2:0]	R/W	INT3 スタンバイ解除要求のアクティブ状態を設定(101~111: 設定禁止) 000: "Low"レベル 001: "High"レベル 010: 立ち下がリエッジ 011: 立ち上がリエッジ 100: 両エッジ
27-26	EMST3[1:0]	R	INT3 スタンバイ解除要求のアクティブ状態 00: - 01: 立ち上がリエッジ 10: 立ち下がリエッジ 11: 両エッジ
25	-	R	リードすると不定値が読まれます。
24	INT3EN	R/W	INT3 解除入力 0: ディセーブル 1: イネーブル
23	-	R	リードすると"0"が読めます。
22-20	EMCG2[2:0]	R/W	INT2 スタンバイ解除要求のアクティブ状態を設定(101~111: 設定禁止) 000: "Low"レベル 001: "High"レベル 010: 立ち下がリエッジ 011: 立ち上がリエッジ 100: 両エッジ
19-18	EMST2[1:0]	R	INT2 スタンバイ解除要求のアクティブ状態 00: - 01: 立ち上がリエッジ 10: 立ち下がリエッジ 11: 両エッジ
17	-	R	リードすると不定値が読まれます。
16	INT2EN	R/W	INT2 解除入力 0: ディセーブル 1: イネーブル
15	-	R	リードすると"0"が読めます。

Bit	Bit Symbol	Type	機能
14-12	EMCG1[2:0]	R/W	INT1 スタンバイ解除要求のアクティブ状態を設定(101~111: 設定禁止) 000: "Low"レベル 001: "High"レベル 010: 立ち下がリエッジ 011: 立ち上がりエッジ 100: 両エッジ
11-10	EMST1[1:0]	R	INT1 スタンバイ解除要求のアクティブ状態 00: - 01: 立ち上がりエッジ 10: 立ち下がリエッジ 11: 両エッジ
9	-	R	リードすると不定値が読まれます。
8	INT1EN	R/W	INT1 解除入力 0: ディセーブル 1: イネーブル
7	-	R	リードすると"0"が読めます。
6-4	EMCG0[2:0]	R/W	INT0 スタンバイ解除要求のアクティブ状態を設定(101~111: 設定禁止) 000: "Low"レベル 001: "High"レベル 010: 立ち下がリエッジ 011: 立ち上がりエッジ 100: 両エッジ
3-2	EMST0[1:0]	R	INT0 スタンバイ解除要求のアクティブ状態 00: - 01: 立ち上がりエッジ 10: 立ち下がリエッジ 11: 両エッジ
1	-	R	リードすると不定値が読まれます。
0	INT0EN	R/W	INT0 解除入力 0: ディセーブル 1: イネーブル

注 1) <EMSTx>は、<EMCGx[2:0]>が"100"の両エッジ設定のときのみ有効です。<EMSTx>を参照することにより、スタンバイ解除に使用されたアクティブ状態を確認することができます。CGICRCG レジスタで割り込みをクリアすると<EMSTx>もクリアされます。

注 2) エッジ設定と同時に<INTxEN>を設定しないでください。エッジ設定を行ってから<INTxEN>を設定してください。

6.6.3.2 CGIMCGB(CG 割り込みモードコントロールレジスタ B)

	31	30	29	28	27	26	25	24
bit symbol	-	EMCG7			EMST7		-	INT7EN
リセット後	0	0	1	0	0	0	不定	0
	23	22	21	20	19	18	17	16
bit symbol	-	EMCG6			EMST6		-	INT6EN
リセット後	0	0	1	0	0	0	不定	0
	15	14	13	12	11	10	9	8
bit symbol	-	EMCG5			EMST5		-	INT5EN
リセット後	0	0	1	0	0	0	不定	0
	7	6	5	4	3	2	1	0
bit symbol	-	EMCG4			EMST4		-	INT4EN
リセット後	0	0	1	0	0	0	不定	0

Bit	Bit Symbol	Type	機能
31	-	R	リードすると"0"が読めます。
30-28	EMCG7[2:0]	R/W	INT7 スタンバイ解除要求のアクティブ状態を設定(101~111: 設定禁止) 000: "Low"レベル 001: "High"レベル 010: 立ち下がリエッジ 011: 立ち上がりエッジ 100: 両エッジ
27-26	EMST7[1:0]	R	INT7 スタンバイ解除要求のアクティブ状態 00: - 01: 立ち上がりエッジ 10: 立ち下がリエッジ 11: 両エッジ
25	-	R	リードすると不定値が読まれます。
24	INT7EN	R/W	INT7 解除入力 0: ディセーブル 1: イネーブル
23	-	R	リードすると"0"が読めます。
22-20	EMCG6[2:0]	R/W	INT6 スタンバイ解除要求のアクティブ状態を設定(101~111: 設定禁止) 000: "Low"レベル 001: "High"レベル 010: 立ち下がリエッジ 011: 立ち上がりエッジ 100: 両エッジ
19-18	EMST6[1:0]	R	INT6 スタンバイ解除要求のアクティブ状態 00: - 01: 立ち上がりエッジ 10: 立ち下がリエッジ 11: 両エッジ
17	-	R	リードすると不定値が読まれます。
16	INT6EN	R/W	INT6 解除入力 0: ディセーブル 1: イネーブル
15	-	R	リードすると"0"が読めます。

Bit	Bit Symbol	Type	機能
14-12	EMCG5[2:0]	R/W	INT5 スタンバイ解除要求のアクティブ状態を設定(101~111: 設定禁止) 000: "Low"レベル 001: "High"レベル 010: 立ち下がりエッジ 011: 立ち上がりエッジ 100: 両エッジ
11-10	EMST5[1:0]	R	INT5 スタンバイ解除要求のアクティブ状態 00: - 01: 立ち上がりエッジ 10: 立ち下がりエッジ 11: 両エッジ
9	-	R	リードすると不定値が読めます。
8	INT5EN	R/W	INT5 解除入力 0: ディセーブル 1: イネーブル
7	-	R	リードすると"0"が読めます。
6-4	EMCG4[2:0]	R/W	INT4 スタンバイ解除要求のアクティブ状態を設定(101~111: 設定禁止) 000: "Low"レベル 001: "High"レベル 010: 立ち下がりエッジ 011: 立ち上がりエッジ 100: 両エッジ
3-2	EMST4[1:0]	R	INT4 スタンバイ解除要求のアクティブ状態 00: - 01: 立ち上がりエッジ 10: 立ち下がりエッジ 11: 両エッジ
1	-	R	リードすると不定値が読めます。
0	INT4EN	R/W	INT4 解除入力 0: ディセーブル 1: イネーブル

注 1) <EMSTx>は、<EMCGx[2:0]>が"100"の両エッジ設定のときのみ有効です。<EMSTx>を参照することにより、スタンバイ解除に使用されたアクティブ状態を確認することができます。CGICRCG レジスタで割り込みをクリアすると<EMSTx>もクリアされます。

注 2) エッジ設定と同時に<INTxEN>を設定しないでください。エッジ設定を行ってから<INTxEN>を設定してください。

6.6.3.3 CGIMCGC(CG 割り込みモードコントロールレジスタ C)

	31	30	29	28	27	26	25	24
bit symbol	-	EMCGB			EMSTB		-	INTBEN
リセット後	0	0	1	0	0	0	不定	0
	23	22	21	20	19	18	17	16
bit symbol	-	EMCGA			EMSTA		-	INTAEN
リセット後	0	0	1	0	0	0	不定	0
	15	14	13	12	11	10	9	8
bit symbol	-	EMCG9			EMST9		-	INT9EN
リセット後	0	0	1	0	0	0	不定	0
	7	6	5	4	3	2	1	0
bit symbol	-	EMCG8			EMST8		-	INT8EN
リセット後	0	0	1	0	0	0	不定	0

Bit	Bit Symbol	Type	機能
31	-	R	リードすると"0"が読めます。
30-28	EMCGB[2:0]	R/W	INTB スタンバイ解除要求のアクティブ状態を設定(101~111: 設定禁止) 000: "Low"レベル 001: "High"レベル 010: 立ち下がリエッジ 011: 立ち上がりエッジ 100: 両エッジ
27-26	EMSTB[1:0]	R	INTB スタンバイ解除要求のアクティブ状態 00: - 01: 立ち上がりエッジ 10: 立ち下がリエッジ 11: 両エッジ
25	-	R	リードすると不定値が読まれます。
24	INTBEN	R/W	INTB 解除入力 0: ディセーブル 1: イネーブル
23	-	R	リードすると"0"が読めます。
22-20	EMCGA[2:0]	R/W	INTA スタンバイ解除要求のアクティブ状態を設定(101~111: 設定禁止) 000: "Low"レベル 001: "High"レベル 010: 立ち下がリエッジ 011: 立ち上がりエッジ 100: 両エッジ
19-18	EMSTA[1:0]	R	INTA スタンバイ解除要求のアクティブ状態 00: - 01: 立ち上がりエッジ 10: 立ち下がリエッジ 11: 両エッジ
17	-	R	リードすると不定値が読まれます。
16	INTAEN	R/W	INTA 解除入力 0: ディセーブル 1: イネーブル
15	-	R	リードすると"0"が読めます。

Bit	Bit Symbol	Type	機能
14-12	EMCG9[2:0]	R/W	INT9 スタンバイ解除要求のアクティブ状態を設定(101~111: 設定禁止) 000: "Low"レベル 001: "High"レベル 010: 立ち下がリエッジ 011: 立ち上がりエッジ 100: 両エッジ
11-10	EMST9[1:0]	R	INT9 スタンバイ解除要求のアクティブ状態 00: - 01: 立ち上がりエッジ 10: 立ち下がリエッジ 11: 両エッジ
9	-	R	リードすると不定値が読まれます。
8	INT9EN	R/W	INT9 解除入力 0: ディセーブル 1: イネーブル
7	-	R	リードすると"0"が読めます。
6-4	EMCG8[2:0]	R/W	INT8 スタンバイ解除要求のアクティブ状態を設定(101~111: 設定禁止) 000: "Low"レベル 001: "High"レベル 010: 立ち下がリエッジ 011: 立ち上がりエッジ 100: 両エッジ
3-2	EMST8[1:0]	R	INT8 スタンバイ解除要求のアクティブ状態 00: - 01: 立ち上がりエッジ 10: 立ち下がリエッジ 11: 両エッジ
1	-	R	リードすると不定値が読まれます。
0	INT8EN	R/W	INT8 解除入力 0: ディセーブル 1: イネーブル

注) エッジ設定と同時に<INTxEN>を設定しないでください。エッジ設定を行ってから<INTxEN>を設定してください。

6.6.3.4 CGIMCGD(CG 割り込みモードコントロールレジスタ D)

	31	30	29	28	27	26	25	24
bit symbol	-	EMCGF			EMSTF		-	INTFEN
リセット後	0	0	1	0	0	0	不定	0
	23	22	21	20	19	18	17	16
bit symbol	-	EMCGE			EMSTE		-	INTEEN
リセット後	0	0	1	0	0	0	不定	0
	15	14	13	12	11	10	9	8
bit symbol	-	EMCGD			EMSTD		-	INTDEN
リセット後	0	0	1	0	0	0	不定	0
	7	6	5	4	3	2	1	0
bit symbol	-	EMCGC			EMSTC		-	INTCEN
リセット後	0	0	1	0	0	0	不定	0

Bit	Bit Symbol	Type	機能
31	-	R	リードすると"0"が読めます。
30-28	EMCGF[2:0]	R/W	INTF スタンバイ解除要求のアクティブ状態を設定(101~111: 設定禁止) 000: "Low"レベル 001: "High"レベル 010: 立ち下がリエッジ 011: 立ち上がリエッジ 100: 両エッジ
27-26	EMSTF[1:0]	R	INTF スタンバイ解除要求のアクティブ状態 00: - 01: 立ち上がリエッジ 10: 立ち下がリエッジ 11: 両エッジ
25	-	R	リードすると不定値が読まれます。
24	INTFEN	R/W	INTF 解除入力 0: ディセーブル 1: イネーブル
23	-	R	リードすると"0"が読めます。
22-20	EMCGE[2:0]	R/W	INTE スタンバイ解除要求のアクティブ状態を設定(101~111: 設定禁止) 000: "Low"レベル 001: "High"レベル 010: 立ち下がリエッジ 011: 立ち上がリエッジ 100: 両エッジ
19-18	EMSTE[1:0]	R	INTE スタンバイ解除要求のアクティブ状態 00: - 01: 立ち上がリエッジ 10: 立ち下がリエッジ 11: 両エッジ
17	-	R	リードすると不定値が読まれます。
16	INTEEN	R/W	INTE 解除入力 0: ディセーブル 1: イネーブル
15	-	R	リードすると"0"が読めます。

Bit	Bit Symbol	Type	機能
14-12	EMCGD[2:0]	R/W	INTD スタンバイ解除要求のアクティブ状態を設定(101~111: 設定禁止) 000: "Low"レベル 001: "High"レベル 010: 立ち下がリエッジ 011: 立ち上がりエッジ 100: 両エッジ
11-10	EMSTD[1:0]	R	INTD スタンバイ解除要求のアクティブ状態 00: - 01: 立ち上がりエッジ 10: 立ち下がリエッジ 11: 両エッジ
9	-	R	リードすると不定値が読まれます。
8	INTDEN	R/W	INTD 解除入力 0: ディセーブル 1: イネーブル
7	-	R	リードすると"0"が読めます。
6-4	EMCGC[2:0]	R/W	INTC スタンバイ解除要求のアクティブ状態を設定(101~111: 設定禁止) 000: "Low"レベル 001: "High"レベル 010: 立ち下がリエッジ 011: 立ち上がりエッジ 100: 両エッジ
3-2	EMSTC[1:0]	R	INTC スタンバイ解除要求のアクティブ状態 00: - 01: 立ち上がりエッジ 10: 立ち下がリエッジ 11: 両エッジ
1	-	R	リードすると不定値が読まれます。
0	INTCEN	R/W	INTC 解除入力 0: ディセーブル 1: イネーブル

注) エッジ設定と同時に<INTxEN>を設定しないでください。エッジ設定を行ってから<INTxEN>を設定してください。

6.6.3.5 CGIMCGE(CG 割り込みモードコントロールレジスタ E)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	1	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	1	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	EMCG RMCGRX			EMST RMCGRX		-	INT RMCRXEN
リセット後	0	0	1	0	0	0	不定	0
	7	6	5	4	3	2	1	0
bit symbol	-	EMCGRTC			EMSTRTC		-	INTRTCEN
リセット後	0	0	1	0	0	0	不定	0

Bit	Bit Symbol	Type	機能
31	-	R	リードすると"0"が読めます。
30-28	-	R/W	任意の値を書いてください。
27-25	-	R	リードすると"0"が読めます。
24	-	R/W	"0"を書いてください。
23	-	R	リードすると"0"が読めます。
22-20	-	R/W	任意の値を書いてください。
19-17	-	R	リードすると"0"が読めます。
16	-	R/W	"0"を書いてください。
15	-	R	リードすると"0"が読めます。
14-12	EMCGRMCRX [2:0]	R/W	INTRMCRX スタンバイ解除要求のアクティブ状態を設定(101~111: 設定禁止) 011: 立ち上がりエッジ
11-10	EMSTRMCRX [1:0]	R	INTRMCRX スタンバイ解除要求のアクティブ状態 00: - 01: 立ち上がりエッジ 10: - 11: -
9	-	R	リードすると不定値が読まれます。
8	INTRMCRXEN	R/W	INTRMCRX 解除入力 0: ディセーブル 1: イネーブル
7	-	R	リードすると"0"が読めます。
6-4	EMCGRTC [2:0]	R/W	INTRTC スタンバイ解除要求のアクティブ状態を設定(101~111: 設定禁止) 010: 立ち下がりエッジ
3-2	EMSTRTC [1:0]	R	INTRTC スタンバイ解除要求のアクティブ状態 00: - 01: - 10: 立ち下がりエッジ 11: -
1	-	R	リードすると不定値が読まれます。
0	INTRTCEN	R/W	INTRTC 解除入力 0: ディセーブル 1: イネーブル

注) エッジ設定と同時に<INTxEN>を設定しないでください。エッジ設定を行ってから<INTxEN>を設定してください。

6.6.3.6 CGICRCG(CG 割り込み要求クリアレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	ICRCG				
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-5	-	R	リードすると"0"が読めます。
4-0	ICRCG[4:0]	W	割り込み要求をクリア 0_0000: INT0 0_1000: INT8 1_0000: INTRTC 0_0001: INT1 0_1001: INT9 1_0001: INTRMCRX 0_0010: INT2 0_1010: INTA 0_0011: INT3 0_1011: INTB 0_0100: INT4 0_1100: INTC 0_0101: INT5 0_1101: INTD 0_0110: INT6 0_1110: INTE 0_0111: INT7 0_1111: INTF 1_0010~1_1111: 設定禁止 リードすると"0"が読めます

6.6.3.7 CGNMIFLG(NMI フラグレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	NMIFLG2	-	NMIFLG0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-3	-	R	リードすると"0"が読めます。
2	NMIFLG2	R	NMI 起動要因フラグ 0: 要因なし 1: 低電圧検出による発生
1	-	R	リードすると不定値が読まれます。
0	NMIFLG0	R	NMI 起動要因フラグ 0: 要因なし 1: WDT による NMI 発生

注) <NMIFLG>は読み出すと"0"にクリアされます。

6.6.3.8 CGRSTFLG(リセットフラグレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
パワーオン リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
パワーオン リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
パワーオン リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	OFDRSTF	DBGSTF	-	WDTRSTF	PINRSTF	PONRSTF
パワーオン リセット後	0	0	0	0	0	0	0	1

Bit	Bit Symbol	Type	機能
31-6	-	R	リードすると"0"が読めます。
5	OFDRSTF	R/W	OFD リセットフラグ 0: 0 ライト 1: OFD によるリセットフラグ
4	DBGSTF	R/W	デバッグリセットフラグ(注 1) 0: 0 ライト 1: デバッグからのリセットによるリセットフラグ
3	-	R/W	"0"を書いてください。
2	WDTRSTF	R/W	WDT リセットフラグ 0: 0 ライト 1: WDT によるリセットフラグ
1	PINRSTF	R/W	RESET 端子フラグ 0: 0 ライト 1: RESET 端子によるリセットフラグ
0	PONRSTF	R/W	Power On Reset フラグ 0: 0 ライト 1: Power On Reset によるリセットフラグ

注 1) CPU の NVIC 内にあるアプリケーション割り込みおよびリセット制御レジスタの<SYSRESETREQ>のセットにより発生したリセットであることを示します。

注 2) 本製品はパワーオンリセット回路を内蔵しており、本レジスタはパワーオンリセットでのみ初期化されます。したがって、電源投入時の初期リセット後は<PONRSTF>がセットされます。(パワーオンリセット以外のリセット後は、対象のリセットフラグがセットされます) また、本レジスタは自動的にクリアされませんので、“0”を書いてクリアしてください。

第7章 DMA コントローラ (DMAC)

7.1 概要

主な機能を以下に説明します。

表 7-1 DMA 概要

項目	機能		概要
チャンネル数	2ch(1 ユニット)		
	ハードウェアでスタート		周辺 IP の DMA 要求に対応(表 7-3 参照)
	ソフトウェアでスタート		DMACSoftBReq レジスタへのライトで起動
バスマスタ	32bit × 1 (AHB)		
プライオリティ	DMA チャンネル 0 (高) ~ DMA チャンネル 1 (低)		ハードウェア固定
FIFO	4word × 2ch		
バス幅	8/16/32bit		転送元側、転送先側で別々に設定可能
バーストサイズ	1/4/8/16/32/64/128/256		
転送回数	~4095 回		
アドレス	転送元アドレス	incr / no-incr	転送元と転送先のアドレスは increment するか No-increment (固定) かを選択できます。(アドレス wrapping は非サポート)
	転送先アドレス	incr / no-incr	
エンディアン	リトルエンディアンのみサポート		
転送タイプ	メモリ → 周辺回路(レジスタ) 周辺回路(レジスタ) → メモリ メモリ → メモリ (注 2)		メモリ → メモリを選択した場合、DMA 起動のハードウェアスタートはサポートしていません。 詳細は DMACCxConfiguration レジスタを参照してください。
割り込み機能	転送終了割り込み エラー割り込み		
特殊機能	Scatter/gather 機能		

注 1) 1 ワードは 32 ビット

注 2) DMA 転送タイプとして、「周辺回路(レジスタ) → 周辺回路(レジスタ)」には対応していません。

7.2 DMA 転送タイプ

表 7-2 DMA 転送タイプ

	DMA 転送方向	DMA 要求元	受付可能な DMA 要求(注2)	その他条件
1	メモリ → 周辺回路	周辺回路(転送先)	バースト要求	1word の転送要求の場合、DMAC のバーストサイズを 1 に設定してください。
2	周辺回路 → メモリ	周辺回路(転送元)	バースト要求/ シングル要求 (注1)	データの総転送サイズが、バーストサイズの整数倍ではない時、バースト要求と、シングル要求の両方を使用することができます。 DMA で設定したデータの総転送サイズが、バーストサイズ以上の場合、シングル要求は無視され、バースト転送を実行します。 また、総転送サイズが、バーストサイズ未満になった場合には、シングル転送を実行します。
3	メモリ → メモリ	DMAC	-	DMA 要求は必要ありません。 DMA 回路を Enable するとデータ転送が開始します。 (メモリ → メモリを選択し、DMACCxConfiguration<E> = 1 とする) 全て転送データが転送完了するか、DMA のチャンネルを Disable することで停止します。

注1) シングル要求に対応する周辺回路 : SSP

注2) 受付可能な DMA 要求は、次ページ以降を参照してください。

7.3 ブロック図

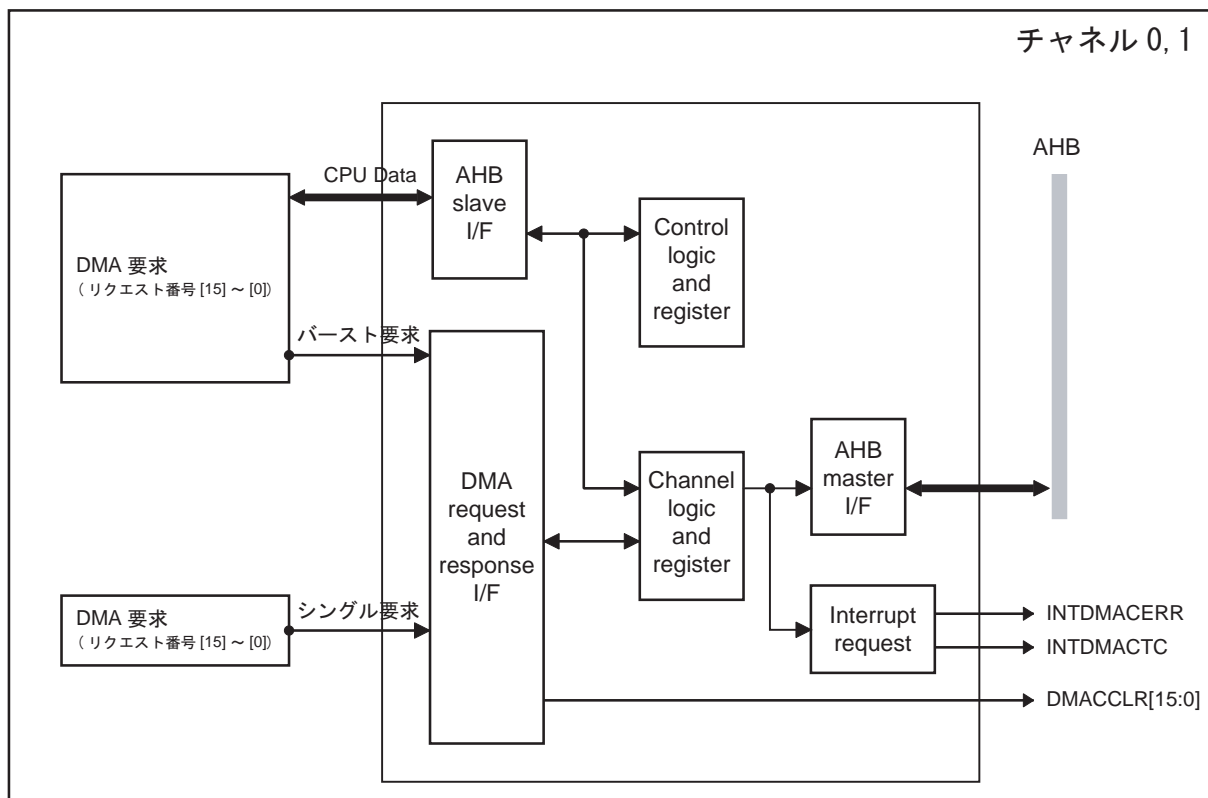


図 7-1 DMAC ブロック図

表 7-3 DMA リクエスト番号表

DMA リクエスト番号	対応するペリフェラル	
	バースト	シングル
0	SIO0 送受信	-
1	SIO1 送受信	-
2	SIO2 送受信	-
3	SIO3 送受信	-
4	SIO4 送受信	-
5	SSP0 送信	-
6	SSP0 受信	SSP0 受信
7	SSP1 送信	-
8	SSP1 受信	SSP1 受信
9	-	-
10	-	-
11	-	-
12	-	-
13	-	-
14	-	-
15	-	-

7.4 レジスタの説明

7.4.1 DMAC レジスタ一覧

SFR のリストと機能を以下に示します。

Base Address = 0x4008_0000

レジスタ名		Address(Base+)
DMAC Interrupt Status Register	DMACIntStaus	0x0000
DMAC Interrupt Terminal Count Status Register	DMACIntTCStatus	0x0004
DMAC Interrupt Terminal Count Clear Register	DMACIntTCClear	0x0008
DMAC Interrupt Error Status Register	DMACIntErrorStatus	0x000C
DMAC Interrupt Error Clear Register	DMACIntErrClr	0x0010
DMAC Raw Interrupt Terminal Count Status Register	DMACRawIntTCStatus	0x0014
DMAC Raw Error Interrupt Status Register	DMACRawIntErrorStatus	0x0018
DMAC Enabled Channel Register	DMACEnbldChns	0x001C
DMAC Software Burst Request Register	DMACSoftBReq	0x0020
DMAC Software Single Request Register	DMACSoftSReq	0x0024
Reserved	-	0x0028
Reserved	-	0x002C
DMAC Configuration Register	DMACConfiguration	0x0030
Reserved	-	0x0034
DMAC Channel0 Source Address Register	DMACC0SrcAddr	0x0100
DMAC Channel0 Destination Address Register	DMACC0DestAddr	0x0104
DMAC Channel0 Linked List Item Register	DMACC0LLI	0x0108
DMAC Channel0 Control Register	DMACC0Control	0x010C
DMAC Channel0 Configuration Register	DMACC0Configuration	0x0110
DMAC Channel1 Source Address Register	DMACC1SrcAddr	0x0120
DMAC Channel1 Destination Address Register	DMACC1DestAddr	0x0124
DMAC Channel1 Linked List Item Register	DMACC1LLI	0x0128
DMAC Channel1 Control Register	DMACC1Control	0x012C
DMAC Channel 1 Configuration Register	DMACC1Configuration	0x0130

注 1) 上記レジスタはワード (32bit) アクセスのみとなります。

注 2) "Reserved"表記のアドレスにはアクセスしないでください。

注 3) チャンネルごとにレジスタが用意されているものに関しては、チャンネルの構造が同じ場合、レジスタ詳細説明において、チャンネル番号をあらわす部分を"x"で表現しています。

7.4.2 DMACIntStatus (DMAC Interrupt Status Register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	IntStatus1	IntStatus0
リセット後	不定	不定	不定	不定	不定	不定	0	0

Bit	Bit Symbol	Type	機能
31-2	-	W	"0"をライトしてください。
1	IntStatus1	R	DMAC チャネル 1 の割り込み発生状態 0: 割り込み要求無し 1: 割り込み要求有り 転送終了割り込み許可レジスタおよびエラー割り込み許可レジスタを経由した後の DMAC 割り込み発生状態を示します。転送エラー、カウンタ終了のどちらでも割り込み要求が発生します。
0	IntStatus0	R	DMAC チャネル 0 の割り込み発生状態 0: 割り込み要求無し 1: 割り込み要求有り 転送終了割り込み許可レジスタおよびエラー割り込み許可レジスタを経由した後の DMAC 割り込み発生状態を示します。転送エラーか、カウンタ終了か、どちらでも割り込み要求が発生します。

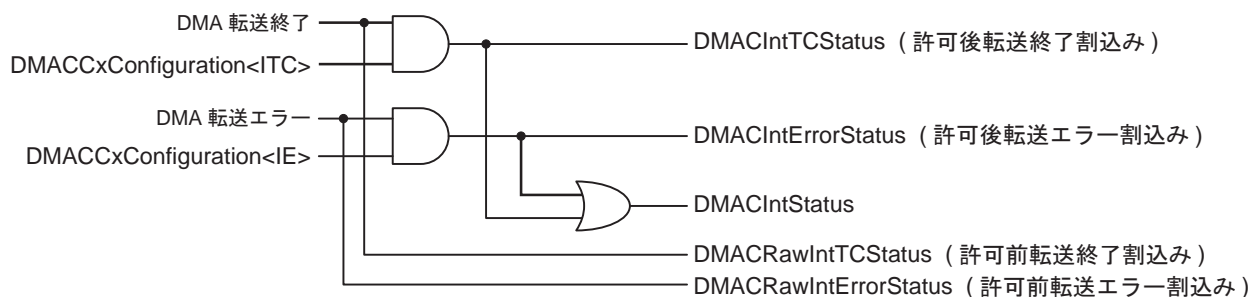


図 7-2 割り込み関連ブロック図

7.4.3 DMACIntTCStatus (DMAC Interrupt Terminal Count Status Register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	IntTCStatus1	IntTCStatus0
リセット後	不定	不定	不定	不定	不定	不定	0	0

Bit	Bit Symbol	Type	機能
31-2	-	W	"0"をライトしてください。
1	IntTCStatus1	R	DMAC チャンネル 1 の転送終了割り込み発生状態 0: 割り込み要求無し 1: 割り込み要求有り 許可後の転送終了割り込み発生状態を示します。
0	IntTCStatus0	R	DMAC チャンネル 0 の転送終了割り込み発生状態 0: 割り込み要求無し 1: 割り込み要求有り 許可後の転送終了割り込み発生状態を示します。

7.4.4 DMACIntTCClear (DMAC Interrupt Terminal Count Clear Register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	IntTCClear1	IntTCClear0
リセット後	不定	不定	不定	不定	不定	不定	0	0

Bit	Bit Symbol	Type	機能
31-2	-	W	"0"をライトしてください。
1	IntTCClear1	W	DMAC チャンネル 1 の転送終了割り込みクリア 0: 無効 1: クリア "1"をライトすると DMACIntTCStatus<IntTCStatus1>がクリアされます。
0	IntTCClear0	W	DMAC チャンネル 0 の転送終了割り込みクリア 0: 無効 1: クリア "1"をライトすると DMACIntTCStatus<IntTCStatus0>がクリアされます。

7.4.5 DMACIntErrorStatus (DMAC Interrupt Error Status Register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	IntErrStatus1	IntErrStatus0
リセット後	不定	不定	不定	不定	不定	不定	0	0

Bit	Bit Symbol	Type	機能
31-2	-	W	"0"をライトしてください。
1	IntErrStatus1	R	DMAC チャンネル 1 のエラー割込み発生状態 0: 割込み要求無し 1: 割込み要求有り 許可後のエラー割込み発生状態を示します。
0	IntErrStatus0	R	DMAC チャンネル 0 のエラー割込み発生状態 0: 割込み要求無し 1: 割込み要求有り 許可後のエラー割込み発生状態を示します。

7.4.6 DMACIntErrClr (DMAC Interrupt Error Clear Register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	IntErrClr1	IntErrClr0
リセット後	不定	不定	不定	不定	不定	不定	0	0

Bit	Bit Symbol	Type	機能
31-2	-	W	"0"をライトしてください。
1	IntErrClr1	W	DMAC チャンネル 1 のエラー割込みクリア 0: 無効 1: クリア "1"をライトすると DMACIntErrorStatus<IntErrStatus1>がクリアされます。
0	IntErrClr0	W	DMAC チャンネル 0 のエラー割込みクリア 0: 無効 1: クリア "1"をライトすると DMACIntErrorStatus<IntErrStatus0>がクリアされます。

7.4.7 DMACRawIntTCStatus (DMAC Raw Interrupt Terminal Count Status Register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	RawIntTCS1	RawIntTCS0
リセット後	不定	不定	不定	不定	不定	不定	0	0

Bit	Bit Symbol	Type	機能
31-2	-	W	"0"をライトしてください。
1	RawIntTCS1	R	DMAC チャンネル 1 の許可前転送終了割り込み発生状態 0: 割り込み要求無し 1: 割り込み要求有り 許可前の転送終了割り込み発生状態を示します。
0	RawIntTCS0	R	DMAC チャンネル 0 の許可前転送終了割り込み発生状態 0: 割り込み要求無し 1: 割り込み要求有り 許可前の転送終了割り込み発生状態を示します。

7.4.8 DMACRawIntErrorStatus (DMAC Raw Error Interrupt Status Register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	RawIntErrS1	RawIntErrS0
リセット後	不定	不定	不定	不定	不定	不定	0	0

Bit	Bit Symbol	Type	機能
31-2	-	W	"0"をライトしてください。
1	RawIntErrS1	R	DMAC チャンネル 1 の許可前エラー割込み発生状態 0 : 割込み要求無し 1 : 割込み要求有り
0	RawIntErrS0	R	DMAC チャンネル 0 の許可前エラー割込み発生状態 0 : 割込み要求無し 1 : 割込み要求有り

7.4.9 DMACEnblDChns (DMAC Enabled Channel Register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	EnabledCH1	EnabledCH0
リセット後	不定	不定	不定	不定	不定	不定	0	0

Bit	Bit Symbol	Type	機能
31-2	-	W	"0"をライトしてください。
1	EnabledCH1	R	DMAC チャンネル 1 の許可状態 0 : DMA 転送終了時クリア 1 : チャンネル 1 許可状態
0	EnabledCH0	R	DMAC チャンネル 0 の許可状態 0 : DMA 転送終了時クリア 1 : チャンネル 0 許可状態

7.4.10 DMACSoftBReq (DMAC Software Burst Request Register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	SoftBReq8
リセット後	不定	不定	不定	不定	不定	不定	不定	0
	7	6	5	4	3	2	1	0
bit symbol	SoftBReq7	SoftBReq6	SoftBReq5	SoftBReq4	SoftBReq3	SoftBReq2	SoftBReq1	SoftBReq0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-9	-	W	"0"をライトしてください。
8	SoftBReq8	R/W	ソフトウェアによる DMA バースト要求(リクエスト番号[8])の発生 リード時 0: DMA バースト停止中 1: DMA バースト実行中 ライト時 0: 無効 1: DMA バースト要求の発生
7	SoftBReq7	R/W	ソフトウェアによる DMA バースト要求(リクエスト番号[7])の発生 リード時 0: DMA バースト停止中 1: DMA バースト実行中 ライト時 0: 無効 1: DMA バースト要求の発生
6	SoftBReq6	R/W	ソフトウェアによる DMA バースト要求(リクエスト番号[6])の発生 リード時 0: DMA バースト停止中 1: DMA バースト実行中 ライト時 0: 無効 1: DMA バースト要求の発生
5	SoftBReq5	R/W	ソフトウェアによる DMA バースト要求(リクエスト番号[5])の発生 リード時 0: DMA バースト停止中 1: DMA バースト実行中 ライト時 0: 無効 1: DMA バースト要求の発生
4	SoftBReq4	R/W	ソフトウェアによる DMA バースト要求(リクエスト番号[4])の発生 リード時 0: DMA バースト停止中 1: DMA バースト実行中 ライト時 0: 無効 1: DMA バースト要求の発生
3	SoftBReq3	R/W	ソフトウェアによる DMA バースト要求(リクエスト番号[3])の発生 リード時 0: DMA バースト停止中 1: DMA バースト実行中 ライト時 0: 無効 1: DMA バースト要求の発生
2	SoftBReq2	R/W	ソフトウェアによる DMA バースト要求(リクエスト番号[2])の発生 リード時 0: DMA バースト停止中 1: DMA バースト実行中

Bit	Bit Symbol	Type	機能
			ライト時 0:無効 1:DMA バースト要求の発生
1	SoftBReq1	R/W	ソフトウェアによる DMA バースト要求(リクエスト番号[1])の発 リード時 0:DMA バースト停止中 1:DMA バースト実行中 ライト時 0:無効 1:DMA バースト要求の発生
0	SoftBReq0	R/W	ソフトウェアによる DMA バースト要求(リクエスト番号[0])の発生 リード時 0:DMA バースト停止中 1:DMA バースト実行中 ライト時 0:無効 1:DMA バースト要求の発生

ソフトウェアによる DMA バースト転送要求を設定します。ソフトウェアによる DMA バースト転送が終了すると該当ビットがクリアされます。

注 1) 同時にソフトウェアとハードウェアペリフェラルによる DMA 要求を実施しないでください。

注 2) DMA のリクエスト番号は「表 7-3 DMA リクエスト番号表」を参照してください。

7.4.11 DMACSoftSReq (DMAC Software Single Request Register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	SoftSReq8
リセット後	不定	不定	不定	不定	不定	不定	不定	0
	7	6	5	4	3	2	1	0
bit symbol	-	SoftSReq6	-	-	-	-	-	-
リセット後	不定	0	不定	不定	不定	不定	不定	不定

Bit	Bit Symbol	Type	機能
31-9	-	W	"0"をライトしてください。
8	SoftSReq8	R/W	ソフトウェアによる DMA シングル要求(リクエスト番号[8])の発生 リード時 0: DMA シングル停止中 1: DMA シングル実行中 ライト時 0: 無効 1: DMA シングル要求の発生
7	-	W	"0"をライトしてください。
6	SoftSReq6	R/W	ソフトウェアによる DMA シングル要求(リクエスト番号[6])の発生 リード時 0: DMA シングル停止中 1: DMA シングル実行中 ライト時 0: 無効 1: DMA シングル要求の発生
5-0	-	W	"0"をライトしてください。

ソフトウェアによる DMA シングル転送要求を設定します。ソフトウェアによる DMA シングル転送が終了すると該当ビットがクリアされます。

注 1) 同時にソフトウェアとハードウェアペリフェラルによる DMA 要求を実施しないでください。

注 2) DMA のリクエスト番号は「表 7-3 DMA リクエスト番号表」を参照してください。

7.4.12 DMACConfiguration (DMAC Configuration Register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	M	E
リセット後	不定	不定	不定	不定	不定	不定	0	0

Bit	Bit Symbol	Type	機能
31-2	-	W	"0"をライトしてください。
1	M	R/W	DMA エンディアンコンフィギュレーション 0: リトルエンディアン 1: Reserved
0	E	R/W	DMA 回路制御 0: 停止 1: 動作 DMA 回路が停止している場合、DMA 回路のレジスタへの書き込み、読み出しはできません。DMA を動作させる場合には常に<E>="1"を設定してください。

7.4.13 DMACCxSrcAddr (DMAC Channelx Source Address Register)

	31	30	29	28	27	26	25	24
bit symbol	SrcAddr							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	SrcAddr							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	SrcAddr							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SrcAddr							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能								
31-0	SrcAddr[31:0]	R/W	DMA 転送元アドレスの設定 設定する前には転送元のメモリやIPレジスタのビット幅と、アドレスを確認してください。 転送元のビット幅の設定により、以下の制約があります。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>転送元のビット幅 DMACCxControl<Swidth[2:0]></th> <th>最下位アドレスの設定</th> </tr> </thead> <tbody> <tr> <td>000 :バイト(8ビット)</td> <td>制約なし</td> </tr> <tr> <td>001 :ハーフワード(16ビット)</td> <td>2の倍数(0x0,0x02,0x4,0x06,0x8,0xA,0xC...)になるように設定</td> </tr> <tr> <td>010 :ワード(32ビット)</td> <td>4の倍数(0x0,0x4,0x8,0xC...)になるように設定</td> </tr> </tbody> </table>	転送元のビット幅 DMACCxControl<Swidth[2:0]>	最下位アドレスの設定	000 :バイト(8ビット)	制約なし	001 :ハーフワード(16ビット)	2の倍数(0x0,0x02,0x4,0x06,0x8,0xA,0xC...)になるように設定	010 :ワード(32ビット)	4の倍数(0x0,0x4,0x8,0xC...)になるように設定
転送元のビット幅 DMACCxControl<Swidth[2:0]>	最下位アドレスの設定										
000 :バイト(8ビット)	制約なし										
001 :ハーフワード(16ビット)	2の倍数(0x0,0x02,0x4,0x06,0x8,0xA,0xC...)になるように設定										
010 :ワード(32ビット)	4の倍数(0x0,0x4,0x8,0xC...)になるように設定										

チャンネル x を許可(DMACCxConfiguration<E>="1")すると、レジスタに記述された内容が更新されますので、チャンネルを許可する前に DMACCxSrcAddr を設定してください。

DMA が動作中の場合、DMACCxSrcAddr レジスタの値は逐次変化するため、リード値は固定ではありません。

また、転送中に DMACCxSrcAddr をアップデートしないでください。DMACCxSrcAddr を変更する場合には必ずチャンネル x を禁止(DMACCxConfiguration<E>="0")に設定後、変更してください。

7.4.14 DMACCxDestAddr (DMAC Channelx Destination Address Register)

	31	30	29	28	27	26	25	24
bit symbol	DestAddr							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	DestAddr							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	DestAddr							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	DestAddr							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能								
31-0	DestAddr[31:0]	R/W	<p>DMA 転送先アドレスの設定 設定する前には転送先のメモリやIPレジスタのビット幅と、アドレスを確認してください。 転送先のビット幅の設定により、以下の制約があります。</p> <table border="1"> <thead> <tr> <th>転送先のビット幅 DMACCxControl<Dwidth[2:0]></th> <th>最下位アドレスの設定</th> </tr> </thead> <tbody> <tr> <td>000 :バイト(8ビット)</td> <td>制約なし</td> </tr> <tr> <td>001 :ハーフワード(16ビット)</td> <td>2の倍数(0x0,0x02,0x4,0x06,0x8,0xA,0xC...)になるように設定</td> </tr> <tr> <td>010 :ワード(32ビット)</td> <td>4の倍数(0x0,0x4,0x8,0xC...)になるように設定</td> </tr> </tbody> </table>	転送先のビット幅 DMACCxControl<Dwidth[2:0]>	最下位アドレスの設定	000 :バイト(8ビット)	制約なし	001 :ハーフワード(16ビット)	2の倍数(0x0,0x02,0x4,0x06,0x8,0xA,0xC...)になるように設定	010 :ワード(32ビット)	4の倍数(0x0,0x4,0x8,0xC...)になるように設定
転送先のビット幅 DMACCxControl<Dwidth[2:0]>	最下位アドレスの設定										
000 :バイト(8ビット)	制約なし										
001 :ハーフワード(16ビット)	2の倍数(0x0,0x02,0x4,0x06,0x8,0xA,0xC...)になるように設定										
010 :ワード(32ビット)	4の倍数(0x0,0x4,0x8,0xC...)になるように設定										

転送中に DMACCxDestAddr をアップデートしないでください。DMACCxDestAddr を変更する場合には必ずチャンネルを禁止(DMACCxConfiguration<E>="0")に設定後、変更してください。

7.4.15 DMACCxLLI (DMAC Channelx Linked List Item Register)

	31	30	29	28	27	26	25	24
bit symbol	LLI							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	LLI							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	LLI							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	LLI						-	-
リセット後	0	0	0	0	0	0	不定	不定

Bit	Bit Symbol	Type	機能
31-2	LLI[29:0]	R/W	次の転送情報の先頭アドレスを設定 設定値は 0xFFFF_FFF0 以内で設定してください。 <LLI>="0"のとき、LLI が最後のチェーンであり、DMA 転送終了後、DMA チャンネルが禁止になります。
1-0	-	W	"0"をライトしてください。

<LLI>動作の詳細については「7.5 特殊機能」を参照してください。

7.4.16 DMACCxControl (DMAC Channelx Control Register)

	31	30	29	28	27	26	25	24
bit symbol	I	-	-	-	DI	SI	-	-
リセット後	0	不定	不定	不定	0	0	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	Dwidth			Swidth			DBSize	
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	DBSize	SBSIZE			TransferSize			
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TransferSize							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31	I	R/W	転送割り込み許可ビット (Scatter/gather 機能使用時に有効) 0: 禁止 1: 許可 <I>="1"かつ DMACCxConfiguration<ITC>="1"の設定で、転送終了割り込みが発生します。Scatter/gather 機能使用時に、最終転送の DMAC 設定フロー内で、本ビットを'1'にすることで、最終転送時にのみ転送終了割り込みを発生することが可能になります。通常転送時に割り込みを発生させたいときには、本ビットも'1'に設定し Enable 状態にする必要があります。
30-28	-	W	"0"をライトしてください。
27	DI	R/W	転送先アドレスインクリメント 0: アドレス固定 1: インクリメント
26	SI	R/W	転送元アドレスインクリメント 0: アドレス固定 1: インクリメント
25-24	-	W	"0"をライトしてください。
23-21	Dwidth[2:0]	R/W	転送先ビット幅 000: バイト(8 ビット) 001: ハーフワード(16 ビット) 010: ワード(32 ビット) 上記以外: Reserved
20-18	Swidth[2:0]	R/W	転送元ビット幅 000: バイト(8 ビット) 001: ハーフワード(16 ビット) 010: ワード(32 ビット) 上記以外: Reserved
17-15	DBSize[2:0]	R/W	転送先バーストサイズ(注 1) 000: 1 ビート 100: 32 ビート 001: 4 ビート 101: 64 ビート 010: 8 ビート 110: 128 ビート 011: 16 ビート 111: 256 ビート
14-12	SBSIZE[2:0]	R/W	転送元バーストサイズ(注 1) 000: 1 ビート 100: 32 ビート 001: 4 ビート 101: 64 ビート 010: 8 ビート 110: 128 ビート 011: 16 ビート 111: 256 ビート

Bit	Bit Symbol	Type	機能
11-0	TransferSize [11:0]	R/W	<p>総転送回数の設定</p> <p>転送元ビット幅で定義された幅 (4byte/2byte/1byte) 単位のデータの、転送したい総回数を設定します。</p> <p>バーストサイズは、内部動作の DMA 要求毎に一度に転送されるデータ量のみを示していますので、転送元ビット幅と、総転送回数を変えない限り、どんなバーストサイズに設定しても、総転送されるデータ量は変化しません。</p> <p>この値は DMAC 転送の実施に伴い、"0"までデクリメントします。</p> <p>リードすると未転送回数が読み出されます。</p> <p>総転送回数は転送元ビット幅の単位になります。</p> <p>例えば、</p> <p><Swidth>="000" (8bit)の場合、転送回数は byte 単位</p> <p><Swidth>="001" (16bit)の場合、転送回数は half word 単位</p> <p><Swidth>="010" (32bit)の場合、転送回数は word 単位</p>

<Dwidth[2:0]> / <Swidth[2:0]>	<p>以下の計算式を満たすように設定してください。</p> <p>転送元ビット幅 × 総転送回数 = 転送先ビット幅 × N (N : 整数)</p> <p>(例 1) 転送元ビット幅:8 ビット、転送先ビット幅:32 ビット、総転送回数:25 回の場合</p> <p>8 ビット × 25 回 = 200 ビット(25 バイト)</p> <p>N = 200 ÷ 32 = 6.25 ワード</p> <p>6.25 は整数でないことから、上記設定は出来ません。</p> <p>転送元ビット幅が転送先ビット幅よりも小さい場合は、総転送回数を設定する場合に注意が必要です。</p> <p>(例 2) 転送元ビット幅:32 ビット、転送先ビット幅:16 ビット、総転送回数:13 回の場合</p> <p>32 ビット × 13 回 = 416 ビット(13 ワード)</p> <p>N = 416 ÷ 16 = 26 ハーフワード</p> <p>26 は整数の為、問題ありません。</p>
<DBSize[2:0]> / <SBSize[2:0]>	<p>「周辺回路→メモリ」や、「メモリ→周辺回路」の転送の場合、周辺回路は転送準備が整った事を示す DMA 要求信号を発生し、この信号をトリガに複数回実行されます (「メモリ→メモリ」転送の場合は、ソフトウェアのみです)。</p> <p>周辺回路からの、DMA 要求信号ごとに転送されるデータ量を、バーストサイズで設定し、FIFO_Buffer などの複数のデータを格納できる周辺回路の場合に使用します。</p>

注 1) DBsize および SBsize で設定するバーストサイズは AHB バスの HBURST とは関係ありません。

7.4.17 DMACCxConfiguration (DMAC Channelx Configuration Register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	Halt	Active	Lock
リセット後	不定	不定	不定	不定	不定	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ITC	IE	FlowCntrl			-	DestPeripheral	
リセット後	0	0	0	0	0	不定	0	0
	7	6	5	4	3	2	1	0
bit symbol	DestPeripheral		-	SrcPeripheral				E
リセット後	0	0	不定	0	0	0	0	0

Bit	Bit Symbol	Type	機能										
31-19	-	W	"0"をライトしてください。										
18	Halt	R/W	DMA 要求受付制御 0 : DMA 要求 受付 1 : DMA 要求 無視										
17	Active	R	チャンネル FIFO 内のデータの有無 0 : FIFO 内にデータなし 1 : FIFO 内にデータあり										
16	Lock	R/W	ロック転送設定 (不分割転送) 0 : ロック転送 禁止 1 : ロック転送 許可 ロック転送を許可するとバスを解放せずに指定バースト数を連続転送します。詳細動作は、「7.5 特殊機能」をご参照ください										
15	ITC	R/W	転送終了割り込み許可 0 : 割り込み禁止 1 : 割り込み許可 <ITC> = 1 かつ、DMACCxControl Register<I> = 1、の設定で、転送終了割り込みが発生します。										
14	IE	R/W	エラー割り込み許可 0 : 割り込み禁止 1 : 割り込み許可										
13-11	FlowCntrl[2:0]	R/W	転送方式設定ビット(注 1) <table border="1" style="margin-left: 20px;"> <thead> <tr> <th><FlowCntrl[2:0]> の設定値</th> <th>転送方式</th> </tr> </thead> <tbody> <tr> <td>000:</td> <td>メモリ → メモリ</td> </tr> <tr> <td>001:</td> <td>メモリ → 周辺回路</td> </tr> <tr> <td>010:</td> <td>周辺回路 → メモリ</td> </tr> <tr> <td>011~111:</td> <td>Reserved</td> </tr> </tbody> </table>	<FlowCntrl[2:0]> の設定値	転送方式	000:	メモリ → メモリ	001:	メモリ → 周辺回路	010:	周辺回路 → メモリ	011~111:	Reserved
<FlowCntrl[2:0]> の設定値	転送方式												
000:	メモリ → メモリ												
001:	メモリ → 周辺回路												
010:	周辺回路 → メモリ												
011~111:	Reserved												
10	-	W	"0"をライトしてください。										
9-6	DestPeripheral [3:0]	R/W	転送先ペリフェラル設定(注 2) 0000 ~ 1111 DMA リクエストのペリフェラル番号、2進数で表現。 転送先が Memory の場合はこの設定は無視されます。										
5	-	W	"0"をライトしてください。										

Bit	Bit Symbol	Type	機能
4-1	SrcPeripheral [3:0]	R/W	転送元ペリフェラル設定(注2) 0000 ~ 1111 DMA リクエストのペリフェラル番号、2進数で表現。 転送元が Memory の場合はこの設定は無視されます。
0	E	R/W	チャンネルイネーブル 0: 禁止 1: 許可 このビットでチャンネルを Enable/Disable できます。(メモリ → メモリを選択している場合、転送開始ビットとして動作します。) DMACCxControl レジスタの総転送回数を全て、転送 (値が 0 になる) 終了すると、対象のチャンネルは自動的にクリアされます。 転送中に Disable を実行すると、チャンネル FIFO のデータが消失してしまいますので、再スタートする場合はチャンネルをすべて初期化して、スタートしてください。 もし、一時的に停止したい場合は、<Halt>ビットで DMA 要求を停止して、<Active>ビットを"0"になるまでポーリングした後、<E>ビットでチャンネルを Disable してください。

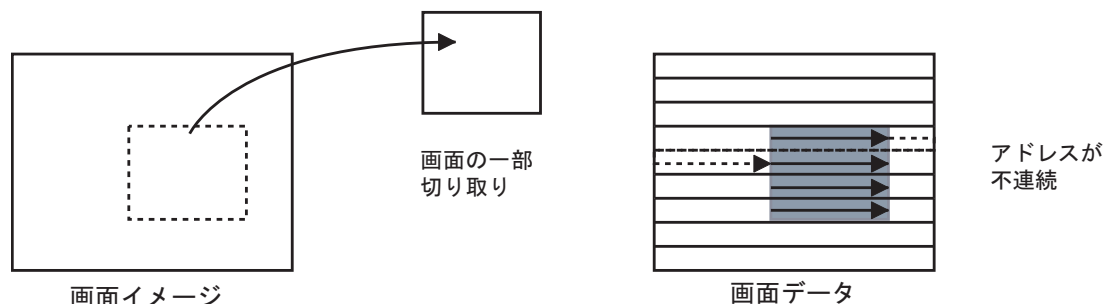
注 1) メモリ→メモリを選択した場合、DMA 起動のハードウェアスタートはサポートしていません。<E>= 1 をライトすることで転送を開始します。

注 2) DMA リクエストのペリフェラル番号は表 7-3 を参照してください。

7.5 特殊機能

7.5.1 Scatter/gather 機能

画像データの一部を切り取ってデータを転送するような場合、画像データはすべて連続データとしては扱えず、特定の規則に従ってアドレスが大きく変化します。そのため、常に連続のアドレスでしか転送出来ない DMA では、アドレスが変化する箇所、その都度再設定が必要になります。



Scatter/gather 機能とは、あらかじめ設定された"Linked list"を通じて、CPU がその動作の制御を行う必要なく、DMA の各種設定 (転送元アドレス、転送先アドレス、転送回数、転送バス幅) を、指定された DMA 回数を終了毎に再ロードして、連続動作することが出来る機能です。

DMACCxLLI レジスタに"Linked list"のアドレスをセットすることで動作の許可/停止を制御します。

Linked List で設定出来る項目は、以下の 4word で構成されています。

1. DMACCxSrcAddr
2. DMACCxDestAddr
3. DMACCxLLI
4. DMACCxControl

割り込み動作との併用も可能です。

DMACCxControl<I>=1、かつ、DMACCxConfiguration<ITC>=1 の設定で、DMA 転送終了割り込みが発生します。

Scatter/gather 機能使用時、DMA 最終転送の時のみ、終了割り込みを発生させたい場合は、DMACCxControl<I>=0、かつ、DMACCxConfiguration<ITC>=1 にて転送を開始し、最終回の DMA 転送設定フロー内で、<I>=1 にすることで、最終転送でのみ転送終了割り込みを発生することが可能になります。このビットを利用することで、LLI を使った転送中でも、条件を追加し分岐処理などの動作が可能です。割り込みをクリアするためには、DMACInfTCClear レジスタの対応ビットを制御します。

7.5.2 Linked list 動作

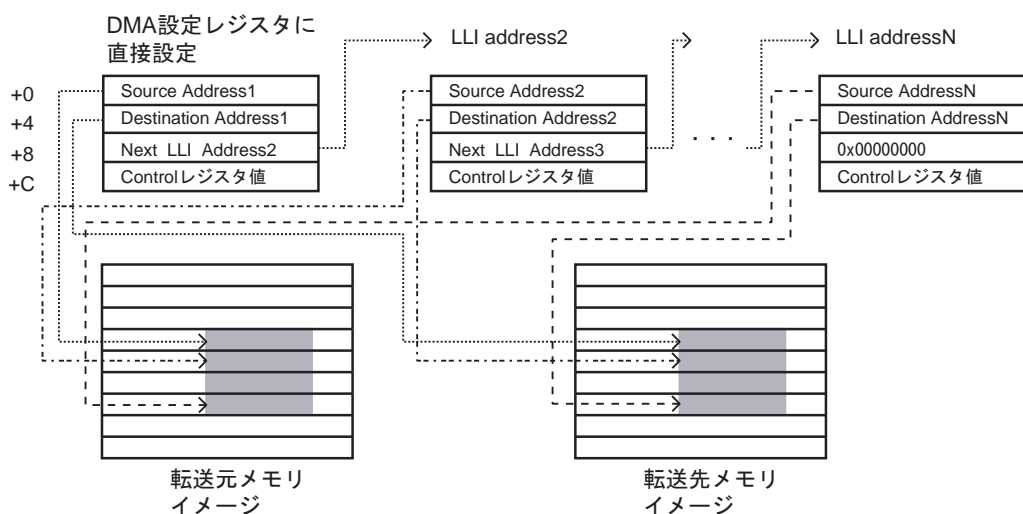
Scatter/gather 機能を動作させるには、まず一連の Linked List を作成し、転送元と転送元データエリアを定義する必要があります。

各々の設定を LLI (LinkedList) と呼びます。

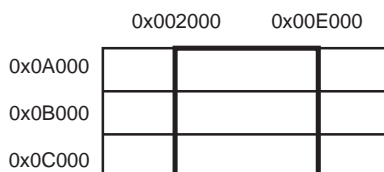
LLI は、1 ブロック分のデータ転送を制御しています。1 回の LLI は通常の DMA 設定を示し、連続データの転送制御を行っています。1 回の DMA 転送が終了するたびに、次の LLI 設定をロードし、DMA 動作の継続 (Daisy Chain) をすることが出来ます。

以下に、設定例を示します。

1. 1 番最初の DMA 転送設定は、DMA のレジスタに直接設定します。
2. 2 番目の DMA 転送以降は、"next LLI AddressX" に設定されたメモリのアドレスに書き込みます。
3. N 番目の DMA 転送で終了させる場合は、"next LLI AddressX" を 0x0000_0000 と設定します。

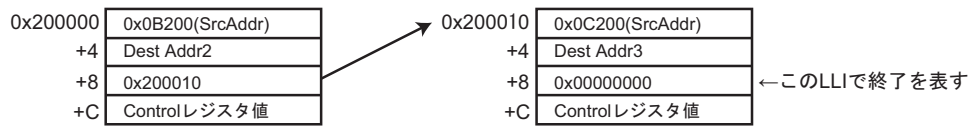


転送元メモリイメージの四角で囲まれたエリアを転送する場合



設定レジスタ	設定項目
+0 DMACCxSrcAddr	:0x0A200
+4 DMACCxDestAddr	:転送先アドレス 1
+8 DMACCxLL	:0x200000
+C DMACCxControl	:バースト転送回数,転送回数などを設定

Linked List



第 8 章 入出力ポート

8.1 ポート機能

8.1.1 機能一覧

TMPM380FDFG には 84 本のポートがあり、ポート機能のほかに内蔵する周辺機能に対する入出力端子としても使用されます。

表 8-1 にポート機能の一覧を示します。

表 8-1 ポート機能一覧

ポート	端子名	入出力	プログラマブル Pull-up Pull-down	Schmitt 入力	ノイズフィ ルタ	プログラマ ブルオープ ンドレイン	機能端子名
ポート A							
	PA0	入出力	Pull-up Pull-down	o	o	o	TB0IN, INT3
	PA1	入出力	Pull-up Pull-down	o	-	o	TB0OUT, SCOUT
	PA2	入出力	Pull-up Pull-down	o	o	o	TB1IN, INT4
	PA3	入出力	Pull-up Pull-down	o	-	o	TB1OUT, RXIN
	PA4	入出力	Pull-up Pull-down	o	-	o	SCLK1, CTS1
	PA5	入出力	Pull-up Pull-down	o	-	o	TXD1, TB6OUT
	PA6	入出力	Pull-up Pull-down	o	-	o	RXD1, TB6IN
	PA7	入出力	Pull-up Pull-down	o	o	o	TB4IN, INT8
ポート B							
	PB0	入出力	Pull-up Pull-down	o	-	o	TRACECLK
	PB1	入出力	Pull-up Pull-down	o	-	o	TRACEDATA0
	PB2	入出力	Pull-up Pull-down	o	-	o	TRACEDATA1
	PB3	入出力	Pull-up Pull-down	o	-	o	TMS/ SWDIO
	PB4	入出力	Pull-up Pull-down	o	-	o	TCK/ SWCLK
	PB5	入出力	Pull-up Pull-down	o	-	o	TDO/ SWV
	PB6	入出力	Pull-up Pull-down	o	-	o	TDI
	PB7	入出力	Pull-up Pull-down	o	-	o	TRST
ポート C							
	PC0	入出力	Pull-up Pull-down	o	-	o	U00, SP0D0, SDA0/SO0

表 8-1 ポート機能一覧

ポート	端子名	入出力	プログラマブル Pull-up Pull-down	Schmitt 入力	ノイズフィ ルタ	プログラマ ブルオー プン ドレイン	機能端子名
	PC1	入出力	Pull-up Pull-down	o	-	o	XO0, SP0DI, SCL0/SI0
	PC2	入出力	Pull-up Pull-down	o	-	o	VO0, SP0CLK, SCK0
	PC3	入出力	Pull-up Pull-down	o	-	o	YO0, SP0FSS
	PC4	入出力	Pull-up Pull-down	o	-	o	WO0, MTOU00, MTTB0OUT
	PC5	入出力	Pull-up Pull-down	o	-	o	ZO0, MTOU10, MTTB0IN, SCLK4, CTS4
	PC6	入出力	Pull-up Pull-down	o	-	o	EMG0, GEMG0, TXD4
	PC7	入出力	Pull-up Pull-down	o	-	o	MT0IN, RXD4
ポート D							
	PD0	入出力	Pull-up Pull-down	o	o	o	ENCA0, TB5IN, INTC
	PD1	入出力	Pull-up Pull-down	o	-	o	ENCB0, TB5OUT
	PD2	入出力	Pull-up Pull-down	o	o	o	ENCZ0, INTD
	PD3	入出力	Pull-up Pull-down	o	o	o	INT9
	PD4	入出力	Pull-up Pull-down	o	-	o	SCLK2, CTS2
	PD5	入出力	Pull-up Pull-down	o	-	o	TXD2
	PD6	入出力	Pull-up Pull-down	o	-	o	RXD2
ポート E							
	PE0	入出力	Pull-up Pull-down	o	-	o	TXD0
	PE1	入出力	Pull-up Pull-down	o	-	o	RXD0
	PE2	入出力	Pull-up Pull-down	o	-	o	SCLK0, CTS0
	PE3	入出力	Pull-up Pull-down	o	-	o	TB4OUT
	PE4	入出力	Pull-up Pull-down	o	o	o	TB2IN, INT5
	PE5	入出力	Pull-up Pull-down	o	-	o	TB2OUT
	PE6	入出力	Pull-up Pull-down	o	o	o	TB3IN, INT6
	PE7	入出力	Pull-up Pull-down	o	o	o	TB3OUT, INT7
ポート F							
	PF0	入出力	Pull-up Pull-down	o	-	o	TB7IN
	PF1	入出力	Pull-up Pull-down	o	-	o	TB7OUT, ALARM

表 8-1 ポート機能一覧

ポート	端子名	入出力	プログラマブル Pull-up Pull-down	Schmitt 入力	ノイズフィ ルタ	プログラマ ブルオープ ンドレイン	機能端子名
	PF2	入出力	Pull-up Pull-down	o	-	o	ENCA1, SCLK3, $\overline{CTS3}$
	PF3	入出力	Pull-up Pull-down	o	-	o	ENCB1, TXD3
	PF4	入出力	Pull-up Pull-down	o	-	o	ENCZ1, RXD3
ポート G							
	PG0	入出力	Pull-up Pull-down	o	-	o	UO1, SDA1 / SO1
	PG1	入出力	Pull-up Pull-down	o	-	o	XO1, SCL1 / SI1
	PG2	入出力	Pull-up Pull-down	o	-	o	VO1, SCK1
	PG3	入出力	Pull-up Pull-down	o	-	o	YO1
	PG4	入出力	Pull-up Pull-down	o	-	o	WO1, MTOUT01, MTTB1OUT
	PG5	入出力	Pull-up Pull-down	o	-	o	ZO1, MTOUT11, MTTB1IN
	PG6	入出力	Pull-up Pull-down	o	-	o	$\overline{EMG1}$, $\overline{GEMG1}$
	PG7	入出力	Pull-up Pull-down	o	-	o	MT1IN
ポート H							
	PH0	入出力	Pull-up Pull-down	o	o	o	AIN0, INT0
	PH1	入出力	Pull-up Pull-down	o	o	o	AIN1, INT1
	PH2	入出力	Pull-up Pull-down	o	o	o	AIN2, INT2
	PH3	入出力	Pull-up Pull-down	o	-	o	AIN3
	PH4	入出力	Pull-up Pull-down	o	-	o	AIN4
	PH5	入出力	Pull-up Pull-down	o	-	o	AIN5
	PH6	入出力	Pull-up Pull-down	o	-	o	AIN6
	PH7	入出力	Pull-up Pull-down	o	-	o	AIN7
ポート I							
	PI0	入出力	Pull-up Pull-down	o	-	o	AIN8
	PI1	入出力	Pull-up Pull-down	o	-	o	AIN9
ポート J							
	PJ0	入出力	Pull-up Pull-down	o	-	o	AIN10
	PJ1	入出力	Pull-up Pull-down	o	-	o	AIN11

表 8-1 ポート機能一覧

ポート	端子名	入出力	プログラマブル Pull-up Pull-down	Schmitt 入力	ノイズフィ ルタ	プログラマ ブルオープ ンドレイン	機能端子名
	PJ2	入出力	Pull-up Pull-down	o	-	o	AIN12
	PJ3	入出力	Pull-up Pull-down	o	-	o	AIN13
	PJ4	入出力	Pull-up Pull-down	o	-	o	AIN14
	PJ5	入出力	Pull-up Pull-down	o	-	o	AIN15
	PJ6	入出力	Pull-up Pull-down	o	o	o	AIN16, INTA
	PJ7	入出力	Pull-up Pull-down	o	o	o	AIN17, INTB
ポート L							
	PL0	出力	Pull-up Pull-down	o	-	o	$\overline{\text{BOOT}}$
	PL2	入出力	Pull-up Pull-down	o	o	o	INTF
ポート M							
	PM0	入出力	Pull-up Pull-down	o	-	o	X1
	PM1	入出力	Pull-up Pull-down	o	-	o	X2
ポート N							
	PN0	入出力	Pull-up Pull-down	o	-	o	SP1DO
	PN1	入出力	Pull-up Pull-down	o	-	o	SP1DI
	PN2	入出力	Pull-up Pull-down	o	-	o	SP1CLK
	PN3	入出力	Pull-up Pull-down	o	-	o	SP1FSS
	PN4	入出力	Pull-up Pull-down	o	-	o	MTOUT02, MTTB2OUT
	PN5	入出力	Pull-up Pull-down	o	-	o	MTOUT12, MTTB2IN
	PN6	入出力	Pull-up Pull-down	o	-	o	$\overline{\text{GEMG2}}$
	PN7	入出力	Pull-up Pull-down	o	o	o	MT2IN, INTE
ポート P							
	PP0	入出力	Pull-up Pull-down	o	-	o	XT1
	PP1	入出力	Pull-up Pull-down	o	-	o	XT2

o: あり

-: なし

注) ノイズフィルタのノイズ除去幅は、Typ.条件で約 30ns です。

8.1.2 ポートレジスタ概略説明

ポートを使用する際には以下のレジスタを設定する必要があります。

- **PxDATA**: ポート x データレジスタ
ポートのデータ読み込み、データ書き込みを行います。
- **PxCR**: ポート x 出力コントロールレジスタ
出力の制御を行います。
入力の制御は **PxIE** で設定してください。
- **PxFRn**: ポート x ファンクションレジスタ n
機能設定を行ないます。
"1"をセットすることにより割り当てられている機能を使用できるようになります。
- **PxOD**: ポート x オープンドレインコントロールレジスタ
プログラマブルオープンドレインの制御を行います。
プログラマブルオープンドレインは、**PxOD** の設定により、出力データが"1"の場合に出力バッファをディセーブルにし、擬似的にオープンドレインを実現する機能です。
- **PxPUP**: ポート x プルアップコントロールレジスタ
プログラマブルプルアップを制御します。
- **PxPDN**: ポート x プルダウンコントロールレジスタ
プログラマブルプルダウンを制御します。
- **PxIE**: ポート x 入力コントロールレジスタ
入力の制御を行ないます。貫通電流対策のため、初期状態は入力禁止になっています。

8.1.3 STOP モード中のポート状態

STOP モード中の入力と出力の状態を、クロック/モード制御部の CGSTBYCR<DRVE>で制御することができます。

PxIE, PxCR が許可で、<DRVE>を"1"に設定した場合、STOP モード中も入力, 出力が許可となります。<DRVE>を"0"に設定した場合、一部のポートを除き、PxIE, PxCR が許可であっても STOP モード中は入力, 出力が禁止になります。

STOP モード時の端子状態を表 8-2 に示します。

表 8-2 STOP モード時の端子状態

機能設定	端子名	入出力	<DRVE> = 0	<DRVE> = 1
発振器	X1, XT1	入力	×	×
	X2, XT2	出力	"High"レベル出力	"High"レベル出力
ポート	Px	入力	×	PxIE[m]設定による
		出力	×	PxCR[m]設定による
デバッグ機能	TMS/SWDIO TDO/SWV	入力	PxIE[m]設定による	PxIE[m]設定による
		出力	PxCR[m]設定かつデータ有効な時にイネーブル	PxCR[m]設定かつデータ有効な時にイネーブル
割り込み機能	INT	入力	PxIE[m]設定による	
SSP	SPCLK, SPFSS, SPDO	出力	×	PxCR[m]設定かつデータ有効な時にイネーブル
MPT(PMD モード)	EMG	入力	×	PxIE[m]設定による
	UO, VO, WO, XO, YO, ZO	出力	PxCR[m]設定かつデータ有効な時にイネーブル	PxCR[m]設定かつデータ有効な時にイネーブル
MPT(IGBT モード)	GEMG, MTIN	入力	×	PxIE[m]設定による
	MTOUT0, MTOUT1	出力	PxCR[m]設定かつデータ有効な時にイネーブル	PxCR[m]設定かつデータ有効な時にイネーブル
上記以外の機能		入力	×	PxIE[m]設定による
		出力	×	PxCR[m]設定による

o : 入力または出力が有効
x : 入力または出力が無効

注) 「x」は該当ポート番号、「m」は該当ビットを示します。

8.1.4 STOP/SLEEP モード遷移の際の注意

PB4 が TCK/SWCLK のデバッグ機能設定のまま STOP/SLEEP モードに遷移すると十分な低消費電力効果が得られません。デバッグ機能を使用しないときは、PB4 をポート設定にしてください。

8.1.5 割り込み入力を STOP モード解除に使用する場合の注意

割り込み入力を STOP モード解除に使用する場合、ファンクションレジスタで機能設定にし、入力コントロールレジスタで入力設定をして下さい。この設定では、クロックモード制御部の CGSTBYCR<DRVE>で STOP モード中端子をドライブしない設定を行っていても割り込み入力可能です。

入力ポートとして使用する場合には、入力制御レジスタを設定して下さい。

注) STOP モード時で CGSTBYCR<DRVE>を"1"に設定している場合、また STOP 以外のモードでは、入力コントロールレジスタで入力許可設定であればファンクションレジスタの設定によらず割り込みの入力が可能になります。割り込みの設定を行う際に、未使用の割り込みをイネーブルにしないようご注意ください。

8.2 ポート機能詳細

本章では、各ポートのレジスタの詳細について説明します。

8.2.1 ポート A (PA0 ~ PA7)

ポート A はビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。汎用入出力ポート機能以外にシリアルインタフェース機能、16 ビットタイマ入力機能、16 ビットタイマ出力機能、外部割り込み入力機能があります。

リセット後は汎用ポートとなり、入力・出力・プルアップ・プルダウンは禁止となります。

8.2.1.1 ポート A レジスタ一覧

Base Address = 0x4000_0000

レジスタ名		Address(Base+)
ポート A データ レジスタ	PADATA	0x0000
ポート A 出力コントロールレジスタ	PACR	0x0004
ポート A ファンクションレジスタ 1	PAFR1	0x0008
ポート A ファンクションレジスタ 2	PAFR2	0x000C
ポート A オープンドレインコントロールレジスタ	PAOD	0x0028
ポート A プルアップコントロールレジスタ	PAPUP	0x002C
ポート A プルダウンコントロールレジスタ	PAPDN	0x0030
ポート A 入力コントロールレジスタ	PAIE	0x0038

8.2.1.2 PADATA (ポート A データレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PA7	PA6	PA5	PA4	PA3	PA2	PA1	PA0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-0	PA7-PA0	R/W	ポート A データレジスタ

8.2.1.3 PACR (ポート A 出力コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PA7C	PA6C	PA5C	PA4C	PA3C	PA2C	PA1C	PA0C
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-0	PA7C-PA0C	R/W	出力 0: 禁止 1: 許可

8.2.1.4 PAFR1 (ポート A ファンクションレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PA7F1	PA6F1	PA5F1	PA4F1	PA3F1	PA2F1	PA1F1	PA0F1
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	PA7F1	R/W	0: PORT 1: TB4IN
6	PA6F1	R/W	0: PORT 1: RXD1
5	PA5F1	R/W	0: PORT 1: TXD1
4	PA4F1	R/W	0: PORT 1: SCLK1
3	PA3F1	R/W	0: PORT 1: TB1OUT
2	PA2F1	R/W	0: PORT 1: TB1IN
1	PA1F1	R/W	0: PORT 1: TB0OUT
0	PA0F1	R/W	0: PORT 1: TB0IN

8.2.1.5 PAFR2 (ポート A ファンクションレジスタ 2)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PA7F2	PA6F2	PA5F2	PA4F2	PA3F2	PA2F2	PA1F2	PA0F2
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	PA7F2	R/W	0: PORT 1: INT8
6	PA6F2	R/W	0: PORT 1: TB6IN
5	PA5F2	R/W	0: PORT 1: TB6OUT
4	PA4F2	R/W	0: PORT 1: $\overline{\text{CTS1}}$
3	PA3F2	R/W	0: PORT 1: RXIN
2	PA2F2	R/W	0: PORT 1: INT4
1	PA1F2	R/W	0: PORT 1: SCOUT
0	PA0F2	R/W	0: PORT 1: INT3

8.2.1.6 PAOD (ポート A オープンドレインコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PA7OD	PA6OD	PA5OD	PA4OD	PA3OD	PA2OD	PA1OD	PA0OD
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-0	PA7OD-PA0OD	R/W	0: CMOS 1: オープンドレイン

8.2.1.7 PAPUP (ポート A プルアップコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PA7UP	PA6UP	PA5UP	PA4UP	PA3UP	PA2UP	PA1UP	PA0UP
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-0	PA7UP-PA0UP	R/W	プルアップ 0: 禁止 1: 許可

8.2.1.8 PAPDN (ポート A プルダウンコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PA7DN	PA6DN	PA5DN	PA4DN	PA3DN	PA2DN	PA1DN	PA0DN
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-0	PA7DN-PA0DN	R/W	プルダウン 0: 禁止 1: 許可

8.2.1.9 PAIE (ポート A 入力コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PA7IE	PA6IE	PA5IE	PA4IE	PA3IE	PA2IE	PA1IE	PA0IE
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-0	PA7IE-PA0IE	R/W	入力 0: 禁止 1: 許可

8.2.2 ポート B (PB0 ~ PB7)

ポート B はビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。汎用入出力ポート機能以外にデバッグインタフェース、デバッグトレース出力があります。

リセット後 PB3, PB4, PB5, PB6, PB7 はデバッグインタフェースになります。

PB3 は TMS または SWDIO で入力・出力・プルアップ許可、PB4 は TCK または SWCLK で入力・プルダウン許可となります。

PB5 は TDO または SWV で出力許可、PB6 は TDI で入力・プルアップ許可、PB7 は $\overline{\text{TRST}}$ で入力・プルアップ許可となります。

PB0 ~ PB2 は汎用ポートとなり、入力・出力・プルアップは禁止となります。

- 注 1) PB3 は初期状態がデバッグインタフェースとなり、入出力・プルアップ許可となります。
- 注 2) PB4 は初期状態がデバッグインタフェースとなり、入力・プルダウン許可となります。
- 注 3) PB5 は初期状態がデバッグインタフェースとなり、出力許可となります。
- 注 4) PB6, PB7 は初期状態がデバッグインタフェースとなり、入力・プルアップが許可となります。
- 注 5) PB3, PB5 がデバッグインタフェースの場合、CGSTBYCR<DRVE>の設定によらず、STOP モード中も出力が有効な状態のまま保持されます。
- 注 6) PB4 が TCK/SWCLK 設定の場合十分な低消費電力効果が得られません。TCK/SWCLK を使用しないときは、PB4 をポート設定にしてください。

8.2.2.1 ポート B レジスタ一覧

Base Address = 0x4000_0040

レジスタ名		Address(Base+)
ポート B データ レジスタ	PBDATA	0x0000
ポート B 出力コントロールレジスタ	PBCR	0x0004
ポート B ファンクションレジスタ 1	PBFR1	0x0008
ポート B オープンドレインコントロールレジスタ	PBOD	0x0028
ポート B プルアップコントロールレジスタ	PBPUP	0x002C
ポート B プルダウンコントロールレジスタ	PBPDN	0x0030
ポート B 入力コントロールレジスタ	PBIE	0x0038

8.2.2.2 PBDATA (ポート B データレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PB7	PB6	PB5	PB4	PB3	PB2	PB1	PB0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-0	PB7-PB0	R/W	ポート B データレジスタ

8.2.2.3 PBCR (ポート B 出力コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PB7C	PB6C	PB5C	PB4C	PB3C	PB2C	PB1C	PB0C
リセット後	0	0	1	0	1	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-0	PB7C-PB0C	R/W	出力 0: 禁止 1: 許可

8.2.2.4 PBFR1 (ポート B ファンクションレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PB7F1	PB6F1	PB5F1	PB4F1	PB3F1	PB2F1	PB1F1	PB0F1
リセット後	1	1	1	1	1	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	PB7F1	R/W	0: PORT 1: $\overline{\text{TRST}}$
6	PB6F1	R/W	0: PORT 1: TDI
5	PB5F1	R/W	0: PORT 1: TDO/SWV
4	PB4F1	R/W	0: PORT 1: TCK/SWCLK
3	PB3F1	R/W	0: PORT 1: TMS/SWDIO
2	PB2F1	R/W	0: PORT 1: TRACEDATA1
1	PB1F1	R/W	0: PORT 1: TRACEDATA0
0	PB0F1	R/W	0: PORT 1: TRACECLK

8.2.2.5 PBOD (ポート B オープンドレインコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PB7OD	PB6OD	PB5OD	PB4OD	PB3OD	PB2OD	PB1OD	PB0OD
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-0	PB7OD- PB0OD	R/W	0 : CMOS 1 : オープンドレイン

8.2.2.6 PBPUP (ポート B プルアップコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PB7UP	PB6UP	PB5UP	PB4UP	PB3UP	PB2UP	PB1UP	PB0UP
リセット後	1	1	0	0	1	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-0	PB7UP-PB0UP	R/W	プルアップ 0: 禁止 1: 許可

8.2.2.7 PBPDN (ポート B プルダウンコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PB7DN	PB6DN	PB5DN	PB4DN	PB3DN	PB2DN	PB1DN	PB0DN
リセット後	0	0	0	1	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-0	PB7DN-PB0DN	R/W	プルダウン 0: 禁止 1: 許可

8.2.2.8 PBIE (ポート B 入力コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PB7IE	PB6IE	PB5IE	PB4IE	PB3IE	PB2IE	PB1IE	PB0IE
リセット後	1	1	0	1	1	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-0	PB7IE-PB0IE	R/W	入力 0: 禁止 1: 許可

8.2.3 ポート C (PC0 ~ PC7)

ポート C はビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。汎用入出力ポート機能以外に多目的タイマ(タイマ入出力機能、IGBT 制御、PMD 制御)、同期式シリアルインタフェース機能、シリアルバスインタフェース機能があります。

リセット後は汎用ポートとなり、入力・出力・プルアップ・プルダウンは禁止となります。

8.2.3.1 ポート C レジスタ一覧

Base Address = 0x4000_0080

レジスタ名		Address(Base+)
ポート C データ レジスタ	PCDATA	0x0000
ポート C 出力コントロールレジスタ	PCCR	0x0004
ポート C ファンクションレジスタ 1	PCFR1	0x0008
ポート C ファンクションレジスタ 2	PCFR2	0x000C
ポート C ファンクションレジスタ 3	PCFR3	0x0010
ポート C ファンクションレジスタ 4	PCFR4	0x0014
ポート C ファンクションレジスタ 5	PCFR5	0x0018
ポート C オープンドレインコントロールレジスタ	PCOD	0x0028
ポート C プルアップコントロールレジスタ	PCPUP	0x002C
ポート C プルダウンコントロールレジスタ	PCPDN	0x0030
ポート C 入力コントロールレジスタ	PCIE	0x0038

8.2.3.2 PCDATA (ポート C データレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PC7	PC6	PC5	PC4	PC3	PC2	PC1	PC0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-0	PC7-PC0	R/W	ポート C データレジスタ

8.2.3.3 PCCR (ポート C 出力コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PC7C	PC6C	PC5C	PC4C	PC3C	PC2C	PC1C	PC0C
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-0	PC7C-PC0C	R/W	出力 0: 禁止 1: 許可

8.2.3.4 PCFR1 (ポート C ファンクションレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	PC6F1	PC5F1	PC4F1	PC3F1	PC2F1	PC1F1	PC0F1
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-7	-	R	リードすると"0"が読めます。
6	PC6F1	R/W	0: PORT 1: EMG0
5	PC5F1	R/W	0: PORT 1: Z00
4	PC4F1	R/W	0: PORT 1: W00
3	PC3F1	R/W	0: PORT 1: Y00
2	PC2F1	R/W	0: PORT 1: V00
1	PC1F1	R/W	0: PORT 1: X00
0	PC0F1	R/W	0: PORT 1: U00

8.2.3.5 PCFR2 (ポート C ファンクションレジスタ 2)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PC7F2	PC6F2	PC5F2	PC4F2	PC3F2	PC2F2	PC1F2	PC0F2
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	PC7F2	R/W	0: PORT 1: MT0IN
6	PC6F2	R/W	0: PORT 1: $\overline{\text{GEMG0}}$
5	PC5F2	R/W	0: PORT 1: MTOUT10
4	PC4F2	R/W	0: PORT 1: MTOUT00
3	PC3F2	R/W	0: PORT 1: SP0FSS
2	PC2F2	R/W	0: PORT 1: SP0CLK
1	PC1F2	R/W	0: PORT 1: SP0DI
0	PC0F2	R/W	0: PORT 1: SP0DO

8.2.3.6 PCFR3 (ポート C ファンクションレジスタ 3)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	PC5F3	PC4F3	-	PC2F3	PC1F3	PC0F3
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-6	-	R	リードすると"0"が読めます。
5	PC5F3	R/W	0: PORT 1: MTTB0IN
4	PC4F3	R/W	0: PORT 1: MTTB0OUT
3	-	R	リードすると"0"が読めます。
2	PC2F3	R/W	0: PORT 1: SCK0
1	PC1F3	R/W	0: PORT 1: SCL0/SI0
0	PC0F3	R/W	0: PORT 1: SDA0/SO0

8.2.3.7 PCFR4 (ポート C ファンクションレジスタ 4)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PC7F4	PC6F4	PC5F4	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	PC7F4	R/W	0: PORT 1: RXD4
6	PC6F4	R/W	0: PORT 1: TXD4
5	PC5F4	R/W	0: PORT 1: SCLK4
4-0	-	R	リードすると"0"が読めます。

8.2.3.8 PCFR5 (ポート C ファンクションレジスタ 5)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	PC5F5	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-6	-	R	リードすると"0"が読めます。
5	PC5F5	R/W	0: PORT 1: CTS4
4-0	-	R	リードすると"0"が読めます。

8.2.3.9 PCOD (ポートC オープンドレインコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PC7OD	PC6OD	PC5OD	PC4OD	PC3OD	PC2OD	PC1OD	PC0OD
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-0	PC7OD- PC0OD	R/W	0 : CMOS 1 : オープンドレイン

8.2.3.10 PCPUP (ポート C プルアップコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PC7UP	PC6UP	PC5UP	PC4UP	PC3UP	PC2UP	PC1UP	PC0UP
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-0	PC7UP-PC0UP	R/W	プルアップ 0: 禁止 1: 許可

8.2.3.11 PCPDN (ポート C プルダウンコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PC7DN	PC6DN	PC5DN	PC4DN	PC3DN	PC2DN	PC1DN	PC0DN
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-0	PC7DN-PC0DN	R/W	プルダウン 0: 禁止 1: 許可

8.2.3.12 PCIE (ポート C 入力コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PC7IE	PC6IE	PC5IE	PC4IE	PC3IE	PC2IE	PC1IE	PC0IE
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-0	PC7IE-PC0IE	R/W	入力 0: 禁止 1: 許可

8.2.4 ポート D (PD0 ~ PD6)

ポート D はビット単位で入出力の指定ができる 7 ビットの汎用入出力ポートです。汎用入出力ポート機能以外にシリアルインタフェース機能、16 ビットタイマ入力機能、16 ビットタイマ出力機能、外部割り込み入力機能、エンコーダ入力機能があります。

リセット後は汎用ポートとなり、入力・出力・プルアップ・プルダウンは禁止となります。

8.2.4.1 ポート D レジスタ一覧

Base Address = 0x4000_00C0

レジスタ名		Address(Base+)
ポート D データ レジスタ	PDDATA	0x0000
ポート D 出力コントロールレジスタ	PDCR	0x0004
ポート D ファンクションレジスタ 1	PDFR1	0x0008
ポート D ファンクションレジスタ 2	PDFR2	0x000C
ポート D ファンクションレジスタ 3	PDFR3	0x0010
ポート D オープンドレインコントロールレジスタ	PDOD	0x0028
ポート D プルアップコントロールレジスタ	PDPUP	0x002C
ポート D プルダウンコントロールレジスタ	PDPDN	0x0030
ポート D 入力コントロールレジスタ	PDIE	0x0038

8.2.4.2 PDDATA (ポート D データレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	PD6	PD5	PD4	PD3	PD2	PD1	PD0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-7	-	R	リードすると"0"が読めます。
6-0	PD6-PD0	R/W	ポート D データレジスタ

8.2.4.3 PDCR (ポート D 出力コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	PD6C	PD5C	PD4C	PD3C	PD2C	PD1C	PD0C
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-7	-	R	リードすると"0"が読めます。
6-0	PD6C-PD0C	R/W	出力 0: 禁止 1: 許可

8.2.4.4 PDFR1 (ポート D ファンクションレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	PD6F1	PD5F1	PD4F1	PD3F1	PD2F1	PD1F1	PD0F1
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-7	-	R	リードすると"0"が読めます。
6	PD6F1	R/W	0: PORT 1: RXD2
5	PD5F1	R/W	0: PORT 1: TXD2
4	PD4F1	R/W	0: PORT 1: SCLK2
3	PD3F1	R/W	0: PORT 1: INT9
2	PD2F1	R/W	0: PORT 1: ENCZ0
1	PD1F1	R/W	0: PORT 1: ENCB0
0	PD0F1	R/W	0: PORT 1: ENCA0

8.2.4.5 PDR2 (ポート D ファンクションレジスタ 2)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	PD4F2	-	-	PD1F2	PD0F2
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-5	-	R	リードすると"0"が読めます。
4	PD4F2	R/W	0: PORT 1: CTS2
3-2	-	R/W	リードすると"0"が読めます。
1	PD1F2	R/W	0: PORT 1: TB5OUT
0	PD0F2	R/W	0: PORT 1: TB5IN

8.2.4.6 PDFR3 (ポート D ファンクションレジスタ 3)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	PD2F3	-	PD0F3
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-3	-	R	リードすると"0"が読めます。
2	PD2F3	R/W	0: PORT 1: INTD
1	-	R	リードすると"0"が読めます。
0	PD0F3	R/W	0: PORT 1: INTC

8.2.4.7 PDOD (ポート D オープンドレインコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	PD6OD	PD5OD	PD4OD	PD3OD	PD2OD	PD1OD	PD0OD
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-7	-	R	リードすると"0"が読めます。
6-0	PD6OD- PD0OD	R/W	0 : CMOS 1 : オープンドレイン

8.2.4.8 PDPUP (ポート D プルアップコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	PD6UP	PD5UP	PD4UP	PD3UP	PD2UP	PD1UP	PD0UP
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-7	-	R	リードすると"0"が読めます。
6-0	PD6UP-PD0UP	R/W	プルアップ 0: 禁止 1: 許可

8.2.4.9 PDPDN (ポート D プルダウンコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	PD6DN	PD5DN	PD4DN	PD3DN	PD2DN	PD1DN	PD0DN
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-7	-	R	リードすると"0"が読めます。
6-0	PD6DN-PD0DN	R/W	プルダウン 0: 禁止 1: 許可

8.2.4.10 PDIE (ポート D 入力コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	PD6IE	PD5IE	PD4IE	PD3IE	PD2IE	PD1IE	PD0IE
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-7	-	R	リードすると"0"が読めます。
6-0	PD6IE-PD0IE	R/W	入力 0: 禁止 1: 許可

8.2.5 ポート E (PE0 ~ PE7)

ポート E はビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。汎用入出力ポート機能以外にシリアルインタフェース機能、16 ビットタイマ入力機能、16 ビットタイマ出力機能、外部割り込み入力機能があります。

リセット後は汎用ポートとなり、入力・出力・プルアップ・プルダウンは禁止となります。

8.2.5.1 ポート E レジスタ一覧

Base Address = 0x4000_0100

レジスタ名		Address(Base+)
ポート E データ レジスタ	PEDATA	0x0000
ポート E 出力コントロールレジスタ	PECR	0x0004
ポート E ファンクションレジスタ 1	PEFR1	0x0008
ポート E ファンクションレジスタ 2	PEFR2	0x000C
ポート E オープンドレインコントロールレジスタ	PEOD	0x0028
ポート E プルアップコントロールレジスタ	PEPUP	0x002C
ポート E プルダウンコントロールレジスタ	PEPDN	0x0030
ポート E 入力コントロールレジスタ	PEIE	0x0038

8.2.5.2 PEDATA (ポート E データレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PE7	PE6	PE5	PE4	PE3	PE2	PE1	PE0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-0	PE7-PE0	R/W	ポート E データレジスタ

8.2.5.3 PECCR (ポート E 出力コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PE7C	PE6C	PE5C	PE4C	PE3C	PE2C	PE1C	PE0C
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-0	PE7C-PE0C	R/W	出力 0: 禁止 1: 許可

8.2.5.4 PEFR1 (ポート E ファンクションレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PE7F1	PE6F1	PE5F1	PE4F1	PE3F1	PE2F1	PE1F1	PE0F1
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	PE7F1	R/W	0: PORT 1: TB3OUT
6	PE6F1	R/W	0: PORT 1: TB3IN
5	PE5F1	R/W	0: PORT 1: TB2OUT
4	PE4F1	R/W	0: PORT 1: TB2IN
3	PE3F1	R/W	0: PORT 1: TB4OUT
2	PE2F1	R/W	0: PORT 1: SCLK0
1	PE1F1	R/W	0: PORT 1: RXD0
0	PE0F1	R/W	0: PORT 1: TXD0

8.2.5.5 PEFR2 (ポート E ファンクションレジスタ 2)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PE7F2	PE6F2	-	PE4F2	-	PE2F2	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	PE7F2	R/W	0: PORT 1: INT7
6	PE6F2	R/W	0: PORT 1: INT6
5	-	R	リードすると"0"が読めます。
4	PE4F2	R/W	0: PORT 1: INT5
3	-	R	リードすると"0"が読めます。
2	PE2F2	R/W	0: PORT 1: $\overline{\text{CTS0}}$
1-0	-	R	リードすると"0"が読めます。

8.2.5.6 PEOD (ポートE オープンドレインコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PE7OD	PE6OD	PE5OD	PE4OD	PE3OD	PE2OD	PE1OD	PE0OD
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-0	PE7OD- PE0OD	R/W	0 : CMOS 1 : オープンドレイン

8.2.5.7 PEPUP (ポート E プルアップコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PE7UP	PE6UP	PE5UP	PE4UP	PE3UP	PE2UP	PE1UP	PE0UP
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-0	PE7UP-PE0UP	R/W	プルアップ 0: 禁止 1: 許可

8.2.5.8 PEPDN (ポート E プルダウンコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PE7DN	PE6DN	PE5DN	PE4DN	PE3DN	PE2DN	PE1DN	PE0DN
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-0	PD7DN- PD0DN	R/W	プルダウン 0: 禁止 1: 許可

8.2.5.9 PEIE (ポート E 入力コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PE7IE	PE6IE	PE5IE	PE4IE	PE3IE	PE2IE	PE1IE	PE0IE
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-0	PE7IE-PE0IE	R/W	入力 0: 禁止 1: 許可

8.2.6 ポート F (PF0 ~ PF4)

ポート F はビット単位で入出力の指定ができる 5 ビットの汎用入出力ポートです。汎用ポート機能以外にシリアルインタフェース機能、16 ビットタイマ入力機能、16 ビットタイマ出力機能があります。

リセット後は汎用ポートとなり、入力・出力・プルアップ・プルダウンは禁止となります。

8.2.6.1 ポート F レジスタ一覧

Base Address = 0x4000_0140

レジスタ名		Address(Base+)
ポート F データ レジスタ	PFDATA	0x0000
ポート F 出力コントロールレジスタ	PFCR	0x0004
ポート F ファンクションレジスタ 1	PFFR1	0x0008
ポート F ファンクションレジスタ 2	PFFR2	0x000C
ポート F ファンクションレジスタ 3	PFFR3	0x0010
ポート F オープンドレインコントロールレジスタ	PFOD	0x0028
ポート F プルアップコントロールレジスタ	PFPUP	0x002C
ポート F プルダウンコントロールレジスタ	PFPDN	0x0030
ポート F 入力コントロールレジスタ	PFIE	0x0038

8.2.6.2 PFDATA (ポート F データレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	PF4	PF3	PF2	PF1	PF0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	TypF	機能
31-5	-	R	リードすると"0"が読めます。
4-0	PF4-PF0	R/W	ポート F データレジスタ

8.2.6.3 PF4C (ポート F 出力コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	0	0	0	PF4C	PF3C	PF2C	PF1C	PF0C
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-5	-	R	リードすると"0"が読めます。
4-0	PF4C-PF0C	R/W	出力 0: 禁止 1: 許可

8.2.6.4 PFFR1 (ポート F ファンクションレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	PF4F1	PF3F1	PF2F1	PF1F1	PF0F1
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-5	-	R	リードすると"0"が読めます。
4	PF4F1	R/W	0: PORT 1: ENCZ1
3	PF3F1	R/W	0: PORT 1: ENCB1
2	PF2F1	R/W	0: PORT 1: ENCA1
1	PF1F1	R/W	0: PORT 1: TB7OUT
0	PF0F1	R/W	0: PORT 1: TB7IN

8.2.6.5 PFFR2 (ポート F ファンクションレジスタ 2)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	PF4F2	PF3F2	PF2F2	PF1F2	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-5	-	R	リードすると"0"が読めます。
4	PF4F2	R/W	0: PORT 1: RXD3
3	PF3F2	R/W	0: PORT 1: TXD3
2	PF2F2	R/W	0: PORT 1: SCLK3
1	PF1F2	R/W	0: PORT 1: ALARM
0	-	R	リードすると"0"が読めます。

8.2.6.6 PFFR3 (ポート F ファンクションレジスタ 3)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	PF2F3	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-3	-	R	リードすると"0"が読めます。
2	PF2F3	R/W	0: PORT 1: CTS3
1-0	-	R/W	リードすると"0"が読めます。

8.2.6.7 PFOD (ポート F オープンドレインコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	PF4OD	PF3OD	PF2OD	PF1OD	PF0OD
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-5	-	R	リードすると"0"が読めます。
4-0	PF4OD-PF0OD	R/W	0 : CMOS 1 : オープンドレイン

8.2.6.8 PFPUP (ポート F プルアップコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	PF4UP	PF3UP	PF2UP	PF1UP	PF0UP
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-5	-	R	リードすると"0"が読めます。
4-0	PF4UP-PF0UP	R/W	プルアップ 0: 禁止 1: 許可

8.2.6.9 PFPDN (ポート F プルダウンコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	PE4DN	PE3DN	PE2DN	PE1DN	PE0DN
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-5	-	R	リードすると"0"が読めます。
4-0	PD4DN-PD0DN	R/W	プルダウン 0: 禁止 1: 許可

8.2.6.10 PFIE (ポート F 入力コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	PF4IE	PF3IE	PF2IE	PF1IE	PF0IE
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-5	-	R	リードすると"0"が読めます。
4-0	PF4IE-PF0IE	R/W	入力 0: 禁止 1: 許可

8.2.7 ポート G (PG0 ~ PG7)

ポート G はビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。汎用ポート機能以外に多目的タイマ(タイマ入出力機能、IGBT 制御、PMD 制御)、同期式シリアルインタフェース機能、シリアルバスインタフェース機能があります。

リセット後は汎用ポートとなり、入力・出力・プルアップ・プルダウンは禁止となります。

8.2.7.1 ポート G レジスタ一覧

Base Address = 0x4000_0180

レジスタ名		Address(Base+)
ポート G データ レジスタ	PGDATA	0x0000
ポート G 出力コントロールレジスタ	PGCR	0x0004
ポート G ファンクションレジスタ 1	PGFR1	0x0008
ポート G ファンクションレジスタ 2	PGFR2	0x000C
ポート G ファンクションレジスタ 3	PGFR3	0x0010
ポート G オープンドレインコントロールレジスタ	PGOD	0x0028
ポート G プルアップコントロールレジスタ	PGPUP	0x002C
ポート G プルダウンコントロールレジスタ	PGPDN	0x0030
ポート G 入力コントロールレジスタ	PGIE	0x0038

8.2.7.2 PGDATA (ポート G データレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PG7	PG6	PG5	PG4	PG3	PG2	PG1	PG0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-0	PG7-PG0	R/W	ポート G データレジスタ

8.2.7.3 PGCR (ポート G 出力コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PG7C	PG6C	PG5C	PG4C	PG3C	PG2C	PG1C	PG0C
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-0	PG7C-PG0C	R/W	出力 0: 禁止 1: 許可

8.2.7.4 PGFR1 (ポート G ファンクションレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	PG6F1	PG5F1	PG4F1	PG3F1	PG2F1	PG1F1	PG0F1
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-7	-	R	リードすると"0"が読めます。
6	PG6F1	R/W	0: PORT 1: EMG1
5	PG5F1	R/W	0: PORT 1: ZO1
4	PG4F1	R/W	0: PORT 1: WO1
3	PG3F1	R/W	0: PORT 1: YO1
2	PG2F1	R/W	0: PORT 1: VO1
1	PG1F1	R/W	0: PORT 1: XO1
0	PG0F1	R/W	0: PORT 1: UO1

8.2.7.5 PGFR2 (ポート G ファンクションレジスタ 2)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PG7F2	PG6F2	PG5F2	PG4F2	-	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	PG7F2	R/W	0: PORT 1: MT1IN
6	PG6F2	R/W	0: PORT 1: $\overline{\text{GEMG1}}$
5	PG5F2	R/W	0: PORT 1: MTOUT11
4	PG4F2	R/W	0: PORT 1: MTOUT01
3-0	-	R	リードすると"0"が読めます。

8.2.7.6 PGFR3 (ポート G ファンクションレジスタ 3)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	PG5F3	PG4F3	-	PG2F3	PG1F3	PG0F3
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-6	-	R	リードすると"0"が読めます。
5	PG5F3	R/W	0: PORT 1: MTTB1IN
4	PG4F3	R/W	0: PORT 1: MTTB1OUT
3	-	R/W	リードすると"0"が読めます。
2	PG2F3	R/W	0: PORT 1: SCK1
1	PG1F3	R/W	0: PORT 1: SI1/SCL1
0	PG0F3	R/W	0: PORT 1: SO1/SDA1

8.2.7.7 PGOD (ポート G オープンドレインコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PG7OD	PG6OD	PG5OD	PG4OD	PG3OD	PG2OD	PG1OD	PG0OD
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-0	PG7OD- PG0OD	R/W	0 : CMOS 1 : オープンドレイン

8.2.7.8 PGPUP (ポート G プルアップコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PG7UP	PG6UP	PG5UP	PG4UP	PG3UP	PG2UP	PG1UP	PG0UP
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-0	PG7UP- PG0UP	R/W	プルアップ 0: 禁止 1: 許可

8.2.7.9 PGPDN (ポート G プルダウンコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PG7DN	PG6DN	PG5DN	PG4DN	PG3DN	PG2DN	PG1DN	PG0DN
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-0	PG7DN- PG0DN	R/W	プルダウン 0: 禁止 1: 許可

8.2.7.10 PGIE (ポート G 入力コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PG7IE	PG6IE	PG5IE	PG4IE	PG3IE	PG2IE	PG1IE	PG0IE
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-0	PG7IE-PG0IE	R/W	入力 0: 禁止 1: 許可

8.2.8 ポート H (PH0 ~ PH7)

ポート H はビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。汎用ポート機能以外に AD コンバータのアナログ入力端子機能、外部割り込み入力機能があります。

リセット後は汎用ポートとなり、入力・出力・プルアップ・プルダウンは禁止となります。

注) ポート H を、アナログ入力とそれ以外の機能で混在して使用した場合、AD 変換精度が悪化する場合があります。必ずご使用になるシステム上で問題のないことを確認してください。

8.2.8.1 ポート H レジスタ一覧

Base Address = 0x4000_01C0

レジスタ名		Address(Base+)
ポート H データ レジスタ	PHDATA	0x0000
ポート H 出力コントロールレジスタ	PHCR	0x0004
ポート H ファンクションレジスタ 1	PHFR1	0x0008
ポート H オープンドレインコントロールレジスタ	PHOD	0x0028
ポート H プルアップコントロールレジスタ	PHPUP	0x002C
ポート H プルダウンコントロールレジスタ	PHPDN	0x0030
ポート H 入力コントロールレジスタ	PHIE	0x0038

8.2.8.2 PHDATA (ポートH データレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PH7	PH6	PH5	PH4	PH3	PH2	PH1	PH0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-0	PH7-PH0	R/W	ポートH データレジスタ

8.2.8.3 PHCR (ポートH 出力コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PH7C	PH6C	PH5C	PH4C	PH3C	PH2C	PH1C	PH0C
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-0	PH7C-PH0C	R/W	出力 0: 禁止 1: 許可

8.2.8.4 PHFR1 (ポート H ファンクションレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	PH2F1	PH1F1	PH0F1
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-3	-	R	リードすると"0"が読めます。
2	PH2F1	R/W	0: PORT 1: INT2
1	PH1F1	R/W	0: PORT 1: INT1
0	PH0F1	R/W	0: PORT 1: INT0

8.2.8.5 PHOD (ポートH オープンドレインコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PH7OD	PH6OD	PH5OD	PH4OD	PH3OD	PH2OD	PH1OD	PH0OD
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-0	PH7OD- PH0OD	R/W	0 : CMOS 1 : オープンドレイン

8.2.8.6 PHPUP (ポートHプルアップコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PH7UP	PH6UP	PH5UP	PH4UP	PH3UP	PH2UP	PH1UP	PH0UP
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-0	PH7UP-PH0UP	R/W	プルアップ 0: 禁止 1: 許可

8.2.8.7 PHPDN (ポートHプルダウンコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PH7DN	PH6DN	PH5DN	PH4DN	PH3DN	PH2DN	PH1DN	PH0DN
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-0	PH7DN-PH0DN	R/W	プルダウン 0: 禁止 1: 許可

8.2.8.8 PHIE (ポートH入力コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PH7IE	PH6IE	PH5IE	PH4IE	PH3IE	PH2IE	PH1IE	PH0IE
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-0	PH7IE-PH0IE	R/W	入力 0: 禁止 1: 許可

8.2.9 ポート I (PI0 ~ PI1)

ポート I はビット単位で入出力の指定ができる 2 ビットの汎用入出力ポートです。汎用ポート機能以外に AD コンバータのアナログ入力端子機能があります。

リセット後は汎用ポートとなり、入力・出力・プルアップ・プルダウンは禁止となります。

注) ポート I を、アナログ入力とそれ以外の機能で混在して使用した場合、AD 変換精度が悪化する場合があります。必ずご使用になるシステム上で問題のないことを確認してください。

8.2.9.1 ポート I レジスタ一覧

Base Address = 0x4000_0200

レジスタ名		Address(Base+)
ポート I データ レジスタ	PIDATA	0x0000
ポート I 出力コントロールレジスタ	PICR	0x0004
ポート I オープンドレインコントロールレジスタ	PIOD	0x0028
ポート I プルアップコントロールレジスタ	PIPUP	0x002C
ポート I プルダウンコントロールレジスタ	PIPDN	0x0030
ポート I 入力コントロールレジスタ	PIIE	0x0038

8.2.9.2 PIDATA (ポートIデータレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	PI1	PI0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	-	R	リードすると"0"が読めます。
1-0	PI1-PI0	R/W	ポートIデータレジスタ

8.2.9.3 PICR (ポートI出力コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	PI1C	PI0C
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	-	R	リードすると"0"が読めます。
1-0	PI1C-PI0C	R/W	出力 0: 禁止 1: 許可

8.2.9.4 PIOD (ポートIオープンドレインコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	PI1OD	PI0OD
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	-	R	リードすると"0"が読めます。
1-0	PI1OD- PI0OD	R/W	0 : CMOS 1 : オープンドレイン

8.2.9.5 PIPUP (ポートIプルアップコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	PI1UP	PI0UP
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	-	R	リードすると"0"が読めます。
1-0	PI1UP- PI0UP	R/W	プルアップ 0: 禁止 1: 許可

8.2.9.6 PIPDN (ポートIプルダウンコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	PI1DN	PI0DN
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	-	R	リードすると"0"が読めます。
1-0	PI1DN-PI0DN	R/W	プルダウン 0: 禁止 1: 許可

8.2.9.7 PIIE (ポートI入コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	PI1IE	PI0IE
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	-	R	リードすると"0"が読めます。
1-0	PI1IE-PI0IE	R/W	入力 0: 禁止 1: 許可

8.2.10 ポート J (PJ0 ~ PJ7)

ポート J はビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。汎用ポート機能以外に AD コンバータのアナログ入力端子機能、外部割り込み入力機能があります。

リセット後は汎用ポートとなり、入力・出力・プルアップ・プルダウンは禁止となります。

注) ポート J を、アナログ入力とそれ以外の機能で混在して使用した場合、AD 変換精度が悪化する場合があります。必ずご使用になるシステム上で問題のないことを確認してください。

8.2.10.1 ポート J レジスタ一覧

Base Address = 0x4000_0240

レジスタ名		Address(Base+)
ポート J データレジスタ	PJDATA	0x0000
ポート J 出力コントロールレジスタ	PJCR	0x0004
ポート J ファンクションレジスタ 1	PJFR1	0x0008
ポート J オープンドレインコントロールレジスタ	PJOD	0x0028
ポート J プルアップコントロールレジスタ	PJPUP	0x002C
ポート J プルダウンコントロールレジスタ	PJPDN	0x0030
ポート J 入力コントロールレジスタ	PJIE	0x0038

8.2.10.2 PJDATA (ポート J データレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PJ7	PJ6	PJ5	PJ4	PJ3	PJ2	PJ1	PJ0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-0	PJ7-PJ0	R/W	ポート J データレジスタ

8.2.10.3 PJCR (ポート J 出力コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PJ7C	PJ6C	PJ5C	PJ4C	PJ3C	PJ2C	PJ1C	PJ0C
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-0	PJ7C-PJ0C	R/W	出力 0: 禁止 1: 許可

8.2.10.4 PJFR1 (ポートJ ファンクションレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PJ7F1	PJ6F1	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	PJ7F1	R/W	0: PORT 1: INTB
6	PJ6F1	R/W	0: PORT 1: INTA
5-0	-	R	リードすると"0"が読めます。

8.2.10.5 PJOD (ポート J オープンドレインコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PJ7OD	PJ6OD	PJ5OD	PJ4OD	PJ3OD	PJ2OD	PJ1OD	PJ0OD
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-0	PJ7OD- PJ0OD	R/W	0 : CMOS 1 : オープンドレイン

8.2.10.6 PJPUP (ポート J プルアップコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PJ7UP	PJ6UP	PJ5UP	PJ4UP	PJ3UP	PJ2UP	PJ1UP	PJ0UP
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-0	PJ7UP-PJ0UP	R/W	プルアップ 0: 禁止 1: 許可

8.2.10.7 PJPDN (ポート J プルダウンコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PJ7DN	PJ6DN	PJ5DN	PJ4DN	PJ3DN	PJ2DN	PJ1DN	PJ0DN
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-0	PJ7DN-PJ0DN	R/W	プルダウン 0: 禁止 1: 許可

8.2.10.8 PJIE (ポート J 入力コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PJ7IE	PJ6IE	PJ5IE	PJ4IE	PJ3IE	PJ2IE	PJ1IE	PJ0IE
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-0	PJ7IE-PJ0IE	R/W	入力 0: 禁止 1: 許可

8.2.11 ポート L (PL0, PL2)

ポート L は 2 ビットの汎用ポートです。1 ビットの入出力ポートと 1 ビットの入出力ポートで構成されます。汎用ポート機能以外に外部割り込み入力機能、動作モード設定機能があります。

リセットが"Low"の期間、PL0(BOOT)は入力とプルアップが許可となっており、リセット信号の立ち上がりで PL0 が"High"の場合、シングルチップモードとなって内蔵 Flash メモリから起動し、PL0 が"Low"の場合、シングル BOOT モードとなって内蔵 BOOT ROM から起動します。シングル BOOT モードの説明は、「Flash 動作説明」の章を参照してください。

リセット後は汎用ポートとなり、PL0 の出力とプルダウン、PL2 の入出力とプルアップ・プルダウンは禁止となります。

8.2.11.1 ポート L レジスタ一覧

Base Address = 0x4000_02C0

レジスタ名		Address(Base+)
ポート L データ レジスタ	PLDATA	0x0000
ポート L 出力コントロールレジスタ	PLCR	0x0004
ポート L ファンクションレジスタ 1	PLFR1	0x0008
ポート L オープンドレイコンントロールレジスタ	PLOD	0x0028
ポート L プルアップコントロールレジスタ	PLPUP	0x002C
ポート L プルダウンコントロールレジスタ	PLPDN	0x0030
ポート L 入力コントロールレジスタ	PLIE	0x0038

8.2.11.2 PLDATA (ポート L データレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	PL2	-	PL0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-3	-	R	リードすると"0"が読めます。
2	PL2	R/W	ポート L データレジスタ
1	-	R	リードすると"0"が読めます。
0	PL0	R/W	ポート L データレジスタ

8.2.11.3 PLCR (ポート L 出力コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	PL2C	-	PL0C
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-3	-	R	リードすると"0"が読めます。
2	PL2C	R/W	出力 0: 禁止 1: 許可
1	-	R	リードすると"0"が読めます。
0	PL0C	R/W	出力 0: 禁止 1: 許可

8.2.11.4 PLFR1 (ポートL ファンクションレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	PL2F1	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-3	-	R	リードすると"0"が読めます。
2	PL2F1	R/W	0: PORT 1: INTF
1-0	-	R	リードすると"0"が読めます。

8.2.11.5 PLOD (ポートLオープンドレインコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	PL2OD	-	PL0OD
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-3	-	R	リードすると"0"が読めます。
2	PL2OD	R/W	0 : CMOS 1 : オープンドレイン
1	-	R	リードすると"0"が読めます。
0	PL0OD	R/W	0 : CMOS 1 : オープンドレイン

8.2.11.6 PLPUP (ポートLプルアップコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	PL2UP	-	PL0UP
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-3	-	R	リードすると"0"が読めます。
2	PL2UP	R/W	プルアップ 0: 禁止 1: 許可
1	-	R	リードすると"0"が読めます。
0	PL0UP	R/W	プルアップ 0: 禁止 1: 許可

8.2.11.7 PLPDN (ポート L プルダウンコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	PL2DN	-	PL0DN
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-3	-	R	リードすると"0"が読めます。
2	PL2DN	R/W	プルダウン 0: 禁止 1: 許可
1	-	R	リードすると"0"が読めます。
0	PL0DN	R/W	プルダウン 0: 禁止 1: 許可

8.2.11.8 PLIE (ポート L 入力コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	PL2IE	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-3	-	R	リードすると"0"が読めます。
2	PL2IE	R/W	入力 0: 禁止 1: 許可
1-0	-	R	リードすると"0"が読めます。

8.2.12 ポート M (PM0 ~ PM1)

ポート M はビット単位で入出力の指定ができる 2 ビットの汎用入出力ポートです。汎用ポート機能以外に CGOSCCR<HOSCON>=1 で外部高速発振子接続用端子(X1,X2)になります。(注 1)

CGOSCCR<HOSCON>=1 となっている間はポート M の各レジスタの書換えはできません。

リセット後は汎用ポートとなり、入力・出力・プルアップ・プルダウンは禁止となります。(注 2)

注 1) ポート M が "H" 出力の状態、外部高速発振子接続端子へ切り替えないでください。外部高速発振子接続端子として使用する場合は『クロック/モード制御』の章をご参照ください。

注 2) リセット解除後に選択される高速クロックは内蔵高速クロックです。従って、初期状態ではポート M になります。

8.2.12.1 ポート M レジスタ一覧

Base Address = 0x4000_0300

レジスタ名		Address(Base+)
ポート M データ レジスタ	PMDATA	0x0000
ポート M 出力コントロールレジスタ	PMCR	0x0004
ポート M オープンドレインコントロールレジスタ	PMOD	0x0028
ポート M プルアップコントロールレジスタ	PMPUP	0x002C
ポート M プルダウンコントロールレジスタ	PMPDN	0x0030
ポート M 入力コントロールレジスタ	PMIE	0x0038

8.2.12.2 PMDATA (ポート M データレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	PM1	PM0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	-	R	リードすると"0"が読めます。
1-0	PM1-PM0	R/W	ポート M データレジスタ

8.2.12.3 PMCR (ポート M 出力コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	PM1C	PM0C
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	-	R	リードすると"0"が読めます。
1-0	PM1C-PM0C	R/W	出力 0: 禁止 1: 許可

8.2.12.4 PMOD (ポート M オープンドレインコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	PM1OD	PM0OD
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	-	R	リードすると"0"が読めます。
1-0	PM1OD- PM0OD	R/W	0 : CMOS 1 : オープンドレイン

8.2.12.5 PMPUP (ポート M プルアップコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	PM1UP	PM0UP
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	-	R	リードすると"0"が読めます。
1-0	PM1UP- PM0UP	R/W	プルアップ 0: 禁止 1: 許可

8.2.12.6 PMPDN (ポート M プルダウンコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	PM1DN	PM0DN
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	-	R	リードすると"0"が読めます。
1-0	PM1DN- PM0DN	R/W	プルダウン 0: 禁止 1: 許可

8.2.12.7 PMIE (ポート M 入力コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	PM1IE	PM0IE
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	-	R	リードすると"0"が読めます。
1-0	PM1IE-PM0IE	R/W	入力 0: 禁止 1: 許可

8.2.13 ポート N (PN0 ~ PN7)

ポート N はビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。汎用入出力ポート機能以外に多目的タイマ(タイマ入出力機能、IGBT 制御)、同期式シリアルインタフェース機能、外部割り込み入力機能があります。

リセット後は汎用ポートとなり、入力・出力・プルアップ・プルダウンは禁止となります。

8.2.13.1 ポート N レジスタ一覧

Base Address = 0x4000_0340

レジスタ名		Address(Base+)
ポート N データ レジスタ	PNDATA	0x0000
ポート N 出力コントロールレジスタ	PNCR	0x0004
ポート N ファンクションレジスタ 1	PNFR1	0x0008
ポート N ファンクションレジスタ 2	PNFR2	0x000C
ポート N オープンドレインコントロールレジスタ	PNOD	0x0028
ポート N プルアップコントロールレジスタ	PNPUP	0x002C
ポート N プルダウンコントロールレジスタ	PNPDN	0x0030
ポート N 入力コントロールレジスタ	PNIE	0x0038

8.2.13.2 PNDATA (ポート N データレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PN7	PN6	PN5	PN4	PN3	PN2	PN1	PN0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-0	PN7-PN0	R/W	ポート N データレジスタ

8.2.13.3 PNCR (ポート N 出力コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PN7C	PN6C	PN5C	PN4C	PN3C	PN2C	PN1C	PN0C
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-0	PN7C-PN0C	R/W	出力 0: 禁止 1: 許可

8.2.13.4 PnFR1 (ポート N ファンクションレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PN7F1	PN6F1	PN5F1	PN4F1	PN3F1	PN2F1	PN1F1	PN0F1
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	PN7F1	R/W	0: PORT 1: MT2IN
6	PN6F1	R/W	0: PORT 1: $\overline{\text{GEMG2}}$
5	PN5F1	R/W	0: PORT 1: MTOUT12
4	PN4F1	R/W	0: PORT 1: MTOUT02
3	PN3F1	R/W	0: PORT 1: SP1FSS
2	PN2F1	R/W	0: PORT 1: SP1CLK
1	PN1F1	R/W	0: PORT 1: SP1DI
0	PN0F1	R/W	0: PORT 1: SP1DO

8.2.13.5 PNFR2 (ポート N ファンクションレジスタ 2)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PN7F2	-	PN5F2	PN4F2	-	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	PN7F2	R/W	0: PORT 1: INTE
6	-	R	リードすると"0"が読めます。
5	PN5F2	R/W	0: PORT 1: MTTB2IN
4	PN4F2	R/W	0: PORT 1: MTTB2OUT
3-0	-	R/W	リードすると"0"が読めます。

8.2.13.6 PNOD (ポート N オープンドレインコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PN7OD	PN6OD	PN5OD	PN4OD	PN3OD	PN2OD	PN1OD	PN0OD
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-0	PN7OD- PN0OD	R/W	0 : CMOS 1 : オープンドレイン

8.2.13.7 PNPUP (ポート N プルアップコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PN7UP	PN6UP	PN5UP	PN4UP	PN3UP	PN2UP	PN1UP	PN0UP
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-0	PN7UP-PN0UP	R/W	プルアップ 0: 禁止 1: 許可

8.2.13.8 PNPDN (ポート N プルダウンコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PN7DN	PN6DN	PN5DN	PN4DN	PN3DN	PN2DN	PN1DN	PN0DN
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-0	PN7DN-PN0DN	R/W	プルダウン 0: 禁止 1: 許可

8.2.13.9 PNIE (ポート N 入力コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PN7IE	PN6IE	PN5IE	PN4IE	PN3IE	PN2IE	PN1IE	PN0IE
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-0	PN7IE-PN0IE	R/W	入力 0: 禁止 1: 許可

8.2.14 ポート P (PP0 ~ PP1)

ポート P はビット単位で入出力の指定ができる 2 ビットの汎用入出力ポートです。汎用ポート機能以外に外部低速発振子接続用端子(XT1,XT2)になります。(注 1)

リセット後は汎用ポートとなり、入力・出力・プルアップ・プルダウンは禁止となります。(注 2)

注 1) ポート P が "H" 出力の状態、外部低速発振子接続端子へ切り替えないでください。外部低速発振子接続端子として使用する場合は『クロック/モード制御』の章をご参照ください。

注 2) リセット解除後、低速クロックは停止状態です。従って、初期状態ではポート P になります。

8.2.14.1 ポート P レジスタ一覧

Base Address = 0x4000_0380

レジスタ名		Address(Base+)
ポート P データ レジスタ	PPDATA	0x0000
ポート P 出カコントロールレジスタ	PPCR	0x0004
ポート P オープンドレインコントロールレジスタ	PPOD	0x0028
ポート P プルアップコントロールレジスタ	PPPUP	0x002C
ポート P プルダウンコントロールレジスタ	PPPDN	0x0030
ポート P 入カコントロールレジスタ	PPIE	0x0038

8.2.14.2 PPDATA (ポート P データレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	PP1	PP0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	-	R	リードすると"0"が読めます。
1-0	PP1-PP0	R/W	ポート P データレジスタ

8.2.14.3 PPCR (ポート P 出力コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	PP1C	PP0C
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	-	R	リードすると"0"が読めます。
1-0	PP1C-PP0C	R/W	出力 0: 禁止 1: 許可

8.2.14.4 PPOD (ポート P オープンドレインコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	PP1OD	PP0OD
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	-	R	リードすると"0"が読めます。
1-0	PP1OD-PP0OD	R/W	0 : CMOS 1 : オープンドレイン

8.2.14.5 PPPUP (ポート P プルアップコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	PP1UP	PP0UP
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	-	R	リードすると"0"が読めます。
1-0	PP1UP-PP0UP	R/W	プルアップ 0: 禁止 1: 許可

8.2.14.6 PPPDN (ポート P プルダウンコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	PP1DN	PP0DN
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	-	R	リードすると"0"が読めます。
1-0	PP1DN-PP0DN	R/W	プルダウン 0: 禁止 1: 許可

8.2.14.7 PPIE (ポート P 入力コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	PP1IE	PP0IE
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	-	R	リードすると"0"が読めます。
1-0	PP1IE-PP0IE	R/W	入力 0: 禁止 1: 許可

8.3 ポート回路図

8.3.1 ポートタイプ一覧

ポートには、以下のタイプがあります。それぞれの回路図を次ページから示します。

図中の点線は「ポート部等価回路図」で記されている等価回路の範囲を示します。

表 8-3 機能一覧

Type	汎用ポート	機能	Analog	プルアップ	プルダウン	プログラマブル オープンドレイン	備考
FT1	入出力	入出力	-	R	-	o	
FT2	入出力	入出力	-	R	-	o	イネーブル信号による機能選択あり
FT3	入出力	入出力	-	R	-	o	イネーブル信号による機能選択あり
FT4	入出力	入力 (int)	-	R	-	o	ノイズフィルター付き
FT5	入出力	入出力	o	R	-	-	
FT6	出力	出力	-	NoR	-	o	リセット中 BOOT 入力許可

int: 割り込み入力

-: 無し

o: 有り

R: リセット中ディセーブル

NoR: リセットでは制御されない

8.3.2 Type FT1

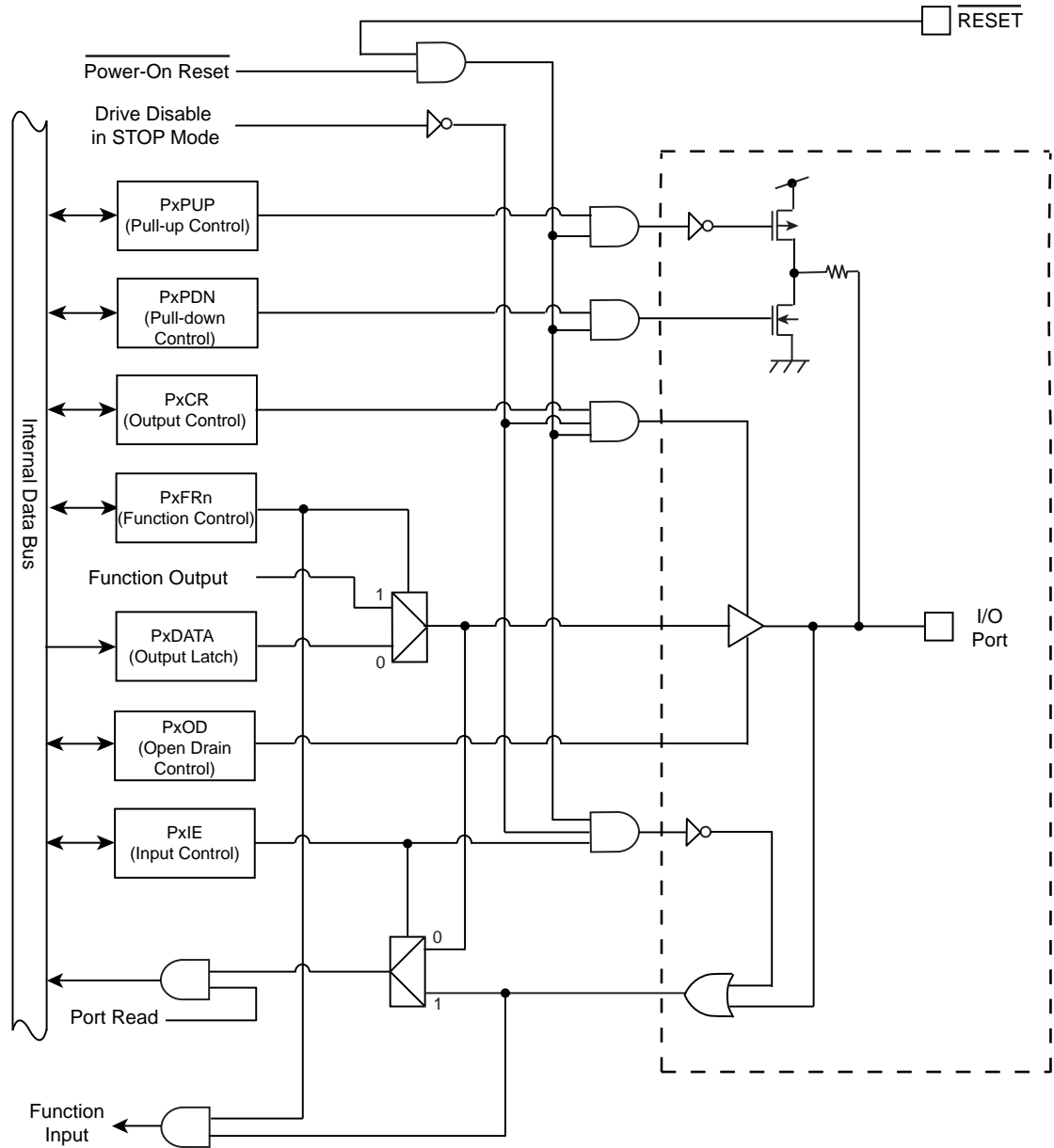


図 8-1 ポート Type FT1

8.3.3 Type FT2

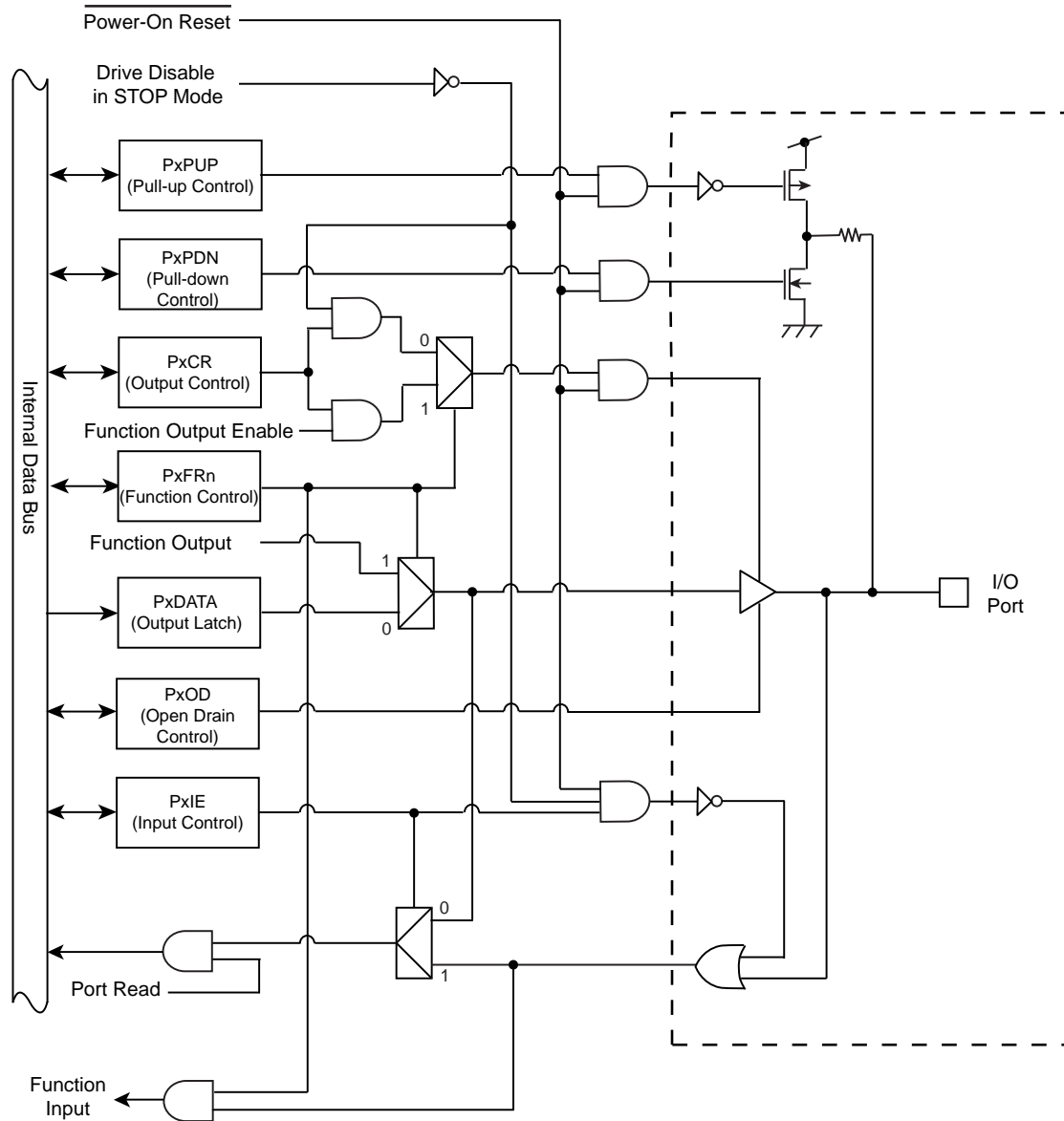


図 8-2 ポート Type FT2

8.3.4 Type FT3

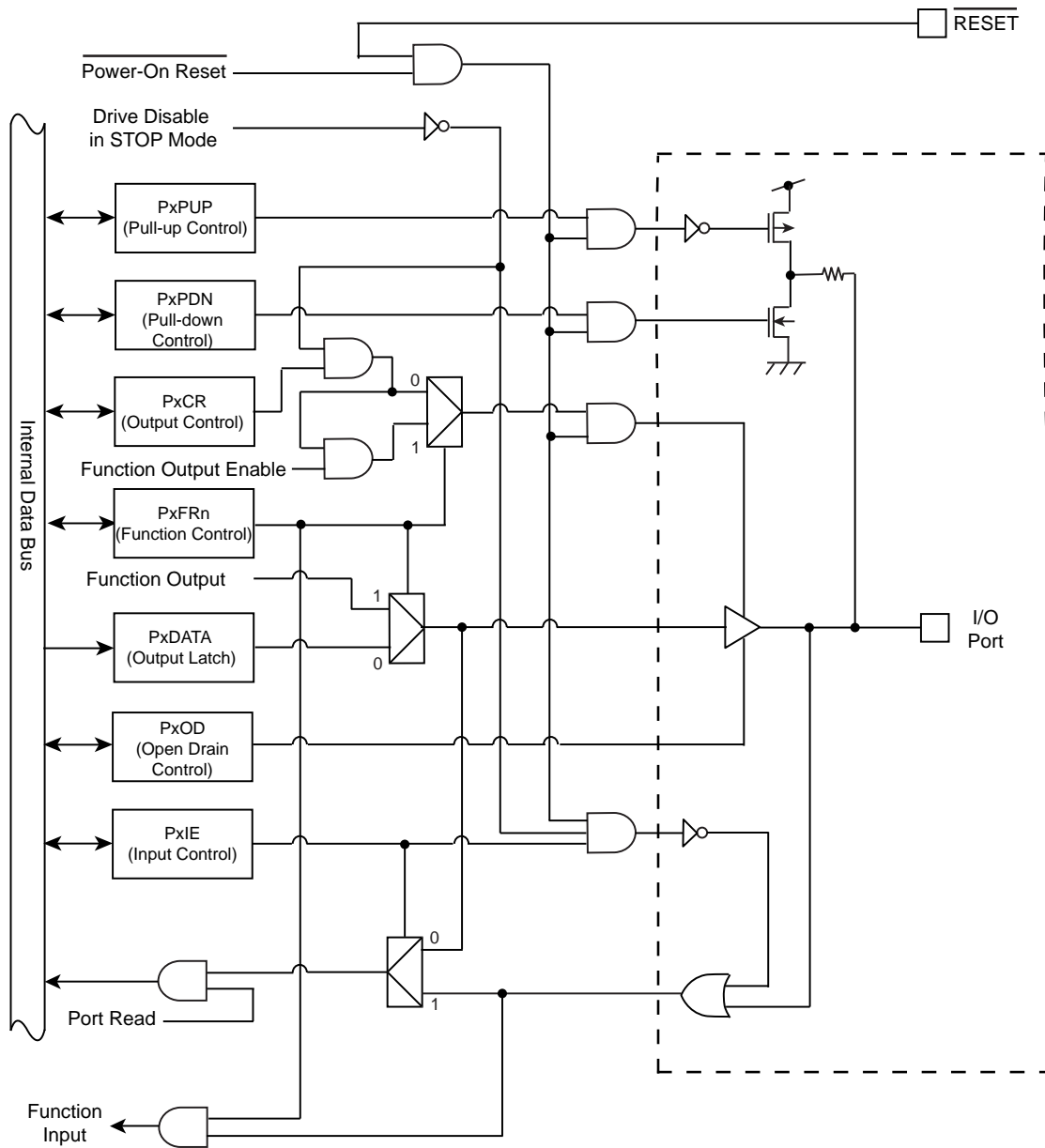


図 8-3 ポート Type FT3

8.3.5 Type FT4

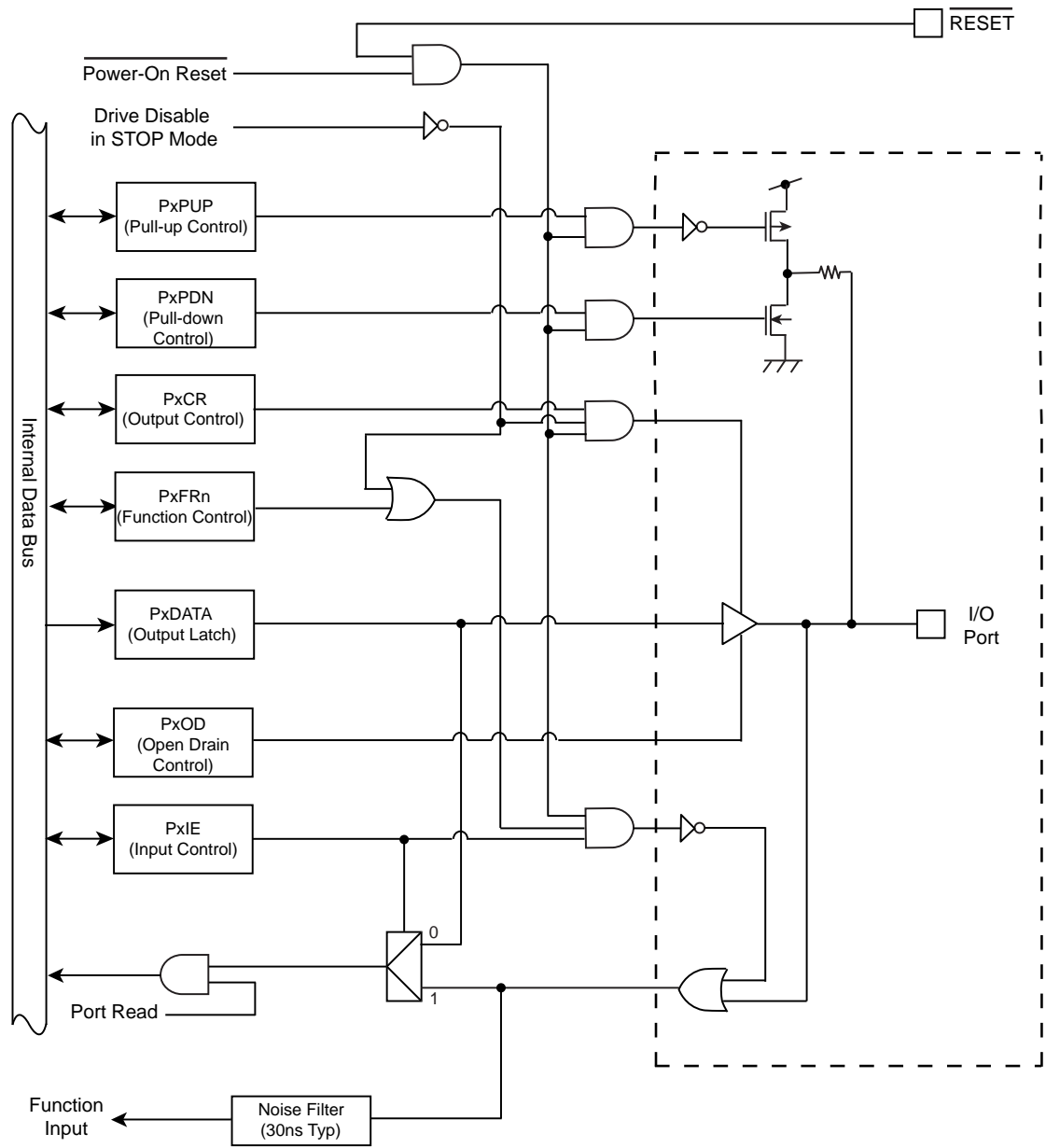


図 8-4 ポート Type FT4

8.3.6 Type FT5

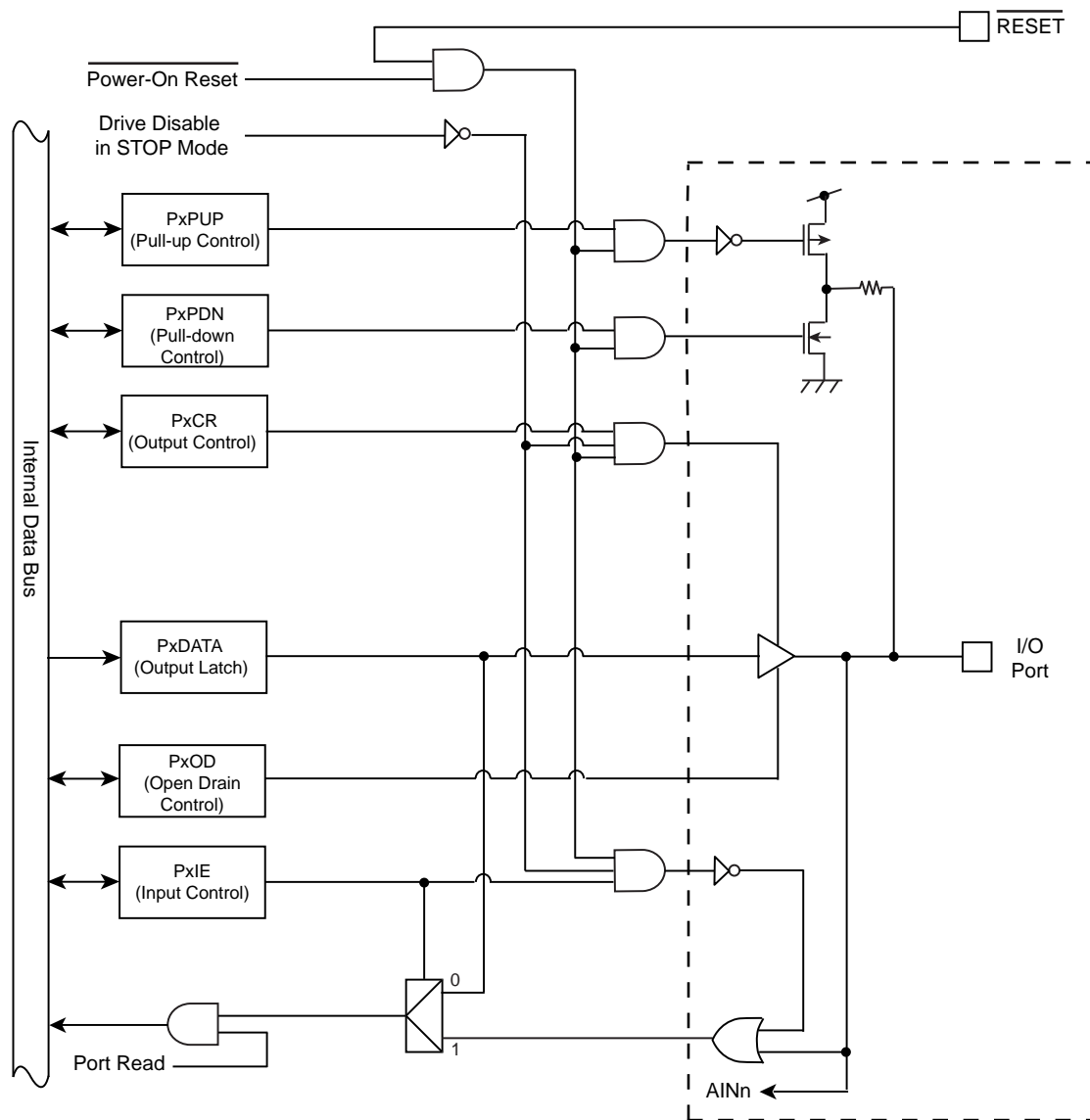


図 8-5 ポート Type FT5

8.3.7 Type FT6

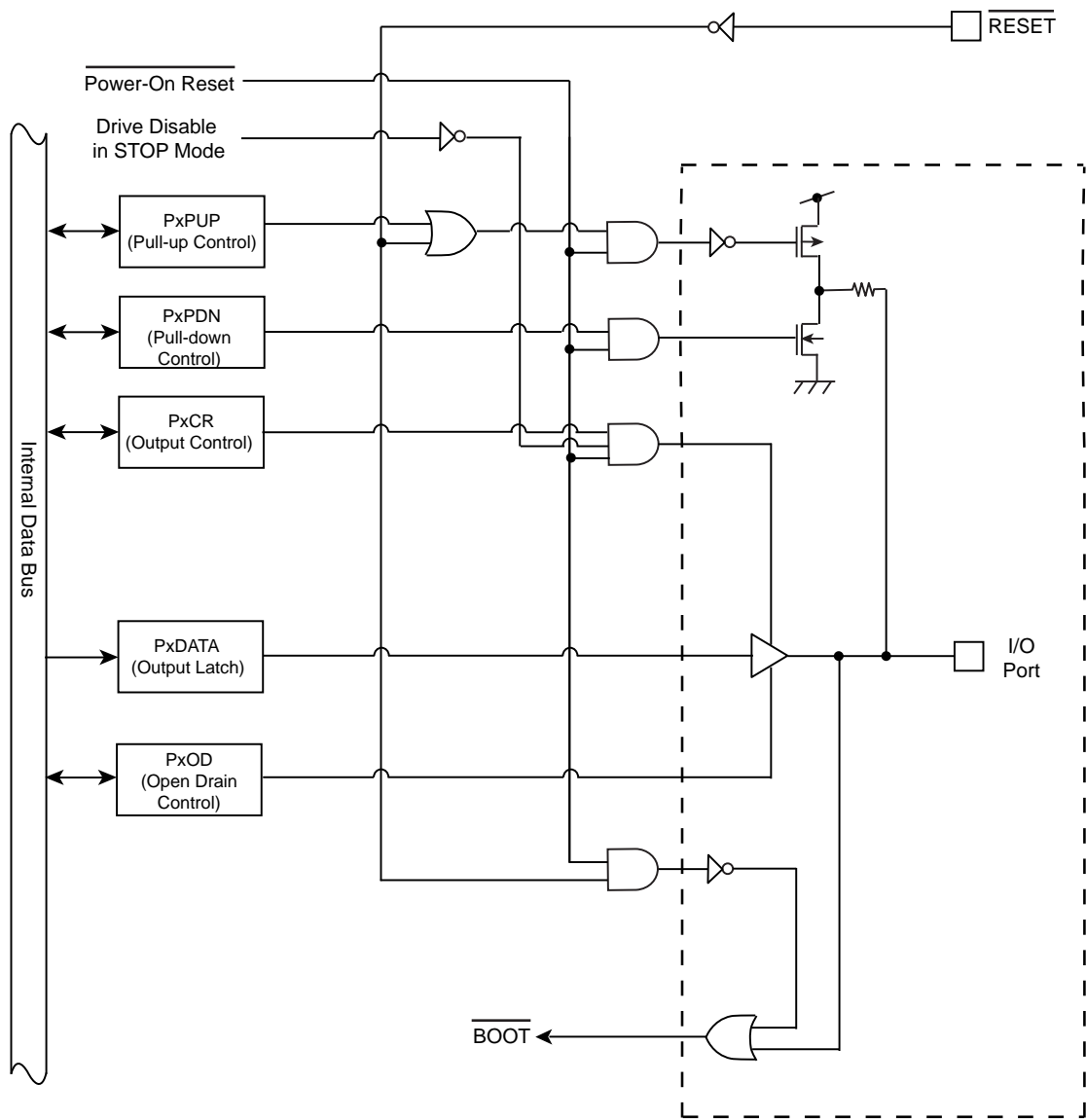


図 8-6 ポート Type FT6

8.4 付録（ポート設定一覧）

機能ごとのレジスタ設定一覧を以下に示します。

初期設定欄に「0」のないポートの初期設定は、すべてのレジスタ設定が"0"となっています。

"x"のビット設定は任意に行ってください。

8.4.1 ポート A 設定

表 8-4 ポート設定一覧(ポート A)

端子名	ポート タイプ	機能	初期 設定	PACR	PAFR1	PAFR2	PAOD	PAPUP	PAPDN	PAIE
PA0	-	入力ポート		0	0	0	x	x	x	1
		出力ポート		1	0	0	x	x	x	0
	FT1	TB0IN (入力)		0	1	0	0	x	x	1
	FT4	INT3 (入力)		0	0	1	0	x	x	1
PA1	-	入力ポート		0	0	0	x	x	x	1
		出力ポート		1	0	0	x	x	x	0
	FT1	TB0OUT (出力)		1	1	0	x	x	x	0
		SCOUT (出力)		1	0	1	x	x	x	0
PA2	-	入力ポート		0	0	0	x	x	x	1
		出力ポート		1	0	0	x	x	x	0
	FT1	TB1IN (入力)		0	1	0	0	x	x	1
	FT4	INT4 (入力)		0	0	1	0	x	x	1
PA3	-	入力ポート		0	0	0	x	x	x	1
		出力ポート		1	0	0	x	x	x	0
	FT1	TB1OUT (出力)		1	1	0	x	x	x	0
		RXIN (入力)		0	0	1	0	x	x	1
PA4	-	入力ポート		0	0	0	x	x	x	1
		出力ポート		1	0	0	x	x	x	0
	FT1	SCLK1 (入力)		0	1	0	0	x	x	1
		SCLK1 (出力)		1	1	0	x	x	x	0
		CTS1 (入力)		0	0	1	0	x	x	1
PA5	-	入力ポート		0	0	0	x	x	x	1
		出力ポート		1	0	0	x	x	x	0
	FT1	TXD1 (出力)		1	1	0	x	x	x	0
		TB6OUT (出力)		1	0	1	x	x	x	0
PA6	-	入力ポート		0	0	0	x	x	x	1
		出力ポート		1	0	0	x	x	x	0
	FT1	RXD1 (入力)		0	1	0	0	x	x	1
		TB6IN (入力)		0	0	1	0	x	x	1
PA7	-	入力ポート		0	0	0	x	x	x	1
		出力ポート		1	0	0	x	x	x	0
	FT1	TB4IN (入力)		0	1	0	0	x	x	1
	FT4	INT8 (入力)		0	0	1	0	x	x	1

8.4.2 ポート B 設定

表 8-5 ポート設定一覧(ポート B)

端子名	ポート タイプ	機能	初期 設定	PBCR	PBFR1	PBOD	PBPUP	PBPDN	PBIE
PB0	-	入力ポート		0	0	×	×	×	1
		出力ポート		1	0	×	×	×	0
	FT1	TRACECLK (出力)		1	1	×	×	×	0
PB1	-	入力ポート		0	0	×	×	×	1
		出力ポート		1	0	×	×	×	0
	FT1	TRACEDATA0 (出力)		1	1	×	×	×	0
PB2	-	入力ポート		0	0	×	×	×	1
		出力ポート		1	0	×	×	×	0
	FT1	TRACEDATA1 (出力)		1	1	×	×	×	0
PB3	-	入力ポート		0	0	×	×	×	1
		出力ポート		1	0	×	×	×	0
	FT2	TMS(入力) / SWDIO (入力/出力)	o	1	1	0	1	0	1
PB4	-	入力ポート		0	0	×	×	×	1
		出力ポート		1	0	×	×	×	0
	FT2	TCK (入力) / SWCLK (入力)	o	0	1	0	0	1	1
PB5	-	入力ポート		0	0	×	×	×	1
		出力ポート		1	0	×	×	×	0
	FT2	TDO (出力) / SWV (出力)	o	1	1	0	0	0	0
PB6	-	入力ポート		0	0	×	×	×	1
		出力ポート		1	0	×	×	×	0
	FT2	TDI (入力)	o	0	1	0	1	0	0
PB7	-	入力ポート		0	0	×	×	×	1
		出力ポート		1	0	×	×	×	0
	FT2	TRST (入力)	o	0	1	0	1	0	1

8.4.3 ポート C 設定

表 8-6 ポート設定一覧(ポート C)

端子名	ポート タイプ	機能	初期 設定	PC CR	PC FR1	PC FR2	PC FR3	PC FR4	PC FR5	PC OD	PC PUP	PC PDN	PC IE
PC0	-	入力ポート		0	0	0	0	0	0	×	×	×	1
		出力ポート		1	0	0	0	0	0	×	×	×	0
	FT3	U00 (出力)		1	1	0	0	0	0	×	×	×	0
		SP0DO (出力)		1	0	1	0	0	0	×	×	×	0
	FT1	SDA0 (入出力)		1	0	0	1	0	0	1	×	×	1
		SO0 (出力)		1	0	0	1	0	0	×	×	×	0
PC1	-	入力ポート		0	0	0	0	0	0	×	×	×	1
		出力ポート		1	0	0	0	0	0	×	×	×	0
	FT3	XO0 (出力)		1	1	0	0	0	0	×	×	×	0
	FT1	SP0DI (入力)		0	0	1	0	0	0	0	×	×	1
		SCL0 (入出力)		1	0	0	1	0	0	1	×	×	1
		SI0 (入力)		0	0	0	1	0	0	0	×	×	1
PC2	-	入力ポート		0	0	0	0	0	0	×	×	×	1
		出力ポート		1	0	0	0	0	0	×	×	×	0
	FT3	VO0 (出力)		1	1	0	0	0	0	×	×	×	0
		SP0CLK (入力)		0	0	1	0	0	0	0	×	×	1
		SP0CLK (出力)		1	0	1	0	0	0	×	×	×	0
	FT1	SCK0 (入力)		0	0	0	1	0	0	0	×	×	1
SCK0 (出力)			1	0	0	1	0	0	×	×	×	0	
PC3	-	入力ポート		0	0	0	0	0	0	×	×	×	1
		出力ポート		1	0	0	0	0	0	×	×	×	0
	FT3	YO0 (出力)		1	1	0	0	0	0	×	×	×	0
		SP0FSS (入力)		0	0	1	0	0	0	0	×	×	1
		SP0FSS (出力)		1	0	1	0	0	0	×	×	×	0
PC4	-	入力ポート		0	0	0	0	0	0	×	×	×	1
		出力ポート		1	0	0	0	0	0	×	×	×	0
	FT3	WO0 (出力)		1	1	0	0	0	0	×	×	×	0
		MTOUT00 (出力)		1	0	1	0	0	0	×	×	×	0
	FT1	MTTB0OUT (出力)		1	0	0	1	0	0	×	×	×	0
PC5	-	入力ポート		0	0	0	0	0	0	×	×	×	1
		出力ポート		1	0	0	0	0	0	×	×	×	0
	FT3	ZO0 (出力)		1	1	0	0	0	0	×	×	×	0
		MTOUT10 (出力)		1	0	1	0	0	0	×	×	×	0
	FT1	MTTB0IN (入力)		0	0	0	1	0	0	0	×	×	1
		SCLK4 (入力)		0	0	0	0	1	0	0	×	×	1
		SCLK4 (出力)		1	0	0	0	1	0	×	×	×	0
	CTS4 (入力)		0	0	0	0	0	1	0	×	×	1	
PC6	-	入力ポート		0	0	0	0	0	0	×	×	×	1
		出力ポート		1	0	0	0	0	0	×	×	×	0
	FT1	EMG0 (入力)		0	1	0	0	0	0	0	×	×	1
		GEMG0 (入力)		0	0	1	0	0	0	0	×	×	1
		TXD4 (出力)		1	0	0	0	1	0	×	×	×	0

表 8-6 ポート設定一覧(ポート C)

端子名	ポート タイプ	機能	初期 設定	PC CR	PC FR1	PC FR2	PC FR3	PC FR4	PC FR5	PC OD	PC PUP	PC PDN	PC IE
PC7	-	入力ポート		0	0	0	0	0	0	×	×	×	1
		出力ポート		1	0	0	0	0	0	×	×	×	0
	FT1	MT0IN (入力)		0	0	1	0	0	0	0	×	×	1
		RXD4 (入力)		0	0	0	0	1	0	0	×	×	1

8.4.4 ポート D 設定

表 8-7 ポート設定一覧(ポート D)

端子名	ポート タイプ	機能	初期 設定	PD CR	PD FR1	PD FR2	PD FR3	PD OD	PD PUP	PD PDN	PD IE
PD0	-	入力ポート		0	0	0	0	×	×	×	1
		出力ポート		1	0	0	0	×	×	×	0
	FT1	ENCA0 (入力)		0	1	0	0	0	×	×	1
		TB5IN (入力)		0	0	1	0	0	×	×	1
	FT4	INTC (入力)		0	0	0	1	0	×	×	1
PD1	-	入力ポート		0	0	0	0	×	×	×	1
		出力ポート		1	0	0	0	×	×	×	0
	FT1	ENCB0 (入力)		0	1	0	0	0	×	×	1
		TB5OUT (出力)		1	0	1	0	×	×	×	0
PD2	-	入力ポート		0	0	0	0	×	×	×	1
		出力ポート		1	0	0	0	×	×	×	0
	FT1	ENCZ0 (入力)		0	1	0	0	0	×	×	1
	FT4	INTD (入力)		0	0	0	1	0	×	×	1
PD3	-	入力ポート		0	0	0	0	×	×	×	1
		出力ポート		1	0	0	0	×	×	×	0
	FT4	INT9 (入力)		0	1	0	0	0	×	×	1
PD4	-	入力ポート		0	0	0	-	×	×	×	1
		出力ポート		1	0	0	-	×	×	×	0
	FT1	SCLK2 (入力)		0	1	0	0	0	×	×	1
		SCLK2 (出力)		1	1	0	0	×	×	×	0
	$\overline{\text{CTS}}2$ (入力)		0	0	1	0	0	×	×	1	
PD5	-	入力ポート		0	0	0	-	×	×	×	1
		出力ポート		1	0	0	-	×	×	×	0
	FT1	TXD2 (出力)		1	1	0	0	×	×	×	0
PD6	-	入力ポート		0	0	0	0	×	×	×	1
		出力ポート		1	0	0	0	×	×	×	0
	FT1	RXD2 (入力)		0	0	1	0	0	×	×	1

8.4.5 ポートE設定

表 8-8 ポート設定一覧(ポートE)

端子名	ポート タイプ	機能	初期 設定	PECR	PEFR1	PEFR2	PEOD	PEPUP	PEPDN	PEIE
PE0	-	入力ポート		0	0	0	×	×	×	1
		出力ポート		1	0	0	×	×	×	0
	FT1	TXD0 (出力)		1	1	0	×	×	×	0
PE1	-	入力ポート		0	0	0	×	×	×	1
		出力ポート		1	0	0	×	×	×	0
	FT1	RXD0 (入力)		0	1	0	0	×	×	1
PE2	-	入力ポート		0	0	0	×	×	×	1
		出力ポート		1	0	0	×	×	×	0
	FT1	SCLK0 (入力)		0	1	0	0	×	×	1
		SCLK0 (出力)		1	1	0	×	×	×	0
PE3	-	入力ポート		0	0	0	×	×	×	1
		出力ポート		1	0	0	×	×	×	0
	FT1	TB4OUT (出力)		1	1	0	×	×	×	0
PE4	-	入力ポート		0	0	0	×	×	×	1
		出力ポート		1	0	0	×	×	×	0
	FT1	TB2IN (入力)		0	1	0	0	×	×	1
		FT4	INT5 (入力)		0	0	1	0	×	×
PE5	-	入力ポート		0	0	0	×	×	×	1
		出力ポート		1	0	0	×	×	×	0
	FT1	TB2OUT (出力)		1	1	0	×	×	×	0
PE6	-	入力ポート		0	0	0	×	×	×	1
		出力ポート		1	0	0	×	×	×	0
	FT1	TB3IN (入力)		0	1	0	0	×	×	1
		FT4	INT6 (入力)		0	0	1	0	×	×
PE7	-	入力ポート		0	0	0	×	×	×	1
		出力ポート		1	0	0	×	×	×	0
	FT1	TB3OUT (出力)		1	1	0	×	×	×	0
		FT4	INT7 (入力)		0	0	1	0	×	×

8.4.6 ポート F 設定

表 8-9 ポート設定一覧(ポート F)

端子名	ポート タイプ	機能	初期 設定	PF CR	PF FR1	PF FR2	PF FR3	PF OD	PF PUP	PF PDN	PF IE
PF0	-	入力ポート		0	0	0	0	×	×	×	1
		出力ポート		1	0	0	0	×	×	×	0
	FT1	TB7IN (入力)		0	1	0	0	0	×	×	1
PF1	-	入力ポート		0	0	0	0	×	×	×	1
		出力ポート		1	0	0	0	×	×	×	0
	FT1	TB7OUT (出力)		1	1	0	0	0	×	×	0
		ALARM (出力)		1	0	1	0	0	×	×	0
PF2	-	入力ポート		0	0	0	0	×	×	×	1
		出力ポート		1	0	0	0	×	×	×	0
	FT1	ENCA1 (入力)		0	1	0	0	0	×	×	1
		SCLK3 (入力)		0	0	1	0	0	×	×	1
		SCLK3 (出力)		1	0	1	0	×	×	×	0
		CTS3 (入力)		0	0	0	1	0	×	×	1
PF3	-	入力ポート		0	0	0	0	×	×	×	1
		出力ポート		1	0	0	0	×	×	×	0
	FT1	ENCB1 (入力)		0	1	0	0	0	×	×	1
		TXD3 (出力)		1	0	1	0	×	×	×	0
PF4	-	入力ポート		0	0	0	0	×	×	×	1
		出力ポート		1	0	0	0	×	×	×	0
	FT1	ENCZ1 (入力)		0	1	0	0	0	×	×	1
		RXD3 (入力)		0	0	1	0	0	×	×	1

8.4.7 ポート G 設定

表 8-10 ポート設定一覧(ポート G)

端子名	ポート タイプ	機能	初期 設定	PG CR	PG FR1	PG FR2	PG FR3	PG OD	PG PUP	PG PDN	PG IE
PG0	-	入力ポート		0	0	0	0	×	×	×	1
		出力ポート		1	0	0	0	×	×	×	0
	FT3	UO1 (出力)		1	1	0	0	×	×	×	0
	FT1	SDA1 (入出力)		1	0	0	1	1	×	×	1
		SO1 (出力)		1	0	0	1	×	×	×	0
PG1	-	入力ポート		0	0	0	0	×	×	×	1
		出力ポート		1	0	0	0	×	×	×	0
	FT3	XO1 (出力)		1	1	0	0	×	×	×	0
	FT1	SCL1 (入出力)		1	0	0	1	1	×	×	1
		SI1 (入力)		0	0	0	1	0	×	×	1
PG2	-	入力ポート		0	0	0	0	×	×	×	1
		出力ポート		1	0	0	0	×	×	×	0
	FT3	VO1 (出力)		1	1	0	0	×	×	×	0
	FT1	SCK1 (入力)		0	0	0	1	0	×	×	1
		SCK1 (出力)		1	0	0	1	×	×	×	0
PG3	-	入力ポート		0	0	0	0	×	×	×	1
		出力ポート		1	0	0	0	×	×	×	0
	FT3	YO1 (出力)		1	1	0	0	×	×	×	0
PG4	-	入力ポート		0	0	0	0	×	×	×	1
		出力ポート		1	0	0	0	×	×	×	0
	FT3	WO1 (出力)		1	1	0	0	×	×	×	0
		MTOUT01 (出力)		1	0	1	0	×	×	×	0
	FT1	MTTB1OUT (出力)		1	0	0	1	×	×	×	0
PG5	-	入力ポート		0	0	0	0	×	×	×	1
		出力ポート		1	0	0	0	×	×	×	0
	FT3	ZO1 (出力)		1	1	0	0	×	×	×	0
		MTOUT11 (出力)		1	0	1	0	×	×	×	0
	FT1	MTTB1IN (入力)		0	0	0	1	0	×	×	1
PG6	-	入力ポート		0	0	0	0	×	×	×	1
		出力ポート		1	0	0	0	×	×	×	0
	FT1	EMG1 (入力)		0	1	0	0	0	×	×	1
		GEMG1 (入力)		0	0	1	0	0	×	×	1
PG7	-	入力ポート		0	0	0	0	×	×	×	1
		出力ポート		1	0	0	0	×	×	×	0
	FT1	MT1IN (入力)		0	0	1	0	0	×	×	1

8.4.8 ポート H 設定

表 8-11 ポート設定一覧(ポート H)

端子名	ポート タイプ	機能	初期 設定	PHCR	PHFR1	PHOD	PHPUP	PHPDN	PHIE
PH0	-	入力ポート		0	0	×	×	×	1
		出力ポート		1	0	×	×	×	0
	FT4	INT0 (入力)		0	1	×	×	×	1
	FT5	AIN0 (入力)		0	0	0	0	0	0
PH1	-	入力ポート		0	0	×	×	×	1
		出力ポート		1	0	×	×	×	0
	FT4	INT1 (入力)		0	1	×	×	×	1
	FT5	AIN1 (入力)		0	0	0	0	0	0
PH2	-	入力ポート		0	0	×	×	×	1
		出力ポート		1	0	×	×	×	0
	FT4	INT2 (入力)		0	1	×	×	×	1
	FT5	AIN2 (入力)		0	0	0	0	0	0
PH3	-	入力ポート		0	0	×	×	×	1
		出力ポート		1	0	×	×	×	0
	FT5	AIN3 (入力)		0	0	0	0	0	0
PH4	-	入力ポート		0	0	×	×	×	1
		出力ポート		1	0	×	×	×	0
	FT5	AIN4 (入力)		0	0	0	0	0	0
PH5	-	入力ポート		0	0	×	×	×	1
		出力ポート		1	0	×	×	×	0
	FT5	AIN5 (入力)		0	0	0	0	0	0
PH6	-	入力ポート		0	0	×	×	×	1
		出力ポート		1	0	×	×	×	0
	FT5	AIN6 (入力)		0	0	0	0	0	0
PH7	-	入力ポート		0	0	×	×	×	1
		出力ポート		1	0	×	×	×	0
	FT5	AIN7 (入力)		0	0	0	0	0	0

8.4.9 ポートI設定

表 8-12 ポート設定一覧(ポートI)

端子名	ポート タイプ	機能	初期 設定	PICR	PIOD	PIPUP	PIPDN	PIIE
PI0	-	入力ポート		0	×	×	×	1
		出力ポート		1	×	×	×	0
	FT5	AIN8 (入力)		0	0	0	0	0
PI1	-	入力ポート		0	×	×	×	1
		出力ポート		1	×	×	×	0
	FT5	AIN9 (入力)		0	0	0	0	0

8.4.10 ポート J 設定

表 8-13 ポート設定一覧(ポート J)

端子名	ポート タイプ	機能	初期 設定	PJCR	PJFR1	PJOD	PJPUP	PJPDN	PJIE
PJ0	-	入力ポート		0	0	×	×	×	1
		出力ポート		1	0	×	×	×	0
	FT5	AIN10 (入力)		0	0	0	0	0	0
PJ1	-	入力ポート		0	0	×	×	×	1
		出力ポート		1	0	×	×	×	0
	FT5	AIN11 (入力)		0	0	0	0	0	0
PJ2	-	入力ポート		0	0	×	×	×	1
		出力ポート		1	0	×	×	×	0
	FT5	AIN12 (入力)		0	0	0	0	0	0
PJ3	-	入力ポート		0	0	×	×	×	1
		出力ポート		1	0	×	×	×	0
	FT5	AIN13 (入力)		0	0	0	0	0	0
PJ4	-	入力ポート		0	0	×	×	×	1
		出力ポート		1	0	×	×	×	0
	FT5	AIN14 (入力)		0	0	0	0	0	0
PJ5	-	入力ポート		0	0	×	×	×	1
		出力ポート		1	0	×	×	×	0
	FT5	AIN15 (入力)		0	0	0	0	0	0
PJ6	-	入力ポート		0	0	×	×	×	1
		出力ポート		1	0	×	×	×	0
	FT4	INTA (入力)		0	1	0	×	×	1
	FT5	AIN16 (入力)		0	0	0	0	0	0
PJ7	-	入力ポート		0	0	×	×	×	1
		出力ポート		1	0	×	×	×	0
	FT4	INTB (入力)		0	1	0	×	×	1
	FT5	AIN17 (入力)		0	0	0	0	0	0

8.4.11 ポート L 設定

表 8-14 ポート設定一覧(ポート L)

端子名	ポート タイプ	機能	初期 設定	PLCR	PLFR1	PLOD	PLPUP	PLPDN	PLIE
PL0	-	入力ポート		0	0	×	×	×	1
		出力ポート		1	0	×	×	×	0
	FT6	$\overline{\text{BOOT}}$		×	-	×	×	×	×
PL2	-	入力ポート		0	0	×	×	×	1
		出力ポート		1	0	×	×	×	0
	FT4	INTF(入力)		0	1	×	×	×	1

注) PL0 は $\overline{\text{RESET}}$ が "Low" の間 Pull-up と入力が許可になっており、 $\overline{\text{BOOT}}$ 入力端子として機能します。

8.4.12 ポート M 設定

表 8-15 ポート設定一覧(ポート M)

端子名	ポート タイプ	機能	初期 設定	PMCR	PMOD	PMPUP	PMPDN	PMIE
PM0	-	入力ポート		0	×	×	×	1
		出力ポート		1	×	×	×	0
	FT5	X1 (入力)		0	0	0	0	0
PM1	-	入力ポート		0	×	×	×	1
		出力ポート		1	×	×	×	0
	FT5	X2 (出力)		0	0	0	0	0

8.4.13 ポートN設定

表 8-16 ポート設定一覧(ポートN)

端子名	ポート タイプ	機能	初期 設定	PNCR	PNFR1	PNFR2	PNOD	PNPUP	PNPDN	PNIE
PN0	-	入力ポート		0	0	0	×	×	×	1
		出力ポート		1	0	0	×	×	×	0
	FT3	SP1DO (出力)		1	1	0	×	×	×	0
PN1	-	入力ポート		0	0	0	×	×	×	1
		出力ポート		1	0	0	×	×	×	0
	FT1	SP1DI (入力)		0	1	0	0	×	×	1
PN2	-	入力ポート		0	0	0	×	×	×	1
		出力ポート		1	0	0	×	×	×	0
	FT3	SP1CLK (入力)		0	1	0	0	×	×	1
		SP1CLK (出力)		1	1	0	×	×	×	0
PN3	-	入力ポート		0	0	0	×	×	×	1
		出力ポート		1	0	0	×	×	×	0
	FT3	SP1FSS (入力)		0	1	0	0	×	×	1
		SP1FSS (出力)		1	1	0	×	×	×	0
PN4	-	入力ポート		0	0	0	×	×	×	1
		出力ポート		1	0	0	×	×	×	0
	FT3	MTOUT02 (出力)		1	1	0	×	×	×	0
	FT1	MTTB2OUT (出力)		1	0	1	×	×	×	0
PN5	-	入力ポート		0	0	0	×	×	×	1
		出力ポート		1	0	0	×	×	×	0
	FT3	MTOUT12 (出力)		1	1	0	×	×	×	0
	FT1	MTTB2IN (入力)		0	0	1	0	×	×	1
PN6	-	入力ポート		0	0	0	×	×	×	1
		出力ポート		1	0	0	×	×	×	0
	FT1	GEMG2 (入力)		0	1	0	0	×	×	1
PN7	-	入力ポート		0	0	0	×	×	×	1
		出力ポート		1	0	0	×	×	×	0
	FT1	MT2IN (入力)		0	1	0	0	×	×	1
	FT4	INTE (入力)		0	0	1	0	×	×	1

8.4.14 ポート P 設定

表 8-17 ポート設定一覧(ポート P)

端子名	ポート タイプ	機能	初期 設定	PPCR	PPOD	PPPUP	PPPDN	PPIE
PP0	-	入力ポート		0	×	×	×	1
		出力ポート		1	×	×	×	0
	FT5	XT1 (入力)		0	0	0	0	0
PP1	-	入力ポート		0	×	×	×	1
		出力ポート		1	×	×	×	0
	FT5	XT2 (出力)		0	0	0	0	0

第9章 16ビットタイマ/イベントカウンタ(TMRB)

9.1 概要

TMRBは、次の機能をもっています。

- ・ 16ビットインタバルタイマモード
- ・ 16ビットイベントカウンタモード
- ・ 16ビットプログラマブル矩形波出力(PPG)モード
- ・ 外部トリガプログラマブル矩形波出力(PPG)モード
- ・ タイマ同期モード

また、キャプチャ機能を利用することで次のような用途に使用することができます。

- ・ 外部トリガパルスからのワンショットパルス出力
- ・ 周波数測定
- ・ パルス幅測定

以下の説明中、“x”はチャンネル番号を表します。

9.2 チャネル別仕様相違点

TMPM380FDFG は、8 チャネルの TMRB を内蔵しています。

各チャネルはそれぞれ独立に動作します。いずれのチャネルも表 9-1 に示される仕様相違点を除いて同一の動作をします。

また、一部のチャネルから他のチャネルへキャプチャトリガや同期トリガをかけることができます。

1. TMRB2, TMRB5, TMRB7 のフリップフロップ出力を他のチャネルのキャプチャトリガとして使用可能
 - ・ TB2OUT → TMRB3 ,4 ,5 で使用
 - ・ TB5OUT → TMRB6, 7 で使用
 - ・ TB7OUT → TMRB0, 1 ,2 で使用
2. タイマ同期モードのスタートトリガ (TBxRUN を使用)
 - ・ TMRB0 → TMRB1, 2, 3 を同時スタート
 - ・ TMRB4 → TMRB5, 6, 7 を同時スタート
3. タイマプリスケアラ同期スタートトリガ (TBxPRUN を使用)
 - ・ TMRB0 → TMRB1, 2, 3 を同時スタート
 - ・ TMRB4 → TMRB5, 6, 7 を同時スタート

表 9-1 TMRB のチャネル別仕様相違点

仕様 チャネル	外部端子		タイマ間トリガ機能		割り込み		内部接続	
	外部クロック/ キャプチャトリガ入力 端子	タイマフリップフロップ 出力端子	キャプチャ トリガ	同期スタート トリガチャ ネル	キャプチャ 割り込み	TMRB 割り込み	ADC 変換開始	タイマフリップ フロップ出力 TBxOUT から SIO/UART、 RMC (TXTRG: 転送クロック)
TMRB0	TB0IN	TB0OUT	TB7OUT	-	INTCAP00 INTCAP01	INTTB00 INTTB01	-	-
TMRB1	TB1IN	TB1OUT	TB7OUT	TB0PRUN TB0RUN	INTCAP10 INTCAP11	INTTB10 INTTB11	-	RMC
TMRB2	TB2IN	TB2OUT	TB7OUT	TB0PRUN TB0RUN	INTCAP20 INTCAP21	INTTB20 INTTB21	-	-
TMRB3	TB3IN	TB3OUT	TB2OUT	TB0PRUN TB0RUN	INTCAP30 INTCAP31	INTTB30 INTTB31	-	-
TMRB4	TB4IN	TB4OUT	TB2OUT	-	INTCAP40 INTCAP41	INTTB40 INTTB41	-	SIO0 SIO1
TMRB5	TB5IN	TB5OUT	TB2OUT	TB4PRUN TB4RUN	INTCAP50 INTCAP51	INTTB50 INTTB51	INTTB51	-
TMRB6	TB6IN	TB6OUT	TB5OUT	TB4PRUN TB4RUN	INTCAP60 INTCAP61	INTTB60 INTTB61	-	-
TMRB7	TB7IN	TB7OUT	TB5OUT	TB4PRUN TB4RUN	INTCAP70 INTCAP71	INTTB70 INTTB71	-	SIO2 SIO3

9.3 構成

各チャンネルは、主に 16 ビットアップカウンタ、16 ビットタイマレジスタ 2 本 (ダブルバッファ構造)、16 ビットのキャプチャレジスタ、コンパレータ、および、キャプチャ入力制御、タイマフリップフロップとその制御回路で構成されています。タイマの動作モードやタイマフリップフロップはレジスタで制御されます。

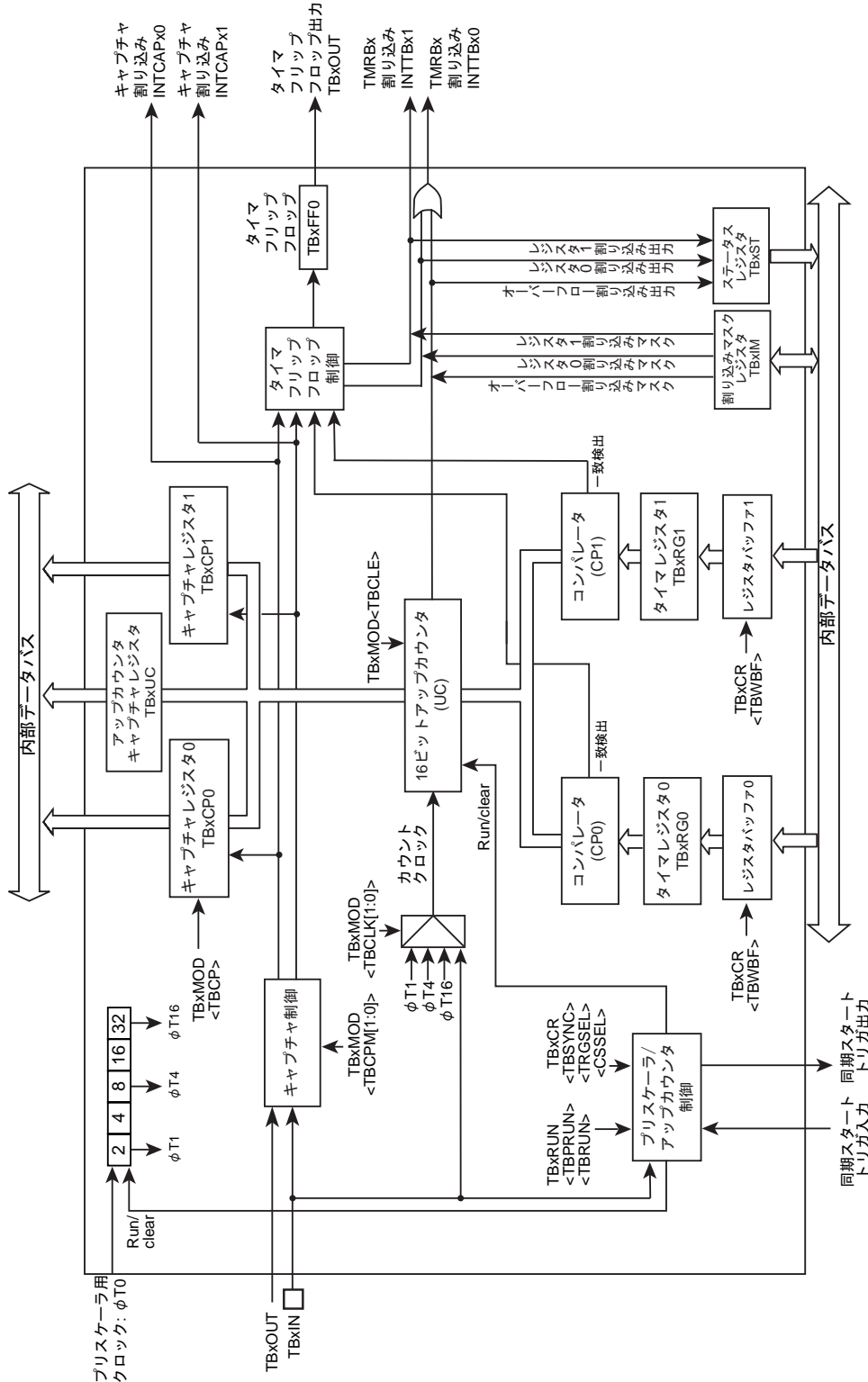


図 9-1 TMRBx ブロック図

9.4 レジスタ説明

9.4.1 チャネル別レジスタ一覧

各チャネルのレジスタとアドレスを以下に示します。

Channel x	Base Address
Channel0	0x4001_0000
Channel1	0x4001_0040
Channel2	0x4001_0080
Channel3	0x4001_00C0
Channel4	0x4001_0100
Channel5	0x4001_0140
Channel6	0x4001_0180
Channel7	0x4001_01C0

レジスタ名(x=0~F)		Address(Base+)
イネーブルレジスタ	TBxEN	0x0000
RUN レジスタ	TBxRUN	0x0004
コントロールレジスタ	TBxCR	0x0008
モードレジスタ	TBxMOD	0x000C
フリップフロップコントロールレジスタ	TBxFFCR	0x0010
ステータスレジスタ	TBxST	0x0014
割り込みマスクレジスタ	TBxIM	0x0018
アップカウンタキャプチャレジスタ	TBxUC	0x001C
タイマレジスタ 0	TBxRG0	0x0020
タイマレジスタ 1	TBxRG1	0x0024
キャプチャレジスタ 0	TBxCP0	0x0028
キャプチャレジスタ 1	TBxCP1	0x002C

9.4.2 TBxEN(イネーブルレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TBEN	TBHALT	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	TBEN	R/W	TMRBx 動作 0: 禁止 1: 許可 TMRB の動作を指定します。動作禁止の状態では TMRB モジュールの他のレジスタへクロックが供給されませんので消費電力の低減が可能です(この状態では、TBxEN レジスタ以外のレジスタへのリード、ライトはできません)。 TMRB を使用する場合は、TMRB モジュールの各レジスタを設定する前に TMRB 動作許可("1")にしてください。TMRB をいったん動作させた後に、動作禁止した場合は各レジスタの設定は保持されます。
6	TBHALT	R/W	デバッグ HALT 中のクロック動作 0: 動作 1: 停止 デバッグツール使用時に HALT モードに遷移した場合、TMRB クロック動作/停止の設定を行いません。
5-0	-	R	リードすると"0"が読めます。

9.4.3 TBxRUN(RUN レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	TBPRUN	-	TBRUN
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-3	-	R	リードすると"0"が読めます。
2	TBPRUN	R/W	プリスケアラ動作 0: 停止&クリア 1: カウント
1	-	R	リードすると"0"が読めます。
0	TBRUN	R/W	カウンタ動作 0: 停止&クリア 1: カウント

注) カウンタ停止状態(<TBRUN>="0")でアップカウンタキャプチャレジスタの TBxUC<TBUC[15:0]>をリードすると、カウンタ動作時に最後にキャプチャした値がリードされます。

9.4.4 TBxCR(コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TBWBFB	-	TBSYNC	-	I2TB	-	TRGSEL	CSSEL
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	TBWBFB	R/W	ダブルバッファ 0: 禁止 1: 許可
6	-	R/W	"0"をライトしてください。
5	TBSYNC	R/W	同期モード切り替え 0: 個別動作(チャンネルごと) 1: 同期動作
4	-	R	リードすると"0"が読めます。
3	I2TB	R/W	IDLE 時の動作 0: 停止 1: 動作
2	-	R	リードすると"0"が読めます。
1	TRGSEL	R/W	外部トリガ選択 0: 立ち上がりエッジ 1: 立ち下がりエッジ
0	CSSEL	R/W	カウンタスタートの方法選択 0: ソフトスタート 1: 外部トリガ

9.4.5 TBxMOD(モードレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	TBRSWR	TBCP	TBCPM		TBCLE	TBCLK	
リセット後	0	0	1	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-7	-	R	リードすると"0"が読めます。
6	TBRSWR	R/W	ダブルバッファ使用時のタイマレジスタ 0、1 への書き込みタイミング制御 0: タイマレジスタ 0、タイマレジスタ 1 への書き込み準備が片方のみしかできていない場合でも、片方ずつタイマレジスタに書き込みを行うことができます。 1: タイマレジスタ 0、タイマレジスタ 1 への書き込み準備が両方ともできていない場合は、タイマレジスタに書き込みを行うことができません。
5	TBCP	W	ソフトウェアキャプチャ制御 0: ソフトキャプチャ 1: Don't care "0" を書き込むとキャプチャレジスタ 0 (TBxCP0) にカウント値を取り込みます。 リードすると"1"が読めます。
4-3	TBCPM[1:0]	R/W	キャプチャタイミング 00: ディセーブル 01: TBxIN↑ TBxIN 端子入力の立ち上がりでキャプチャレジスタ 0 (TBxCP0) にカウント値を取り込みます 10: TBxIN↑ TBxIN↓ TBxIN 端子入力の立ち上がりでキャプチャレジスタ 0 (TBxCP0) にカウント値を取り込む TBxIN 端子入力の立ち下がりでキャプチャレジスタ 1 (TBxCP1) にカウント値を取り込む 11: TBxOUT↑TBxOUT↓ 16 ビットタイマ一致出力(TBxOUT)の立ち上がりでキャプチャレジスタ 0 (TBnCP0) にカウント値を取り込み、TBxOUT の立ち下がりでキャプチャレジスタ 1 (TBnCP1) にカウント値を取り込みます。(x = 7, n = 0,1,2), (x = 2, n = 3,4,5), (x = 5, n = 6,7), (TMRB0~2: TB7OUT, TMRB3~5: TB2OUT, TMRB6~7: TB5OUT)
2	TBCLE	R/W	アップカウンタ制御 0: クリアディセーブル 1: クリアイネーブル アップカウンタのクリア制御を行います。 "0"でクリア禁止、"1"でタイマレジスタ 1 (TBxRG1) との一致時にクリアします。
1-0	TBCLK[1:0]	R/W	TMRBx のソースクロック選択 00: TBxIN 端子入力 01: φT1 10: φT4 11: φT16

注) 該当する TMRBx が動作中に、TBxMOD レジスタの設定変更を行なわないでください。

9.4.6 TBxFFCR(フリップフロップコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	TBC1T1	TBC0T1	TBE1T1	TBE0T1	TBFF0C	
リセット後	1	1	0	0	0	0	1	1

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-6	-	R	リードすると"1"が読めます。
5	TBC1T1	R/W	TBxCP1 へのアップカウンタ値取り込み時の TBxFF0 反転トリガ 0: トリガディセーブル 1: トリガイネーブル "1"をセットすると、アップカウンタの値がキャプチャレジスタ 1 (TBxCP1)に取り込まれた時にタイマフリップフロップを反転します。
4	TBC0T1	R/W	TBxCP0 へのアップカウンタ値取り込み時の TBxFF0 反転トリガ 0: トリガディセーブル 1: トリガイネーブル "1"をセットすると、アップカウンタの値がキャプチャレジスタ 0 (TBxCP0)に取り込まれた時にタイマフリップフロップを反転します。
3	TBE1T1	R/W	アップカウンタと TBxRG1 との一致時の TBxFF0 反転トリガ 0: トリガディセーブル 1: トリガイネーブル "1"をセットすると、アップカウンタとタイマレジスタ 1 (TBxRG1)との一致時にタイマフリップフロップを反転します。
2	TBE0T1	R/W	アップカウンタと TBxRG0 との一致時の TBxFF0 反転トリガ 0: トリガディセーブル 1: トリガイネーブル "1"をセットすると、アップカウンタとタイマレジスタ 0 (TBxRG0)との一致時にタイマフリップフロップを反転します。
1-0	TBFF0C[1:0]	R/W	TBxFF0 の制御 00: Invert TBxFF0 の値を反転(ソフト反転)します。 01: Set TBxFF0 を"1"にセットします。 10: Clear TBxFF0 を"0"にクリアします。 11: Don't care ※リードすると"11"が読めます。

9.4.7 TBxST(ステータスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	INTTBOF	INTTB1	INTTB0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-3	-	R	リードすると"0"が読めます。
2	INTTBOF	R	オーバフローフラグ 0: オーバフローは発生していない 1: オーバフローが発生 アップカウンタのオーバフローが発生すると"1"がセットされます。
1	INTTB1	R	一致フラグ(TBxRG1) 0: 一致検出していない 1: TBxRG1 との一致を検出した タイマレジスタ 1 (TBxRG1)との一致を検出すると"1"がセットされます。
0	INTTB0	R	一致フラグ(TBxRG0) 0: 一致検出していない 1: TBxRG0 との一致を検出した タイマレジスタ 0 (TBxRG0)との一致を検出すると"1"がセットされます。

注 1) TBxIM でマスク設定されていない要因のみ、CPU に対し割り込み要求が出力されます。マスク設定されていても、フラグはセットされます。

注 2) フラグは自動的にクリアされません。クリアするためには本レジスタをリードしてください。

9.4.8 TBxIM(割り込みマスクレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	TBIMOF	TBIM1	TBIM0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-3	-	R	リードすると"0"が読めます。
2	TBIMOF	R/W	オーバーフロー割り込みマスク 0:割り込みをマスクしない 1:割り込みをマスクする アップカウンタのオーバーフロー割り込みをマスクする/しないを設定します。
1	TBIM1	R/W	一致割り込みマスク(TBxRG1) 0:割り込みをマスクしない 1:割り込みをマスクする タイマレジスタ 1 (TBxRG1)との一致割り込みをマスクする/しないを設定します。
0	TBIM0	R/W	一致割り込みマスク(TBxRG0) 0:割り込みをマスクしない 1:割り込みをマスクする タイマレジスタ 0 (TBxRG0)との一致割り込みをマスクする/しないを設定します。

注) TBxIM レジスタのマスクが有効な場合でも TBxST レジスタへ状態がセットされます。

9.4.9 TBxUC(アップカウンタキャプチャレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	TBUC							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TBUC							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます。
15-0	TBUC[15:0]	R	アップカウンタ読み出しによりキャプチャした値 TBxUCをリードすると、現在のアップカウンタの値をキャプチャすることができます。

注) カウンタ動作時に TB x UC をリードすると、リード時のアップカウンタの値をキャプチャしリードすることができます。

9.4.10 TBxRG0(タイマレジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	TBRG0							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TBRG0							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます。
15-0	TBRG0[15:0]	R/W	アップカウンタと比較する値を設定します。

9.4.11 TBxRG1(タイマレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	TBRG1							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TBRG1							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます。
15-0	TBRG1[15:0]	R/W	アップカウンタと比較する値を設定します。

9.4.12 TBxCP0(キャプチャレジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	TBCP0							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TBCP0							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます。
15-0	TBCP0[15:0]	R	アップカウンタをキャプチャした値が読めます。

9.4.13 TBxCP1(キャプチャレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	TBCP1							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TBCP1							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます。
15-0	TBCP1[15:0]	R	アップカウンタをキャプチャした値が読めます。

9.5 回路別の動作説明

各チャンネルは表 9-1 に示される仕様相違点を除いて同一の動作をします。

9.5.1 プリスケーラ

アップカウンタ UC のソースクロックを生成する 4 ビットのプリスケーラです。

プリスケーラへの入力クロック $\phi T0$ は CG 部の CGSYSCR<PRCK[2:0]> にて選択した fperiph/1, fperiph/2, fperiph/4, fperiph/8, fperiph/16, fperiph/32 のいずれかのクロックです。このペリフェラルクロック fperiph は CG 部の CGSYSCR<FPSEL[1:0]> で選択したクロック fgear またはクロックギア分周前のクロック fc のいずれかのクロックです。

プリスケーラは TBxRUN<TBPRUN> により動作/停止の設定をします。"1" をライトするとカウント開始し "0" をライトするとクリアされ停止します。プリスケーラ出力クロックの分解能を、表 9-2、表 9-3 に示します。

表 9-2 プリスケーラ出カクロック分解能(fc = 40MHz)

ペリフェラル クロック選択 CGSYSCR <FPSEL[1:0]>	クロックギア値 CGSYSCR <GEAR[2:0]>	プリスケーラ クロック選択 CGSYSCR <PRCK[2:0]>	プリスケーラ出カクロック機能		
			$\phi T1$	$\phi T4$	$\phi T16$
00 (fgear)	000 (fc)	000 (fperiph/1)	$fc/2^1$ (0.05 μ s)	$fc/2^3$ (0.2 μ s)	$fc/2^5$ (0.8 μ s)
		001 (fperiph/2)	$fc/2^2$ (0.1 μ s)	$fc/2^4$ (0.4 μ s)	$fc/2^6$ (1.6 μ s)
		010 (fperiph/4)	$fc/2^3$ (0.2 μ s)	$fc/2^5$ (0.8 μ s)	$fc/2^7$ (3.2 μ s)
		011 (fperiph/8)	$fc/2^4$ (0.4 μ s)	$fc/2^6$ (1.6 μ s)	$fc/2^8$ (6.4 μ s)
		100 (fperiph/16)	$fc/2^5$ (0.8 μ s)	$fc/2^7$ (3.2 μ s)	$fc/2^9$ (12.8 μ s)
		101 (fperiph/32)	$fc/2^6$ (1.6 μ s)	$fc/2^8$ (6.4 μ s)	$fc/2^{10}$ (25.6 μ s)
	100 (fc/2)	000 (fperiph/1)	$fc/2^2$ (0.1 μ s)	$fc/2^4$ (0.4 μ s)	$fc/2^6$ (1.6 μ s)
		001 (fperiph/2)	$fc/2^3$ (0.2 μ s)	$fc/2^5$ (0.8 μ s)	$fc/2^7$ (3.2 μ s)
		010 (fperiph/4)	$fc/2^4$ (0.4 μ s)	$fc/2^6$ (1.6 μ s)	$fc/2^8$ (6.4 μ s)
		011 (fperiph/8)	$fc/2^5$ (0.8 μ s)	$fc/2^7$ (3.2 μ s)	$fc/2^9$ (12.8 μ s)
		100 (fperiph/16)	$fc/2^6$ (1.6 μ s)	$fc/2^8$ (6.4 μ s)	$fc/2^{10}$ (25.6 μ s)
		101 (fperiph/32)	$fc/2^7$ (3.2 μ s)	$fc/2^9$ (12.8 μ s)	$fc/2^{11}$ (51.2 μ s)
	101 (fc/4)	000 (fperiph/1)	$fc/2^3$ (0.2 μ s)	$fc/2^5$ (0.8 μ s)	$fc/2^7$ (3.2 μ s)
		001 (fperiph/2)	$fc/2^4$ (0.4 μ s)	$fc/2^6$ (1.6 μ s)	$fc/2^8$ (6.4 μ s)
		010 (fperiph/4)	$fc/2^5$ (0.8 μ s)	$fc/2^7$ (3.2 μ s)	$fc/2^9$ (12.8 μ s)
		011 (fperiph/8)	$fc/2^6$ (1.6 μ s)	$fc/2^8$ (6.4 μ s)	$fc/2^{10}$ (25.6 μ s)
		100 (fperiph/16)	$fc/2^7$ (3.2 μ s)	$fc/2^9$ (12.8 μ s)	$fc/2^{11}$ (51.2 μ s)
		101 (fperiph/32)	$fc/2^8$ (6.4 μ s)	$fc/2^{10}$ (25.6 μ s)	$fc/2^{12}$ (102.4 μ s)
	110 (fc/8)	000 (fperiph/1)	$fc/2^4$ (0.4 μ s)	$fc/2^6$ (1.6 μ s)	$fc/2^8$ (6.4 μ s)
		001 (fperiph/2)	$fc/2^5$ (0.8 μ s)	$fc/2^7$ (3.2 μ s)	$fc/2^9$ (12.8 μ s)
		010 (fperiph/4)	$fc/2^6$ (1.6 μ s)	$fc/2^8$ (6.4 μ s)	$fc/2^{10}$ (25.6 μ s)
		011 (fperiph/8)	$fc/2^7$ (3.2 μ s)	$fc/2^9$ (12.8 μ s)	$fc/2^{11}$ (51.2 μ s)
		100 (fperiph/16)	$fc/2^8$ (6.4 μ s)	$fc/2^{10}$ (25.6 μ s)	$fc/2^{12}$ (102.4 μ s)
		101 (fperiph/32)	$fc/2^9$ (12.8 μ s)	$fc/2^{11}$ (51.2 μ s)	$fc/2^{13}$ (204.8 μ s)
111 (fc/16)	000 (fperiph/1)	$fc/2^5$ (0.8 μ s)	$fc/2^7$ (3.2 μ s)	$fc/2^9$ (12.8 μ s)	
	001 (fperiph/2)	$fc/2^6$ (1.6 μ s)	$fc/2^8$ (6.4 μ s)	$fc/2^{10}$ (25.6 μ s)	
	010 (fperiph/4)	$fc/2^7$ (3.2 μ s)	$fc/2^9$ (12.8 μ s)	$fc/2^{11}$ (51.2 μ s)	
	011 (fperiph/8)	$fc/2^8$ (6.4 μ s)	$fc/2^{10}$ (25.6 μ s)	$fc/2^{12}$ (102.4 μ s)	
	100 (fperiph/16)	$fc/2^9$ (12.8 μ s)	$fc/2^{11}$ (51.2 μ s)	$fc/2^{13}$ (204.8 μ s)	
	101 (fperiph/32)	$fc/2^{10}$ (25.6 μ s)	$fc/2^{12}$ (102.4 μ s)	$fc/2^{14}$ (409.6 μ s)	

表 9-2 プリスケラ出カクロック分解能($f_c = 40\text{MHz}$)

ペリフェラル クロック選択 CGSYSCR <FPSEL[1:0]>	クロックギア値 CGSYSCR <GEAR[2:0]>	プリスケラ クロック選択 CGSYSCR <PRCK[2:0]>	プリスケラ出カクロック機能		
			$\phi T1$	$\phi T4$	$\phi T16$
01 (fc)	000 (fc)	000 (fperiph/1)	$fc/2^1$ (0.05 μs)	$fc/2^3$ (0.2 μs)	$fc/2^5$ (0.8 μs)
		001 (fperiph/2)	$fc/2^2$ (0.1 μs)	$fc/2^4$ (0.4 μs)	$fc/2^6$ (1.6 μs)
		010 (fperiph/4)	$fc/2^3$ (0.2 μs)	$fc/2^5$ (0.8 μs)	$fc/2^7$ (3.2 μs)
		011 (fperiph/8)	$fc/2^4$ (0.4 μs)	$fc/2^6$ (1.6 μs)	$fc/2^8$ (6.4 μs)
		100 (fperiph/16)	$fc/2^5$ (0.8 μs)	$fc/2^7$ (3.2 μs)	$fc/2^9$ (12.8 μs)
		101 (fperiph/32)	$fc/2^6$ (1.6 μs)	$fc/2^8$ (6.4 μs)	$fc/2^{10}$ (25.6 μs)
	100 (fc/2)	000 (fperiph/1)	-	$fc/2^3$ (0.2 μs)	$fc/2^5$ (0.8 μs)
		001 (fperiph/2)	$fc/2^2$ (0.1 μs)	$fc/2^4$ (0.4 μs)	$fc/2^6$ (1.6 μs)
		010 (fperiph/4)	$fc/2^3$ (0.2 μs)	$fc/2^5$ (0.8 μs)	$fc/2^7$ (3.2 μs)
		011 (fperiph/8)	$fc/2^4$ (0.4 μs)	$fc/2^6$ (1.6 μs)	$fc/2^8$ (6.4 μs)
		100 (fperiph/16)	$fc/2^5$ (0.8 μs)	$fc/2^7$ (3.2 μs)	$fc/2^9$ (12.8 μs)
		101 (fperiph/32)	$fc/2^6$ (1.6 μs)	$fc/2^8$ (6.4 μs)	$fc/2^{10}$ (25.6 μs)
	101 (fc/4)	000 (fperiph/1)	-	$fc/2^3$ (0.2 μs)	$fc/2^5$ (0.8 μs)
		001 (fperiph/2)	-	$fc/2^4$ (0.4 μs)	$fc/2^6$ (1.6 μs)
		010 (fperiph/4)	$fc/2^3$ (0.2 μs)	$fc/2^5$ (0.8 μs)	$fc/2^7$ (3.2 μs)
		011 (fperiph/8)	$fc/2^4$ (0.4 μs)	$fc/2^6$ (1.6 μs)	$fc/2^8$ (6.4 μs)
		100 (fperiph/16)	$fc/2^5$ (0.8 μs)	$fc/2^7$ (3.2 μs)	$fc/2^9$ (12.8 μs)
		101 (fperiph/32)	$fc/2^6$ (1.6 μs)	$fc/2^8$ (6.4 μs)	$fc/2^{10}$ (25.6 μs)
	110 (fc/8)	000 (fperiph/1)	-	-	$fc/2^5$ (0.8 μs)
		001 (fperiph/2)	-	$fc/2^4$ (0.4 μs)	$fc/2^6$ (1.6 μs)
		010 (fperiph/4)	-	$fc/2^5$ (0.8 μs)	$fc/2^7$ (3.2 μs)
		011 (fperiph/8)	$fc/2^4$ (0.4 μs)	$fc/2^6$ (1.6 μs)	$fc/2^8$ (6.4 μs)
		100 (fperiph/16)	$fc/2^5$ (0.8 μs)	$fc/2^7$ (3.2 μs)	$fc/2^9$ (12.8 μs)
		101 (fperiph/32)	$fc/2^6$ (1.6 μs)	$fc/2^8$ (6.4 μs)	$fc/2^{10}$ (25.6 μs)
111 (fc/16)	000 (fperiph/1)	-	-	$fc/2^5$ (0.8 μs)	
	001 (fperiph/2)	-	-	$fc/2^6$ (1.6 μs)	
	010 (fperiph/4)	-	$fc/2^5$ (0.8 μs)	$fc/2^7$ (3.2 μs)	
	011 (fperiph/8)	-	$fc/2^6$ (1.6 μs)	$fc/2^8$ (6.4 μs)	
	100 (fperiph/16)	$fc/2^5$ (0.8 μs)	$fc/2^7$ (3.2 μs)	$fc/2^9$ (12.8 μs)	
	101 (fperiph/32)	$fc/2^6$ (1.6 μs)	$fc/2^8$ (6.4 μs)	$fc/2^{10}$ (25.6 μs)	

注 1) プリスケラ出カクロック ϕT_n は、必ず $\phi T_n \leq f_{\text{sys}}/2$ を満足するように (ϕT_n が f_{sys} よりも遅くなるように) 選択してください。

注 2) タイマ動作中はクロックギアの切り替えは行わないでください。

注 3) 表中“-”は設定禁止です。

表 9-3 プリスケラ出カクロック分解能($f_s = 32.768\text{kHz}$ 、<SYSCK> = "1")

ペリフェラル クロック選択 CGSYSCR <FPSEL[1:0]>	クロックギア値 CGSYSCR <GEAR[2:0]>	プリスケラ クロック選択 CGSYSCR <PRCK[2:0]>	プリスケラ出カクロック機能		
			$\phi T1$	$\phi T4$	$\phi T16$
10 11 (fs)	-	-	$f_s/2^1$ (61.0 μs)	$f_s/2^3$ (244.1 μs)	$f_s/2^5$ (976.6 μs)

9.5.2 アップカウンタ(UC)

16 ビットのバイナリカウンタです。

- ・ ソースクロック
ソースクロックは TBxMOD<TBCLK[1:0]>で設定することができます。
プリスケアラ出力クロック ϕ T1, ϕ T4, ϕ T16、または、TBxIN 入力のいずれかを選択できます。
- ・ カウンタ動作の開始と停止
カウンタ動作は TBxRUN<TBRUN>で行います。<TBRUN> = "1"でカウントを開始し、"0"でカウント停止と同時にカウンタのクリアを行います。
- ・ カウンタクリアのタイミング
 1. コンペア一致時
TBxMOD<TBCLE> = "1"に設定することで、TBxRG1 とのコンペア一致とともにカウンタのクリアをすることができます。TBxMOD<TBCLE> = "0"に設定するとカウンタはフリーランニングカウンタとして動作します。
 2. カウンタ停止時
TBxRUN<TBRUN> = "0"に設定すると、カウンタが停止するとともにクリアされます。
- ・ カウンタのオーバフロー
アップカウンタ UC がオーバフローすると、オーバフロー割り込み INTTBx が発生します。

9.5.3 タイマレジスタ(TBxRG0, TBxRG1)

アップカウンタ UC と比較する値を設定するレジスタで、2 本内蔵されています。タイマレジスタに設定された値とアップカウンタの値をコンパレータで比較し、一致するとコンパレータが一致検出信号を出力します。

TBxRG0/1 はダブルバッファ構成になっており、レジスタバッファとペアになっています。初期状態では、ダブルバッファはディセーブルです。

ダブルバッファのイネーブル/ディセーブル制御は TBxCR<TBWBF> によって行います。<TBWBF> = "0" のときディセーブル、<TBWBF> = "1" のときイネーブルとなります。ダブルバッファイネーブル時、UC と TBxRG1 との一致時にレジスタバッファ 0/1 からタイマレジスタ TBxRG0/1 へデータ転送が行われます。また、ダブルバッファがイネーブルでもカウンタが停止しているときはシングルバッファ動作となり、TBxRG0/1 に直接値を書き込むことができます。

9.5.4 キャプチャ制御

アップカウンタ UC の値をキャプチャレジスタ TBxCP0, TBxCP1 にラッチするタイミングを制御する回路です。キャプチャレジスタのラッチタイミングは、TBxMOD<TBxCPM[1:0]>で設定します。

また、ソフトウェアによってもアップカウンタ UC の値をキャプチャレジスタへ取り込むことができ、TBxMOD<TBxCP>に"0"を書き込むたびに、その時点の UC の値をキャプチャレジスタ TBxCP0へキャプチャします。

9.5.5 キャプチャレジスタ(TBxCP0, TBxCP1)

アップカウンタ UC の値をキャプチャするレジスタです。

9.5.6 アップカウンタキャプチャレジスタ(TBxUC)

キャプチャ制御回路によるキャプチャ機能のほかに、TBxUC レジスタを読み出すことにより、アップカウンタの現在のカウント値をキャプチャすることができます。

9.5.7 コンパレータ(CP0, CP1)

アップカウンタ UC と、タイマレジスタ TBxRG0, TBxRG1 への設定値とを比較し、一致を検出します。一致すると、INTTBx0 と INTTBx1 を発生します。

9.5.8 タイマフリップフロップ(TBxFF0)

タイマフリップフロップ (TBxFF0) は、コンパレータからの一致信号、キャプチャレジスタへのラッチ信号によって反転するフリップフロップです。反転のディセーブル/イネーブルは、TBxFFCR<TBC1T1, TBC0T1, TBE1T1, TBE0T1>によって設定できます。

リセット後、TBxFF0 の値は不定となります。TBxFFCR<TBFF0C[1:0]>に"00"を書き込むことで反転、"01"を書き込むことで"1"にセット、"10"を書き込むことで"0"にクリアすることが可能です。

TBxFF0 の値は、タイマ出力端子 TBxOUT 端子へ出力することができます。タイマ出力を行う場合、あらかじめ該当するポートの設定を行う必要があります。

9.5.9 キャプチャ割り込み(INTCAPx0, INTCAPx1)

キャプチャレジスタ TBxCP0, TBxCP1 にラッチするタイミングで割り込み INTCAPx0, INTCAPx1 をそれぞれ発生します。割り込みの設定は CPU で行います。

9.6 機能別の動作説明

9.6.1 16ビットインタバルタイマモード

一定周期の割り込みを発生させる場合、タイマレジスタ TBxRG0 にインタバル時間を設定し、INTTBx0 割り込みを発生します。同様にタイマレジスタ TBxRG1 にインタバル時間を設定することで INTTBx1 割り込みを発生します。

	7	6	5	4	3	2	1	0	
TBxEN	← 1	X	X	X	X	X	X	X	TMRBx モジュールを起動します。
TBxRUN	← X	X	X	X	X	0	X	0	TMRBx を停止します
割り込みイネーブルセットレジスタ	← *	*	*	*	*	*	*	*	INTTBx1 割り込みに対応するビットを"1"にし、割り込みを許可します。
TBxFFCR	← X	X	0	0	0	0	1	1	TB x FF0 反転トリガをディセーブルします。
TBxMOD	← X	0	1	0	0	1	*	*	入カロックをプリスケアラ出カロックにし、キャプチャ機能ディセーブルにします。
						(** = 01, 10, 11)			
TBxRG1	← *	*	*	*	*	*	*	*	インタバル時間を設定します。(16 ビット)
	← *	*	*	*	*	*	*	*	
TBxRUN	← *	*	*	*	*	1	X	1	TMRBx を起動します。

X; Don't care
 -; No change
 *; 任意の値

9.6.2 16ビットイベントカウンタモード

入カロックを外部クロック(TBxIN 端子入力)にすることでイベントカウンタにすることができます。

アップカウンタは TBxIN 端子入力の立ち上がりエッジでカウントアップします。ソフトウェアキャプチャを行い、キャプチャ値をリードすることでカウント値を読むことができます。

	7	6	5	4	3	2	1	0	
TBxEN	← 1	X	X	X	X	X	X	X	TMRBx モジュールを起動します。
TBxRUN	← X	X	X	X	X	0	X	0	TMRBx を停止します
ポートレジスタ設定									該当ポートを TBxIN に割り付けます。
TBxFFCR	← X	X	0	0	0	0	1	1	TB x FF0 反転トリガをディセーブルします。
TBxMOD	← X	0	1	0	0	0	0	0	入カロックを TBxIN にします。
TBxRUN	← *	*	*	*	*	1	X	1	TMRBx を起動します。
TBxMOD	← X	0	0	0	0	0	0	0	ソフトウェアキャプチャを行います。

X; Don't care
 -; No change
 *; 任意の値

9.6.3 16ビットPPG(プログラマブル矩形波)出力モード

任意周波数, 任意デューティの矩形波(プログラマブル矩形波)を出力することができます。出力パルスは、ローアクティブ, ハイアクティブどちらでも可能です。

アップカウンタ(UC)とタイマレジスタ(TBxRG0, TBxRG1)への設定値との一致によりタイマフリップフロップ(TBxFF)の反転トリガをかけることで、プログラマブル矩形波をTBxOUT端子より出力することができます。ただし、TBxRG0とTBxRG1の設定値は次の条件を満たす必要があります。

TBxRG0設定値 < TBxRG1設定値

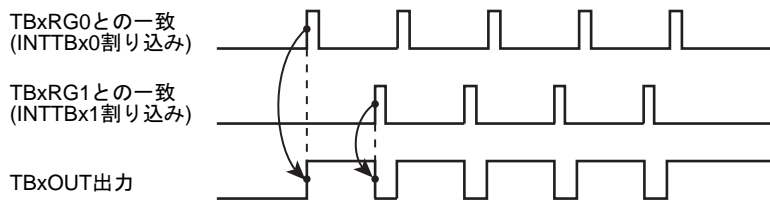


図 9-2 プログラマブル矩形波(PPG)出力波形例

このモードでは、TBxRG0のダブルバッファをイネーブルにすることにより、TBxRG1との一致で、レジスタバッファ0の値がTBxRG0へシフトインされます。これにより、小さいデューティへの対応が容易に行えます。

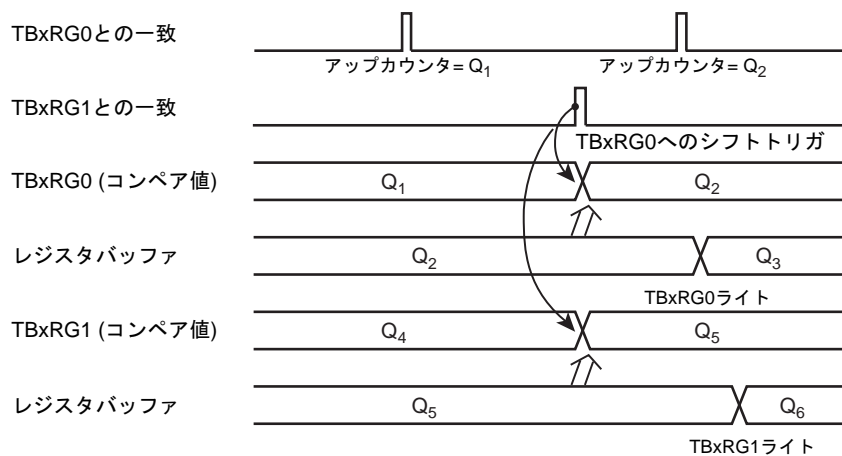


図 9-3 レジスタバッファの動作

このモードのブロック図を示します。

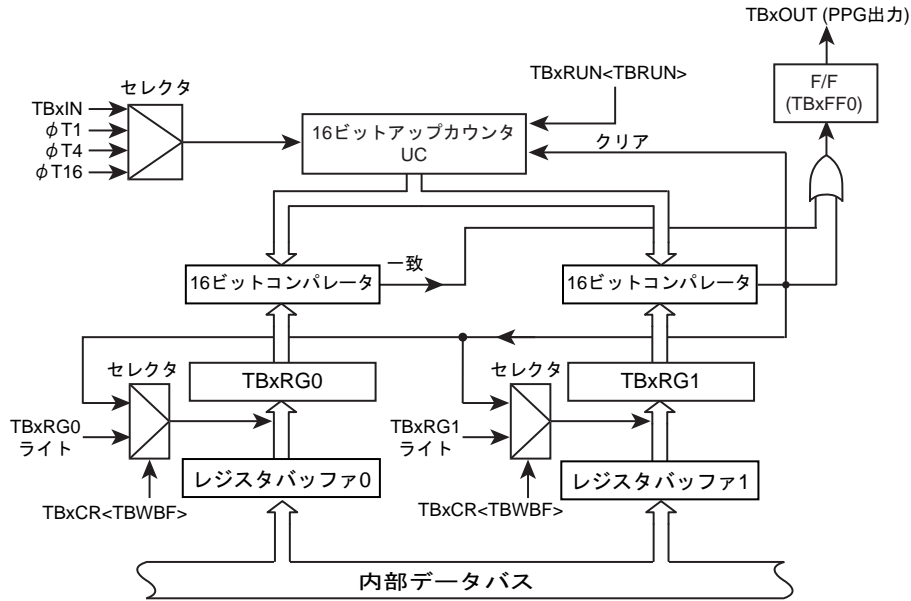


図 9-4 16 ビット PPG モードのブロック図

16 ビット PPG 出力モード時の各レジスタは、次のように設定します。

	7	6	5	4	3	2	1	0	
TBxEN	← 1	X	X	X	X	X	X	X	TMRBx モジュールを起動します。
TBxRUN	← X	X	X	X	X	0	X	0	TMRBx を停止します
TBxCR	← 0	0	-	X	-	X	X	X	ダブルバッファをディセーブルします。
TBxRG0	← *	*	*	*	*	*	*	*	デューティを設定します。(16 ビット)
TBxRG1	← *	*	*	*	*	*	*	*	周期を設定します。(16 ビット)
TBxCR	← 1	0	X	0	0	0	0	0	TBxRG0/TBxRG1 のダブルバッファイネーブル (INTTBx 割り込みでデューティ/周期の変更)
TBxFFCR	← X	X	0	0	1	1	1	0	TBxFF0 を TBxRG0, TBxRG1 との一致検出で反転するように設定します。また、TBxFF0 の初期値を "0" にします。
TBxMOD	← X	0	1	0	0	1	*	*	入力クロックをプリスケアラ出力クロックにし、キャプチャ機能ディセーブルにします。
ポートレジスタ設定									該当ポートを TBxOUT に割り付けます。
TBxRUN	← *	*	*	*	*	1	X	1	TMRBx を起動します。

(** = 01, 10, 11)

X; Don't care
 -; No change
 *; 任意の値

9.6.4 外部トリガ PPG (プログラマブル矩形波)出力モード

外部トリガカウントスタートモードを使用すると、小さいディレイでのワンショットパルス出力が可能です。

1. 16ビットアップカウンタ(UC)が停止状態($TBxRUN<TBRUN> = "0"$)で、 $TBxIN$ 端子の立ち上がりでカウントアップするように設定しておきます($TBxCR<TRGSEL,CSSEL> = "01"$)。タイマレジスタ($TBxRG0$)には、ディレイタイム(d)を設定します。タイマレジスタ($TBxRG1$)には、 $TBxRG0$ の値とワンショットパルス幅(p)を加算した値($d + p$)を設定します。
2. タイマフリップフロップコントロールレジスタ($TBxFFCR<TBE1T1,TBE0T1>$)に "11" を設定し、UC と $TBxRG0$ との一致、および、 $TBxRG1$ との一致により、タイマフリップフロップ($TBxFF0$)が反転するようにトリガイネーブルにします。
3. $TBxRUN<TBRUN>$ を "1" にセットし、外部トリガパルスの立ち上がりで、カウントアップスタートを有効にします。
4. $TBxIN$ 端子の立ち上がりでワンショットパルスが出力された後、 $INTTBx1$ の割り込み処理でタイマフリップフロップ($TBxFF0$)の反転をディセーブルにするか、 $TBxRUN<TBRUN>$ を "0" にクリアし 16ビットアップカウンタの動作を停止します。

なお、文中の(d)、(p)は、下記の図の d 、 p と対応しています。

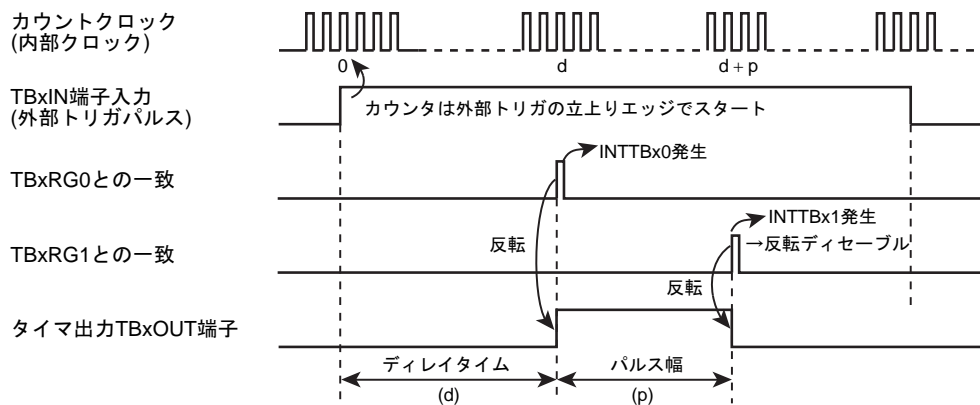


図 9-5 外部トリガカウントスタートを使用したワンショットパルス出力(ディレイあり)

9.6.5 タイマ同期モード

タイマ同期モードを使用することにより、タイマ間のスタートの同期を取ることが可能となります。

PPG 出力にて同期モードを使用することによりモータ等の駆動に応用が可能です。

4 チャンネルの TMRB が組になっており、4 チャンネルのうちの 1 チャンネルのスタートに、他の 1 チャンネルのスタートを同期させることができます。TMPM380FDFG では以下の組み合わせで使用可能です。

スタートのトリガをかけるチャンネル (マスタチャンネル)	同期して動作するチャンネル (スレーブチャンネル)
TMRB0	TMRB1,2,3
TMRB4	TMRB5,6,7

TBxCR<TBSYNC>ビットの設定により、同期モードの切り替えを行います。

- ・ <TBSYNC>="0" : チャンネルごとの個別動作
- ・ <TBSYNC>="1" : 同期動作

マスタチャンネルの<TBSYNC>ビットは"0"を設定してください。

スレーブチャンネルの<TBSYNC>ビットに "1"を設定するとマスタチャンネルのスタートに同期して動作がスタートします。スレーブチャンネルの TBxRUN<TBPRUN, TBRUN>ビットの設定は不要です。

注) 同時出力モード時以外は、TNxCR<TBSYNC>="0"に設定してください。同時出力モードが設定されている場合、TMRB0,TMRB4 にてスタートが掛かるまで、他のチャンネルスタートは待たされます。

9.7 キャプチャ機能を利用した応用例

キャプチャ機能を利用することにより、次に示す例をはじめ、多くの応用が可能です。

1. 外部トリガパルスからのワンショットパルス出力
2. 周波数測定
3. パルス幅測定

9.7.1 外部トリガパルスからのワンショットパルス出力

外部トリガパルスからのワンショットパルス出力は、次のように行います。

16ビットアップカウンタ UC をプリスケアラ出力クロックにてフリーランニングでカウントアップさせておきます。TBxIN 端子より外部トリガパルスを入力し、キャプチャ機能を用いて、外部トリガパルスの立ち上がりで、アップカウンタ値をキャプチャレジスタ(TBxCP0)に取り込みます。

外部トリガパルスの立ち上がり時、割り込み INTCAPx0 が発生するように CPU で設定します。この割り込みで、タイマレジスタ(TBxRG0)には、TBxCP0 の値(c)とディレイタイム(d)を加算した値(c+d)を設定します。

タイマレジスタ(TBxRG1)には、TBxRG0 の値とワンショットパルスのパルス幅(p)を加算した値(c+d+p)を設定します。(TBxRG1 の変更は次の一致までに完了してください)

さらに、タイマフリップフロップコントロールレジスタ(TBxFFCR<TBE1T1, TBE0T1>)に "11" を設定し、TBxUC と TBxRG0 との一致、および、TBxRG1 との一致により、タイマフリップフロップ(TBxFF0)が反転するように、トリガイネーブルにします。ワンショットパルス出力後、INTTBx の割り込み処理により、これをディセーブルに戻します。

なお、文中の(c), (d), (p)は、「図 9-6 ワンショットパルス出力(ディレイあり)」の c, d, p と対応しています。

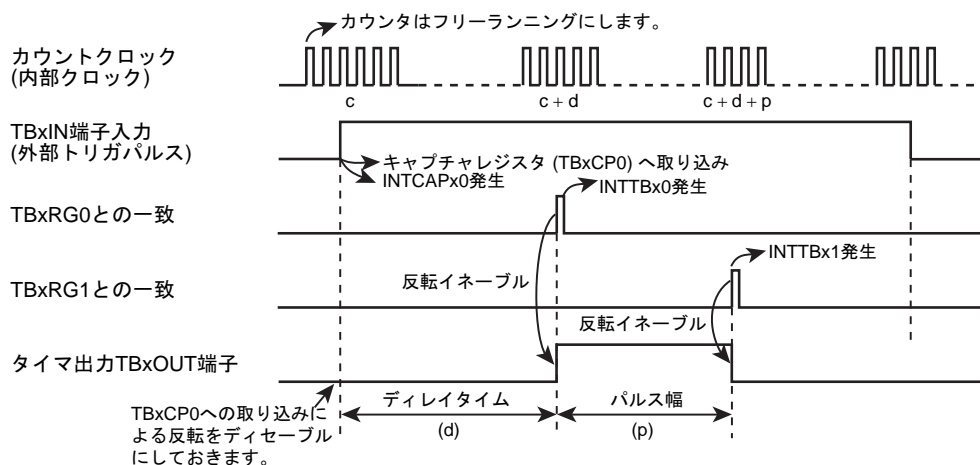


図 9-6 ワンショットパルス出力(ディレイあり)

TBxIN 入力の立ち上がりをトリガとして、3ms 後に 2ms 幅のワンショットパルスを出力する場合の設定例を以下に示します。ここではソースクロックに $\Phi T1$ を使用しています。

	7	6	5	4	3	2	1	0	
[メイン処理] TBxIN でのキャプチャ設定									
ポートレジスタ設定									該当ポートを TBxIN に割り付けます。
TBxEN	← 1	X	X	X	X	X	X	X	TMRBx モジュールを起動します。
TBxRUN	← X	X	X	X	X	0	X	0	TMRBx を停止します
TBxMOD	← X	1	0	1	0	0	0	1	ソースクロックを $\Phi T1$ にし、TBxIN 立ち上がりで TBxCP0 へカウント値を取り込みます。
TBxFFCR	← X	X	0	0	0	0	1	0	TB x FF0 反転トリガをクリアし、ディセーブルします。
ポートレジスタ設定									該当ポートを TBxOUT に割り付けます。
割り込みイネーブルセットレジスタ	← *	*	*	*	*	*	*	*	INTCAPx0 割り込みに対応するビットを"1"にし、割り込みを許可します。
TBxRUN	← *	*	*	*	*	1	X	1	TMRBx を起動します。
[INTCAPx0 割り込みサービスルーチンでの処理] パルス出力設定									
TBxRG0	← *	*	*	*	*	*	*	*	カウント値を設定します。(TBxCAP0 + 3ms/ $\Phi T1$)
TBxRG1	← *	*	*	*	*	*	*	*	カウント値を設定します。(TBxCAP0 + (3+2)ms/ $\Phi T1$)
TBxFFCR	← X	X	-	-	1	1	-	-	TBxRG0, TBxRG1 との一致で TBxFF0 を反転します。
TBxIM	← X	X	X	X	X	1	0	1	TBxRG1 との一致割り込み以外をマスクします。
割り込みイネーブルセットレジスタ	← *	*	*	*	*	*	*	*	INTTBx 割り込みに対応するビットを"1"にし、割り込みを許可します。
[INTTBx 割り込みサービスルーチンでの処理] 出力ディセーブル									
TBxFFCR	← X	X	-	-	0	0	-	-	TB x FF0 反転トリガ設定をクリアします。
割り込みイネーブルクリアレジスタ	← *	*	*	*	*	*	*	*	INTTBx 割り込みに対応するビットを"1"にし、割り込みを禁止します。

- 注 1) "m"はポートの該当ビットを示します
- 注 2) X; Don't care
- ; No change

ディレイが不要な場合、TBxCP0 への取り込みによって TBxFF0 を反転させ、割り込み INTCAPx0 で TBxCP0 の値(c) にワンショットパルスの幅(p)を加算した値(c + p)を TBxRG1 に設定します。(TBxRG1 の変更は次の一致までに完了してください。) TBxFF0 は、TBxRG1 と UC の一致によって反転するように、反転イネーブルを選択します。また、INTTBx 割り込みでこれをディセーブルに戻します。

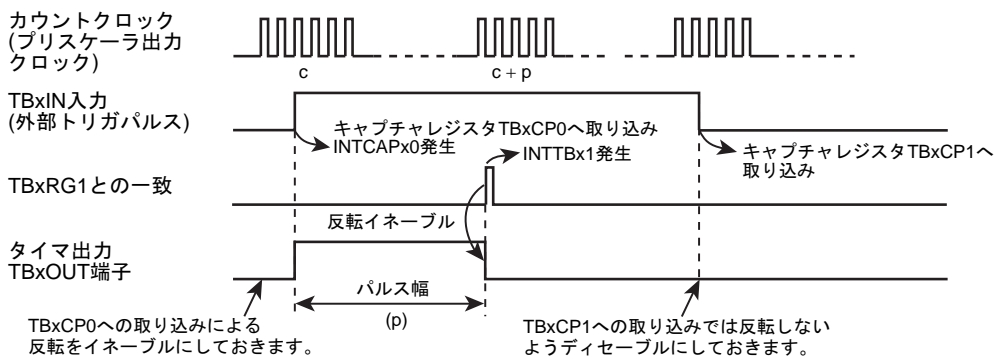


図 9-7 外部トリガパルスのワンショットパルス出力(ディレイなし)

9.7.2 周波数測定

キャプチャ機能を用いて外部クロックの周波数測定を行うことができます。

周波数測定は、イベントカウンタモードと他の16ビットタイマを組み合わせて行います。TMRB0とTMRB7を使う場合を例に説明します。TMRB7のTB7OUTを測定時間の設定に用います。

TMRB0のカウントクロックはTB0IN端子入力を選択し、外部クロック入力によるカウント動作を行います。TB0MOD<TBCPM[1:0]>には"11"を設定することで、TB7OUTの立ち上がりでTB0CP0にカウンタ値を取り込み、立下りでTB0CP1にカウンタ値を取り込みます。

この設定により、16ビットタイマ(TMRB7)のタイマフリップフロップ出力(TB7OUT)の立ち上がりで、キャプチャレジスタ(TB0CP0)に16ビットアップカウンタUCのカウンタ値を取り込み、16ビットタイマ(TMRB7)のTB7OUTの立ち下がり、キャプチャレジスタ(TB0CP1)にUCのカウンタ値の取り込みを行います。

周波数は、割り込みINTTB7で測定時間を基準にしてTB0CP0、TB0CP1の差より求めます。

例えば、TB7OUTの"1"レベル幅の設定値が0.5sで、TB0CP0とTB0CP1の差が100であれば、周波数は $100 \div 0.5 \text{ s} = 200 \text{ Hz}$ となります。

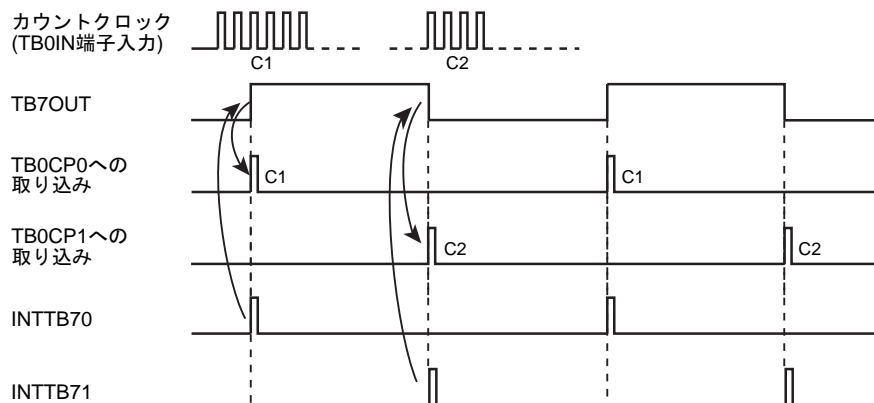


図 9-8 周波数測定

9.7.3 パルス幅測定

キャプチャ機能を用いて、外部パルスの"High"レベル幅を測定することができます。TBxIN端子より外部パルスを入力し、アップカウンタ(UC)をプリスケアラ出力クロックにてフリーランニングでカウントアップさせておきます。キャプチャ機能を用いて、外部パルスの立ち上がり/立ち下がり、それぞれのエッジでトリガをかけ、このときのアップカウンタ値をキャプチャレジスタ(TBxCP0, TBxCP1)に取り込みます。TBxIN端子の立ち下がりにより、INTCAPx1が発生するようにCPUで設定します。

"High"レベルパルス幅は、TBxCP0とTBxCP1の差を求め、その値に内部クロックの周期をかけることにより、求めることができます。

例えばTBxCP0とTBxCP1の差が100で、プリスケアラ出力クロックの周期が0.5μsであれば、パルス幅は、 $100 \times 0.5 \mu\text{s} = 50 \mu\text{s}$ となります。

なお、クロックソースにより定まるUCの最大カウント時間を越えるパルス幅の測定を行う場合は、注意が必要です。この場合、ソフトウェアによる処理を行ってください。

また、外部パルスの"Low"レベル幅を測定することもできます。この場合、「図 9-9 パルス幅測定」における、2 回目の INTCAPx0 割り込み処理により、1 回目の C2 と 2 回目の C1 の差に、プリスケアラ出力クロックの周期をかけることにより、求めることができます。

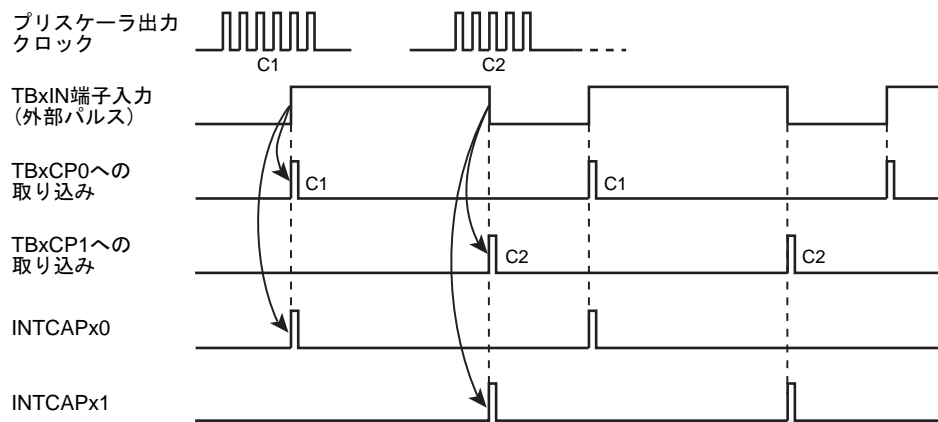


図 9-9 パルス幅測定

第 10 章 16 ビット多目的タイマ(MPT)

10.1 概要

TMPM380FDFG は 16 ビット多目的タイマ(MPT)を 3 チャンネル内蔵しています。

MPT は、次の 3 つの動作モードをもっています。

<タイマモード>

- ・ 16 ビットインタバルタイマモード
- ・ 16 ビットイベントカウンタモード
- ・ 16 ビットプログラマブル矩形波出力 (PPG、1 出力) モード
- ・ パルス幅測定(キャプチャ)

<IGBT モード>

- ・ 16 ビットプログラマブル矩形波出力 (PPG、2 出力) モード
- ・ 外部トリガスタート
- ・ 周期一致検出
- ・ 緊急停止機能

<PMD モード>

- ・ 3 相モータコントロールモード

以下の説明中、"x"はチャンネル番号を表します。

注) MPT2 には PMD モードはありません。

10.2 チャンネル別仕様相違点

各チャンネル (MPT0-MPT2)はそれぞれ独立に動作します。いずれのチャンネルも表 10-1 に示される仕様相違点を除いて同一の動作をします。

表 10-1 MPT のチャンネル別仕様相違点

仕様 チャンネル	外部端子					
	外部クロック/ キャプチャトリガ 入力端子	タイマフリップ フロップ 出力端子	IGBT 入力端子	IGBT 出力端子	PMD 入力端子	PMD 出力端子
MPT0	MTTB0IN	MTTB0OUT	$\overline{\text{GEMG0}}$ MT0IN	MTOUT00 MTOUT10	$\overline{\text{EMG0}}$	UO0,VO0, WO0,XO0, YO0,ZO0
MPT1	MTTB1IN	MTTB1OUT	$\overline{\text{GEMG1}}$ MT1IN	MTOUT01 MTOUT11	$\overline{\text{EMG1}}$	UO1,VO1, WO1,XO1, YO1,ZO1
MPT2	MTTB2IN	MTTB2OUT	$\overline{\text{GEMG2}}$ MT2IN	MTOUT02 MTOUT12	-	-

10.3 構成

MPT はタイマ、IGBT、PMD の 3 つのモジュールで構成されています。各モジュールはレジスタによって切り替えて使用されます。

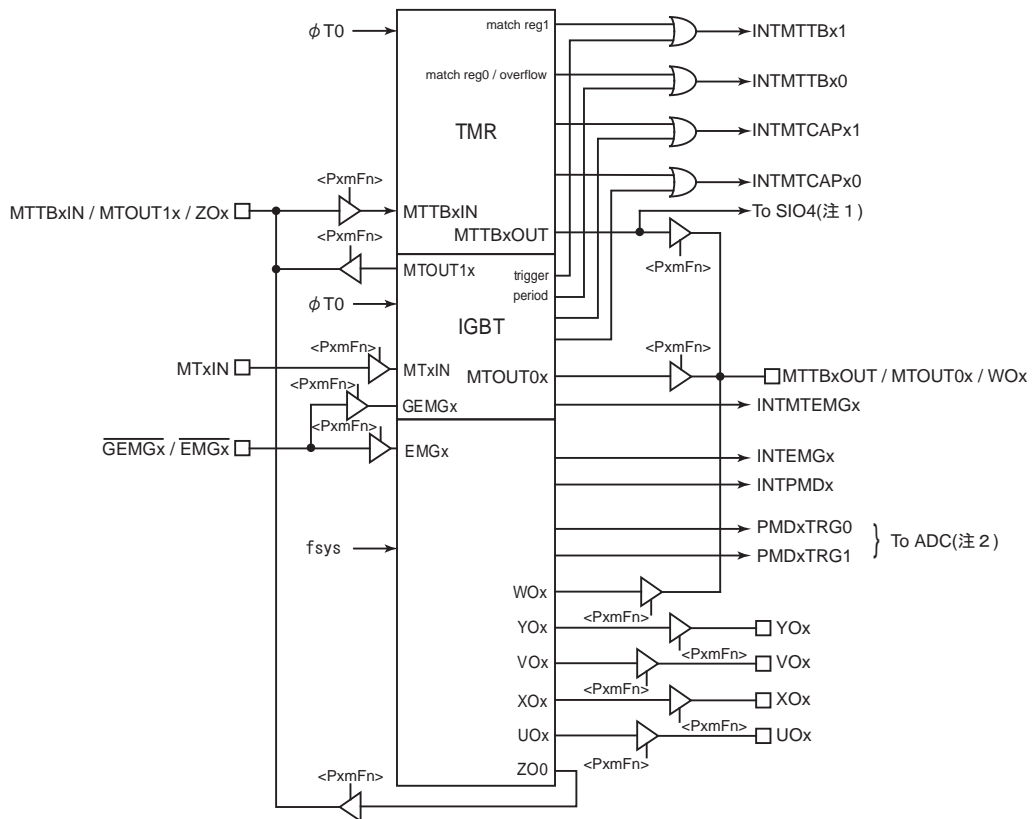


図 10-1 MPTx ブロック図

注 1) MPT0 のタイマモード時のタイマフリップフロップ出力(MTTB0OUT)は SIO4 UART モード時のシリアル転送クロックとして選択できます。

注 2) MPT2 には PMD モジュールはありません。

10.4 タイマモードの動作説明

10.4.1 構成

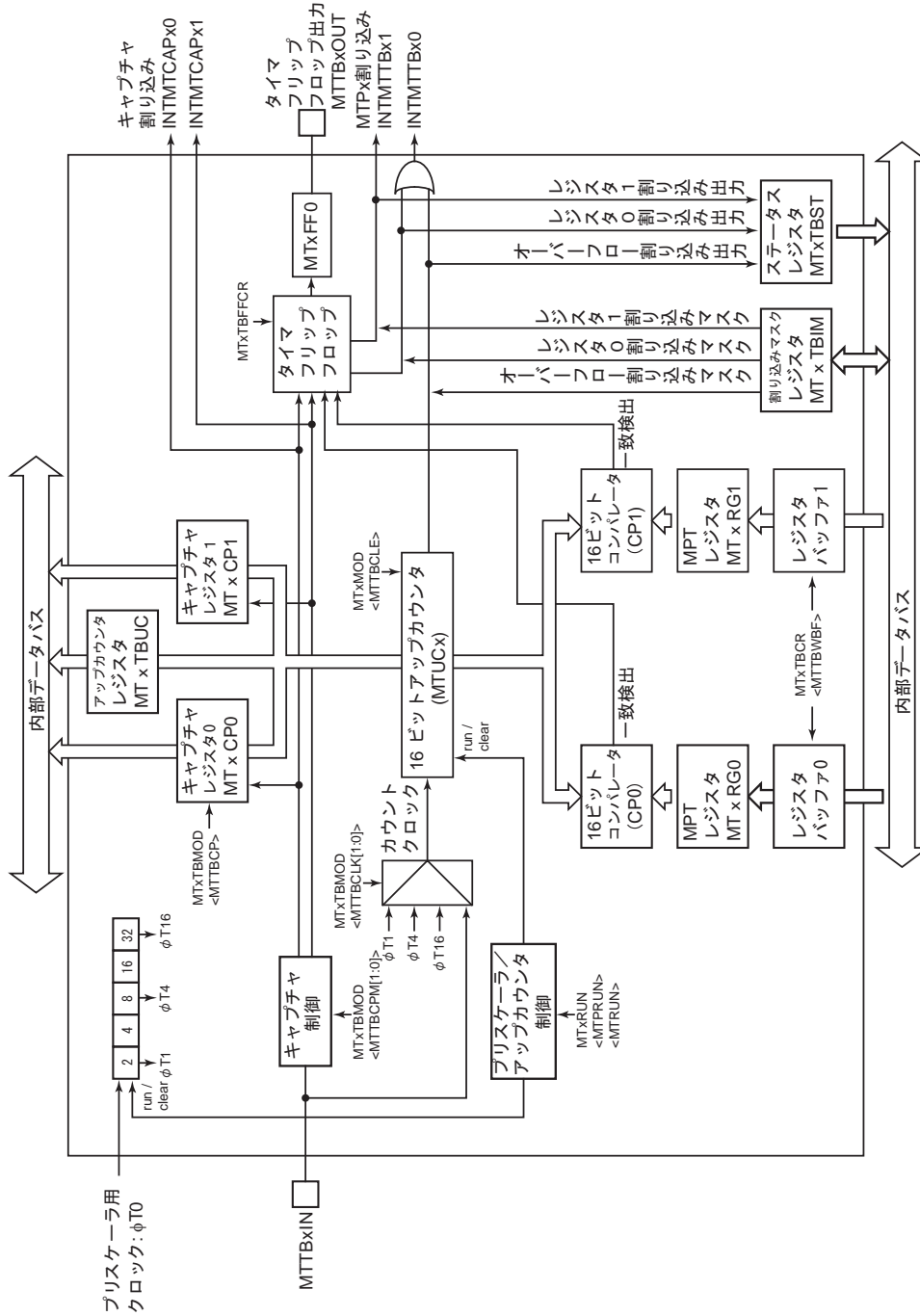


図 10-2 タイマモードブロック図

10.4.2 タイマモードチャネル別レジスタ一覧

各チャネルのレジスタとアドレスを示します。

Channel x	Base Address
MPT0	0x4005_0800
MPT1	0x4005_0880
MPT2	0x4005_0900

レジスタ名(x=0~2)		Address(Base+)
MPT イネーブルレジスタ	MTxEN	0x000_0000
MPT RUN レジスタ	MTxRUN	0x000_0004
MPT コントロールレジスタ	MTxTBCR	0x000_0008
MPT モードレジスタ	MTxTBMOD	0x000_000C
MPT フリップフロップ コントロールレジスタ	MTxTBFFCR	0x000_0010
MPT ステータスレジスタ	MTxTBST	0x000_0014
MPT 割り込みマスクレジスタ	MTxTBIM	0x000_0018
MPT アップカウンタレジスタ	MTxTBUC	0x000_001C
MPT レジスタ	MTxRG0 MTxRG1	0x000_0020 0x000_0024
MPT キャプチャレジスタ	MTxCP0 MTxCP1	0x000_0028 0x000_002C

10.4.3 MTxEN (MPT イネーブルレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	MTEN	MTHALT	-	-	-	-	-	MTMODE
リセット後	0	0	0				0	

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	MTEN	R/W	MPT の動作を指定します。 0: 禁止 1: 許可 動作禁止の状態では MPT モジュールの他のレジスタへクロックが供給されませんので消費電力の低減が可能です (他のレジスタへのリード、ライトはできません)。
6	MTHALT	R/W	コア Halt(デバッグブレーク)時の動作を指定します。 [TMR 機能] 0: コア Halt 中のクロック停止動作は行いません。 1: コア Halt 中はクロックの動作が停止します。 [IGBT 機能] 0: クロック停止動作および MTOUT0x/MTOUT1x 出力の制御を行いません。 1: コア Halt 中はクロックの動作が停止します。また、MTxIGEMGCR<IGEMGOC>の設定に従い、MTOUT0x/MTOUT1x 出力の制御を行います。
5-1	-	R	リードすると"0"が読めます
0	MTMODE	R/W	動作モードを指定します。 0: タイマモード 1: IGBT モード

注) MPT を使用する場合は、MPT モジュールの各レジスタを設定する前に MPT 動作許可 (<MTEN>="1") にしてください。MPT を一旦動作させた後に、動作禁止した場合は各レジスタの設定は保持されます

10.4.4 MTxRUN (MPT RUN レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	MTPRUN	-	MTRUN
リセット後	0					0	0	0

Bit	Bit Symbol	Type	機能
31-3	-	R	リードすると"0"が読めます
2	MTPRUN	R/W	MPT のプリスケアラ動作を制御します。 0: プリスケアラの動作を停止します。プリスケアラは"0"にクリアされます。 1: プリスケアラの動作を開始します。
1	-	R	リードすると"0"が読めます
0	MTRUN	R/W	MPT のカウント動作を制御します。 0: カウント動作を停止します。カウンタは"0"にクリアされます 1: カウントを開始します。

10.4.5 MTxTBCR (MPT コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	MTTBWBF	-	-	-	MTI2TB	-	MTTB TRGSEL	MTTBCSSEL
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます
7	MTTBWBF	R/W	ダブルパルファの許可/禁止をします。 0: 禁止 1: 許可
6-5	-	R/W	"0"をライトしてください。
4	-	R	リードすると"0"が読めます
3	MTI2TB	R/W	IDLE モード時のクロックの動作/停止を制御します。 0: 停止 1: 動作
2	-	R	リードすると"0"が読めます
1	MTTBTRGSEL	R/W	外部トリガのエッジ選択をします。 0: 立ち上がりエッジ 1: 立ち下がりエッジ
0	MTTBCSSEL	R/W	カウンタスタートの方法を選択します。 0: ソフトスタート 1: 外部トリガ

注 1) MTxTBCR はタイマ動作中 (MTxRUN<MTRUN>="1") に設定変更を行ってはいけません。

注 2) IGBT モードでは、<MTTBWBF>の設定によらず、ダブルパルファが自動で許可されます。

10.4.6 MTxBMOD (MPT モードレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	MTTBRSWR	MTTBBCP	MTTBCCPM		MTTBACLE	MTTBCLK	
リセット後	0	0	1	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-7	-	R	リードすると"0"が読めます
6	MTTBRSWR	R/W	ダブルバッファ使用時のタイマレジスタ 0,1 への書き込みタイミングの制御を行います。 0: タイマレジスタ 0、タイマレジスタ 1 への書き込み準備が片側のみしか出来ていない場合でも、片方ずつタイマレジスタに書き込みを行うことができます。 1: タイマレジスタ 0、タイマレジスタ 1 への書き込み準備が両方とも出来ていない場合は、タイマレジスタに書き込みを行うことができません。
5	MTTBBCP	W	ソフトウェアキャプチャの制御を行います。 0: カウント値をキャプチャレジスタ 0(MTxCP0)に取り込みます。 1: Don't care
4-3	MTTBCCPM[1:0]	R/W	キャプチャタイミングの設定をします。 00: キャプチャ禁止 01: MTTBxIN 端子入力の立ち上がりでキャプチャレジスタ 0 (MTxCP0) にカウント値を取り込みます 10: MTTBxIN 端子入力の立ち上がりでキャプチャレジスタ 0 (MTxCP0) にカウント値を取り込み、MTTBxIN 端子入力の立ち下がりでキャプチャレジスタ 1 (MTxCP1) にカウント値を取り込みます。 11: キャプチャ禁止
2	MTTBACLE	R/W	MPT のアップカウンタのクリア制御を行います。 0: アップカウンタのクリア禁止 1: タイマレジスタ 1 (MTxRG1) との一致でクリア
1-0	MTTBCLK[1:0]	R/W	MPT のタイマカウントクロックを選択します。 00: MTTBxIN 端子入力 01: φT1 10: φT4 11: φT16

注 1) MTxBMOD<MTTBBCP>は、リードすると"1"が読み出されます。

注 2) MTxBMOD はタイマ動作中 (MTxRUN<MTRUN>="1") に設定変更を行ってはいけません。

10.4.7 MTxBFFCR (MPT フリップフロップコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	MTTBC1T1	MTTBC0T1	MTTBE1T1	MTTBE0T1	MTTBFF0C	
リセット後	1	1	0	0	0	0	1	1

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます
7-6	-	R	リードすると"11"が読めます
5	MTTBC1T1	R/W	アップカウンタの値がキャプチャレジスタ 1(MTxCP1)に取り込まれたときのタイマフリップフロップの反転を制御します。 0: MTxFF0 は反転しません。 1: MTxFF0 は反転します。
4	MTTBC0T1	R/W	アップカウンタの値がキャプチャレジスタ 0(MTxCP0)に取り込まれたときのタイマフリップフロップの反転を制御します。 0: MTxFF0 は反転しません。 1: MTxFF0 は反転します。
3	MTTBE1T1	R/W	アップカウンタとタイマレジスタ 1(MTxRG1)との一致したときのタイマフリップフロップの反転を制御します。 0: MTxFF0 は反転しません。 1: MTxFF0 は反転します。
2	MTTBE0T1	R/W	アップカウンタとタイマレジスタ 0(MTxRG0)との一致したときのタイマフリップフロップの反転を制御します。 0: MTxFF0 は反転しません。 1: MTxFF0 は反転します。
1-0	MTTBFF0C	R/W	タイマフリップフロップを制御します。 00: MTxFF0 の値を反転します。 01: MTxFF0 を"1"にセットします。 10: MTxFF0 を"0"にクリアします。 11: Don't care リードすると"11"が読めます。

注) MTxBFFCR はタイマ動作中 (MTxRUN<MTRUN>="1") に設定変更を行ってはいけません

10.4.8 MTxTBST (MPT ステータスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	MTTBINT TBOF	MTTBINTTB1	MTTBINTTB0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-3	-	R	リードすると"0"が読めます
2	MTTBINTTBOF	R	アップカウンタのオーバーフロー割り込み発生ステータス 0: 割り込みは発生していない。 1: 割り込みが発生している。
1	MTTBINTTB1	R	タイマレジスタ 1 (MTxRG1) との一致割り込み発生ステータス 0: 割り込みは発生していない。 1: 割り込みが発生している。
0	MTTBINTTB0	R	タイマレジスタ 0 (MTxRG0) との一致割り込み発生ステータス 0: 割り込みは発生していない。 1: 割り込みが発生している。

注) いずれかの割り込みが発生すると、MTxTBST に該当割り込みのフラグがセットされ、CPU に割り込み発生が通知されます。MTxTBST レジスタをリードすると、フラグは"0"にクリアされます。

10.4.9 MTxTBIM (MPT 割込みマスクレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-					MTTBIMOF	MTTBIM1	MTTBIM0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-3	-	R	リードすると"0"が読めます
2	MTTBIMOF	R/W	アップカウンタのオーバーフロー割り込みをマスクする制御をします。 0: 割り込みをマスクしません。 1: 割り込みをマスクします。
1	MTTBIM1	R/W	タイマレジスタ 1 (MTxRG1) とアップカウンタの一致割り込みをマスクする制御をします。 0: 割り込みをマスクしません。 1: 割り込みをマスクします。
0	MTTBIM0	R/W	タイマレジスタ 0 (MTxRG0) とアップカウンタの一致割り込みをマスクする制御をします。 0: 割り込みをマスクしません。 1: 割り込みをマスクします。

注) MTxTBIM でマスクされていても MTxTBST には割り込み要求が反映されます。

10.4.10 MTxTBUC (MPT リードキャプチャレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	MTUC							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	MTUC							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます
15-0	MTUC[15:0]	R	MTxTBUC をリードすると、現在のアップカウンタの値をキャプチャすることができます。

10.4.11 MTxRG0/MTxRG1 (MPT タイマレジスタ)

MTxRG0

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	MTRG0							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	MTRG0							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます
15-0	MTRG0[15:0]	R/W	タイマカウンタ値 [タイマモード] アップカウンタと MTRG0[15:0]が一致すると、一致検出割り込み(INTMTTBx0)が発生します。 また、一致時に MTTBxOUT の反転させることもできます。 [IGBT モード] アップカウンタと MTRG0[15:0]が一致すると、MTOU0x をアクティブレベルに変化させます。

注 1) ハーフワードまたはワードアクセスしてください。

注 2) $0 < \text{MTxRG0} < \text{MTxRG1} \leq \text{SMTxIRG4} \leq 0\text{xFFF}$ となるように設定してください。

MTxRG1

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	MTRG1							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	MTRG1							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます
15-0	MTRG1[15:0]	R/W	タイマカウント値 [タイマモード] アップカウンタと MTRG1[15:0]が一致すると、一致検出割り込み(INTMTTBx1)が発生します。 また、一致時に MTTBxOUT の反転させることもできます。 [[IGBT モード] アップカウンタと MTRG1[15:0]が一致すると、MTOUT0x をインアクティブレベルに変化させます。

注 1) ハーフワードまたはワードアクセスしてください。

注 2) $0 < \text{MTxRG0} < \text{MTxRG1} \leq \text{MTxIRG4} \leq 0\text{x}\text{FFFF}$ となるように設定してください。

10.4.12 MTxCP0 /MTxCP1 (MPT キャプチャレジスタ)

MTnCP0

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	MTCP0							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	MTCP0							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます
15-0	MTCP0[15:0]	R	アップカウンタをキャプチャした値が読めます。

MTnCP1

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	MTCP1							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	MTCP1							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます
15-0	MTCP1[15:0]	R	アップカウンタをキャプチャした値が読めます。

注) タイマ停止状態でタイマカウンタ(MTUCx)の値をキャプチャすることはできません。停止状態では以前にキャプチャした値が保持されており、それを読み出すことは可能です。

10.5 回路別の動作説明

10.5.1 プリスケータ

アップカウンタ MTUCx のソースクロックを生成する 4 ビットのプリスケータです。

プリスケータへの入力クロック $\phi T0$ は CGSYSCR<PRCK[2:0]> にて選択した fperiph/1, fperiph/2, fperiph/4, fperiph/8, fperiph/16, fperiph/32 のいずれかのクロックです。このペリフェラルクロック fperiph は CG SYSCR<FPSEL[1:0]>で選択したクロック fgear またはクロックギア分周前のクロック fc のいずれかのクロックです。

プリスケータは MTxRUN<MTPRUN>により動作/停止の設定をします。"1"をライトするとカウント開始し "0"をライトするとクリアされ停止します。プリスケータ出力クロックの分解能を、表 10-2 に示します。

表 10-2 プリスケアラ出カクロック分解能($f_c = 40\text{MHz}$)

ペリフェラル クロック選択 <FPSEL[1:0]>	クロックギア値 <GEAR[2:0]>	プリスケアラ クロック選択 <PRCK[2:0]>	プリスケアラ出カクロック機能		
			$\phi T1$	$\phi T4$	$\phi T16$
00 (fgear)	000 (fc)	000 (fperiph/1)	$fc/2^1$ (0.05 μs)	$fc/2^3$ (0.2 μs)	$fc/2^5$ (0.8 μs)
		001 (fperiph/2)	$fc/2^2$ (0.1 μs)	$fc/2^4$ (0.4 μs)	$fc/2^6$ (1.6 μs)
		010 (fperiph/4)	$fc/2^3$ (0.2 μs)	$fc/2^5$ (0.8 μs)	$fc/2^7$ (3.2 μs)
		011 (fperiph/8)	$fc/2^4$ (0.4 μs)	$fc/2^6$ (1.6 μs)	$fc/2^8$ (6.4 μs)
		100 (fperiph/16)	$fc/2^5$ (0.8 μs)	$fc/2^7$ (3.2 μs)	$fc/2^9$ (12.8 μs)
		101 (fperiph/32)	$fc/2^6$ (1.6 μs)	$fc/2^8$ (6.4 μs)	$fc/2^{10}$ (25.6 μs)
	100 (fc/2)	000 (fperiph/1)	$fc/2^2$ (0.1 μs)	$fc/2^4$ (0.4 μs)	$fc/2^6$ (1.6 μs)
		001 (fperiph/2)	$fc/2^3$ (0.2 μs)	$fc/2^5$ (0.8 μs)	$fc/2^7$ (3.2 μs)
		010 (fperiph/4)	$fc/2^4$ (0.4 μs)	$fc/2^6$ (1.6 μs)	$fc/2^8$ (6.4 μs)
		011 (fperiph/8)	$fc/2^5$ (0.8 μs)	$fc/2^7$ (3.2 μs)	$fc/2^9$ (12.8 μs)
		100 (fperiph/16)	$fc/2^6$ (1.6 μs)	$fc/2^8$ (6.4 μs)	$fc/2^{10}$ (25.6 μs)
		101 (fperiph/32)	$fc/2^7$ (3.2 μs)	$fc/2^9$ (12.8 μs)	$fc/2^{11}$ (51.2 μs)
	101 (fc/4)	000 (fperiph/1)	$fc/2^3$ (0.2 μs)	$fc/2^5$ (0.8 μs)	$fc/2^7$ (3.2 μs)
		001 (fperiph/2)	$fc/2^4$ (0.4 μs)	$fc/2^6$ (1.6 μs)	$fc/2^8$ (6.4 μs)
		010 (fperiph/4)	$fc/2^5$ (0.8 μs)	$fc/2^7$ (3.2 μs)	$fc/2^9$ (12.8 μs)
		011 (fperiph/8)	$fc/2^6$ (1.6 μs)	$fc/2^8$ (6.4 μs)	$fc/2^{10}$ (25.6 μs)
		100 (fperiph/16)	$fc/2^7$ (3.2 μs)	$fc/2^9$ (12.8 μs)	$fc/2^{11}$ (51.2 μs)
		101 (fperiph/32)	$fc/2^8$ (6.4 μs)	$fc/2^{10}$ (25.6 μs)	$fc/2^{12}$ (102.4 μs)
	110 (fc/8)	000 (fperiph/1)	$fc/2^4$ (0.4 μs)	$fc/2^6$ (1.6 μs)	$fc/2^8$ (6.4 μs)
		001 (fperiph/2)	$fc/2^5$ (0.8 μs)	$fc/2^7$ (3.2 μs)	$fc/2^9$ (12.8 μs)
		010 (fperiph/4)	$fc/2^6$ (1.6 μs)	$fc/2^8$ (6.4 μs)	$fc/2^{10}$ (25.6 μs)
		011 (fperiph/8)	$fc/2^7$ (3.2 μs)	$fc/2^9$ (12.8 μs)	$fc/2^{11}$ (51.2 μs)
		100 (fperiph/16)	$fc/2^8$ (6.4 μs)	$fc/2^{10}$ (25.6 μs)	$fc/2^{12}$ (102.4 μs)
		101 (fperiph/32)	$fc/2^9$ (12.8 μs)	$fc/2^{11}$ (51.2 μs)	$fc/2^{13}$ (204.8 μs)
111 (fc/16)	000 (fperiph/1)	$fc/2^5$ (0.8 μs)	$fc/2^7$ (3.2 μs)	$fc/2^9$ (12.8 μs)	
	001 (fperiph/2)	$fc/2^6$ (1.6 μs)	$fc/2^8$ (6.4 μs)	$fc/2^{10}$ (25.6 μs)	
	010 (fperiph/4)	$fc/2^7$ (3.2 μs)	$fc/2^9$ (12.8 μs)	$fc/2^{11}$ (51.2 μs)	
	011 (fperiph/8)	$fc/2^8$ (6.4 μs)	$fc/2^{10}$ (25.6 μs)	$fc/2^{12}$ (102.4 μs)	
	100 (fperiph/16)	$fc/2^9$ (12.8 μs)	$fc/2^{11}$ (51.2 μs)	$fc/2^{13}$ (204.8 μs)	
	101 (fperiph/32)	$fc/2^{10}$ (25.6 μs)	$fc/2^{12}$ (102.4 μs)	$fc/2^{14}$ (409.6 μs)	

表 10-2 プリスケラ出カクック分解能($f_c = 40\text{MHz}$)

ペリフェラル クック選択 <FPSEL[1:0]>	クックギア値 <GEAR[2:0]>	プリスケラ クック選択 <PRCK[2:0]>	プリスケラ出カクック機能		
			$\phi T1$	$\phi T4$	$\phi T16$
01 (fc)	000 (fc)	000 (fperiph/1)	$fc/2^1$ (0.05 μs)	$fc/2^3$ (0.2 μs)	$fc/2^5$ (0.8 μs)
		001 (fperiph/2)	$fc/2^2$ (0.1 μs)	$fc/2^4$ (0.4 μs)	$fc/2^6$ (1.6 μs)
		010 (fperiph/4)	$fc/2^3$ (0.2 μs)	$fc/2^5$ (0.8 μs)	$fc/2^7$ (3.2 μs)
		011 (fperiph/8)	$fc/2^4$ (0.4 μs)	$fc/2^6$ (1.6 μs)	$fc/2^8$ (6.4 μs)
		100 (fperiph/16)	$fc/2^5$ (0.8 μs)	$fc/2^7$ (3.2 μs)	$fc/2^9$ (12.8 μs)
		101 (fperiph/32)	$fc/2^6$ (1.6 μs)	$fc/2^8$ (6.4 μs)	$fc/2^{10}$ (25.6 μs)
	100 (fc/2)	000 (fperiph/1)	–	$fc/2^3$ (0.2 μs)	$fc/2^5$ (0.8 μs)
		001 (fperiph/2)	$fc/2^2$ (0.1 μs)	$fc/2^4$ (0.4 μs)	$fc/2^6$ (1.6 μs)
		010 (fperiph/4)	$fc/2^3$ (0.2 μs)	$fc/2^5$ (0.8 μs)	$fc/2^7$ (3.2 μs)
		011 (fperiph/8)	$fc/2^4$ (0.4 μs)	$fc/2^6$ (1.6 μs)	$fc/2^8$ (6.4 μs)
		100 (fperiph/16)	$fc/2^5$ (0.8 μs)	$fc/2^7$ (3.2 μs)	$fc/2^9$ (12.8 μs)
		101 (fperiph/32)	$fc/2^6$ (1.6 μs)	$fc/2^8$ (6.4 μs)	$fc/2^{10}$ (25.6 μs)
	101 (fc/4)	000 (fperiph/1)	–	$fc/2^3$ (0.2 μs)	$fc/2^5$ (0.8 μs)
		001 (fperiph/2)	–	$fc/2^4$ (0.4 μs)	$fc/2^6$ (1.6 μs)
		010 (fperiph/4)	$fc/2^3$ (0.2 μs)	$fc/2^5$ (0.8 μs)	$fc/2^7$ (3.2 μs)
		011 (fperiph/8)	$fc/2^4$ (0.4 μs)	$fc/2^6$ (1.6 μs)	$fc/2^8$ (6.4 μs)
		100 (fperiph/16)	$fc/2^5$ (0.8 μs)	$fc/2^7$ (3.2 μs)	$fc/2^9$ (12.8 μs)
		101 (fperiph/32)	$fc/2^6$ (1.6 μs)	$fc/2^8$ (6.4 μs)	$fc/2^{10}$ (25.6 μs)
	110 (fc/8)	000 (fperiph/1)	–	–	$fc/2^5$ (0.8 μs)
		001 (fperiph/2)	–	$fc/2^4$ (0.4 μs)	$fc/2^6$ (1.6 μs)
		010 (fperiph/4)	–	$fc/2^5$ (0.8 μs)	$fc/2^7$ (3.2 μs)
		011 (fperiph/8)	$fc/2^4$ (0.4 μs)	$fc/2^6$ (1.6 μs)	$fc/2^8$ (6.4 μs)
		100 (fperiph/16)	$fc/2^5$ (0.8 μs)	$fc/2^7$ (3.2 μs)	$fc/2^9$ (12.8 μs)
		101 (fperiph/32)	$fc/2^6$ (1.6 μs)	$fc/2^8$ (6.4 μs)	$fc/2^{10}$ (25.6 μs)
111 (fc/16)	000 (fperiph/1)	–	–	$fc/2^5$ (0.4 μs)	
	001 (fperiph/2)	–	–	$fc/2^6$ (0.8 μs)	
	010 (fperiph/4)	–	$fc/2^5$ (0.8 μs)	$fc/2^7$ (3.2 μs)	
	011 (fperiph/8)	–	$fc/2^6$ (1.6 μs)	$fc/2^8$ (6.4 μs)	
	100 (fperiph/16)	$fc/2^5$ (0.8 μs)	$fc/2^7$ (3.2 μs)	$fc/2^9$ (12.8 μs)	
	101 (fperiph/32)	$fc/2^6$ (1.6 μs)	$fc/2^8$ (6.4 μs)	$fc/2^{10}$ (25.6 μs)	

注 1) プリスケラ出カクック ϕTn は、かならず $\phi Tn < f_{\text{sys}}$ を満足するように (ϕTn が f_{sys} よりも遅くなるように) 選択してください。

注 2) タイマ動作中はクックギアの切り替えは行わないでください。

注 3) 表中"–"は設定禁止です。

10.5.2 アップカウンタ(MTUC0)

16 ビットのバイナリカウンタです。

- ・ ソースクロック

ソースクロックは $MT_xTBMOD<MTTBCLK[1:0]>$ で設定することができます。

プリスケアラ出力クロック $\phi T1$ 、 $\phi T4$ 、 $\phi T16$ 、または、 $MTTB_xIN$ 端子の外部クロックのいずれかを選択できます。

- ・ カウンタ動作の開始と停止

カウンタ動作は $MT_xRUN<MTRUN>$ で行います。 $<MTRUN>="1"$ でカウントを開始し、 $"0"$ でカウント停止と同時にカウンタのクリアを行います。

アップカウンタ $MTUC_x$ と、タイマレジスタ MT_xRG0 、 MT_xRG1 への設定値とを比較し、一致を検出すると、 $INTMTTB0_x$ 、 $INTMTTB1_x$ を発生します。

- ・ カウンタクリアのタイミング

1. コンペア一致時

$MT_xTBMOD<MTTBACLE>="1"$ に設定することで、 MT_xRG1 とのコンペア一致とともにカウンタのクリアをすることができます。

$MT_xTBMOD<MTTBACLE>="0"$ に設定するとカウンタはフリーランニングカウンタとして動作します。

2. カウンタ停止時

$MT_xRUN<MTRUN>="0"$ に設定すると、カウンタが停止するとともにクリアされます。

- ・ カウンタのオーバフロー

$MTUC_x$ がオーバフローすると、オーバフロー割り込み $INTMTTB0_x$ が発生します。

10.5.3 タイマレジスタ (MTxRG0、MTxRG1)

アップカウンタ MTUCx と比較する値を設定するレジスタです。タイマレジスタに設定された値とアップカウンタの値をコンパレータで比較し、一致すると一致検出信号が出力されます。

- 構成

タイマレジスタのうち、MTxRG0/1 はダブルバッファ構成になっており、レジスタバッファとペアになっています。

ダブルバッファのイネーブル/ディセーブルを制御は MTxTBCR<MTTBWBF> によって行います。<MTTBWBF>="0" のときディセーブル、<MTTBWBF>="1" のときイネーブルとなります。

ダブルバッファイネーブル時、MTUCx と MTxRG1 との一致時にレジスタバッファ 0 からタイマレジスタ MTxRG0/1 へデータ転送が行われます。

- 初期状態

リセット動作により、MTxRG0、MTxRG1 は不定で、ダブルバッファはディセーブルになっています。

- 設定方法

1. ダブルバッファを使用しない場合

ハーフワードまたはワードアクセスしてください。

2. ダブルバッファを使用する場合

MTxRG0/1 とレジスタバッファ 0/1 は、それぞれ同じアドレスに割り付けられています。

<MTTBWBF> "0" のときは、MTxRG0/1 とそれぞれのレジスタバッファに、同じ値が書き込まれ、<MTTBWBF> "1" のときは、それぞれのレジスタバッファにのみ書き込まれます。したがって、タイマレジスタに初期値を書き込むときには、レジスタバッファをディセーブルにしておき、タイマレジスタにデータを書き込んだ後、<MTTBWBF> "1" に設定し、レジスタバッファへ次のデータを書き込んでください。

10.5.4 キャプチャ制御

アップカウンタ MTUCx の値をキャプチャレジスタ MTxCP0、MTxCP1 にラッチするタイミングを制御する回路です。キャプチャレジスタのラッチタイミングは、MTxTBMOD<MTTBCEM[1:0]>で設定します。

また、ソフトウェアによってもアップカウンタ MTUCx の値をキャプチャレジスタへ取り込むことができ、MTxTBMOD<MTTBCEM> に "0" を書き込むたびに、その時点の MTUCx の値をキャプチャレジスタ MTxCP0 へキャプチャします。なお、プリスケアラは、RUN 状態 (MTxRUN<MTPRUN> "1") にしておく必要があります。

10.5.5 キャプチャレジスタ (MTxCAP0、MTxCAP1)

アップカウンタ MTUCx の値をキャプチャするレジスタです。

10.5.6 アップカウンタキャプチャレジスタ (MTxTBUC)

キャプチャ制御回路によるキャプチャ機能の他に、MTxTBUC レジスタを読み出すことにより、アップカウンタ (MTUC0) の現在のカウント値をキャプチャすることができます。

10.5.7 コンパレータ(CP0、CP1)

アップカウンタ(MTUCx)と、タイマレジスタ MTxRG0、MTxRG1 への設定値と比較し、一致を検出します。一致すると INTMTTBx0、INTMTTBx1 を発生します。

10.5.8 タイマフリップフロップ (MTxFF0)

タイマフリップフロップ (MTxFF0) は、コンパレータからの一致信号、キャプチャレジスタへのラッチ信号によって反転するフリップフロップです。反転のディセーブル/イネーブルは、MTxBFFCR<MTTBC1T1,MTTBC0T1,MTTBE1T1,MTTBE0T1>によって設定できます。

リセット後、MTxFF0 の値は不定となります。MTxBFFCR<MTTBFF0C[1:0]>に "00" を書き込むことで反転、"01" を書き込むことで "1" にセット、"10" を書き込むことで "0" にクリアすることが可能です。

MTxFF0 の値は、タイマ出力端子 MTTBxOUT 端子へ出力することができます。タイマ出力を行う場合、あらかじめポート関連レジスタ PxCR、PxFRx により、設定を行う必要があります。

10.5.9 キャプチャ割り込み(INTMTCAPx0、INTMTCAPx1)

キャプチャレジスタ MTxCP0、MTxCP1 にラッチするタイミングで割り込み INTMTCAPx0、INTMTCAPx1 をそれぞれ発生します。割り込みの設定は CPU で行います。

10.6 IGBT モードの動作説明

10.6.1 構成

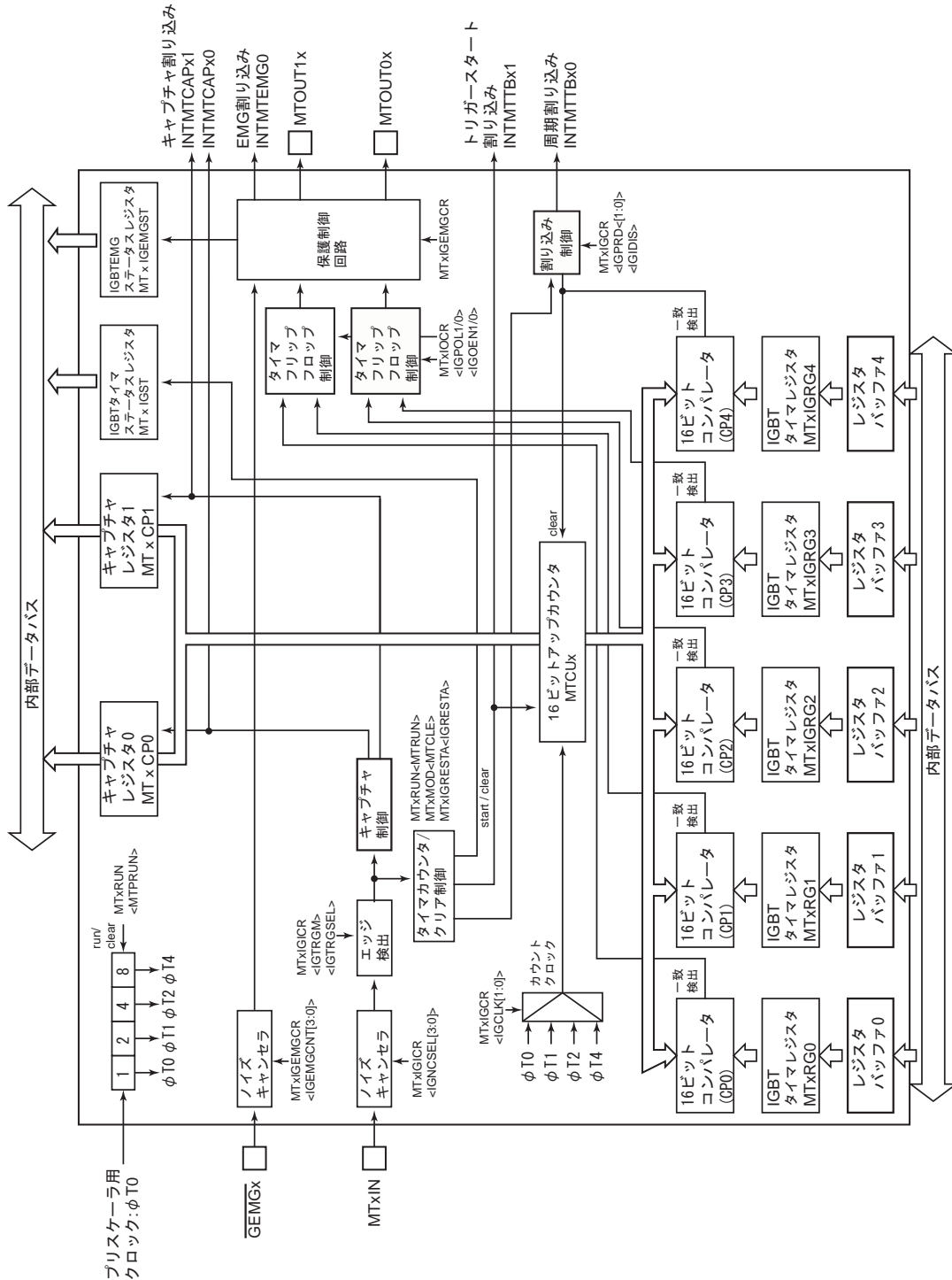


図 10-3 IGBT モードブロック図

10.6.2 IGBT モードチャンネル別レジスタ一覧

各チャンネルのレジスタとアドレスを示します。

Channel x	Base Address
MPT0	0x4005_0800
MPT1	0x4005_0880
MPT2	0x4005_0900

レジスタ名(x=0~2)		Address(Base+)
MPT イネーブルレジスタ	MTxEN	0x000_0000
MPT RUN レジスタ	MTxRUN	0x000_0004
MPT レジスタ	MTxRG0	0x000_0020
	MTxRG1	0x000_0024
MPT キャプチャレジスタ	MTxCP0	0x000_0028
	MTxCP1	0x000_002C
IGBT コントロールレジスタ	MTxIGCR	0x000_0030
IGBT タイマスタートレジスタ	MTxIGRESTA	0x000_0034
IGBT タイマステータスレジスタ	MTxIGST	0x000_0038
IGBT 入力コントロールレジスタ	MTxIGICR	0x000_003C
IGBT 出力コントロールレジスタ	MTxIGOCR	0x000_0040
IGBT タイマレジスタ 2,3,4	MTxIGRG2	0x000_0044
	MTxIGRG3	0x000_0048
	MTxIGRG4	0x000_004C
IGBT EMG コントロールレジスタ	MTxIGEMGCR	0x000_0050
IGBT EMG ステータスレジスタ	MTxIGEMGST	0x000_0054

10.6.3 MTxEN (MPT イネーブルレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	MTEN	MTHALT	-	-	-	-	-	MTMODE
リセット後	0	0	0				0	

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	MTEN	R/W	MPT の動作を指定します。 0: 禁止 1: 許可 動作禁止の状態では MPT モジュールの他のレジスタへクロックが供給されませんので消費電力の低減が可能です (他のレジスタへのリード、ライトはできません)。
6	MTHALT	R/W	コア Halt(デバッグブレーク)時の動作を指定します。 [TMR 機能] 0: コア Halt 中のクロック停止動作は行いません。 1: コア Halt 中はクロックの動作が停止します。 [IGBT 機能] 0: クロック停止動作および MTOUT0x/MTOUT1x 出力の制御を行いません。 1: コア Halt 中はクロックの動作が停止します。また、MTxIGEMGCR<IGEMGOC>の設定に従い、MTOUT0x/MTOUT1x 出力の制御を行います。
5-1	-	R	リードすると"0"が読めます
0	MTMODE	R/W	動作モードを指定します。 0: タイマモード 1: IGBT モード

注) MPT を使用する場合は、MPT モジュールの各レジスタを設定する前に MPT 動作許可 (<MTEN>="1") にしてください。MPT を一旦動作させた後に、動作禁止した場合は各レジスタの設定は保持されず

10.6.4 MTxRUN (MPT RUN レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	MTPRUN	-	MTRUN
リセット後	0					0	0	0

Bit	Bit Symbol	Type	機能
31-3	-	R	リードすると"0"が読めます
2	MTPRUN	R/W	MPT のプリスケアラ動作を制御します。 0: プリスケアラの動作を停止します。プリスケアラは"0"にクリアされます。 1: プリスケアラの動作を開始します。
1	-	R	リードすると"0"が読めます
0	MTRUN	R/W	MPT のカウント動作を制御します。 0: カウント動作を停止します。カウンタは"0"にクリアされます 1: カウントを開始します。

10.6.5 MTxRG0/MTxRG1 (MPT タイマレジスタ)

MTxRG0

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	MTRG0							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	MTRG0							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます
15-0	MTRG0[15:0]	R/W	タイマカウント値 [タイマモード] アップカウンタと MTRG0[15:0]が一致すると、一致検出割り込み(INTMTTBx0)が発生します。 また、一致時に MTTBxOUT の反転させることもできます。 [[IGBT モード] アップカウンタと MTRG0[15:0]が一致すると、MTOUT0x をアクティブレベルに変化させます。

- 注 1) ハーフワードまたはワードアクセスしてください。
- 注 2) 0<MTxRG0<MTxRG1≤MTxIRG4≤0xFFFF となるように設定してください。

MTxRG1

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	MTRG1							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	MTRG1							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます
15-0	MTRG1[15:0]	R/W	タイマカウント値 [タイマモード] アップカウンタと MTRG1[15:0]が一致すると、一致検出割り込み(INTMTTBx1)が発生します。 また、一致時に MTTBxOUT の反転させることもできます。 [IGBT モード] アップカウンタと MTRG1[15:0]が一致すると、MTOUT0x をインアクティブレベルに変化させます。

注 1) ハーフワードまたはワードアクセスしてください。

注 2) $0 < \text{MTxRG0} < \text{MTxRG1} \leq \text{MTxIRG4} \leq 0\text{x}\text{FFFF}$ となるように設定してください。

10.6.6 MTxCP0 /MTxCP1 (MPT キャプチャレジスタ)

MTnCP0

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	MTCP0							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	MTCP0							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます
15-0	MTCP0[15:0]	R	アップカウンタをキャプチャした値が読めます。

MTnCP1

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	MTCP1							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	MTCP1							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます
15-0	MTCP1[15:0]	R	アップカウンタをキャプチャした値が読めます。

注) タイマ停止状態でタイマカウンタ(MTUCx)の値をキャプチャすることはできません。停止状態では以前にキャプチャした値が保持されており、それを読み出すことは可能です。

10.6.7 MTxIGCR (IGBT コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	IGDIS	IGPRD	
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	IGSNGL	IGSTP		IGSTA		IGCLK	
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-11	-	R	リードすると"0"が読めます
10	IGDIS	R/W	コマンドスタート時の割り込みを制御します。 0: 許可 1: 禁止
9-8	IGPRD[1:0]	R/W	割り込み周期を選択します。 00: 1 周期毎 01: 2 周期毎 10: 4 周期毎 11: Reserved
7	-	R	リードすると"0"が読めます
6	IGSNGL	R/W	IGBT の動作を選択します。 0: 連続動作 1: 単発動作
5-4	IGSTP[1:0]	R/W	停止時の状態を選択します。 00: 出力初期状態でカウント即時停止およびクリア 01: 出力保持状態でカウント即時停止およびクリア 10: 周期時間経過後カウント停止およびクリア 11: Reserved
3-2	IGSTA[1:0]	R/W	スタートモードを選択します 00: コマンドスタートおよびトリガキャプチャ 01: コマンドスタートおよびトリガスタート 10: トリガスタート 11: Reserved
1-0	IGCLK[1:0]	R/W	IGBT のソースクロックを選択します。 00: $\phi T0$ 01: $\phi T1$ 10: $\phi T2$ 11: $\phi T4$

注 1) MTxIGCR はタイマ動作中(MTxRUN<MTRUN>="1")に設定変更を行ってはいけません。

注 2) 周期時間経過後カウント停止およびクリア(MTxIGCR<IGSTP>="10")で MTxRUN<MTRUN>のクリアによるカウンタの停止操作を行った場合、周期割り込みの発生でタイマが停止したことを確認してから、設定の変更、再スタートを行ってください。

10.6.8 MTxIGRESTA (IGBT タイマ リスタートレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	IGRESTA
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-1	-	R	リードすると"0"が読めます
0	IGRESTA	W	カウントリスタートを制御します。 0: Don't care 1: リスタート リードすると"0"が読めます。

注) タイマ動作中に MTxIGRESTA<IGRESTA>に"1"を書き込むことで、タイマカウンタのクリア&リスタートを行うことができます。出力波形の端子状態を確認した上で設定変更を行ってください。

10.6.9 MTxIGST (IGBT タイマ ステータスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	IGST
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-1	-	R	リードすると"0"が読めます
0	IGST	R	カウンタ動作状態 0: 停止 1: 動作

10.6.10 MTxIGICR (IGBT 入力コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	IGTRGM	IGTRGSEL	-	-	IGNCSEL			
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます
7	IGTRGM	R/W	トリガエッジ受け付けモードを制御します。 0: 常時受け付け 1: アクティブレベル出力中受け付け禁止
6	IGTRGSEL	R/W	トリガスタートエッジ/アクティブレベルを選択します。 0: 立ち上がりエッジスタート/"High"レベルアクティブ 1: 立ち下がりエッジスタート/"Low"レベルアクティブ
5-4	-	R	リードすると"0"が読めます
3-0	IGNCSEL[3:0]	R/W	トリガ入力ノイズ除去時間選択 ノイズ除去時間は次の計算式で表されます。 $IGNCSEL[3:0] \times 16 / f_{sys}$ 0000: ノイズフィルタを経由しません 0001: ノイズ除去時間 16 / fsys[s] 0010: ノイズ除去時間 32 / fsys[s] 0011: ノイズ除去時間 48 / fsys[s] 0100: ノイズ除去時間 64 / fsys[s] 0101: ノイズ除去時間 80 / fsys[s] 0110: ノイズ除去時間 96 / fsys[s] 0111: ノイズ除去時間 112 / fsys[s] 1000: ノイズ除去時間 128 / fsys[s] 1001: ノイズ除去時間 144 / fsys[s] 1010: ノイズ除去時間 160 / fsys[s] 1011: ノイズ除去時間 176 / fsys[s] 1100: ノイズ除去時間 192 / fsys[s] 1101: ノイズ除去時間 208 / fsys[s] 1110: ノイズ除去時間 224 / fsys[s] 1111: ノイズ除去時間 240 / fsys[s]

注 1) MTxIGCR はタイマ動作中 (MTxRUN<MTRUN>="1") に設定変更を行ってはいけません

注 2) MTxGCR<IGNCSEL[3:0]>は EMG 保護回路禁止の状態(MTxIGEMGCR<IGEMGEN>="0")で行ってください。

注 3) MTxIGCR<IGNCSEL[3:0]>を変更した後、変更したノイズ除去時間に対して十分な時間をとってからタイマをスタート(MTxRUN<MTRUN>="1")してください。

10.6.11 MTxIGOCR (IGBT 出カコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	IGPOL1	IGPOL0	-	-	IGOEN1	IGOEN0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-6	-	R	リードすると"0"が読めます
5	IGPOL1	R/W	MTOUT1x の初期状態を設定します。 0: Low 1: High
4	IGPOL0	R/W	MTOUT0x の初期状態を設定します。 0: Low 1: High
3-2	-	R	リードすると"0"が読めます
1	IGOEN1	R/W	MTOUT1x の出力を制御します。 0: 禁止 1: 許可
0	IGOEN0	R/W	MTOUT0x の出力を制御します。 0: 禁止 1: 許可

注) MTOUT0x/MTOUT1x 出力端子はタイマが動作中/停止中によらず、IGBT 出力コントロールレジスタ (MTxIGOCR)の内容に応じて変化します。MTxGOCR の設定は動作状況を確認した上で行ってください。

10.6.12 MTxIGRG2 (IGBT タイマレジスタ 2)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	IGRG2							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	IGRG2							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます
15-0	IGRG2[15:0]	R/W	タイマカウント値 アップカウンタと IGRG2[15:0]が一致すると、MTOUT1x をアクティブレベルに変化させます。

注 1) ハーフワードまたはワードアクセスしてください。

注 2) 設定値は $0 < \text{MTxIGRG2} < \text{MTxIGRG3} \leq \text{MTxIGRG4} \leq 0\text{xFFFF}$ となるように設定してください。

10.6.13 MTxIGRG3 (IGBT タイマレジスタ 3)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	IGRG3							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	IGRG3							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます
15-0	IGRG3[15:0]	R/W	タイマカウント値 アップカウンタと IGRG3[15:0]が一致すると、MTOUT1x をインアクティブレベルに変化させます

注 1) ハーフワードまたはワードアクセスしてください。

注 2) 設定値は $0 < \text{MTxIGRG2} < \text{MTxIGRG3} \leq \text{MTxIGRG4} \leq 0\text{xFFFF}$ となるように設定してください。

10.6.14 MTxIGRG4 (IGBT タイマレジスタ 4)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	IGRG4							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	IGRG4							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます
15-0	IGRG4[15:0]	R/W	タイマカウント値 IGBT モードの周期を設定します

注 1) ハーフワードまたはワードアクセスしてください。

注 2) 設定値は $0 < \text{MTxRG0} < \text{MTxRG1} \leq \text{MTxIGRG4} \leq 0\text{x}\text{FFFF}$ となるように設定してください。

注 3) 設定値は $0 < \text{MTxIGRG2} < \text{MTxIGRG3} \leq \text{MTxIGRG4} \leq 0\text{x}\text{FFFF}$ となるように設定してください。

10.6.15 MTxIGEMGCR (IGBT EMG コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	IGEMGCNT				-	IGEMGRS	IGEMGOC	IGEMGEN
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます
7-4	IGEMGCNT[3:0]	R/W	GEMG 端子入力ノイズ除去時間選択 ノイズ除去時間は以下の計算式であらわされます IGEMGCNT[3:0]×16 / fsys 0000: ノイズフィルタを經由しません 0001: 入力ノイズ除去時間 16 / fsys[s] 0010: 入力ノイズ除去時間 32 / fsys[s] 0011: 入力ノイズ除去時間 48 / fsys[s] 0100: 入力ノイズ除去時間 64 / fsys[s] 0101: 入力ノイズ除去時間 80 / fsys[s] 0110: 入力ノイズ除去時間 96 / fsys[s] 0111: 入力ノイズ除去時間 112 / fsys[s] 1000: 入力ノイズ除去時間 128 / fsys[s] 1001: 入力ノイズ除去時間 144 / fsys[s] 1010: 入力ノイズ除去時間 160 / fsys[s] 1011: 入力ノイズ除去時間 176 / fsys[s] 1100: 入力ノイズ除去時間 192 / fsys[s] 1101: 入力ノイズ除去時間 208 / fsys[s] 1110: 入力ノイズ除去時間 224 / fsys[s] 1111: 入力ノイズ除去時間 240 / fsys[s]
3	-	R	リードすると"0"が読めます
2	IGEMGRS	W	EMG 保護状態から復帰します。 0: Don't care 1: 復帰 (自動的に"0"にクリアされます) (リードすると"0"が読めます)
1	IGEMGOC	R/W	EMG 保護時の MTOUT0x/MTOUT1x 極性を設定します。 0: インアクティブレベル 1: ハイ・インピーダンス
0	IGEMGEN	R/W	EMG 保護回路の動作を制御します。 0: 禁止 1: 許可

注) MTxIGEMGCR はタイマ動作中 (MTxRUN<MTRUN>="1") に設定変更を行ってはいけません

10.6.16 MTxIGEMGST (IGBT EMG ステータスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	IGEMGIN	IGEMGST
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	-	R	リードすると"0"が読めます
1	IGEMGIN	R	ノイズ除去後の EMG 入力状態 0: Low 1: High
0	IGEMGST	R	EMG 保護状態 0: 通常動作中 1: 保護中 リードすることにより、EMG 保護の状態を知ることができます。

10.7 回路別の動作説明

10.7.1 プリスケータ

アップカウンタ MTUCx のソースクロックを生成する 4 ビットのプリスケータです。

プリスケータへの入力クロック $\phi T0$ は CGSYSCR<PRCK[2:0]> にて選択した fperiph/1, fperiph/2, fperiph/4, fperiph/8, fperiph/16, fperiph/32 のいずれかのクロックです。このペリフェラルクロック fperiph は CGSYSCR<FPSEL[1:0]> で選択したクロック fgear またはクロックギア分周前のクロック fc のいずれかのクロックです。

プリスケータは MTxRUN<MTPRUN> により動作/停止の設定をします。"1" をライトするとカウント開始し、"0" をライトするとクリアされ停止します。プリスケータ出力クロックの分解能を、表 10-3 に示します。

表 10-3 プリスケーラ出力クロック分解能($f_c = 40\text{MHz}$)

ペリフェラル クロック選択 <FPSEL[1:0]>	クロックギア値 <GEAR[2:0]>	プリスケーラ クロック選択 <PRCK[2:0]>	プリスケーラ出力クロック機能			
			$\phi T0$	$\phi T1$	$\phi T2$	$\phi T4$
00 (fgear)	000 (fc)	000 (fperiph/1)	f_c (0.025 μs)	$f_c/2^1$ (0.05 μs)	$f_c/2^2$ (0.1 μs)	$f_c/2^3$ (0.2 μs)
		001 (fperiph/2)	$f_c/2^1$ (0.05 μs)	$f_c/2^2$ (0.1 μs)	$f_c/2^3$ (0.2 μs)	$f_c/2^4$ (0.4 μs)
		010 (fperiph/4)	$f_c/2^2$ (0.1 μs)	$f_c/2^3$ (0.2 μs)	$f_c/2^4$ (0.4 μs)	$f_c/2^5$ (0.8 μs)
		011 (fperiph/8)	$f_c/2^3$ (0.2 μs)	$f_c/2^4$ (0.4 μs)	$f_c/2^5$ (0.8 μs)	$f_c/2^6$ (1.6 μs)
		100 (fperiph/16)	$f_c/2^4$ (0.4 μs)	$f_c/2^5$ (0.8 μs)	$f_c/2^6$ (1.6 μs)	$f_c/2^7$ (3.2 μs)
		101 (fperiph/32)	$f_c/2^5$ (0.8 μs)	$f_c/2^6$ (1.6 μs)	$f_c/2^7$ (3.2 μs)	$f_c/2^8$ (6.4 μs)
	100 (fc/2)	000 (fperiph/1)	$f_c/2^1$ (0.05 μs)	$f_c/2^2$ (0.1 μs)	$f_c/2^3$ (0.2 μs)	$f_c/2^4$ (0.4 μs)
		001 (fperiph/2)	$f_c/2^2$ (0.1 μs)	$f_c/2^3$ (0.2 μs)	$f_c/2^4$ (0.4 μs)	$f_c/2^5$ (0.8 μs)
		010 (fperiph/4)	$f_c/2^3$ (0.2 μs)	$f_c/2^4$ (0.4 μs)	$f_c/2^5$ (0.8 μs)	$f_c/2^6$ (1.6 μs)
		011 (fperiph/8)	$f_c/2^4$ (0.4 μs)	$f_c/2^5$ (0.8 μs)	$f_c/2^6$ (1.6 μs)	$f_c/2^7$ (3.2 μs)
		100 (fperiph/16)	$f_c/2^5$ (0.8 μs)	$f_c/2^6$ (1.6 μs)	$f_c/2^7$ (3.2 μs)	$f_c/2^8$ (6.4 μs)
		101 (fperiph/32)	$f_c/2^6$ (1.6 μs)	$f_c/2^7$ (3.2 μs)	$f_c/2^8$ (6.4 μs)	$f_c/2^9$ (12.8 μs)
	101 (fc/4)	000 (fperiph/1)	$f_c/2^2$ (0.1 μs)	$f_c/2^3$ (0.2 μs)	$f_c/2^4$ (0.4 μs)	$f_c/2^5$ (0.8 μs)
		001 (fperiph/2)	$f_c/2^3$ (0.2 μs)	$f_c/2^4$ (0.4 μs)	$f_c/2^5$ (0.8 μs)	$f_c/2^6$ (1.6 μs)
		010 (fperiph/4)	$f_c/2^4$ (0.4 μs)	$f_c/2^5$ (0.8 μs)	$f_c/2^6$ (1.6 μs)	$f_c/2^7$ (3.2 μs)
		011 (fperiph/8)	$f_c/2^5$ (0.8 μs)	$f_c/2^6$ (1.6 μs)	$f_c/2^7$ (3.2 μs)	$f_c/2^8$ (6.4 μs)
		100 (fperiph/16)	$f_c/2^6$ (1.6 μs)	$f_c/2^7$ (3.2 μs)	$f_c/2^8$ (6.4 μs)	$f_c/2^9$ (12.8 μs)
		101 (fperiph/32)	$f_c/2^7$ (3.2 μs)	$f_c/2^8$ (6.4 μs)	$f_c/2^9$ (12.8 μs)	$f_c/2^{10}$ (25.6 μs)
	110 (fc/8)	000 (fperiph/1)	$f_c/2^3$ (0.2 μs)	$f_c/2^4$ (0.4 μs)	$f_c/2^5$ (0.8 μs)	$f_c/2^6$ (1.6 μs)
		001 (fperiph/2)	$f_c/2^4$ (0.4 μs)	$f_c/2^5$ (0.8 μs)	$f_c/2^6$ (1.6 μs)	$f_c/2^7$ (3.2 μs)
		010 (fperiph/4)	$f_c/2^5$ (0.8 μs)	$f_c/2^6$ (1.6 μs)	$f_c/2^7$ (3.2 μs)	$f_c/2^8$ (6.4 μs)
		011 (fperiph/8)	$f_c/2^6$ (1.6 μs)	$f_c/2^7$ (3.2 μs)	$f_c/2^8$ (6.4 μs)	$f_c/2^9$ (12.8 μs)
		100 (fperiph/16)	$f_c/2^7$ (3.2 μs)	$f_c/2^8$ (6.4 μs)	$f_c/2^9$ (12.8 μs)	$f_c/2^{10}$ (25.6 μs)
		101 (fperiph/32)	$f_c/2^8$ (6.4 μs)	$f_c/2^9$ (12.8 μs)	$f_c/2^{10}$ (25.6 μs)	$f_c/2^{11}$ (51.2 μs)
111 (fc/16)	000 (fperiph/1)	$f_c/2^4$ (0.4 μs)	$f_c/2^5$ (0.8 μs)	$f_c/2^6$ (1.6 μs)	$f_c/2^7$ (3.2 μs)	
	001 (fperiph/2)	$f_c/2^5$ (0.8 μs)	$f_c/2^6$ (1.6 μs)	$f_c/2^7$ (3.2 μs)	$f_c/2^8$ (6.4 μs)	
	010 (fperiph/4)	$f_c/2^6$ (1.6 μs)	$f_c/2^7$ (3.2 μs)	$f_c/2^8$ (6.4 μs)	$f_c/2^9$ (12.8 μs)	
	011 (fperiph/8)	$f_c/2^7$ (3.2 μs)	$f_c/2^8$ (6.4 μs)	$f_c/2^9$ (12.8 μs)	$f_c/2^{10}$ (25.6 μs)	
	100 (fperiph/16)	$f_c/2^8$ (6.4 μs)	$f_c/2^9$ (12.8 μs)	$f_c/2^{10}$ (25.6 μs)	$f_c/2^{11}$ (51.2 μs)	
	101 (fperiph/32)	$f_c/2^9$ (12.8 μs)	$f_c/2^{10}$ (25.6 μs)	$f_c/2^{11}$ (51.2 μs)	$f_c/2^{12}$ (102.4 μs)	

表 10-3 プリスケアラ出力クロック分解能($f_c = 40\text{MHz}$)

ペリフェラル クロック選択 <FPSEL[1:0]>	クロックギア値 <GEAR[2:0]>	プリスケアラ クロック選択 <PRCK[2:0]>	プリスケアラ出力クロック機能			
			$\phi T0$	$\phi T1$	$\phi T2$	$\phi T4$
01 (fc)	000 (fc)	000 (fperiph/1)	fc (0.025 μs)	fc/2 ¹ (0.05 μs)	fc/2 ² (0.1 μs)	fc/2 ³ (0.2 μs)
		001 (fperiph/2)	fc/2 ¹ (0.05 μs)	fc/2 ² (0.1 μs)	fc/2 ³ (0.2 μs)	fc/2 ⁴ (0.4 μs)
		010 (fperiph/4)	fc/2 ² (0.1 μs)	fc/2 ³ (0.2 μs)	fc/2 ⁴ (0.4 μs)	fc/2 ⁵ (0.8 μs)
		011 (fperiph/8)	fc/2 ³ (0.2 μs)	fc/2 ⁴ (0.4 μs)	fc/2 ⁵ (0.8 μs)	fc/2 ⁶ (1.6 μs)
		100 (fperiph/16)	fc/2 ⁴ (0.4 μs)	fc/2 ⁵ (0.8 μs)	fc/2 ⁶ (1.6 μs)	fc/2 ⁷ (3.2 μs)
		101 (fperiph/32)	fc/2 ⁵ (0.8 μs)	fc/2 ⁶ (1.6 μs)	fc/2 ⁷ (3.2 μs)	fc/2 ⁸ (6.4 μs)
	100 (fc/2)	000 (fperiph/1)	-	fc/2 ¹ (0.05 μs)	fc/2 ² (0.1 μs)	fc/2 ³ (0.2 μs)
		001 (fperiph/2)	fc/2 ¹ (0.05 μs)	fc/2 ² (0.1 μs)	fc/2 ³ (0.2 μs)	fc/2 ⁴ (0.4 μs)
		010 (fperiph/4)	fc/2 ² (0.1 μs)	fc/2 ³ (0.2 μs)	fc/2 ⁴ (0.4 μs)	fc/2 ⁵ (0.8 μs)
		011 (fperiph/8)	fc/2 ³ (0.2 μs)	fc/2 ⁴ (0.4 μs)	fc/2 ⁵ (0.8 μs)	fc/2 ⁶ (1.6 μs)
		100 (fperiph/16)	fc/2 ⁴ (0.4 μs)	fc/2 ⁵ (0.8 μs)	fc/2 ⁶ (1.6 μs)	fc/2 ⁷ (3.2 μs)
		101 (fperiph/32)	fc/2 ⁵ (0.8 μs)	fc/2 ⁶ (1.6 μs)	fc/2 ⁷ (3.2 μs)	fc/2 ⁸ (6.4 μs)
	101 (fc/4)	000 (fperiph/1)	-	-	fc/2 ² (0.1 μs)	fc/2 ³ (0.2 μs)
		001 (fperiph/2)	-	fc/2 ² (0.1 μs)	fc/2 ³ (0.2 μs)	fc/2 ⁴ (0.4 μs)
		010 (fperiph/4)	fc/2 ² (0.1 μs)	fc/2 ³ (0.2 μs)	fc/2 ⁴ (0.4 μs)	fc/2 ⁵ (0.8 μs)
		011 (fperiph/8)	fc/2 ³ (0.2 μs)	fc/2 ⁴ (0.4 μs)	fc/2 ⁵ (0.8 μs)	fc/2 ⁶ (1.6 μs)
		100 (fperiph/16)	fc/2 ⁴ (0.4 μs)	fc/2 ⁵ (0.8 μs)	fc/2 ⁶ (1.6 μs)	fc/2 ⁷ (3.2 μs)
		101 (fperiph/32)	fc/2 ⁵ (0.8 μs)	fc/2 ⁶ (1.6 μs)	fc/2 ⁷ (3.2 μs)	fc/2 ⁸ (6.4 μs)
	110 (fc/8)	000 (fperiph/1)	-	-	-	fc/2 ³ (0.2 μs)
		001 (fperiph/2)	-	-	fc/2 ³ (0.2 μs)	fc/2 ⁴ (0.4 μs)
		010 (fperiph/4)	-	fc/2 ³ (0.2 μs)	fc/2 ⁴ (0.4 μs)	fc/2 ⁵ (0.8 μs)
		011 (fperiph/8)	fc/2 ³ (0.2 μs)	fc/2 ⁴ (0.4 μs)	fc/2 ⁵ (0.8 μs)	fc/2 ⁶ (1.6 μs)
		100 (fperiph/16)	fc/2 ⁴ (0.4 μs)	fc/2 ⁵ (0.8 μs)	fc/2 ⁶ (1.6 μs)	fc/2 ⁷ (3.2 μs)
		101 (fperiph/32)	fc/2 ⁵ (0.8 μs)	fc/2 ⁶ (1.6 μs)	fc/2 ⁷ (3.2 μs)	fc/2 ⁸ (6.4 μs)
111 (fc/16)	000 (fperiph/1)	-	-	-	-	
	001 (fperiph/2)	-	-	-	fc/2 ⁴ (0.4 μs)	
	010 (fperiph/4)	-	-	fc/2 ⁴ (0.4 μs)	fc/2 ⁵ (0.8 μs)	
	011 (fperiph/8)	-	fc/2 ⁴ (0.4 μs)	fc/2 ⁵ (0.8 μs)	fc/2 ⁶ (1.6 μs)	
	100 (fperiph/16)	fc/2 ⁴ (0.4 μs)	fc/2 ⁵ (0.8 μs)	fc/2 ⁶ (1.6 μs)	fc/2 ⁷ (3.2 μs)	
	101 (fperiph/32)	fc/2 ⁵ (0.8 μs)	fc/2 ⁶ (1.6 μs)	fc/2 ⁷ (3.2 μs)	fc/2 ⁸ (6.4 μs)	

- 注 1) プリスケアラ出力クロック ϕT_n は、かならず $\phi T_n \leq f_{\text{sys}}$ を満足するように (ϕT_n が f_{sys} よりも遅くなるように) 選択してください。
- 注 2) タイマ動作中はクロックギアの切り替えは行わないでください
- 注 3) 表中“-”は設定禁止です。

10.7.2 アップカウンタ(MTUCx)

16 ビットのバイナリカウンタです。

- ・ ソースクロック
 - ソースクロックは $MTxIGCR<IGCLK[1:0]>$ で設定することができます。
 - プリスケアラ出力クロック $\phi T0$ 、 $\phi T1$ 、 $\phi T2$ 、 $\phi T4$ 、のいずれかを選択できます。
- ・ カウンタ動作の開始と停止
 - カウンタ動作は $MTxRUN<MTRUN>$ で行います。 $<MTRUN>="1"$ でカウントを開始し、 $"0"$ でカウント停止と同時にカウンタのクリアを行います。
 - また $MTxIGRESTA<IGRESTA>="1"$ に設定することで、カウンタのクリアを行い 0 からカウントアップを始めます。
- ・ カウンタクリアのタイミング
 1. コンペア一致時
 - アップカウンタ (MTUCx) の値と $MTxIGRG4$ とのコンペア一致とともにカウンタのクリアをすることができます。
 2. カウンタ停止時
 - $Mx0RUN<MTRUN>="0"$ に設定すると、カウンタが停止するとともにクリアされます。
 3. カウンタリスタート時
 - $MTxIGRESTA<IGRESTA>="1"$ に設定すると、カウンタのクリアを行い 0 からカウントアップを始めます。
 4. トリガスタートモード時
 - トリガスタートモード時、 $MTxIN$ の端子が設定されたクリア停止レベルであるときカウンタはクリア停止します。
- ・ カウントアップ&クリア動作
 - ソースクロックに $\phi T0$ を選択した場合とそれ以外 ($\phi T1$ 、 $\phi T2$ 、 $\phi T4$) を選択した場合の、カウント&クリア動作及び設定周期はそれぞれ以下のようになります。
 1. ソースクロック $\phi T0$ を選択時
 - ソースクロックに $\phi T0$ を選択した場合、一致カウントとクリアカウントでソースクロック 2 クロック分が必要となります。そのため設定周期は $M+1$ となります。
 2. ソースクロック $\phi T0$ 以外選択時
 - ソースクロックに $\phi T1$ 、 $\phi T2$ 、 $\phi T4$ を選択した場合、一致カウントとクリアカウントでソースクロック 1 クロック分が必要となります。そのため設定周期は M となります。

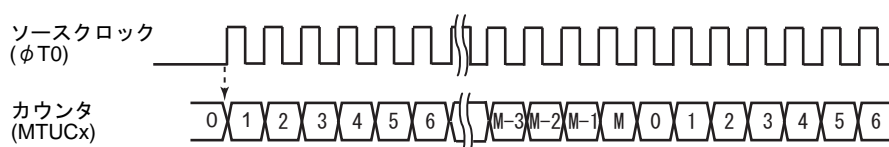


図 10-4 ソースクロック $\phi T0$ を選択時のカウントアップ/クリア動作

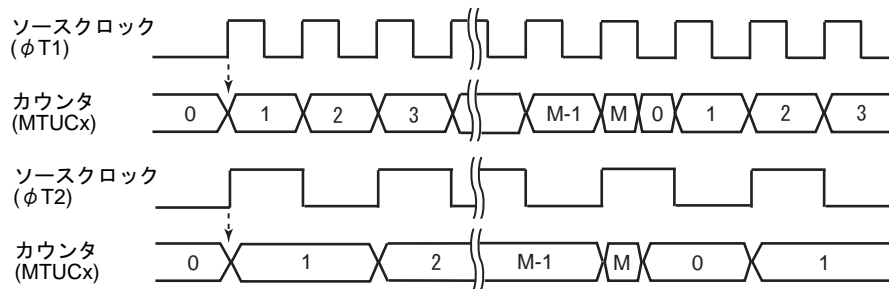


図 10-5 ソースクロック $\phi T1$, $\phi T2$, $\phi T4$ を選択時のカウントアップ/クリア動作

10.7.3 周期設定レジスタ (MTxIGRG4)

PPG 出力の周期を設定するレジスタです。ダブルバッファ構成になっており、データ更新タイミングは MTxIGRG4 とアップカウンタ MTUCx が一致しカウンタがクリアされた次の周期になります。このときレジスタバッファ 4 からタイマレジスタ MTxIGRG4 へデータ転送がおこなわれます。

10.7.4 タイマレジスタ (MTxRG0, MTxRG1, MTxIGRG2, MTxIGRG3, MTxIGRG4)

アップカウンタ MTUCx と比較する値を設定するレジスタです。タイマレジスタに設定された値とアップカウンタの値をコンパレータで比較し、一致すると一致検出信号が出力されます。タイマレジスタ、MTxRG0/1、MTxIGRG2/3 はダブルバッファ構成になっており、レジスタバッファとペアになっています。MTxIGRG4 とアップカウンタ MTUCx が一致しカウンタがクリアされたのと同時にデータ更新されます。このときレジスタバッファ 2/3 からタイマレジスタ MTxIGRG2/3 へデータ転送がおこなわれます。

IGBT モード時は、MTxRG0/1 は常にダブルバッファ構成になっています。

- ・ タイマレジスタ(MTxRG0、MTxRG1、MTxIGRG2、MTxIGRG3)、周期レジスタ(MTxIGRG4)の WR/RD 動作

1. WR 時

タイマ停止時は、上記レジスタに直接書き込むことができます。タイマ動作中は各々のレジスタバッファに一度ラッチされ、MTxIGRG4 とアップカウンタ MTUCx の一致でカウンタがクリアされたのと同時にデータが更新されます。

2. RD 時

現時点での 16bit コンパレータと比較対象となっているレジスタの値を読み出します。レジスタバッファの値を読みだすことはできません。

注) ハーフワードまたはワードアクセスしてください。

10.7.5 キャプチャ制御

コマンドスタートおよびトリガキャプチャモードに設定すると MTxIN 端子の立ち上がりエッジと立ち下がりエッジでアップカウンタ値(MTUCx)をそれぞれキャプチャレジスタ MTxCP0、MTxCP1 にキャプチャします。

10.7.6 キャプチャレジスタ(MTxCAP0, MTxCAP1)

アップカウンタ MTUCx の値をキャプチャするレジスタです。

10.7.7 コンパレータ(CP0, CP1, CP2, CP3, CP4)

アップカウンタ(MTUCx)と、タイマレジスタ MTxRG0、MTxRG1、MTxIGRG2、MTxIGRG3、MTxIGRG4 への設定値とを比較し、一致を検出します。

10.7.8 MTOUT0x, MTOUT1x 出力制御

アップカウンタとタイマレジスタの一致信号で MTOUT0x、MTOUT1x 出力を制御します。

出力端子の初期状態の設定は MTxIGOCR<IGPOL0,1>で行います。リセット後の初期状態は Low となっており、MTxIGOCR<IGPOL0,1>=0 で初期状態 Low、1 で初期状態 High から出力します。出力制御は MTxIGOCR<IGOEN0,1>で行います。リセット後は禁止状態であり、使用する場合に MTxIGOCR<IGOEN0,1>=1 に設定してください。

10.7.9 キャプチャ割り込み(INTMTCAPx0,INTMTCAPx1)

キャプチャレジスタ MTxCP0、MTxCP1 にラッチするタイミングで割り込み INTMTCAPx0、INTMTCAPx1 をそれぞれ発生します。割り込みの設定は CPU で行います。

10.7.10 トリガスタート割り込み(INTMTTBx1)

コマンドスタート&トリガスタートモードもしくはトリガスタートモードのスタート方式を選択したとき、MTxIGCR<IGTRGSEL>で指定されたエッジが入力され、カウントがスタートした時にトリガ割り込みが発生します。なお、トリガキャプチャモード時のトリガエッジでは INTMTTBx1 割り込みは発生しません。また緊急出力停止中もスタートトリガで割り込みが発生します。

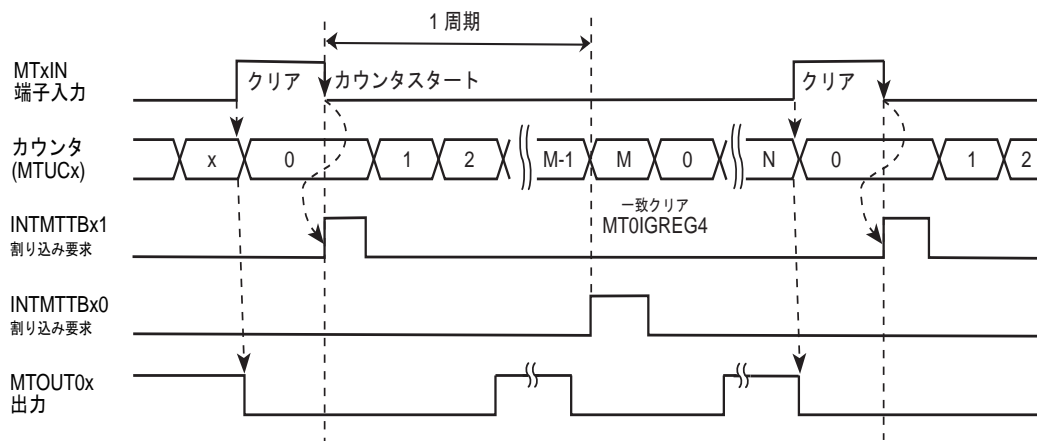


図 10-6 トリガスタート割り込み動作

10.7.11 周期割り込み(INTMTTBx0)

コマンドスタート&トリガキャプチャモードもしくはコマンドスタート&トリガスタートモードのスタート方式を選択したとき、コマンドスタートでカウント開始時点、およびカウンタ周期設定値 (MTxIGREG4) までカウントが進みカウンタが一致された時点 (周期設定値と一致し周期終了) で発生します。また、緊急出力停止中も周期との一致で割り込みが発生します。また割り込みの周期の選択は、MTxIGCR<IGPRD[1:0]>で 1 周期毎、2 周期毎、4 周期毎に設定できます。

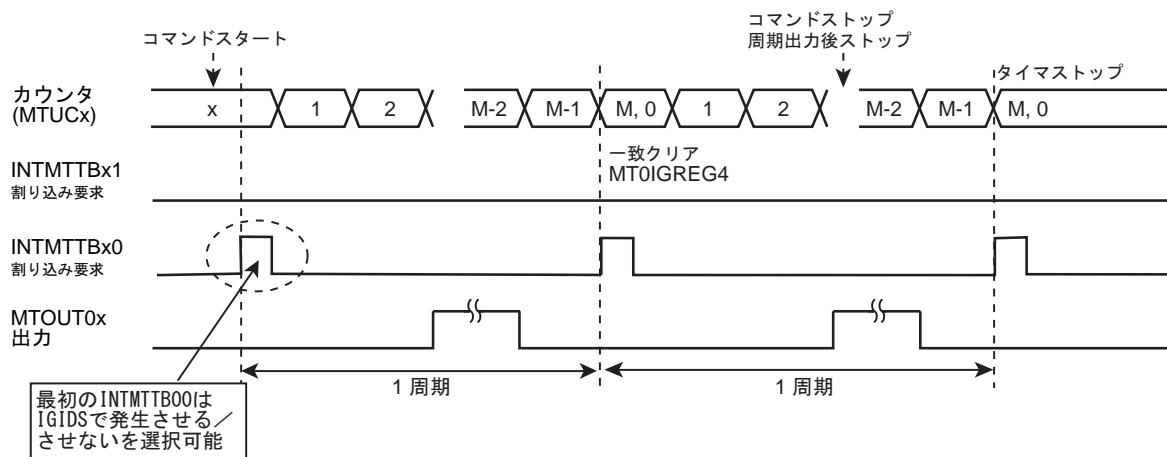


図 10-7 周期割り込み動作

コマンドスタートでカウント開始時点に発生する割り込みについては、コマンドスタート割り込み制御レジスタ $MTxIGCR<IGDIS>$ にて許可/禁止をおこないます。なお、コマンドスタート時 ($MTxRUN<MTRUN>$ に "1" を書き込み時)、 $MTxIN$ 端子が停止レベルだった場合、カウントはスタートせず ($INTMTTBx0$ も発生しない)、トリガスタートエッジで初めてカウントがスタートし $INTMTTBx1$ が発生します。

10.7.12 基本動作

$MTOUT0x$ 端子、 $MTOUT1x$ 端子からそれぞれ PPG を出力します。

タイマレジスタ ($MTxRG0/1$, $MTxIGRG2/3/4$) で設定されたデータと 16 ビットアップカウンタとの比較により波形を制御します。

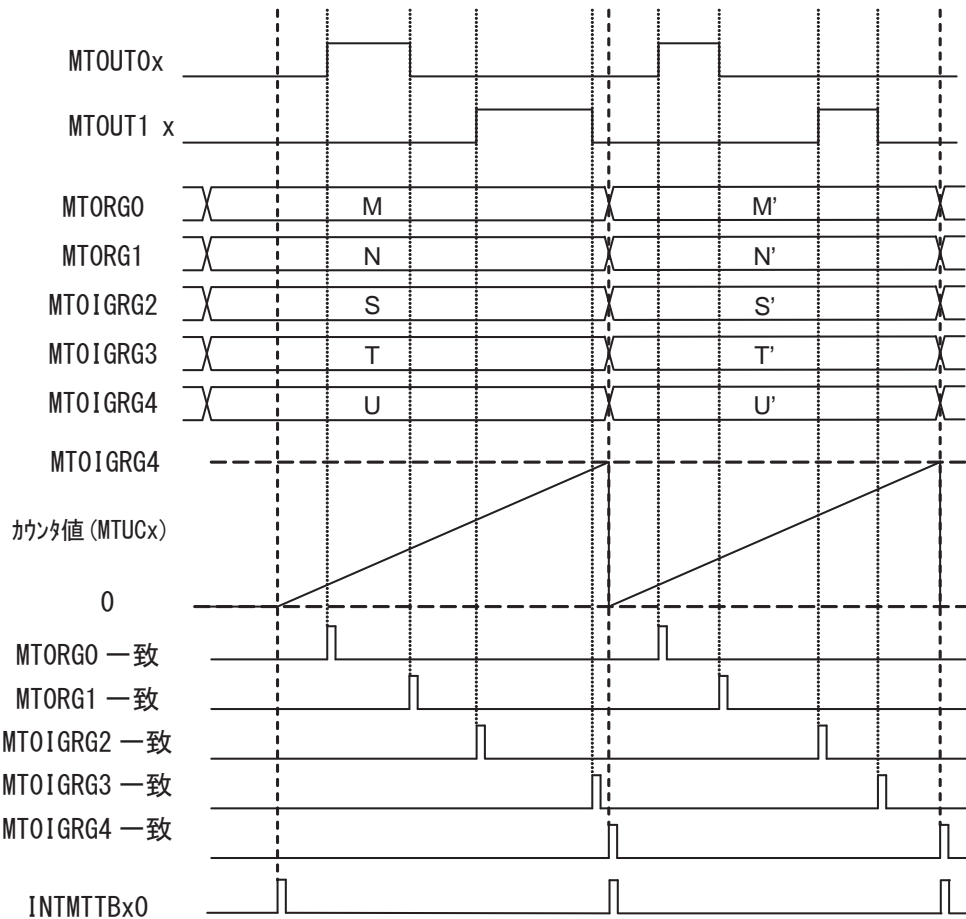


図 10-8 IGBT モード基本タイミング

10.7.13 スタート方式

IGBT モードでは、3つのスタートモードを選択できます。

10.7.13.1 コマンドスタート&トリガキャプチャモード

MTxRUN<MTRUN>に"1"を書き込むことによりカウントアップをスタートします。そしてカウンタが設定された周期に達するとカウンタはクリアされます。このとき MTxIGCR<IGSNGL>で連続モードが設定されていると再びカウントアップを始め、単発モードが設定されているとそこでカウントを停止します。

周期に達する前に MTxIGRESTA<IGRESTA>に"1"を書き込むとそこでカウンタはクリアされカウントアップを継続します。

また、MTxIN 端子への入力の立ち上がり、立ち下がり時のカウント値をキャプチャレジスタに格納することができます。

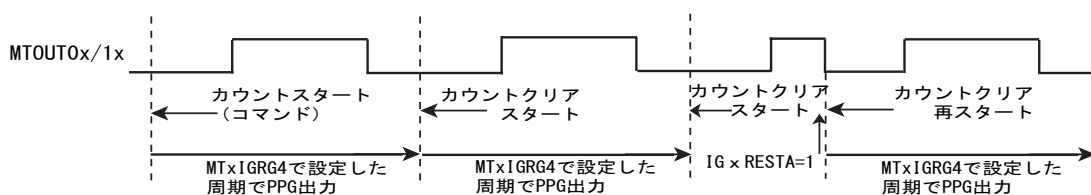


図 10-9 コマンドスタート時の連続モード

コマンドスタート&トリガキャプチャモードでカウントをスタートすると MTxIN 端子入力の立ち上がりエッジと立ち下がりエッジでのカウンタ値をそれぞれキャプチャレジスタ MTxCAP0、MTxCAP1 にキャプチャします。キャプチャ動作が行われた時にそれぞれ INTMTCAPx0、INTMTCAPx1 が発生します。

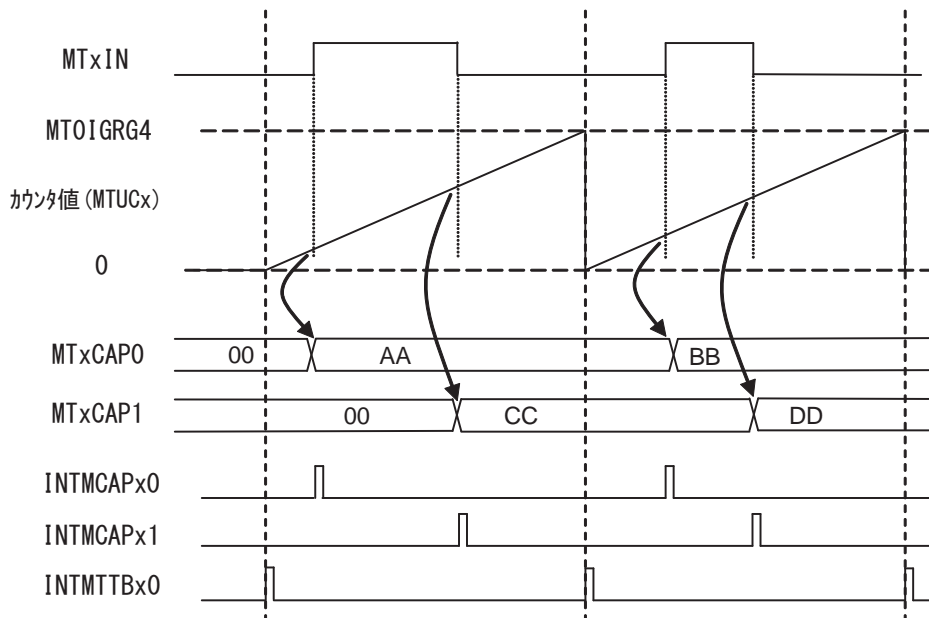


図 10-10 キャプチャ動作

10.7.13.2 コマンドスタート&トリガスタートモード

MTxRUN<MTRUN>に"1"を書き込むことでカウントアップをスタートします。そして MTxIN 端子入りにトリガ入力がない場合は前記コマンドスタート&キャプチャモードと同様な動きをしますが、MTxIN 端子に MTxIGICR<IGTRGSEL>で選択されたエッジ入力があるとタイマのカウントを開始し、設定されたクリア停止レベルが入力されている間、カウンタはクリア停止しています。なお、コマンドスタート時 (MTxRUN<MTRUN>に"1"を書き込み時) MTxIN 端子が停止レベルだった場合、カウントはスタートせず (INTMTTBx1 も発生しない)、トリガスタートエッジで初めてカウントがスタートし INTMTTBx1 が発生します (コマンドスタートよりもトリガ入力のほうが優先されます)。

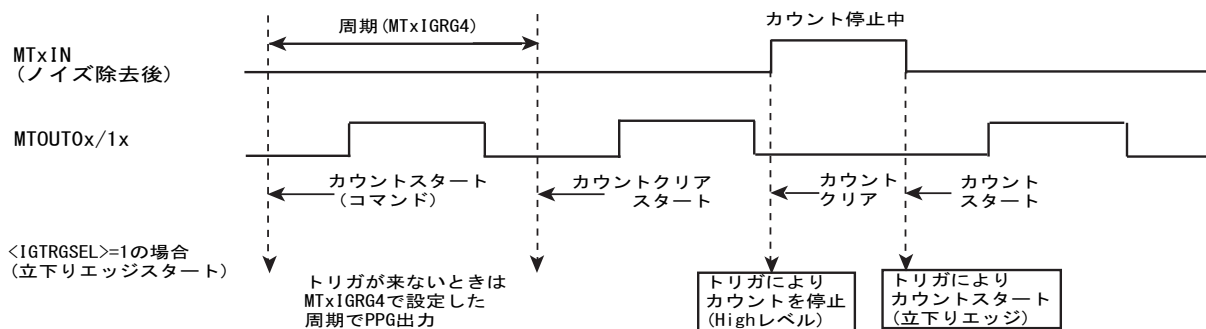


図 10-11 コマンドスタートとトリガスタート

10.7.13.3 トリガスタートモード

MTxIGICR<IGTRGSEL> で選択されたエッジ入力があるとタイマのカウントを開始し、設定されたクリア停止レベルが入力されている間、カウンタはクリア停止しています。

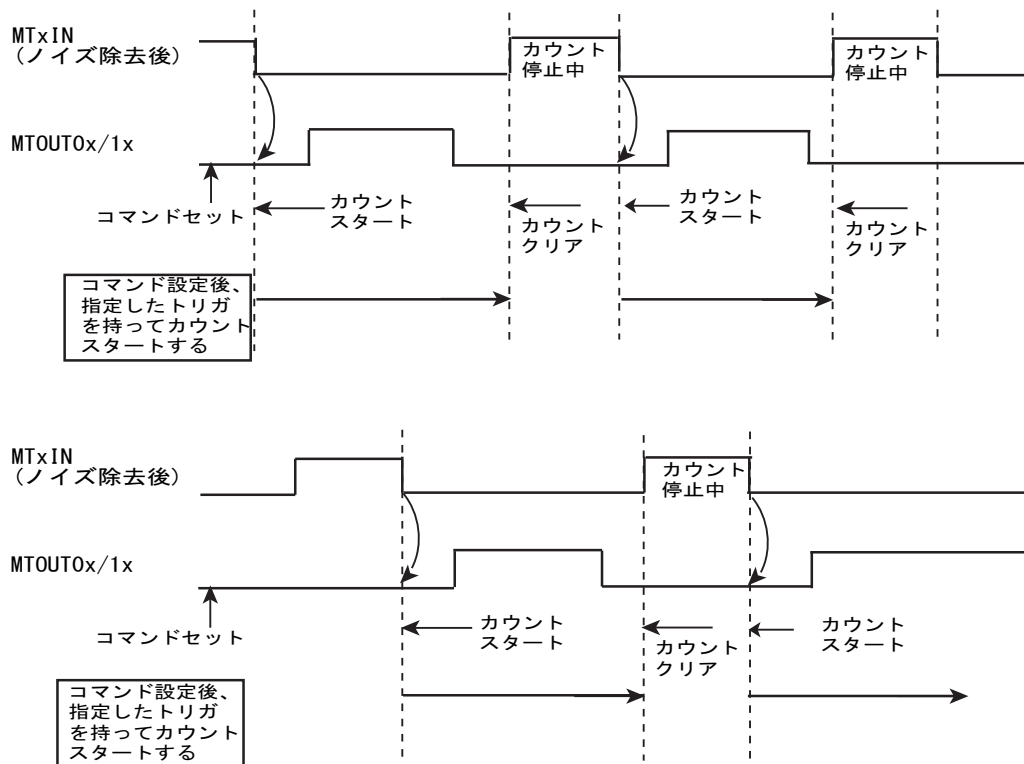


図 10-12 トリガスタート

10.7.14 単発/連続出力モード

IGBT 出力端子を連続で出力するか単発で出力するかを設定することができます。

10.7.14.1 連続出力モード

タイマスタート時(MTxRUN<MTRUN>="1")に MTxIGCR<IGSNGL>="0"にすると連続出力モードになります。連続出力モードは連続して設定された波形を出力するモードです。

10.7.14.2 単発出力モード

タイマスタート時(MTxRUN<MTRUN>="1")に MTxIGCR<IGSNGL>="1"にすると単発出力モードになります。単発出力モードは1周期を出力後にカウントを停止します。

トリガスタートの場合はトリガが入力されるまでカウントは停止し、指定されたトリガの入力でカウントがスタートし、1周期を出力後にカウントを停止します。再度トリガスタートをかける場合は、MTxRUN<MTRUN>="1"を設定してください。

10.7.15 停止方式

MTxRUN<MTRUN>を"0"にすると MTxIGCR<IGSTP[1:0]>の設定に従って、出力状態の選択、タイマの停止を行います。

10.7.15.1 出力初期状態でカウント停止

MTxIGCR<IGSTP[1:0]>が"00"の場合、カウントは即停止し、MTOUT0x/1xの出力は、MTxIGOCR<IGPOL[1:0]>で設定した初期値になります。

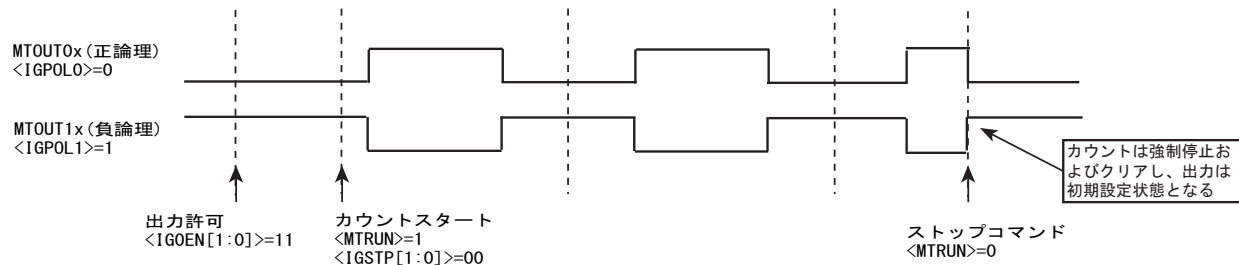


図 10-13 出力初期状態でカウント停止

10.7.15.2 出力保持状態でカウント停止

<IGSTP[1:0]>が"01"の場合、カウントは即停止し、MTOUT0x/1xの出力はそのときの状態を保持します。

再スタートする場合は MTxRUN<MTRUN>="1" に設定し再スタートします。このとき出力は初期値 (<IGPOL0>、<IGPOL1>の設定値) になってから再スタートします。

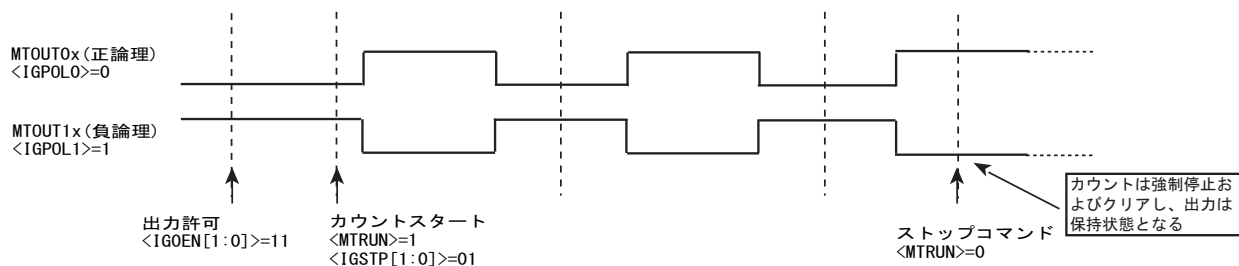


図 10-14 出力保持状態でカウント停止

10.7.15.3 周期終了後に初期状態でカウント停止

<IGSTP[1:0]>が"10"の場合、カウントは出力されている周期の出力が完了するまでカウント動作し、周期終了後、カウンタは停止します。ただし、周期終了までの間にトリガ入力にストップレベルが入力されると、そこでカウンタは停止します。

タイマの再設定するときは、周期終了後にカウントが停止したことを確認してから、タイマの再設定をおこなってください。

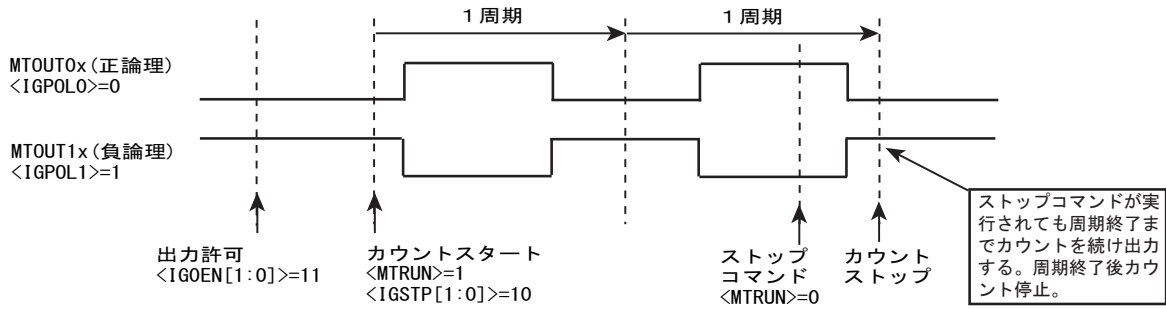


図 10-15 周期終了後に初期状態でカウント停止

10.7.16 トリガ入力

10.7.16.1 トリガ入力の論理

MTxIN 入力が有効になる条件を、MTxIGICR<IGTRGSEL>で選択します。

- ・ <IGTRGSEL>=0 : 立ち上がりエッジ検出でカウントスタート
"High"レベル中カウントアップ、"Low"レベル中カウント停止
- ・ <IGTRGSEL>=1 : 立ち下がりエッジ検出でカウントスタート
"Low"レベル中カウントアップ、" High"レベル中カウント停止

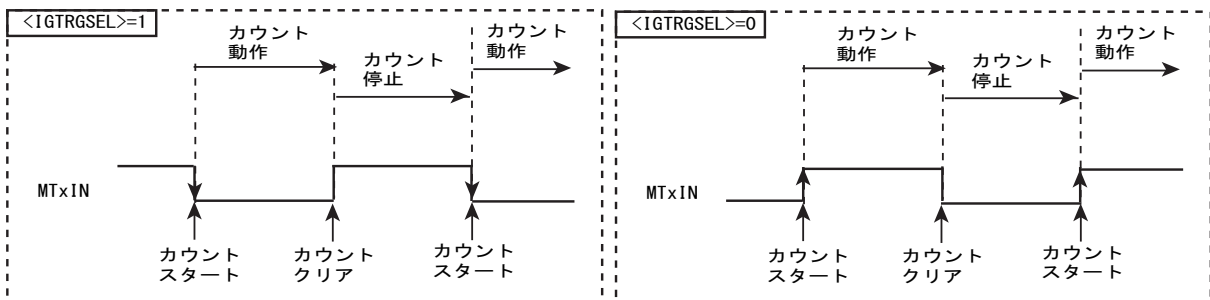


図 10-16 トリガ入力の論理

周期ストップモード中はトリガによるストップは受け付けますが、スタートは受け付けません (周期中にストップトリガを受け付けるとその時点で出力は初期値となりカウンタは停止します)。

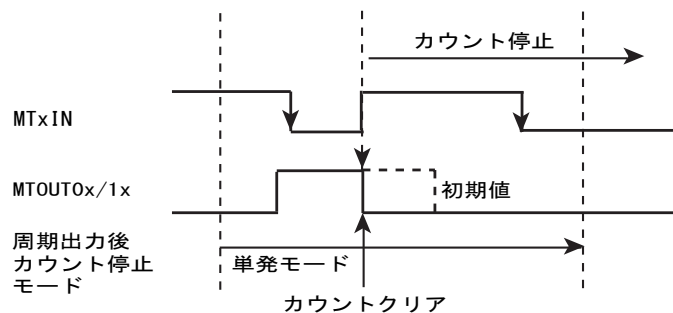


図 10-17 周期ストップモード中のトリガ受け付け

10.7.16.2 トリガ常時受け付け/アクティブ中受付禁止

PPG 出力中に常時 MTxIN 端子からのトリガを受け付けるか、PPG 出力がアクティブ中はトリガ受付を禁止するかを MTxIGICR<IGTRGM> により選択できます。設定は、MTxIGOCR <IGOEN [1:0]> で出力許可に設定してある端子のみに有効です。

<IGTRGM>="0" の場合、MTOUT0x/1x のアクティブ/ノンアクティブの出力状態にかかわらず MTxIN 端子からのトリガ入力を常時受け付け、タイマのスタート/クリア停止を行うとともに、MTOUT0x/1x の出力がノンアクティブ状態となります。

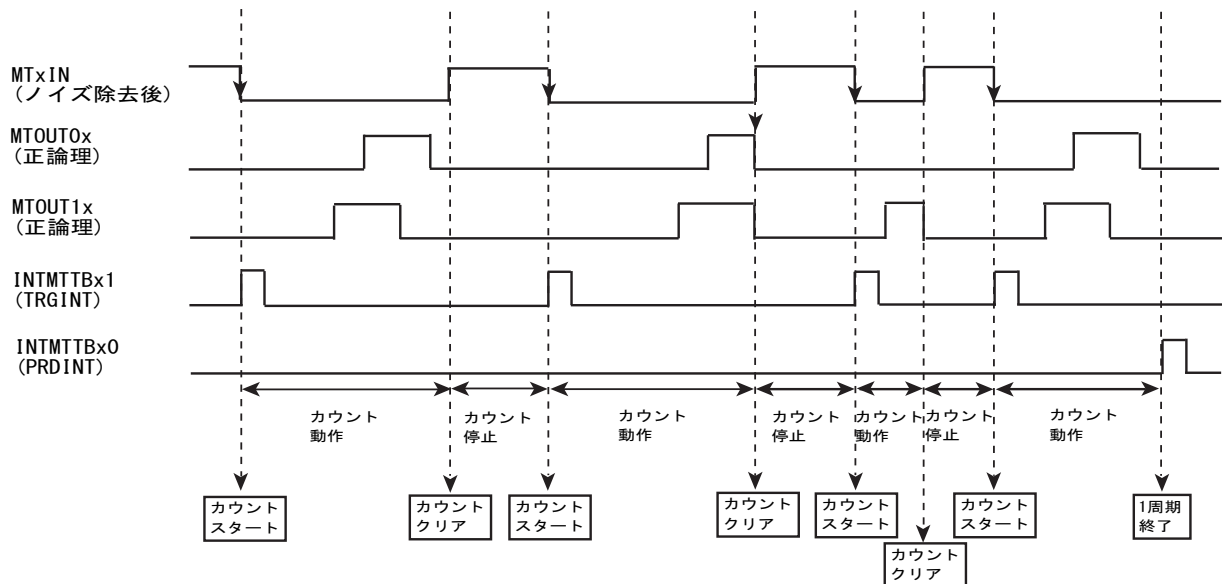


図 10-18 トリガ常時受け付け

<IGTRGM>="1" の場合、MTOUT0x/1x 出力が非アクティブ状態の時に入力されたエッジは受け付けられ、カウントクリア、停止します。

MTOUT0x/1x 出力がアクティブ状態で入力された場合、カウントはすぐに停止せず、出力が非アクティブ状態になるまでカウント継続します。非アクティブ状態になったときにトリガ信号のレベルが動作しないレベルであればカウントクリア停止し、次のスタートトリガを待ちます。

MTOUT0x/1x の両方出力許可で動作させる場合は両方の出力が非アクティブ状態でなければトリガは受け付けられません。

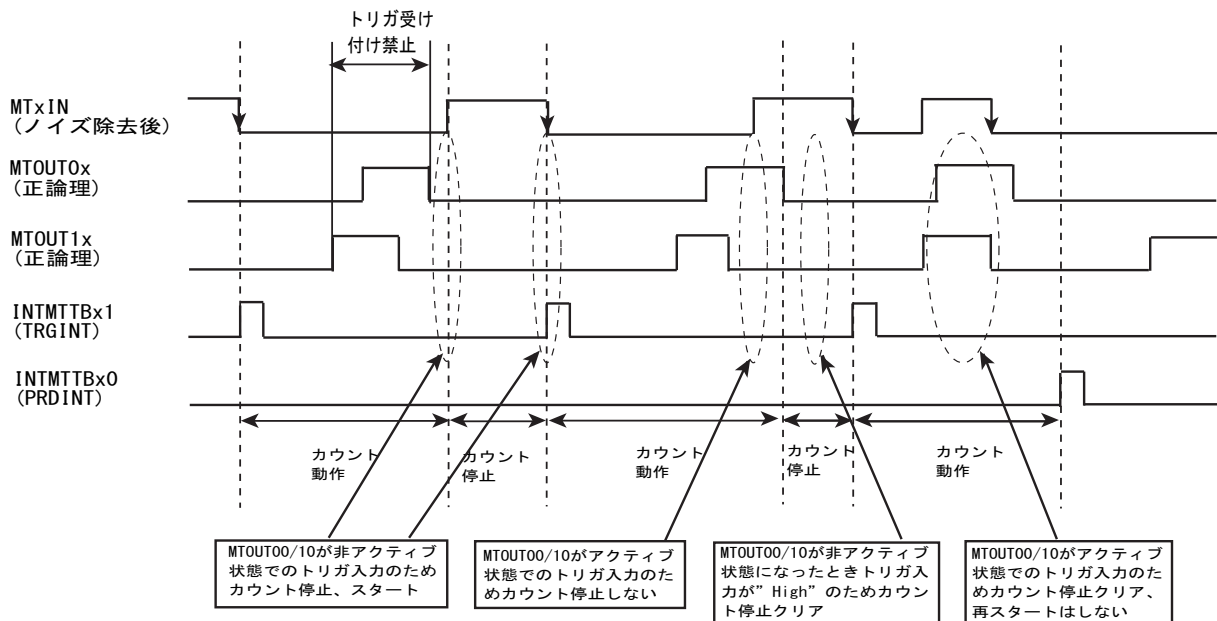


図 10-19 アクティブ中トリガ受付禁止

10.7.17 緊急停止機能

10.7.17.1 動作説明

MTxIGEMGCR<IGEMGEN>="1"にすることで、緊急停止機能が許可（GEMGx 端子の入力の許可）されます。

GEMGx 端子に Low レベル入力が検知されると、MTxIGEMGCR<IGEMGOC>の設定に従い、MTOUT0x/ MTOUT1x 波形を初期状態(IGPOL0、IGPOL1 の設定)もしくはハイ・インピーダンスにし、GEMGx 割り込みを発生します。

なおこの機能は MTOUT0x/ MTOUT1x 出力を禁止するだけでカウントは停止しませんので、GEMG 割り込み処理ルーチン内でタイマ停止の処理を行ってください。

10.7.17.2 緊急停止モニタ

緊急出力停止状態になると MTxIGEMGST<IGEMGST>が"1"にセットされます。IGEMGST をリードしたとき、"1"の場合は緊急出力停止中であることを示します。

10.7.17.3 GEMG 割り込み

緊急出力停止入力が受け付けられると GEMG 割り込み(INTMTEMGx)を発生します。処理を割り込みによって行うときは事前に INTMTEMGx 割り込みを許可しておいてください。

また GEMGx 端子の状態が"Low"の状態でも緊急出力停止状態を解除しても再び割り込みが発生し緊急出力停止状態になります。

10.7.17.4 緊急出力停止状態の解除

緊急出力停止状態を解除するときは GEMGx 端子の入力が High の状態を確認し、MTxRUN<MTRUN>を"0"にし、タイマ動作が停止したことを確認(MTxIGST<IGST>=0)した後で、MTxIGEMGCR<IGEMGRS>="1"を書き込むことにより、緊急停止状態が解除されます。

停止時の状態選択レジスタにて MTxIGCR<IGSTP[1:0]>="01"もしくは、"10"に設定している場合、MTxIGEMGCR<IGEMGRS>="1"を書き込む前に、MTxIGOCR<IGPOL[1:0]>で初期状態設定を行ってください。

10.7.18 ノイズキャンセラ

外部入力端子である MTxIN、GEMGx へ入力される信号はデジタルノイズキャンセラによりノイズが除去されます。

デジタルノイズキャンセラはそれぞれ MTxIGICR<IGNCSEL[3:0]>、MTxIGEMGCR <IGEMGCNT [3:0]> の設定によりノイズ除去時間を選択できます。

10.8 モータ制御回路（PMD : Programmable Motor Driver）の動作説明

TMPM380FDFG はモータ制御回路（PMD）を2チャンネル内蔵しています。

本製品のPMDは1シャントセンサレスモータ制御を実現する為に通電出力制御や、DC過電圧検出入力を追加し、ADCを連携させたモータ制御を可能としています。

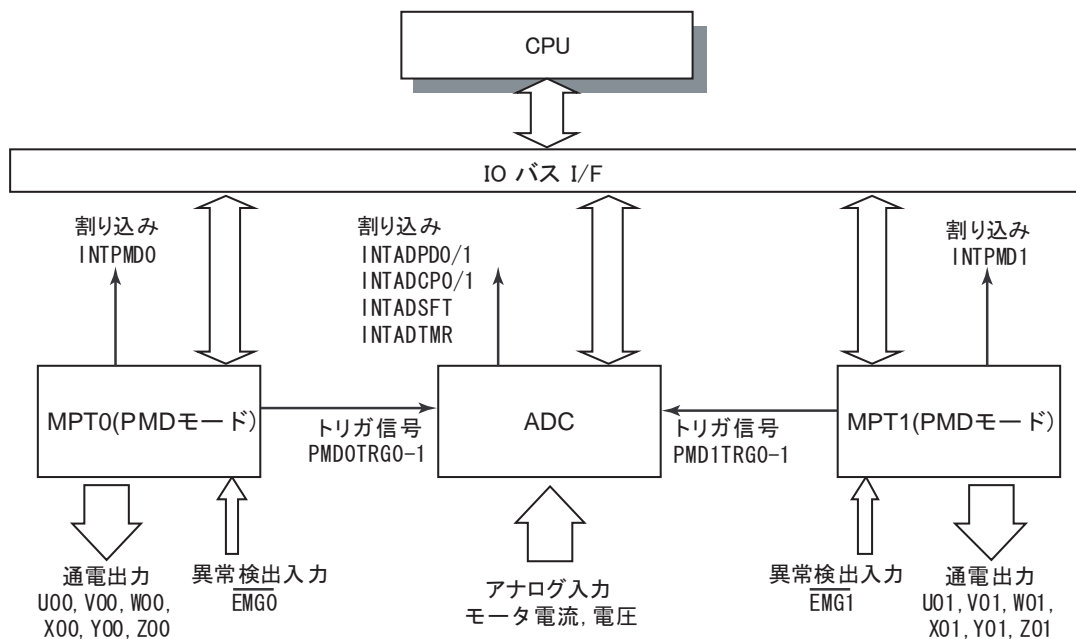


図 10-20 モータ制御関連ブロック図

10.8.1 PMD 回路への入出力信号

モータ制御回路のチャンネル別の入力信号及び出力信号は以下の通りです。

表 10-4 入出力信号一覧

CH	端子名	PMD 信号名	機能
PMD0	PC0/UO0	UO 0	U 相出力
	PC1/XO0	XO 0	X 相出力
	PC2/VO0	VO 0	V 相出力
	PC3/YO0	YO 0	Y 相出力
	PC4/WO0	WO 0	W 相出力
	PC5/ZO0	ZO 0	Z 相出力
	PC6/EMG0	EMG0	異常検出入力信号
PMD1	PG0/UO1	UO 1	U 相出力
	PG1/XO1	XO 1	X 相出力
	PG2/VO1	VO 1	V 相出力
	PG3/YO1	YO 1	Y 相出力
	PG4/WO1	WO 1	W 相出力
	PG5/ZO1	ZO 1	Z 相出力
	PG6/EMG1	EMG1	異常検出入力信号

10.8.2 構成

PMD（プログラマブルモータドライバ）回路は波形生成回路と同期トリガ生成回路の2ブロックから成り、パルス幅変調回路、通電制御回路、保護制御回路、デッドタイム制御回路で構成されています。

- ・ パルス幅変調回路は PWM 周波数が等しい 3 相の独立した PWM 波形を生成します。
- ・ 通電制御回路は U、V、W 相の各上下相の出力パターンを決定します。
- ・ 保護制御回路では異常検出入力による緊急出力停止を行ないます。
- ・ デッドタイム制御回路では上下相の切り替え時の短絡を防止します。
- ・ 同期トリガ生成回路では ADC への同期トリガ信号を生成します。

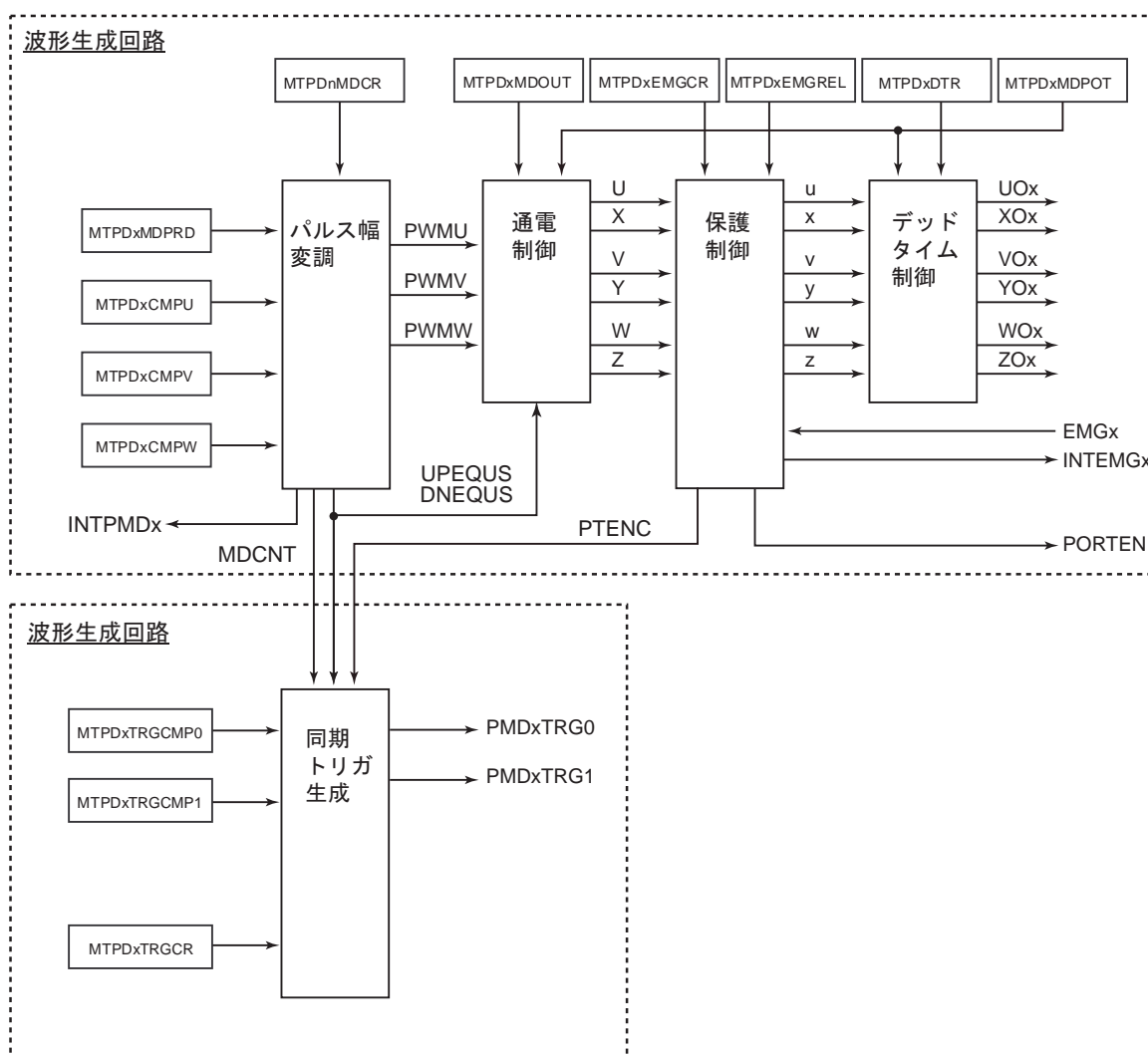


図 10-21 PMD 回路概略図

10.8.3 レジスタ説明

10.8.3.1 チャンネル別レジスタ一覧

各チャンネルのレジスタとアドレスを示します。

Channel x	Base Address
Channel 0	0x4005_0400
Channel 1	0x4005_0480

レジスタ名(x=0~1)		Address(Base+)
PMD イネーブルレジスタ	MTPDxMDEN	0x000_0000
ポート出力モードレジスタ	MTPDxPORTMD	0x000_0004
PMD 制御レジスタ	MTPDxMDCR	0x000_0008
PWM カウンタステータスレジスタ	MTPDxCNTSTA	0x000_000C
PWM カウンタレジスタ	MTPDxMDCNT	0x000_0010
PWM 周期レジスタ	MTPDxMDPRD	0x000_0014
PWM コンペア U レジスタ	MTPDxCMPU	0x000_0018
PWM コンペア V レジスタ	MTPDxCMPV	0x000_001C
PWM コンペア W レジスタ	MTPDxCMPW	0x000_0020
Reserved	-	0x000_0024
PMD 出力制御レジスタ	MTPDxMDOUT	0x000_0028
PMD 出力設定レジスタ	MTPDxMDPOT	0x000_002C
EMG 解除レジスタ	MTPDxEMGREL	0x000_0030
EMG 制御レジスタ	MTPDxEMGCR	0x000_0034
EMG ステータスレジスタ	MTPDxEMGSTA	0x000_0038
Reserved	-	0x000_003C
Reserved	-	0x000_0040
デッドタイムレジスタ	MTPDxDTR	0x000_0044
トリガコンペア 0 レジスタ	MTPDxTRGCMP0	0x000_0048
トリガコンペア 1 レジスタ	MTPDxTRGCMP1	0x000_004C
Reserved	-	0x000_0050
Reserved	-	0x000_0054
トリガ制御レジスタ	MTPDxTRGCR	0x000_0058
トリガ出力モード設定レジスタ	MTPDxTRGMD	0x000_005C
Reserved	-	0x000_0060
Reserved	-	0x000_007C

10.8.3.2 MTPDxMDEN(PMD イネーブルレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	PWMEN
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-1	-	R	リードすると"0"が読めます
0	PWMEN	R/W	波形合成機能の許可/禁止を制御します。 0: 禁止 1: 許可 ポートを機能出力 (PWM 出力) として設定している場合、<PWMEN>="0" (禁止) にすると出力ポートはハイ・インピーダンスになります。 出力ポート極性等、<PWMEN>以外の初期設定を行った後に、<PWMEN>="1"(許可)を設定して下さい。

10.8.3.3 MTPDxPORTMD(ポート出力モードレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	PORTMD
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	-	R	リードすると"0"が読めます
1	-	R/W	"0"をライトしてください。
0	PORTMD	R/W	PORT 制御の設定 0: ハイ・インピーダンス 1: PMD 出力 <PORTMD>の設定により外部 PORT に対して全相 6 端子のポート出力制御信号を出力します。ハイ・インピーダンス選択時にツールブレイクが発生した場合、外部出力ポートをハイ・インピーダンスにします。それ以外の場合は PMD 出力に従います。 注 1)MTPDxMDEN<PWMEN>=0 時は出力ポートの設定によらず出力ハイ・インピーダンスにします。 注 2)外部ポート出力制御は PMDxEMGMD の設定により EMG 入力時にも行なわれます。

10.8.3.4 MTPDxMDCR (PMD 制御レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	PWMCK	SYNTMD	DTYMD	PINT	INTPRD		PWMMD
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-7	-	R	リードすると"0"が読めます
6	PWMCK	R/W	PWM 周期延長モードを指定します。 0: 通常周期 1: 4 倍周期 通常設定時、PWM カウンタは分解能 25ns@fsys=40MHz で動作します。 ※ノコギリ波 25ns、三角波 50ns 4 倍周期設定時、PWM カウンタは分解能 100ns@2bit カウンタ (fsys=40MHz 動作) で動作します。 ※ノコギリ波 100ns、三角波 200ns
5	SYNTMD	R/W	U,V,W 相のポート出力設定を行いません。※表 10-6 参照
4	DTYMD	R/W	DUTY モードの選択を行います。 0: U 相共通 1: 3 相独立 デューティの設定を PMDxCMPU/V/W の 3 相独立で行うか、PMDxCMPU レジスタの設定を 3 相共通で用いるかの選択を行います。
3	PINT	R/W	PWM モード 1 (三角波)のときの PWM 割り込みタイミングの選択を行います。 0: PWM カウンタ MDCNT = "1"のとき(最小)割り込み要求 1: PWM カウンタ MDCNT = MTPDxMDPRD<MDPRD>のとき(最大)割り込み要求 PWM モード 1(三角波)のときの割り込み発生タイミングを、PWM カウンタ MDCNT が"1"(最小)となった時に発生するか、MTPDxMDPRD<MDPRD>(最大)となった時に発生するかを選択できます。 <INTPRD>で PWM 割り込み周期に 0.5 周期ごとが選択されていた場合、本レジスタとは関係なく、PWM カウンタ MDCNT が"1"(最小)になった時と<MDPRD>(最大)となった時の両方で割り込みが発生します。また、PWM モード 0(ノコギリ波)では、本レジスタとは関係なく、PWM カウンタ MDCNT が<MDPRD>(最大)となった時に割り込みが発生します。
2-1	INTPRD	R/W	PWM 割り込み周期の選択を行います。 00: PWM 0.5 周期毎に割り込み(PWM モード 1 (三角波)のみ設定可能です) 01: PWM 1 周期毎に割り込み 10: PWM 2 周期毎に割り込み 11: PWM 4 周期毎に割り込み PWM 割り込みの発生する頻度を PWM 周期 0.5 周期/1 周期/2 周期/4 周期に 1 回から選択します。
0	PWMMD	R/W	PWM キャリア波形を指定します。 0: PWM モード 0 (エッジ PWM、ノコギリ波) 1: PWM モード 1 (センター PWM、三角波)

10.8.3.5 MTPDxCNTSTA(PWM カウンタステータスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	UPDWN
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-1	-	R	リードすると"0"が読めます
0	UPDWN	R	PWM カウンタフラグ 0: アップカウント中 1: ダウンカウント中 PWM カウンタがアップカウント中かダウンカウント中かを示します。 PWM モード 0(ノコギリ波)を選択した場合、常に"0"が読み出されます。

10.8.3.6 MTPDxMDCNT(PWM カウンタレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	MDCNT							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	MDCNT							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます
15-0	MDCNT	R	PWM 周期をカウントする 16bit のレジスタで読み出し専用です。 MTPDxMDCR<PWMCK>="0"の時、PWM カウンタ値の分解能は PWM モード 0(ノコギリ波) 25ns@fsys=40MHz、PWM モード 1(三角波)50ns@fsys=40MHz です。<PWMCK>="1"の時、PWM モード 0(ノコギリ波) 100ns@fsys=40MHz、PWM モード 1(三角波)200ns@fsys=40MHz です。

10.8.3.7 MTPDxMDPRD(PWM 周期レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	MDPRD							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	MDPRD							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます
15-0	MDPRD	R/W	PWM 周期を設定します。 分解能は、PWM モード 0 (ノコギリ波) 25ns@fsys=40MHz、PWM モード 1 (三角波) 50ns@fsys=40MHz です。MTPDxMDCR<PWMCK>を"1"に設定した場合、PWM モード 0 (ノコギリ波) 100ns@fsys=40MHz、PWM モード 1 (三角波) 200ns@fsys=40MHz です。 <MDPRD>は PWM 周期を設定するレジスタで、ダブルバッファ構成になっています。したがって、PWM カウンタ動作中でも変更することができます。レジスタからラッチへの転送タイミングは、PWM カウンタ MDCNT が MTPDxMDPRD <MDPRD>と一致時に転送されます。割り込みタイミングを 0.5 周期としたとき(MTPDxMCR<INTPRD>="00")は、PWM カウンタ MDCNT が"1"または<MDPRD>と一致した時に転送されます。 <MDPRD>には 0x10 以上の値を設定してください。0x10 未満の値を設定した場合、0x10 が設定されたものとして動作します(レジスタには設定した値が入ります)。 リード時はレジスタの値(バスから設定したデータ)をリードします。

注) ハーフワードまたはワードアクセスしてください。

10.8.3.8 MTPDxCMPU (PWM コンペアレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	CMPU							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	CMPU							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます
15-0	CMPU	R/W	<p>PWM パルス幅の設定をします。</p> <p>分解能は、PWM モード 0 (ノコギリ波) 25ns@fsys=40MHz、PWM モード 1 (三角波) 50ns@fsys=40MHz です。MTPDxMDCR<PWMCK>を"1"に設定した場合、PWM モード 0 (ノコギリ波) 100ns@fsys=40MHz、PWM モード 1 (三角波) 200ns@fsys=40MHz です。</p> <p><CMPU>は、U 相に出力するパルス幅を決定する比較レジスタです。PWM カウンタ MDCNT と大小比較しパルス幅を決定します。</p> <p><CMPU>はダブルバッファ構成となっています。したがって、PWM カウンタ動作中でも変更することができます。バッファからレジスタへの転送タイミングは、PWM カウンタ MDCNT が MTPDxMDPRD <MDPRD>と一致時に転送されます。割り込みタイミングを 0.5 周期とした時 (MTPDxMCR <INTPRD>="00")は、PWM カウンタ MDCNT が"1"または<MDPRD>と一致した時に転送されます。</p> <p>リード時はバッファの値(バスから設定したデータ)をリードします。</p>

注) ハーフワードまたはワードアクセスしてください。

10.8.3.9 MTPDxCMPV (PWM コンペアレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	CMPV							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	CMPV							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます
15-0	CMPV	R/W	<p>PWM パルス幅の設定をします。</p> <p>分解能は、PWM モード 0 (ノコギリ波) 25ns@fsys=40MHz、PWM モード 1 (三角波) 50ns@fsys=40MHz です。MTPDxMDCR<PWMCK>を"1"に設定した場合、PWM モード 0 (ノコギリ波) 100ns@fsys=40MHz、PWM モード 1 (三角波) 200ns@fsys=40MHz です。</p> <p><CMPV>は、U 相に出力するパルス幅を決定する比較レジスタです。PWM カウンタ MDCNT と大小比較しパルス幅を決定します。</p> <p><CMPV>はダブルバッファ構成となっています。したがって、PWM カウンタ動作中でも変更することができます。バッファからレジスタへの転送タイミングは、PWM カウンタ MDCNT が MTPDxMDPRD <MDPRD>と一致時に転送されます。割り込みタイミングを 0.5 周期とした時 (MTPDxMCR <INTPRD>="00")は、PWM カウンタ MDCNT が"1"または<MDPRD>と一致した時に転送されます。</p> <p>リード時はバッファの値(バスから設定したデータ)をリードします。</p>

注) ハーフワードまたはワードアクセスしてください。

10.8.3.10 MTPDxCMPW (PWM コンペアレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	CMPW							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	CMPW							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます
15-0	CMPW	R/W	<p>PWM パルス幅の設定をします。</p> <p>分解能は、PWM モード 0 (ノコギリ波) 25ns@fsys=40MHz、PWM モード 1 (三角波) 50ns@fsys=40MHz です。MTPDxMDCR<PWMCK>を"1"に設定した場合、PWM モード 0 (ノコギリ波) 100ns@fsys=40MHz、PWM モード 1 (三角波) 200ns@fsys=40MHz です。</p> <p><CMPW>は、U 相に出力するパルス幅を決定する比較レジスタです。PWM カウンタ MDCNT と大小比較しパルス幅を決定します。</p> <p><CMPW>はダブルバッファ構成となっています。したがって、PWM カウンタ動作中でも変更することができます。バッファからレジスタへの転送タイミングは、PWM カウンタ MDCNT が MTPDxMDPRD <MDPRD>と一致時に転送されます。割り込みタイミングを 0.5 周期とした時 (MTPDxMCR <INTPRD>="00")は、PWM カウンタ MDCNT が"1"または<MDPRD>と一致した時に転送されます。</p> <p>リード時はバッファの値(バスから設定したデータ)をリードします。</p>

注) ハーフワードまたはワードアクセスしてください。

10.8.3.11 MTPDxMDOUT(PMD 出力制御レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	WPWM	VPWM	UPWM
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	WOC		VOC		UOC	
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-11	-	R	リードすると"0"が読めます
10	WPWM	R/W	UVW 相出力の制御を行います。 0: H/L 出力 1: PWM 出力 詳細は表 10-6 を参照してください。
9	VPWN	R/W	
8	UPWN	R/W	
7-6	-	R	リードすると"0"が読めます。
5-4	WOC[1:0]	R/W	UVW 相出力の制御を行います。 詳細は表 10-6 を参照してください。
3-2	VOC[1:0]	R/W	
1-0	UOC[1:0]	R/W	

注) ハーフワードまたはワードアクセスしてください。

10.8.3.12 MTPDxMDPOT (PMD 出力設定レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	POLH	POLL	PSYNCS	
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-4	-	R	リードすると"0"が読めます
3	POLH	R/W	上相の出力ポート極性を選択します。 0: ロー・アクティブ 1: ハイ・アクティブ ※MTPDxMDEN<PWMEN>=0 の状態で選択を行って下さい
2	POLL	R/W	下相の出力ポート極性を選択します。 0: ロー・アクティブ 1: ハイ・アクティブ ※MTPDxMDEN<PWMEN>=0 の状態で選択を行って下さい。
1-0	PSYNCS	R/W	U,V,W 相出力設定のポート出力反映時のタイミングを選択します。 00: 書き込み時に反映 01: PWM カウンタ MDCNT = "1"(最小) の時、反映 10: PWM カウンタ MDCNT = MTPDxMDPRD<MDPRD>(最大)の時、反映 11: PWM カウンタ MDCNT = "1"(最小)および MTPDxMDPRD<MDPRD>(最大)の時、反映 ※MTPDxMDEN<PWMEN>="0"の状態を選択を行って下さい

10.8.3.13 MTPDxEMGREL (EMG 解除レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	EMGREL							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます
7-0	EMGREL[7:0]	W	EMG 禁止コードを書き込みます。 <EMGREL[7:0]>に"0x5A"→"0xA5"に設定した後、MTPDxEMGCR<EMGEN>に"0"を設定することにより、EMG 機能を禁止することが出来ます

注) MTPDxEMGREL<EMGREL[7:0]>への"0x5A"書き込みから MTPDxEMGCR<EMGEN>の設定まで、3 命令を連続して行う必要があります。

10.8.3.14 MTPDxEMGCR(EMG 制御レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	EMGCNT			
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	INHEN	EMGMD		-	EMGRS	EMGEN
リセット後	0	0	1	1	1	0	0	1

Bit	Bit Symbol	Type	機能
31-12	-	R	リードすると"0"が読めます
11-8	EMGCNT[3:0]	R/W	異常検出入力のノイズ除去時間を設定します。 ノイズ除去時間は以下の計算式で表されます。 EMGCNT[3:0]×16/fsys 0000: ノイズフィルタを経由しません 0001: 入力ノイズ除去時間 16 / fsys[s] 0010: 入力ノイズ除去時間 32 / fsys[s] 0011: 入力ノイズ除去時間 48 / fsys[s] 0100: 入力ノイズ除去時間 64 / fsys[s] 0101: 入力ノイズ除去時間 80 / fsys[s] 0110: 入力ノイズ除去時間 96 / fsys[s] 0111: 入力ノイズ除去時間 112 / fsys[s] 1000: 入力ノイズ除去時間 128 / fsys[s] 1001: 入力ノイズ除去時間 144 / fsys[s] 1010: 入力ノイズ除去時間 160 / fsys[s] 1011: 入力ノイズ除去時間 176 / fsys[s] 1100: 入力ノイズ除去時間 192 / fsys[s] 1101: 入力ノイズ除去時間 208 / fsys[s] 1110: 入力ノイズ除去時間 224 / fsys[s] 1111: 入力ノイズ除去時間 240 / fsys[s]
7-6	-	R	リードすると"0"が読めます
5	INHEN	R/W	ツールブレイク時の PMD 出力の状態を選択します。 0: PMD 出力継続 1: ハイ・インピーダンス 初期状態ではハイ・インピーダンスとなっています。
4-3	EMGMD	R/W	EMG 保護モード選択 00:全相オン/PORT 出力 ハイ・インピーダンス 01: 全相オフ/PORT 出力 ハイ・インピーダンス 10: 全相オン/PORT 出力 許可 11: 全相オフ/PORT 出力 ハイ・インピーダンス ※オン=PWM 出力(出力制御なし) オフ=Low(ハイアクティブ(POLL/H=1)時) EMG 発生時に、全相 (上相および下相) 6 端子の PWM 出力をオン/オフさせます。 また、EMG 発生時の PORT 出力の許可/禁止制御を行いません。
2	-	R/W	"0"をライトしてください。
1	EMGRS	R/W	EMG 保護状態から復帰します。 0: - 1: 保護状態からの復帰 MTPDxMDOUT<WPWM><VPWM><UPWM><WOC[1:0]><VOC[1:0]><UOC[1:0]>に 0 を設定後、 <EMGRS>に"1"を設定する事により EMG 保護状態から復帰します。 この bit はリードすると常に 0 が読まれます。
0	EMGEN	R/W	EMG 保護回路の許可/禁止を設定します。 0: 禁止 1: 許可 "1"を設定する事により EMG 保護回路が動作状態となります。初期状態では許可となっています。 禁止するときは MTPDxEMGREL<EMGREL>に"0x5A"→"0xA5"を順に設定した後、<EMGEN>に"0"を設定します。(3 命令を連続して行います。)

注) MTPDxEMG<EMGRS>で EMG 保護状態から復帰する場合、MTPDxEMGSTA<EMGI>をリードして、異常検出入力のレベルが"H"になっていることを確認してください。

10.8.3.15 MTPDxEMGSTA(EMG ステータスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	EMGI	EMGST
リセット後	0	0	0	0	0	0	-	0

Bit	Bit Symbol	Type	機能
31-2	-	R	リードすると"0"が読めます
1	EMGI	R	異常状態入力のレベルモニタ 0: 異常状態入力のレベルが"L" 1: 異常状態入力のレベルが"H"
0	EMGST	R	EMG 保護の状態モニタ 0: 通常動作中 1: EMG 保護中

10.8.3.16 MTPDxDTR(デッドタイムレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	DTR							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます
7-0	DTR[7:0]	R/W	デッドタイムを設定します。 デッドタイムは以下の計算式で表されます。 $200\text{nsec} \times \langle \text{DTR}[7:0] \rangle$ (fsys=40MHz)

注) MTPDxDTR<DTR[7:0]>は MTPDxMDEN<PWMEN>="1"の状態では変更しないでください。

10.8.3.17 MTPDxTRGCMP0(トリガコンペアレジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	TRGCMP0							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TRGCMP0							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能															
31-16	-	R	リードすると"0"が読めます															
15-0	TRGCMP0[15:0]	R/W	<p><TRGCMP0>は MTPDxMDCNT<MDCNT>と一致すると PMDTRG を出力します。 "0x0001"を設定した場合、PWM モード 0 (ノコギリ波) において PWM 開始(MTPDxMDEN<PWMEN>=1)後、最初の 1 周期のみトリガ出力されません。 リード時はバッファの値(バスから設定したデータ)をリードします。</p> <p><TRGCMP0>はダブルバッファ構造となっており、トリガコンペアレジスタ 0 の更新タイミングはモード設定 MTPDxTRGCR<TRG0MD>によってタイミングが異なります。MTPDxTRGCR<TRGBE>=1 を設定するとトリガモードに関係なく常に更新されます。</p> <p>トリガ出力モード設定とトリガコンペアレジスタ 0 の更新タイミング</p> <table border="1"> <thead> <tr> <th>MTPDxTRGCR<TRGxMD></th> <th>更新タイミング</th> </tr> </thead> <tbody> <tr> <td>000 :トリガ禁止</td> <td>常に更新</td> </tr> <tr> <td>001 :ダウンカウント時の一致</td> <td>PWM キャリアピーク(MTPDxMDPRD<MDPRD>との一致)でレジスタ更新</td> </tr> <tr> <td>010 :アップカウント時の一致</td> <td>PWM キャリアボトム(1との一致)でレジスタ更新</td> </tr> <tr> <td>011 :アップ及びダウンカウント時の一致</td> <td>PWM キャリアのピークとボトムで更新</td> </tr> <tr> <td>100 :PWM キャリアピーク</td> <td rowspan="4">常に更新</td> </tr> <tr> <td>101 :PWM キャリアボトム</td> </tr> <tr> <td>110 :PWM キャリアピーク及びボトム</td> </tr> <tr> <td>111 :トリガ禁止</td> </tr> </tbody> </table>	MTPDxTRGCR<TRGxMD>	更新タイミング	000 :トリガ禁止	常に更新	001 :ダウンカウント時の一致	PWM キャリアピーク(MTPDxMDPRD<MDPRD>との一致)でレジスタ更新	010 :アップカウント時の一致	PWM キャリアボトム(1との一致)でレジスタ更新	011 :アップ及びダウンカウント時の一致	PWM キャリアのピークとボトムで更新	100 :PWM キャリアピーク	常に更新	101 :PWM キャリアボトム	110 :PWM キャリアピーク及びボトム	111 :トリガ禁止
MTPDxTRGCR<TRGxMD>	更新タイミング																	
000 :トリガ禁止	常に更新																	
001 :ダウンカウント時の一致	PWM キャリアピーク(MTPDxMDPRD<MDPRD>との一致)でレジスタ更新																	
010 :アップカウント時の一致	PWM キャリアボトム(1との一致)でレジスタ更新																	
011 :アップ及びダウンカウント時の一致	PWM キャリアのピークとボトムで更新																	
100 :PWM キャリアピーク	常に更新																	
101 :PWM キャリアボトム																		
110 :PWM キャリアピーク及びボトム																		
111 :トリガ禁止																		

- 注 1) ハーフワードまたはワードアクセスしてください。
- 注 2) $1 \leq \text{TRGCMP0} \leq (\text{MTPDxMDPRD} < \text{MDPRD} > - 1)$ となるように設定してください。

10.8.3.18 MTPDxTRGCMP1(トリガコンペアレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	TRGCMP1							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TRGCMP1							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能																
31-16	-	R	リードすると"0"が読めます																
15-0	TRGCMP1[15:0]	R/W	<p><TRGCMP1>は MTPDxMDCNT<MDCNT>と一致すると PMDTRG を出力します。 "0x0001"を設定した場合、PWM モード 0 (ノコギリ波) において PWM 開始(MTPDxMDEN<PWMDEN>=1)後、最初の 1 周期のみトリガ出力されません。 リード時はバッファの値(バスから設定したデータ)をリードします。</p> <p><TRGCMP1>はダブルバッファ構造となっており、トリガコンペアレジスタ 1 の更新タイミングはモード設定 MTPDxTRGCR<TRG1MD>によってタイミングが異なります。MTPDxTRGCR<TRG1BE>=1 を設定するとトリガモードに関係なく常に更新されます。</p> <p>トリガ出力モード設定とトリガコンペアレジスタ 1 の更新タイミング</p> <table border="1"> <thead> <tr> <th>MTPDxTRGCR<TRG1MD></th> <th>更新タイミング</th> </tr> </thead> <tbody> <tr> <td>000 :トリガ禁止</td> <td>常に更新</td> </tr> <tr> <td>001 :ダウンカウント時の一致</td> <td>PWM キャリアピーク(MTPDxMDPRD<MDPRD>との一致)でレジスタ更新</td> </tr> <tr> <td>010 :アップカウント時の一致</td> <td>PWM キャリアボトム(1 との一致)でレジスタ更新</td> </tr> <tr> <td>011 :アップ及びダウンカウント時の一致</td> <td>PWM キャリアのピークとボトムで更新</td> </tr> <tr> <td>100 :PWM キャリアピーク</td> <td rowspan="3">常に更新</td> </tr> <tr> <td>101 :PWM キャリアボトム</td> </tr> <tr> <td>110 :PWM キャリアピーク及びボトム</td> </tr> <tr> <td>111 :トリガ禁止</td> <td></td> </tr> </tbody> </table>	MTPDxTRGCR<TRG1MD>	更新タイミング	000 :トリガ禁止	常に更新	001 :ダウンカウント時の一致	PWM キャリアピーク(MTPDxMDPRD<MDPRD>との一致)でレジスタ更新	010 :アップカウント時の一致	PWM キャリアボトム(1 との一致)でレジスタ更新	011 :アップ及びダウンカウント時の一致	PWM キャリアのピークとボトムで更新	100 :PWM キャリアピーク	常に更新	101 :PWM キャリアボトム	110 :PWM キャリアピーク及びボトム	111 :トリガ禁止	
MTPDxTRGCR<TRG1MD>	更新タイミング																		
000 :トリガ禁止	常に更新																		
001 :ダウンカウント時の一致	PWM キャリアピーク(MTPDxMDPRD<MDPRD>との一致)でレジスタ更新																		
010 :アップカウント時の一致	PWM キャリアボトム(1 との一致)でレジスタ更新																		
011 :アップ及びダウンカウント時の一致	PWM キャリアのピークとボトムで更新																		
100 :PWM キャリアピーク	常に更新																		
101 :PWM キャリアボトム																			
110 :PWM キャリアピーク及びボトム																			
111 :トリガ禁止																			

注 1) ハーフワードまたはワードアクセスしてください。

注 2) $1 \leq \text{TRGCMP1} \leq (\text{MTPDxMDPRD} - 1)$ となるように設定してください。

10.8.3.19 MTPDxTRGCR(トリガ制御レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TRG1BE	TRG1MD			TRG0BE	TRG0MD		
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます
15-8	-	R/W	必ず"0"を書いてください
7	TRG1BE	R/W	トリガコンペアレジスタ 1 の更新タイミング設定 0: 同期更新 1: 非同期更新(バッファの非同期更新を許可します。書き込み後、直ちに反映)
6-4	TRG1MD[2:0]	R/W	PMDxTRG1 のモード設定 000: トリガ出力禁止 001: ダウンカウント時の一致でトリガ出力 010: アップカウント時の一致でトリガ出力 011: アップ/ダウンカウント時にトリガ出力 100: PWM キャリアピークでトリガ出力 101: PWM キャリアボトムでトリガ出力 110: PWM キャリアピーク/ボトムでトリガ出力 111: トリガ出力禁止 トリガ出力の一致モードを選択します。PMDにてエッジモード選択時はダウンカウント/キャリアボトムを選択しても、アップカウント/キャリアピークでの出力となります。 "011" 選択時、TRGCMP=0x0001 の場合、PWM モード 1 (三角波)においてトリガ出力は 1 周期に 1 度となります。
3	TRG0BE	R/W	トリガコンペアレジスタ 0 の更新タイミング設定 0: 同期更新 1: 非同期更新(バッファの非同期更新を許可します。書き込み後、直ちに反映)
2-0	TRG0MD[2:0]	R/W	PMDxTRG0 のモード設定 000: トリガ出力禁止 001: ダウンカウント時の一致でトリガ出力 010: アップカウント時の一致でトリガ出力 011: アップ/ダウンカウント時にトリガ出力 100: PWM キャリアピークでトリガ出力 101: PWM キャリアボトムでトリガ出力 110: PWM キャリアピーク/ボトムでトリガ出力 111: トリガ出力禁止 トリガ出力の一致モードを選択します。PMDにてエッジモード選択時はダウンカウント/キャリアボトムを選択しても、アップカウント/キャリアピークでの出力となります。 "011" 選択時、TRGCMP=0x0001 の場合、PWM モード 1 (三角波)においてトリガ出力は 1 周期に 1 度となります。

10.8.3.20 MTPDxTRGMD(トリガ出力モード設定レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	EMGTGE
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	-	R	リードすると"0"が読めます
1	-	R/W	必ず"0"を書いてください
0	EMGTGE	R/W	EMG 保護動作中の出力許可設定 0: 保護動作時 トリガ出力禁止 1: 保護動作時 トリガ出力許可

10.9 回路別の動作説明

10.9.1 パルス幅変調回路

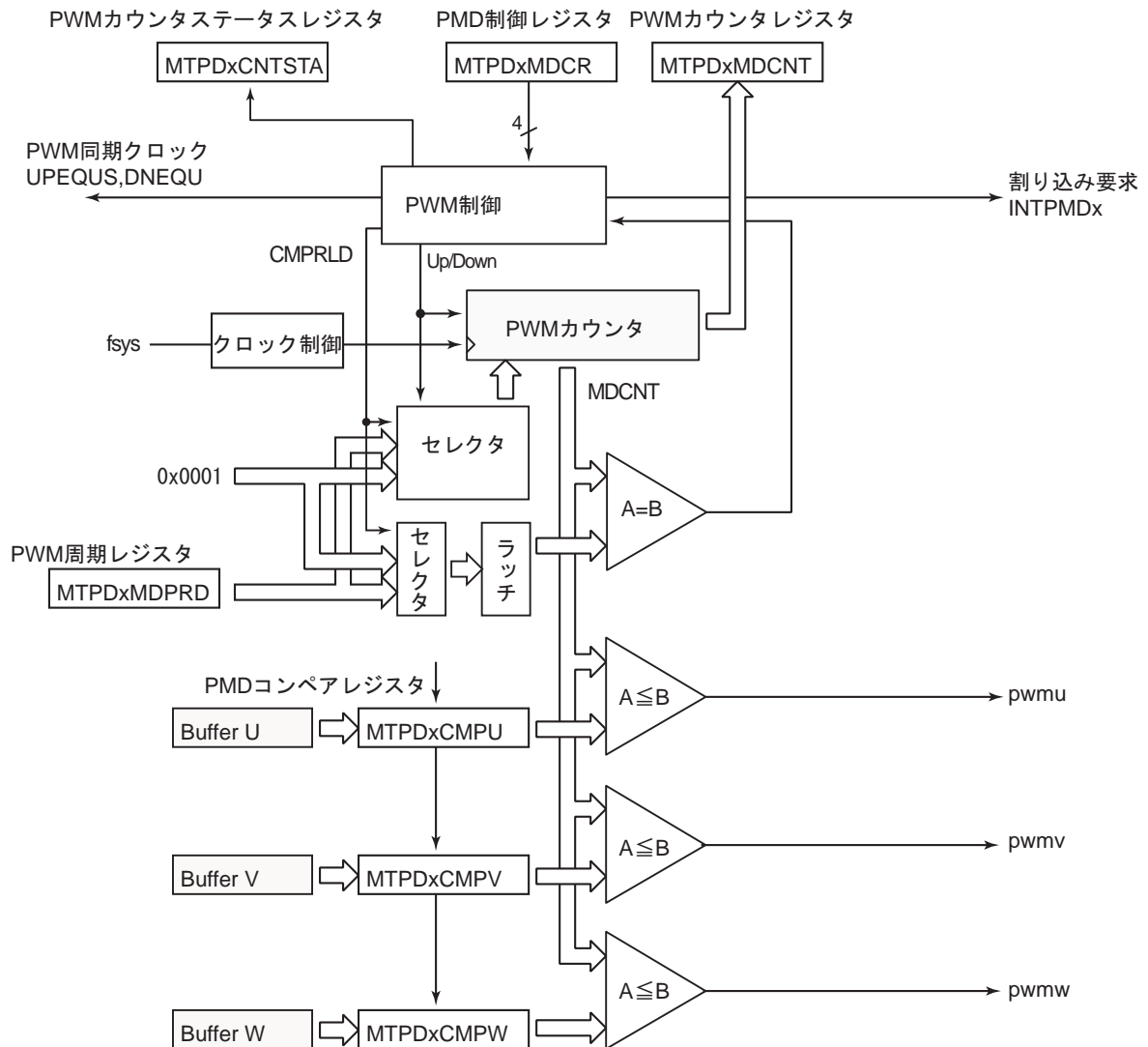


図 10-22 パルス幅変調回路概略図

パルス幅変調回路は、16bit のアップ/ダウンカウンタである PWM カウンタ MDCNT を持ち、PWM モード 0(ノコギリ波)では 25ns@fsys=40MHz の分解能で、PWM モード 1(三角波)では 50ns@fsys=40MHz の分解能で PWM キャリアを生成します。また、MTPDxMDCR<PWMCK>="1"とすることで、PWM モード 0(ノコギリ波)では 100ns@fsys=40MHz の分解能で、PWM モード 1(三角波)では 200ns@fsys=40MHz の分解能で PWM キャリアを生成します。

PWM キャリアの波形モードは PWM モード 0 としてエッジ PWM (ノコギリ波)、モード 1 としてセンター PWM (三角波) を選択可能です。

1. PWM 周期設定

MTPD_xMDPRD<MDPRD>レジスタにより PWM 周期を決定します。

MTPD_xMDPRD レジスタはラッチをもち、ダブルバッファ構成となります。レジスタの値は、PWM 周期に同期して(PWM カウンタ MDCNT が<MDPRD>と一致した時)、コンパレータ入力(ラッチ)に転送されます。MTPD_xMDCR<INTPRD>を"00"に設定することで PWM 半周期毎の更新も選択できます。

$$\text{のこぎり波 PWM : MDPRD レジスタ 設定} = \frac{\text{発振周波数[Hz]}}{\text{PWM 周波数[Hz]}}$$

$$\text{三角波変調 PWM : MDPRD レジスタ 設定値} = \frac{\text{発振周波数[Hz]}}{\text{PWM 周波数[Hz] x 2}}$$

2. コンペア機能

3 相の PWM コンペアレジスタ (PMD_xCMPU/V/W) の値と、PWM カウンタ MDCNT が生成する搬送波とをコンパレータで大小比較して所望のデューティの PWM 波形を生成します。

各相の PWM コンペアレジスタはバッファを持ち、ダブルバッファ構成となります。バッファの値は PWM 周期に同期して (内部カウンタ値が<MDPRD>と一致時)、PWM コンペアレジスタにロードされます。MTPD_xMDCR<INTPRD>を"00"に設定することで PWM 半周期でのロードも選択できます。

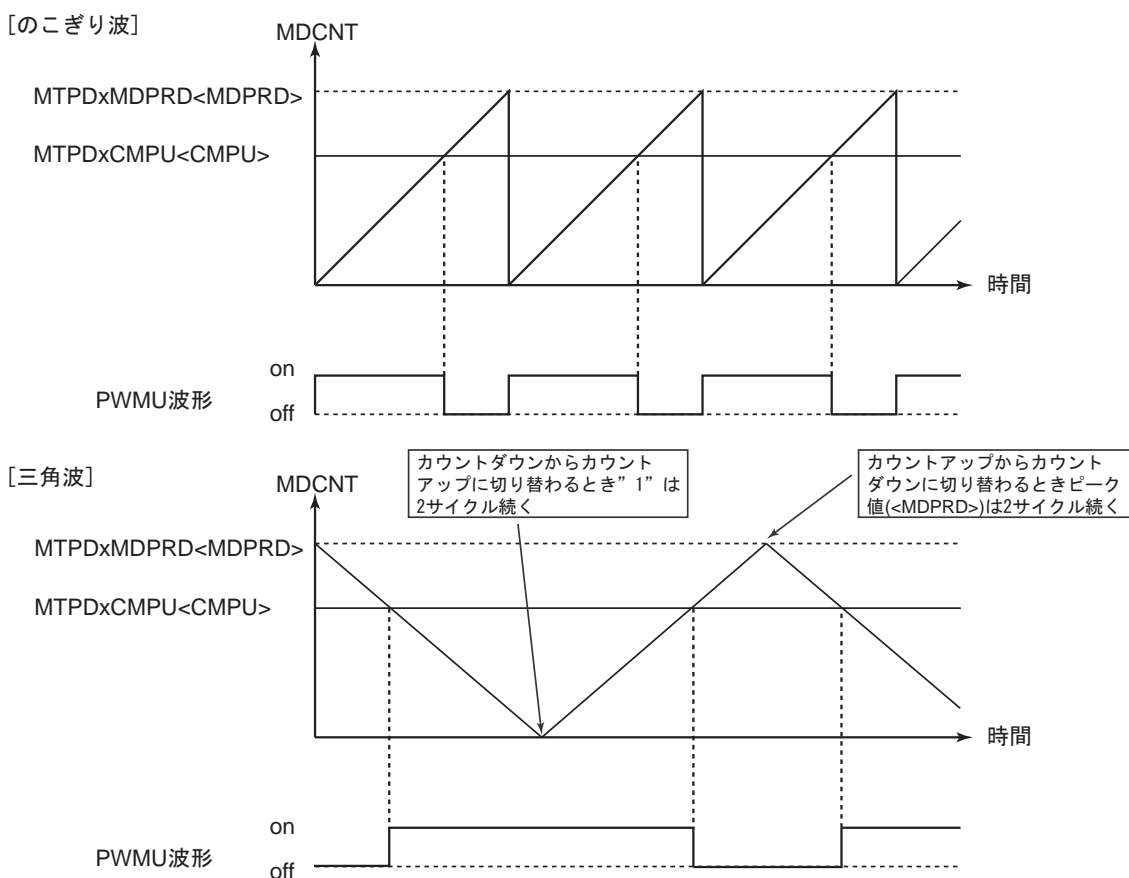


図 10-23 PWM 波形

3. 波形モード

2種類の3相PWMの生成方法を選択できます。

1. 3相独立 Duty モード:3相のPWMコンペアレジスタにそれぞれ独立した値を設定して、3相の独立したPWM波形を生成します。これは、正弦波等の任意の駆動波形生成に使用します。
2. 3相共通 Duty モード:U相のPWMコンペアレジスタだけに設定し、U相の設定値で3相同一のPWM波形を生成します。これは、DCモータの矩形波駆動に使用します。

4. 割り込み処理

パルス幅変調回路ではPWM波形に同期してPWM割り込み要求を発生します。PWM割り込みの頻度はPWM周期半周期に1回、1周期に1回、2周期に1回、4周期に1回を選択する事ができます。

10.9.2 通電制御回路

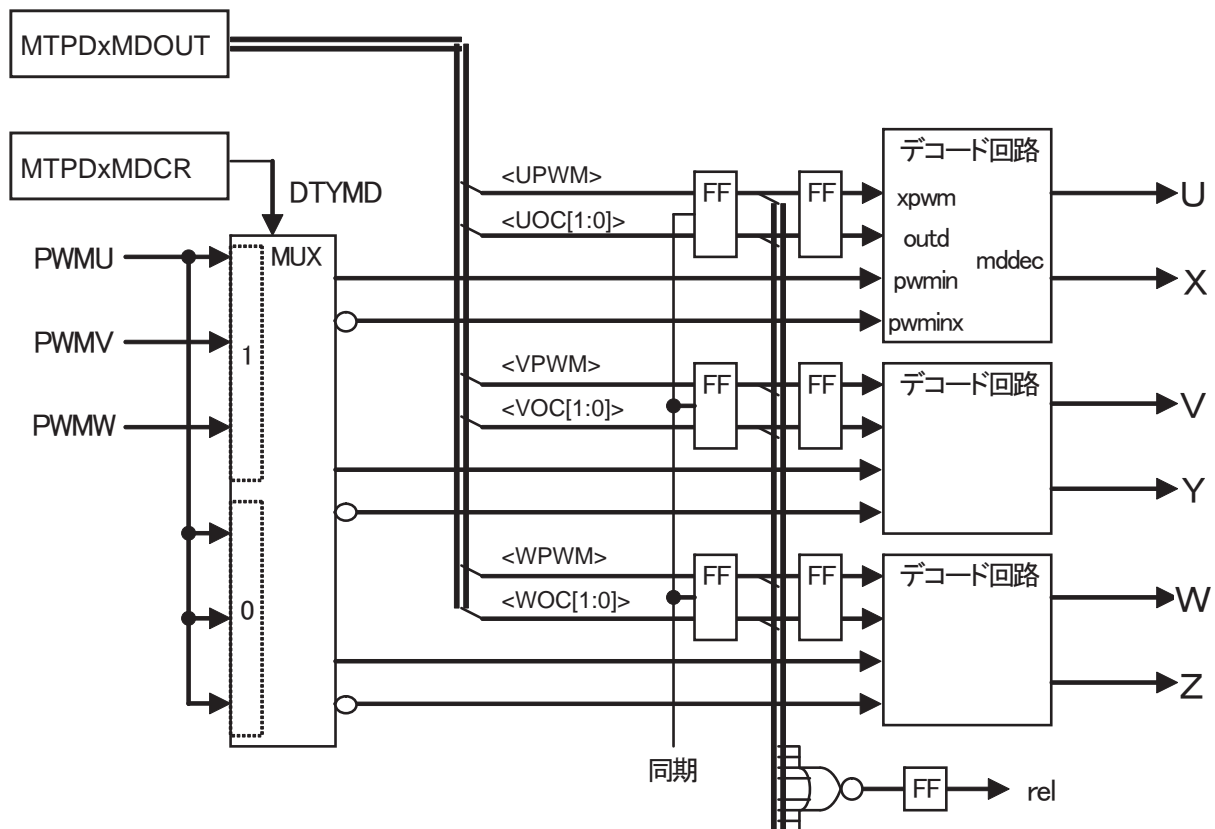


図 10-24 通電制御回路概略図

PMD出力レジスタ (MTPDxMDOUT) に設定された内容により、出力ポートの制御を行います。設定内容は、ポート出力時の同期信号の選択とポート出力設定に分けられます。ポート出力設定はダブルバッファ構成であり、更新タイミングはPWMへの同期更新と非同期更新を選択できます。

6本のポートの出力設定は、それぞれ独立にアクティブ/インアクティブの設定をMTPDxMDPOT <POLH><POLL>により行います。さらに、U,V,Wの3相それぞれに、PWM出力とH、L出力との選択をMTPDxMDOUT <WPWM><VPWM><UPWM>により設定します。PWM出力を選択するとPWM波形が、H、L出力を選択するとH固定またはL固定の出力が得られます。MTPDxMDOUTに

よるポート出力設定と PMD 制御レジスタ (MTPDxMDCR) の極性設定によって得られる端子出力の関係については、「表 10-6 UOC,VOC,WOC 及び UPWN, VPWN, WPWM の各ビットの設定によるポート出力」を参照してください。

なお、1 シャント電流の検出は下記のように設定することで対応可能です。

表 10-5 1 シャント電流の検出設定一覧

	通常	U 相 PWM シフト	V 相 PWM シフト	W 相 PWM シフト
CMPU	duty_U	MTPDxMDPRD <MDPRD>-duty_U	duty_U	duty_U
CMPV	duty_V	duty_V	MTPDxMDPRD <MDPRD>D-duty_V	duty_V
CMPW	duty_W	duty_W	duty_W	MTPDxMDPRD <MDPRD>-duty_W
<UOC>	11	00	11	11
<VOC>	11	11	00	11
<WOC>	11	11	11	00

表 10-6 UOC,VOC,WOC 及び UPWN, VPWN, WPWM の各ビットの設定によるポート出力

MTPDxMDCR<SYNTMD>=0

極性ハイアクティブ (MTPDxMDPOT<POLH><POLL>="11")

MDOUT 出力制御		MTPDxMDOUT <WPWM><VPWM><UPWM> H/L/PWM 出力選択			
<WOC[1]> <VOC[1]> <UOC[1]> (上相)	<WOC[0]> <VOC[0]> ><UOC[0]> (下相)	0 : H/L 出力		1 : PWM 出力	
		上相 出力	下相 出力	上相 出力	下相 出力
0	0	L	L	$\overline{\text{PWM}}$	PWM
0	1	L	H	L	PWM
1	0	H	L	PWM	L
1	1	H	H	PWM	$\overline{\text{PWM}}$

MTPDxMDCR<SYNTMD>=0

極性ローアクティブ (MTPDxMDPOT<POLH><POLL>="00")

MDOUT 出力制御		MTPDxMDOUT <WPWM><VPWM><UPWM> H/L/PWM 出力選択			
<WOC[1]> <VOC[1]> <UOC[1]> (上相)	<WOC[0]> <VOC[0]> ><UOC[0]> (下相)	0 : H/L 出力		1 : PWM 出力	
		上相 出力	下相 出力	上相 出力	下相 出力
0	0	H	H	PWM	PWM
0	1	H	L	H	$\overline{\text{PWM}}$
1	0	L	H	$\overline{\text{PWM}}$	H
1	1	L	L	$\overline{\text{PWM}}$	PWM

MTPDxMDCR<SYNTMD>=1

極性ハイアクティブ (MTPDxMDPOT<POLH><POLL>="11")

MDOUT 出力制御		MTPDxMDOUT <WPWM><VPWM><UPWM> H/L/PWM 出力選択			
<WOC[1]> <VOC[1]> <UOC[1]> (上相)	<WOC[0]> <VOC[0]> ><UOC[0]> (下相)	0 : H/L 出力		1 : PWM 出力	
		上相 出力	下相 出力	上相 出力	下相 出力
0	0	L	L	$\overline{\text{PWM}}$	PWM
0	1	L	H	L	$\overline{\text{PWM}}$
1	0	H	L	PWM	L
1	1	H	H	PWM	$\overline{\text{PWM}}$

MTPDxMDCR<SYNTMD>=1

極性ローアクティブ (MTPDxMDPOT<POLH><POLL>="00")

MDOUT 出力制御		MTPDxMDOUT <WPWM><VPWM><UPWM> H/L/PWM 出力選択			
<WOC[1]> <VOC[1]> <UOC[1]> (上相)	<WOC[0]> <VOC[0]> ><UOC[0]> (下相)	0 : H/L 出力		1 : PWM 出力	
		上相 出力	下相 出力	上相 出力	下相 出力
0	0	H	H	PWM	PWM
0	1	H	L	H	PWM
1	0	L	H	$\overline{\text{PWM}}$	H
1	1	L	L	$\overline{\text{PWM}}$	PWM

10.9.3 保護制御回路

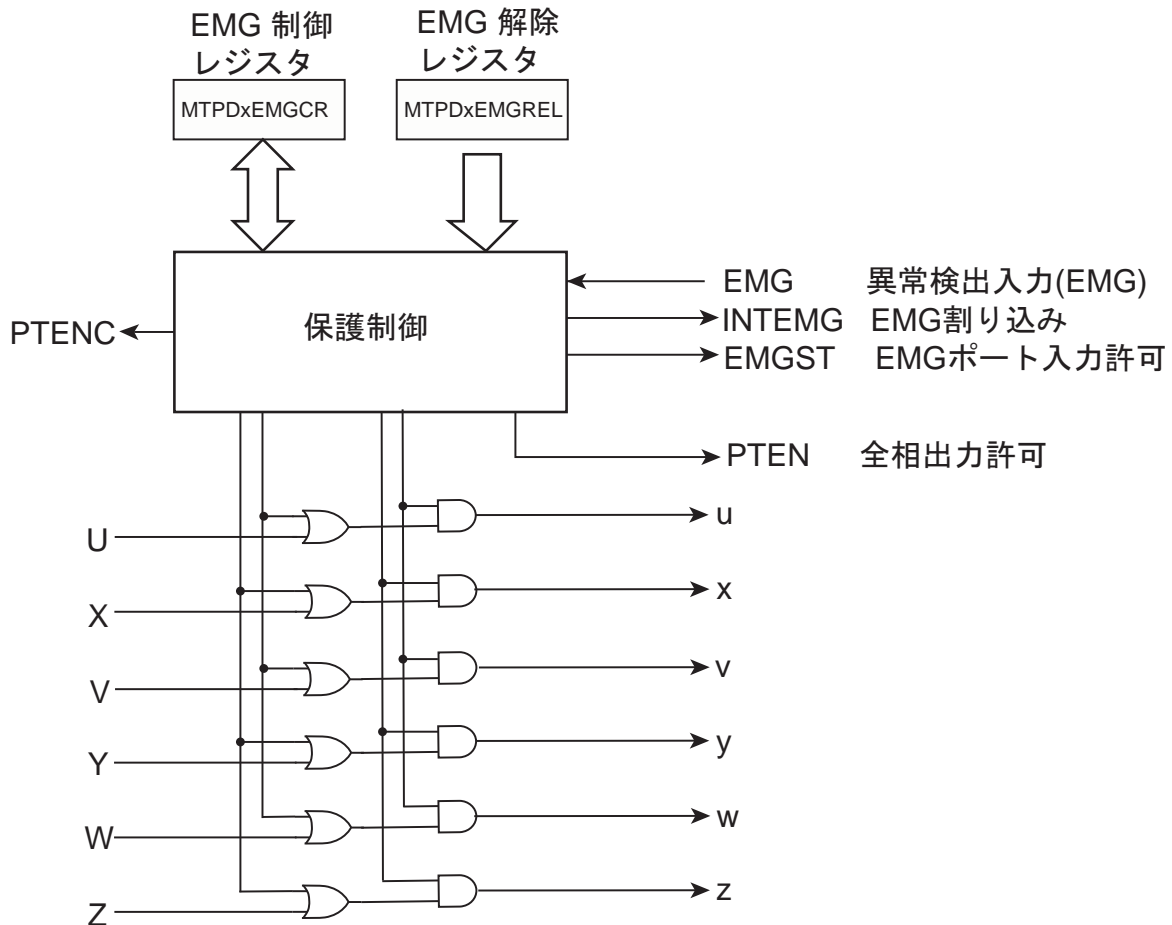


図 10-25 保護制御回路概略図

保護制御回路は EMG 保護制御とポート出力禁止部から構成され、異常検出入力が Low レベルになると動作します。EMG 保護回路は緊急停止用の保護回路であり、異常検出入力があった場合（High レベル→Low レベル）、直ちに 6 本の PWM 出力を禁止し(MTPDxEMGCR<EMGMD>の設定によります)、EMG 割り込み (INTEMG) を発生します。

また<EMGMD>の設定により、外部出力ポートをハイ・インピーダンスに設定する制御信号を出力します。

ツールブレイクによる PMD 停止制御時も同様に 6 本の PWM 出力を禁止します、但し<EMGMD>の設定によります。ツールブレイク時は MTPDxPORTMD<PORTMD>の設定により、外部出力ポートのハイ・インピーダンス制御を選択することが出来ます。

また、MTPDxEMGSTA<EMGST>をリードした時、"1"の場合は EMG 保護状態であることを示します。

EMG 保護状態の時は、ポート出力を全てインアクティブに設定(MTPDxMDOUT <WPWM><VPWM><UPWM><WOC[1:0]><VOC[1:0]><UOC[1:0]>="0")後、MTPDxEMGCR<EMGRS>に"1"を設定することにより EMG 保護状態から復帰することができます。

また、EMG 機能を禁止するには EMG 禁止コードレジスタ (MTPDxEMGREL<EMGREL[7:0]>) に 0x5A と 0xA5 を順番に設定後、MTPDxEEMGCR<EMGEN>に"0"を設定します (3 命令連続して行います)。但し、異常検出入力が Low レベルに落ちている間は、復帰処理を行っても無視されます。MTPDxEMGSTA<EMGI>をリードし、異常検出入力のレベルが High レベルになったことを確認してから復帰処理をしてください。

EMG 保護回路を禁止するには<EMGREL[7:0]>に所定のキーコード 0x5A、0xA5 を設定する事ではじめて可能になり、誤って EMG 保護回路を禁止する事を防止します。

10.9.4 デッドタイム回路

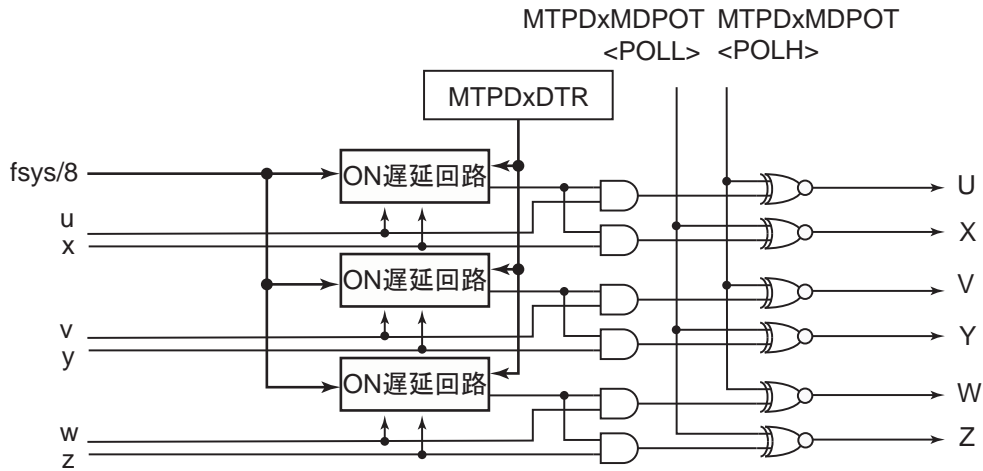


図 10-26 デッドタイム回路概略図

デッドタイム回路はデッドタイム部と出力極性切替部から構成されます。

U,V,W のそれぞれの相において、上下相が逆転する場合に上下相が短絡するのを回避するため、デッドタイムカウンタによりオン時間を遅延させます。遅延時間は、8bit の値により 200ns @ fsys=40MHz の分解能で設定が可能です。遅延時間はデッドタイムレジスタ (MTPDxDTR<DTR>) に設定します。

出力極性切替回路は、上相・下相をそれぞれに対してハイアクティブ/ローアクティブをPTPDxMDPOT<POLH><POLL>により設定します。

10.9.5 同期トリガ生成回路

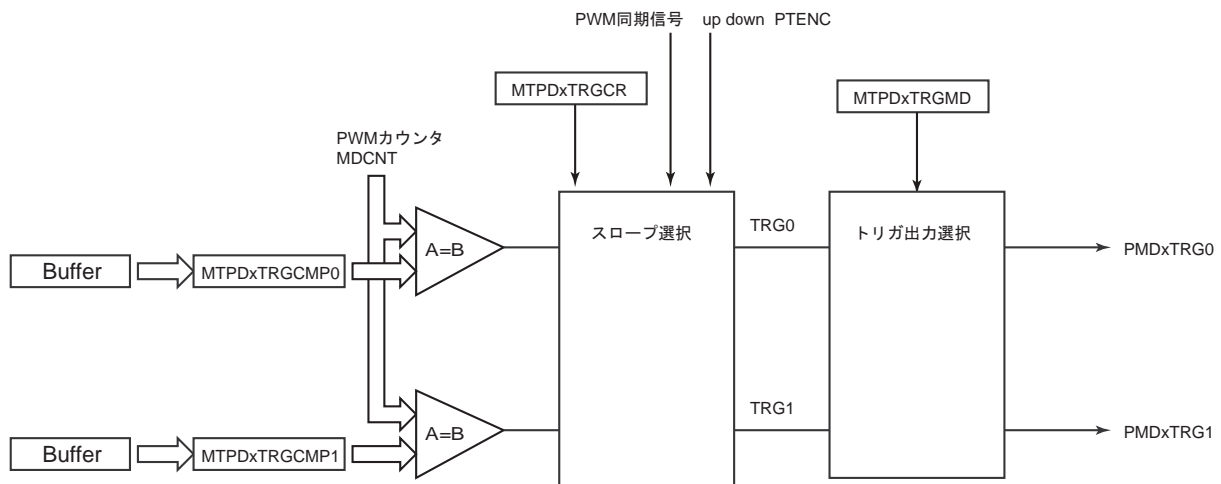


図 10-27 同期トリガ生成回路外略図

同期トリガ生成回路は PWM に同期して ADC のサンプリングを行う為のトリガ信号を生成します。動作は、MTPD_xMDCNT<MDCNT> と MTPD_xTRGCMP0<TRGCMP0>、MTPD_xTRGCMP1<TRGCMP1>とが一致する時に ADC トリガ信号 PMD_xTRG0-1 を発生します。発生タイミングはアップカウント動作時の一致、ダウンカウント動作時の一致、アップ/ダウンカウント両動作での一致を選択できます。エッジモード選択時はアップ時となります。PWM 出力禁止 (MTPD_xMDEN<PWMEN>=0) 時、トリガは出力されません。

第 11 章 シリアルチャネル(SIO/UART)

11.1 概要

シリアルチャネル(SIO/UART)は同期通信モード(I/O インタフェースモード)と非同期通信モード(UART モード)の 2 つのモードを持っています。特長は以下のとおりです。

- ・ 転送クロック
 - プリスケーラでペリフェラルクロック($\phi T0$)を 1/2、1/8、1/32、1/128 分周
 - プリスケーラ出力クロックに対し、1~16 分周が可能
 - プリスケーラ出力クロックに対し、 $N + m/16$ ($N = 2 \sim 15$, $m = 1 \sim 15$)分周が可能 (UART モードのみ)
 - システムクロックを使用可能(UART モードのみ)
- ・ ダブルバッファ/FIFO
 - ダブルバッファおよび、送受信あわせて最大 4 バイトの FIFO を使用可能
- ・ I/O インタフェースモード
 - 転送モード：半二重(受信/送信)、全二重
 - クロック：出力(立ち上がりエッジ固定)/入力(立ち上がり/立ち下がりエッジ選択)
 - 連続転送時のインタバル時間設定が可能
- ・ UART モード
 - データ長：7, 8, 9 ビット
 - パリティ付加(9 ビット長では不可)
 - シリアルリンクでのウエイクアップ機能
 - \overline{CTS} 端子を用いたハンドシェイク機能

以下の説明中、“x”はチャネル番号をあらわします。

11.2 チャネル別仕様相違点

TMPM380FDFG は 5 チャネルの SIO/UART を内蔵しています。

各チャネルはそれぞれ独立に動作します。チャネルごとの使用端子と割り込みを以下にまとめます。

表 11-1 SIO/UART のチャネル別仕様相違点

	端子			割り込み		シリアルクロック生成 タイマ	DMA 対応
	TXD	RXD	\overline{CTS} / SCLK	受信割り込み	送信割り込み		
チャンネル 0	PE0	PE1	PE2	INTRX0	INTTX0	TB4OUT	サポート
チャンネル 1	PA5	PA6	PA4	INTRX1	INTTX1	TB4OUT	サポート
チャンネル 2	PD5	PD6	PD4	INTRX2	INTTX2	TB7OUT	サポート
チャンネル 3	PF3	PF4	PF2	INTRX3	INTTX3	TB7OUT	サポート
チャンネル 4	PC6	PC7	PC5	INTRX4	INTTX4	MTTB0OUT	サポート

11.3 構成

図 11-1 に SIO/UART のブロック図を示します。

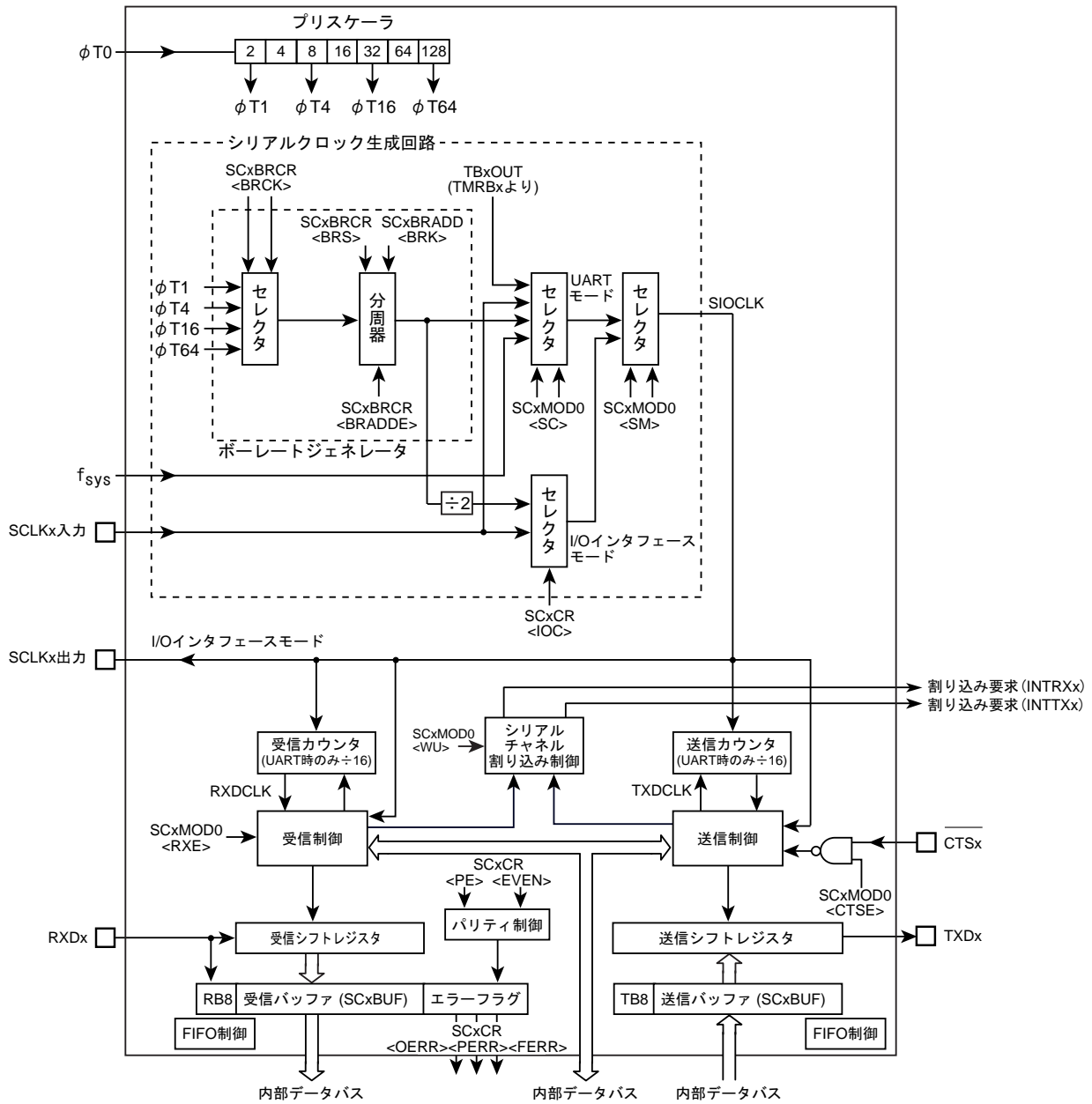


図 11-1 SIO/UART ブロック図

11.4 レジスタ説明

11.4.1 チャネル別レジスタ一覧

各チャネルのレジスタとアドレスを示します。

Channel x	Base Address
Channel0	0x4002_0080
Channel1	0x4002_00C0
Channel2	0x4002_0100
Channel3	0x4002_0140
Channel4	0x4002_0180

レジスタ名(x=0~4)		Address(Base+)
イネーブルレジスタ	SCxEN	0x0000
送受信バッファレジスタ	SCxBUF	0x0004
コントロールレジスタ	SCxCR	0x0008
モードコントロールレジスタ 0	SCxMOD0	0x000C
ポーレートジェネレータコントロールレジスタ	SCxBRCR	0x0010
ポーレートジェネレータコントロールレジスタ 2	SCxBRADD	0x0014
モードコントロールレジスタ 1	SCxMOD1	0x0018
モードコントロールレジスタ 2	SCxMOD2	0x001C
受信 FIFO コンフィグレジスタ	SCxRFC	0x0020
送信 FIFO コンフィグレジスタ	SCxTFC	0x0024
受信 FIFO ステータスレジスタ	SCxRST	0x0028
送信 FIFO ステータスレジスタ	SCxTST	0x002C
FIFO コンフィグレジスタ	SCxFCNF	0x0030

注) 送信、受信時(受信許可の状態)に制御レジスタの変更は行わないでください。

11.4.2 SCxEN (イネーブルレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	SIOE
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-1	-	R	リードすると"0"が読めます。
0	SIOE	R/W	SIO/UART 動作 0: 禁止 1: 動作 SIO/UART の動作を指定します。SIO/UART を使用する場合は、まず<SIOE>に"1"をセットしてください。 動作禁止の状態では、イネーブルレジスタを除く SIO/UART のすべてのクロックが停止しますので消費電力の低減が可能です。 SIO/UART を一旦動作させた後に動作禁止にした場合は、SCxTFC<TIL[1:0]>を除くレジスタの設定は保持されます。

注) SCxEN<SIOE>=0(SIO/UART 動作禁止)、または SCxMOD1<I2SC>=0 で IDLE モードへの移行(IDLE モード中の動作停止)した場合は、必ず SCxTFC の再設定を行ってください。

11.4.3 SCxBUF (バッファレジスタ)

SCxBUF は、書き込み時は送信バッファまたは FIFO、読み出し時は受信バッファまたは FIFO として機能します。

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TB / RB							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-0	TB[7:0] / RB [7:0]	R/W	[ライト] TB : 送信用バッファ/ FIFO [リード] RB : 受信用バッファ/ FIFO

11.4.4 SCxCR (コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	RB8	EVEN	PE	OERR	PERR	FERR	SCLKS	IOC
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	RB8	R	受信データビット 8 (UART 用) 9 ビット UART モード時の 9 ビット目の受信データです。
6	EVEN	R/W	パリティ (UART 用) 0: Odd 1: Even パリティの条件を設定します。 "0"で奇数(Odd)パリティ、"1"で偶数(Even)パリティです。 パリティは、7 ビット UART モード、8 ビット UART モードで使用可能です。
5	PE	R/W	パリティ付加 (UART 用) 0: 禁止 1: 許可 パリティ許可/禁止を制御するビットです。 パリティは、7 ビット UART モード、8 ビット UART モードで使用可能です。
4	OERR	R	オーバランエラー (注) 0: エラーではない 1: エラー
3	PERR	R	パリティ/アンダランエラー (注) 0: エラーではない 1: エラー
2	FERR	R	フレーミングエラー (注) 0: エラーではない 1: エラー
1	SCLKS	R/W	入力クロックエッジ選択(I/O インタフェース用) クロック出力モード時には"0"を設定してください。 0: SCLKx の立ち上がりエッジで送信バッファのデータを 1bit ずつ TXDx 端子へ出力します。 SCLK x 端子の立ち上がりエッジで RXD x 端子のデータを 1bit ずつ受信バッファに取り込みます。 このとき、SCLKx 端子は High レベルからスタートします。 1: SCLKx の立ち上がりエッジで送信バッファのデータを 1bit ずつ TXDx 端子へ出力します。 SCLK x 端子の立ち下がりエッジで RXD x 端子のデータを 1bit ずつ受信バッファに取り込みます。 このとき、SCLKx 端子は Low レベルからスタートします。
0	IOC	R/W	クロック選択(I/O インタフェース用) 0: ポーレートジェネレータ 1: SCLKx 端子入力

注) <OERR>, <PERR>, <FERR>は読み出すとクリアされます。

11.4.5 SCxMOD0 (モードコントロールレジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TB8	CTSE	RXE	WU	SM		SC	
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	TB8	R/W	送信データビット 8 (UART 用) 9 ビット UART モード時の 9 ビット目の送信データをセットします。
6	CTSE	R/W	ハンドシェイク機能制御 (UART 用) 0: CTS ディセーブル 1: CTS イネーブル ハンドシェイク機能の制御を行います。 イネーブルにすると $\overline{\text{CTS}}$ 端子を用いたハンドシェイク機能が使用可能になります。
5	RXE	R/W	受信制御(注 1)(注 2) 0: 禁止 1: 許可
4	WU	R/W	ウェイクアップ機能 (UART 用) 0: ディセーブル 1: イネーブル 9 ビット UART モードの場合のみ有効で、その他のモードでは無視されます。 イネーブルの場合、受信データ 9 ビット目が"1"のときのみ割り込みが発生します。
3-2	SM[1:0]	R/W	シリアル転送モード 00: I/O インタフェースモード 01: 7 ビット長 UART モード 10: 8 ビット長 UART モード 11: 9 ビット長 UART モード
1-0	SC[1:0]	R/W	シリアル転送クロック (UART 用) 00: タイマ TBxOUT(表 11-1 を参照) 01: ボーレートジェネレータ 10: 内部クロック fsys 11: 外部クロック (SCLK 入力) (I/O インタフェースモード時の転送クロックは、コントロールレジスタ (SCxCR) で選択します。)

注 1) <RXE>は、すべての設定が終わったあとに許可してください。

注 2) 受信中に動作を停止(SCxMOD0<RXE>を"0"にクリア)しないでください。

11.4.6 SCxMOD1 (モードコントロールレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	I2SC	FDPX		TXE	SINT			-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	I2SC	R/W	IDLE モード時の動作 0: 停止 1: 動作 IDLE モード時の動作を指定します。
6-5	FDPX[1:0]	R/W	転送モード設定 00: 転送禁止 01: 半二重(受信) 10: 半二重(送信) 11: 全二重 I/O インタフェースモード時の転送モードを設定します。また FIFO が許可されている場合は FIFO の構成を指定します。 UART モードの場合は FIFO 構成の指定のみ行われます。
4	TXE	R/W	送信制御(注 1)(注 2) 0: 禁止 1: 許可 全転送モードに有効な送信許可ビットです。
3-1	SINT[2:0]	R/W	連続転送時のインターバル時間(I/O インタフェース用) 000: なし 001: 1SCLK 010: 2SCLK 011: 4SCLK 100: 8SCLK 101: 16SCLK 110: 32SCLK 111: 64SCLK I/O インタフェースモードで SCLK 出力の場合に有効なビットです。その他のモードでは意味を持ちません。 I/O インタフェースモードで、ダブルバッファまたは FIFO が許可されている時に連続転送のインターバル時間を指定します。
0	-	R/W	"0"をライトしてください。

注 1) <TXE>ビットは、すべての設定を行った後に許可してください。

注 2) 送信中に動作を停止(SCxMOD1<TXE>を"0"にクリア)しないでください。

注 3) SCxEN<SIOE>=0(SIO/UART 動作禁止)、または SCxMOD1<I2SC>=0 で IDLE モードへの移行(IDLE モード中の動作停止)した場合は、必ず SCxTFC の再設定を行ってください。

11.4.7 SCxMOD2 (モードコントロールレジスタ 2)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TBEMP	RBFLl	TXRUN	SBLEN	DRCHG	WBUF	SWRST	
リセット後	1	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能											
31-8	-	R	リードすると"0"が読めます。											
7	TBEMP	R	送信バッファエンプティフラグ 0: Full 1: Empty ダブルバッファ不許可の場合はこのフラグは意味を持ちません。 送信ダブルバッファのデータ empty を示すフラグです。送信ダブルバッファのデータが送信シフトレジスタに移され empty になると"1"になり、送信データが書き込まれると"0"になります。											
6	RBFLl	R	受信バッファ full フラグ 0: Empty 1: Full ダブルバッファ不許可の場合はこのフラグは意味を持ちません。 受信ダブルバッファのデータ full を示すフラグです。受信動作が終了して、受信シフトレジスタから受信ダブルバッファヘデータが格納されると"1"になり、受信バッファを読み出すと"0"になります。											
5	TXRUN	R	送信動作中フラグ 0: 停止 1: 動作 送信シフト動作中を示すステータスフラグです。 <TXRUN>と<TBEMP>ビットで以下のような状態を示します。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th><TXRUN></th> <th><TBEMP></th> <th>状態</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>-</td> <td>送信動作中</td> </tr> <tr> <td rowspan="2">0</td> <td>1</td> <td>送信が完全に終了</td> </tr> <tr> <td>0</td> <td>送信バッファに次のデータがあり送信待ち</td> </tr> </tbody> </table>	<TXRUN>	<TBEMP>	状態	1	-	送信動作中	0	1	送信が完全に終了	0	送信バッファに次のデータがあり送信待ち
<TXRUN>	<TBEMP>	状態												
1	-	送信動作中												
0	1	送信が完全に終了												
	0	送信バッファに次のデータがあり送信待ち												
4	SBLEN	R/W	送信 STOP ビット長(UART 用) 0: 1 ビット 1: 2 ビット UART モード時の送信 STOP ビットの長さを指定します。 受信の場合は設定に関わらず 1 ビットの STOP ビットで認識します。											
3	DRCHG	R/W	転送方向設定 0: LSB first 1: MSB first I/O インタフェースモード時の転送方向を指定します。 UART モード時は LSB first に設定してください。											
2	WBUF	R/W	ダブルバッファの許可 0: 不許可 1: 許可 I/O インタフェースモードの送信(SCLK 出力/入力), 受信(SCLK 出力), UART モードの送信時に、送信、受信のダブルバッファの許可/不許可を指定します。 I/O インタフェースモードの受信(SCLK 入力), UART モードの受信時は設定に関わらず、常にダブルバッファは許可されます。											

Bit	Bit Symbol	Type	機能										
1-0	SWRST[1:0]	R/W	<p>ソフトウェアリセット</p> <p>"10"→"01"の順に書き込むことでソフトウェアリセットが発生します。</p> <p>ソフトウェアリセットにより、以下のビットが初期化されます。また、送受信回路と FIFO は初期状態になります。(注 1)(注 2)</p> <table border="1"> <thead> <tr> <th>レジスタ名</th> <th>ビット</th> </tr> </thead> <tbody> <tr> <td>SCxMOD0</td> <td><RXE></td> </tr> <tr> <td>SCxMOD1</td> <td><TXE></td> </tr> <tr> <td>SCxMOD2</td> <td><TBEMP>, <RBFLL>, <TXRUN></td> </tr> <tr> <td>SCxCR</td> <td><OERR>, <PERR>, <FERR></td> </tr> </tbody> </table>	レジスタ名	ビット	SCxMOD0	<RXE>	SCxMOD1	<TXE>	SCxMOD2	<TBEMP>, <RBFLL>, <TXRUN>	SCxCR	<OERR>, <PERR>, <FERR>
レジスタ名	ビット												
SCxMOD0	<RXE>												
SCxMOD1	<TXE>												
SCxMOD2	<TBEMP>, <RBFLL>, <TXRUN>												
SCxCR	<OERR>, <PERR>, <FERR>												

注 1) 転送動作中にソフトウェアリセットを実施する場合は 2 回連続して実行してください。

注 2) ソフトウェアリセット動作が完了するのに、命令実行後 2 クロックが必要です。

11.4.8 SCxBRCR (ボーレートジェネレータコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	BRADDE	BRCK		BRS			
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	-	R/W	"0"をライトしてください。
6	BRADDE	R/W	N + (16 - K)/16 分周機能(UART 用) 0: ディセーブル 1: イネーブル この機能は、UART モードのときのみ使用可能です。
5-4	BRCK[1:0]	R/W	ボーレートジェネレータ入カクロック選択 00: φT1 01: φT4 10: φT16 11: φT64
3-0	BRS[3:0]	R/W	分周値"N"の設定 0000: 16 分周 0001: 1 分周 0010: 2 分周 : 1111: 15 分周

注 1) UART モードで $N + (16 - K)/16$ 分周機能を使用する場合、分周値"N"に 1 分周("0001")と 16 分周("0000")は設定できません。

注 2) I/O インタフェースモードの場合、分周値"N"に 1 分周("0001")を設定できるのはダブルバッファを使用する場合のみです。

11.4.9 SCxBRADD (ボーレートジェネレータコントロールレジスタ 2)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	BRK			
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-4	-	R	リードすると"0"が読めます。
3-0	BRK[3:0]	R/W	N + (16 - K)/16 分周の K 値の設定(UART 用) 0000: 設定禁止 0001: K = 1 0010: K = 2 : 1111: K = 15

ボーレートジェネレータ分周値の設定方法を表 11-2 にまとめます。

表 11-2 分周値の設定方法

	<BRADDE> = "0"のとき	<BRADDE> = "1"のとき (注 1) (UART モードのみ使用可能)
<BRS>の設定	分周値"N"を設定 (注 2) (注 3)	
<BRK>の設定	設定不要	"K"値を設定 (注 4)
分周値	N 分周	$N + \frac{(16 - K)}{16}$ 分周

注 1) N + (16 - K)/16 分周機能を使用する場合、必ず<BRK>に"K"値を設定後に<BRADDE> = "1"を設定してください。この機能は、UART モードのときのみ使用可能です。

注 2) "K"値に"0"を設定することはできません。

11.4.10 SCxFCNF (FIFO コンフィグレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	RFST	TFIE	RFIE	RXXCNT	CNFG
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能						
31-8	-	R	リードすると"0"が読めます。						
7-5	-	R/W	必ず"000"を書き込んでください。						
4	RFST	R/W	受信 FIFO 使用バイト数 0: 最大 1: 受信 FIFO の FILL レベルに同じ 受信 FIFO 使用バイト数の設定ビットです。(注 1) "0"の場合、構成されている FIFO の最大のバイト数(<CNFG>の説明を参照。)が使用可能です。 "1"の場合、SCxRFC<RIL[1:0]>で指定された FILL レベルのバイト数になります。						
3	TFIE	R/W	送信 FIFO 使用時の送信割り込み許可 0: 禁止 1: 許可 送信 FIFO が有効にされている時の送信割り込みの禁止/許可を切り替えます。						
2	RFIE	R/W	受信 FIFO 使用時の受信割り込み許可 0: 禁止 1: 許可 受信 FIFO が有効にされている時の受信割り込みの禁止/許可を切り替えます。						
1	RXTXCNT	R/W	RXE/TXE の自動禁止 0: なし 1: 自動禁止 送信/受信の自動禁止機能の制御ビットです。 "1"に設定した場合、設定された通信方式により以下のように動作します。 <table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 30%;">半二重受信</td> <td>受信シフトレジスタ、受信バッファおよび受信 FIFO に指定された有効バイト数分のデータが格納されると自動的に受信許可ビット(SCxMOD0 <RXE>)が"0"となり、受信が禁止される。</td> </tr> <tr> <td>半二重送信</td> <td>送信 FIFO、送信バッファおよび送信シフトレジスタのすべてのデータ送信が終了すると自動的に送信許可ビット(SCxMOD1 <TXE>)が"0"となり、送信が禁止される。</td> </tr> <tr> <td>全二重</td> <td>上記の半二重受信または半二重送信のどちらかの条件が成立すると自動的に送信許可ビット、受信許可ビットとも"0"となり、送受信が禁止される。</td> </tr> </table>	半二重受信	受信シフトレジスタ、受信バッファおよび受信 FIFO に指定された有効バイト数分のデータが格納されると自動的に受信許可ビット(SCxMOD0 <RXE>)が"0"となり、受信が禁止される。	半二重送信	送信 FIFO、送信バッファおよび送信シフトレジスタのすべてのデータ送信が終了すると自動的に送信許可ビット(SCxMOD1 <TXE>)が"0"となり、送信が禁止される。	全二重	上記の半二重受信または半二重送信のどちらかの条件が成立すると自動的に送信許可ビット、受信許可ビットとも"0"となり、送受信が禁止される。
半二重受信	受信シフトレジスタ、受信バッファおよび受信 FIFO に指定された有効バイト数分のデータが格納されると自動的に受信許可ビット(SCxMOD0 <RXE>)が"0"となり、受信が禁止される。								
半二重送信	送信 FIFO、送信バッファおよび送信シフトレジスタのすべてのデータ送信が終了すると自動的に送信許可ビット(SCxMOD1 <TXE>)が"0"となり、送信が禁止される。								
全二重	上記の半二重受信または半二重送信のどちらかの条件が成立すると自動的に送信許可ビット、受信許可ビットとも"0"となり、送受信が禁止される。								
0	CNFG	R/W	FIFO の許可 0: 禁止 1: 許可 FIFO 使用の許可ビットです。(注 2) "1"に設定すると FIFO が使用可能となります。設定された通信方式により FIFO の構成は以下のようになります。 <table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 30%;">半二重受信</td> <td>受信 FIFO 4 バイト</td> </tr> <tr> <td>半二重送信</td> <td>送信 FIFO 4 バイト</td> </tr> <tr> <td>全二重</td> <td>受信 FIFO 2 バイト + 送信 FIFO 2 バイト</td> </tr> </table>	半二重受信	受信 FIFO 4 バイト	半二重送信	送信 FIFO 4 バイト	全二重	受信 FIFO 2 バイト + 送信 FIFO 2 バイト
半二重受信	受信 FIFO 4 バイト								
半二重送信	送信 FIFO 4 バイト								
全二重	受信 FIFO 2 バイト + 送信 FIFO 2 バイト								

注 1) 送信 FIFO は常に構成されている FIFO の最大バイト数(<CNFG>の説明を参照)を使用できます。

注 2) 9 ビット UART モードでは FIFO は使用できません。

11.4.11 SCxRFC (受信 FIFO コンフィグレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	RFCS	RFIS	-	-	-	-	RIL	
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能															
31-8	-	R	リードすると"0"が読めます。															
7	RFCS	W	受信 FIFO クリア(注) 1: クリア "1"を書き込むと受信 FIFO がクリアされ、SCxRST<RLVL>="000"となります。また、リードポインタも初期化されます。 リードすると"0"が読めます。															
6	RFIS	R/W	割り込み発生条件選択 0: FIFO fill レベル(SCxRST<RLVL[2:0]>)=割り込み発生 fill レベル(<RIL[1:0]>)のとき 1: FIFO fill レベル(SCxRST<RLVL[2:0]>)>割り込み発生 fill レベル(<RIL[1:0]>)のとき 割り込み発生タイミングの詳細については、11.14.1.2 を参照してください。															
5-2	-	R	リードすると"0"が読めます。															
1-0	RIL[1:0]	R/W	受信割り込みが発生する受信 FIFO の fill レベル <table border="1"> <thead> <tr> <th></th><th>半二重</th><th>全二重</th></tr> </thead> <tbody> <tr> <td>00</td><td>4 バイト</td><td>2 バイト</td></tr> <tr> <td>01</td><td>1 バイト</td><td>1 バイト</td></tr> <tr> <td>10</td><td>2 バイト</td><td>2 バイト</td></tr> <tr> <td>11</td><td>3 バイト</td><td>1 バイト</td></tr> </tbody> </table>		半二重	全二重	00	4 バイト	2 バイト	01	1 バイト	1 バイト	10	2 バイト	2 バイト	11	3 バイト	1 バイト
	半二重	全二重																
00	4 バイト	2 バイト																
01	1 バイト	1 バイト																
10	2 バイト	2 バイト																
11	3 バイト	1 バイト																

注) 送信/受信 FIFO 使用時は、SIO/UART の転送モード設定(半二重/全二重)、FIFO 許可 (SCxFCNF<CNFG>="1")の後、必ず送信/受信 FIFO のクリアを実行してください。

11.4.12 SCxTFC (送信 FIFO コンフィグレジスタ) (注 2)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TFCS	TFIS	-	-	-	-	TIL	
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能															
31-8	-	R	リードすると"0"が読めます。															
7	TFCS	W	送信 FIFO クリア(注 1) 1: クリア "1"を書き込むと送信 FIFO がクリアされ、SCxTST<TLVL>="000"となります。また、ライトポインタも初期化されます。 リードすると"0"が読めます。															
6	TFIS	R/W	割り込み発生条件選択 0: FIFO fill レベル(SCxTST<TLVL[2:0]>)=割り込み発生 fill レベル(<TIL[1:0]>)のとき 1: FIFO fill レベル(SCxTST<TLVL[2:0]>)≦割り込み発生 fill レベル(<TIL[1:0]>)のとき 割り込み発生タイミングの詳細については、11.14.2.2 を参照してください。															
5-2	-	R	リードすると"0"が読めます。															
1-0	TIL[1:0]	R/W	送信割り込みが発生する送信 FIFO の fill レベル <table border="1" style="margin-left: 20px;"> <thead> <tr> <th></th> <th>半二重</th> <th>全二重</th> </tr> </thead> <tbody> <tr> <td>00</td> <td>Empty</td> <td>Empty</td> </tr> <tr> <td>01</td> <td>1 バイト</td> <td>1 バイト</td> </tr> <tr> <td>10</td> <td>2 バイト</td> <td>Empty</td> </tr> <tr> <td>11</td> <td>3 バイト</td> <td>1 バイト</td> </tr> </tbody> </table>		半二重	全二重	00	Empty	Empty	01	1 バイト	1 バイト	10	2 バイト	Empty	11	3 バイト	1 バイト
	半二重	全二重																
00	Empty	Empty																
01	1 バイト	1 バイト																
10	2 バイト	Empty																
11	3 バイト	1 バイト																

注 1) 送信/受信 FIFO 使用時は、SIO/UART の転送モード設定(半二重/全二重)、FIFO 許可(SCxFCNF<CNFG>="1")の後、必ず送信/受信 FIFO のクリアを実行してください。

注 2) SCxEN<SIOE>=0(SIO/UART 動作禁止)、または SCxMOD1<I2SC>=0 で IDLE モードへの移行(IDLE モード中の動作停止)した場合は、必ず SCxTFC の再設定を行ってください。

11.4.13 SCxRST (受信 FIFO ステータスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ROR	-	-	-	-	RLVL		
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	ROR	R	受信 FIFO オーバラン(注) 0: オーバランは発生していない 1: オーバラン発生
6-3	-	R	リードすると"0"が読めます。
2-0	RLVL[2:0]	R	受信 FIFO の fill レベル 000: Empty 001: 1 バイト 010: 2 バイト 011: 3 バイト 100: 4 バイト

注) <ROR>はバッファレジスタ(SCxBUF)を読み出すと"0"にクリアされます。

11.4.14 SCxTST (送信 FIFO ステータスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TUR	-	-	-	-	TLVL		
リセット後	1	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	TUR	R	送信 FIFO アンダラン(注) 0: アンダランは発生していない 1: アンダラン発生
6-3	-	R	リードすると"0"が読めます。
2-0	TLVL[2:0]	R	送信 FIFO の fill レベル 000: Empty 001: 1 バイト 010: 2 バイト 011: 3 バイト 100: 4 バイト

注) <TUR>ビットはバッファレジスタ(SCxBUF)に書き込みを行うと"0"にクリアされます。

11.5 動作モード

表 11-3 にモードとデータフォーマットをまとめます。

表 11-3 モードとデータフォーマット

モード	種類	データ長	転送方向	パリティ付加	STOP ビット長(送信)
モード 0	同期通信モード (I/O インタフェースモード)	8 ビット	LSB first/MSB first	-	-
モード 1	非同期通信モード (UART モード)	7 ビット	LSB first	○	1 ビットまたは 2 ビット
モード 2		8 ビット		○	
モード 3		9 ビット		×	

モード 0 は同期通信モードで、I/O を拡張するために使用できます。SCLK に同期してデータの送受信を行います。SCLK は入力/出力いずれも使用できます。

転送方向は、LSB first と MSB first から選択可能です。パリティ付加機能はなく、STOP ビットも使用しません。

モード 1 からモード 3 は非同期通信モードです。転送方向は LSB first 固定です。

モード 1 とモード 2 はパリティビットの付加が可能です。モード 3 は、マスタコントローラが、シリアルリンク(マルチコントローラシステム)でスレーブコントローラを起動させるためのウェイクアップ機能を有しています。

送信時の STOP ビットを 1 ビットまたは 2 ビットから選択できます。受信時の STOP ビット長は 1 ビット固定です。

11.6 データフォーマット

11.6.1 データフォーマット一覧

図 11-2 にデータフォーマットを示します。

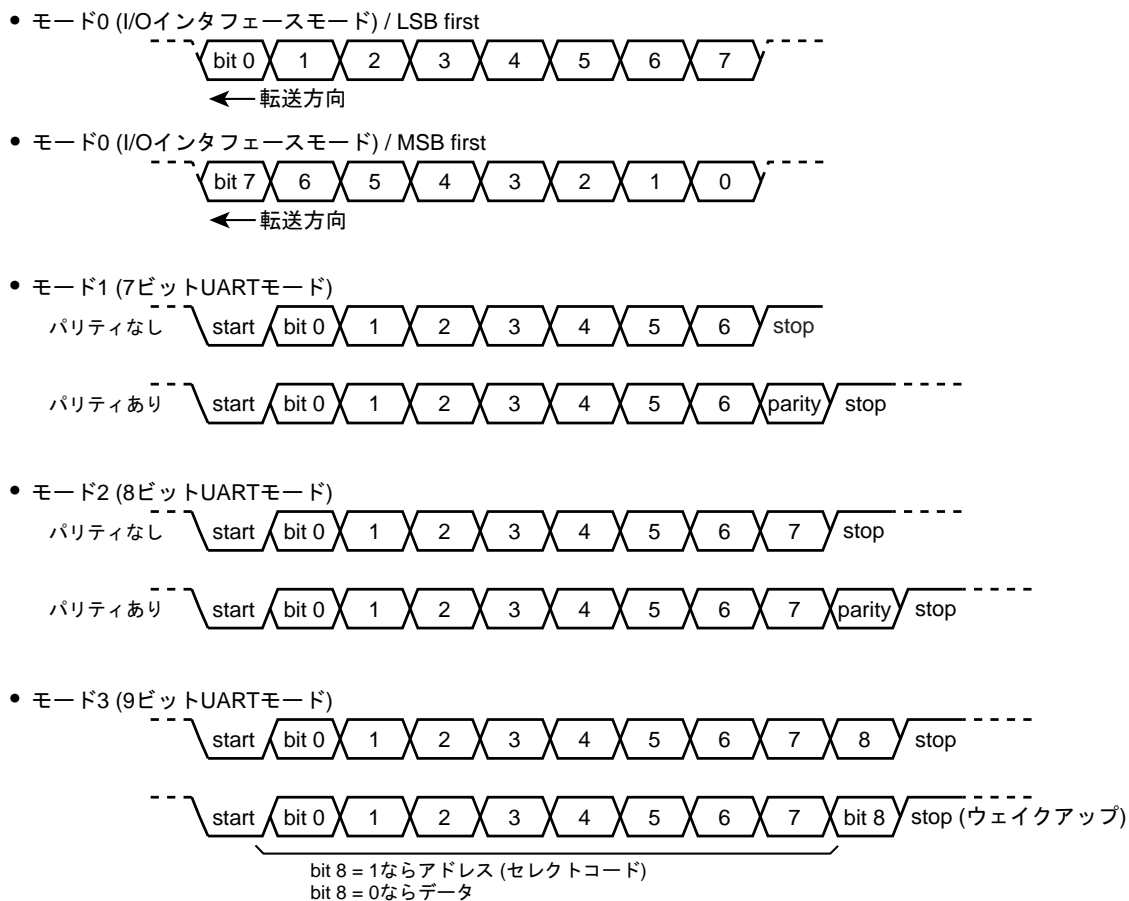


図 11-2 データフォーマット

11.6.2 パリティ制御

7ビットUARTモードまたは8ビットUARTモードでは送信データにパリティビットを付加することができます。

SCxCR<PE>に"1"を設定するとパリティが有効になります。SCxCR<EVEN>で偶数/奇数パリティを選択することができます。

11.6.2.1 送信

送信時、パリティ制御回路は送信バッファのデータに対して自動的にパリティを発生し、7ビットUARTモードのときはSCxBUF<TB7>に、8ビットUARTモードのときはSCxMOD0<TB8>にパリティが格納されます。

なお<PE>と<EVEN>の設定は、送信データをバッファレジスタに書き込む前に行ってください。

11.6.2.2 受信

受信データが受信シフトレジスタから受信バッファに移されるとパリティを自動発生し、7ビットUARTモードのときはSCxBUF<RB7>と、8ビットUARTモードのときはSCxCR<RB8>と生成したパリティを比較します。異なっているとパリティエラーが発生し、SCxCR<PERR>がセットされます。

FIFOを使用する場合、<PERR>は受信したいずれかのデータでパリティエラーが発生したことを示します。

11.6.3 STOP ビット長

SCxMOD2<SBLN>で、UART送信モードのSTOPビット長を1ビットまたは2ビットに設定できます。受信の場合にはこのビットの設定にかかわらず1ビットのSTOPビット長として認識します。

11.7 クロック制御

11.7.1 プリスケータ

7ビットのプリスケータを実装しており、 $\phi T0$ の 2 / 8 / 32 / 128 分周のクロックを生成します。

プリスケータの入力クロック $\phi T0$ は、クロック/モード制御部の CGSYSCR レジスタで選択します。

プリスケータは、SCxMOD0<SC[1:0]>="01"でボーレートジェネレータを転送クロックとして選択した場合に動作します。

ボーレートジェネレータへの入力クロック分解能を、表11-4 に示します。

表 11-4 ボーレートジェネレータへの入力クロック分解能 $f_c = 40 \text{ MHz}$

ペリフェラル クロック選択 CGSYSCR <FPSEL[1:0]>	クロック ギア値 CGSYSCR <GEAR[2:0]>	プリスケアラ クロック選択 CGSYSCR <PRCK[2:0]>	プリスケアラ出カクロック 分解能			
			$\phi T1$	$\phi T4$	$\phi T16$	$\phi T64$
00 (fgear)	000 (fc)	000 (fperiph/1)	$f_c/2^1$ (0.05 μs)	$f_c/2^3$ (0.2 μs)	$f_c/2^5$ (0.8 μs)	$f_c/2^7$ (3.2 μs)
		001 (fperiph/2)	$f_c/2^2$ (0.1 μs)	$f_c/2^4$ (0.4 μs)	$f_c/2^6$ (1.6 μs)	$f_c/2^8$ (6.4 μs)
		010 (fperiph/4)	$f_c/2^3$ (0.2 μs)	$f_c/2^5$ (0.8 μs)	$f_c/2^7$ (3.2 μs)	$f_c/2^9$ (12.8 μs)
		011 (fperiph/8)	$f_c/2^4$ (0.4 μs)	$f_c/2^6$ (1.6 μs)	$f_c/2^8$ (6.4 μs)	$f_c/2^{10}$ (25.6 μs)
		100 (fperiph/16)	$f_c/2^5$ (0.8 μs)	$f_c/2^7$ (3.2 μs)	$f_c/2^9$ (12.8 μs)	$f_c/2^{11}$ (51.2 μs)
		101 (fperiph/32)	$f_c/2^6$ (1.6 μs)	$f_c/2^8$ (6.4 μs)	$f_c/2^{10}$ (25.6 μs)	$f_c/2^{12}$ (102.4 μs)
	100 (fc/2)	000 (fperiph/1)	$f_c/2^2$ (0.1 μs)	$f_c/2^4$ (0.4 μs)	$f_c/2^6$ (1.6 μs)	$f_c/2^8$ (6.4 μs)
		001 (fperiph/2)	$f_c/2^3$ (0.2 μs)	$f_c/2^5$ (0.8 μs)	$f_c/2^7$ (3.2 μs)	$f_c/2^9$ (12.8 μs)
		010 (fperiph/4)	$f_c/2^4$ (0.4 μs)	$f_c/2^6$ (1.6 μs)	$f_c/2^8$ (6.4 μs)	$f_c/2^{10}$ (25.6 μs)
		011 (fperiph/8)	$f_c/2^5$ (0.8 μs)	$f_c/2^7$ (3.2 μs)	$f_c/2^9$ (12.8 μs)	$f_c/2^{11}$ (51.2 μs)
		100 (fperiph/16)	$f_c/2^6$ (1.6 μs)	$f_c/2^8$ (6.4 μs)	$f_c/2^{10}$ (25.6 μs)	$f_c/2^{12}$ (102.4 μs)
		101 (fperiph/32)	$f_c/2^7$ (3.2 μs)	$f_c/2^9$ (12.8 μs)	$f_c/2^{11}$ (51.2 μs)	$f_c/2^{13}$ (204.8 μs)
	101 (fc/4)	000 (fperiph/1)	$f_c/2^3$ (0.2 μs)	$f_c/2^5$ (0.8 μs)	$f_c/2^7$ (3.2 μs)	$f_c/2^9$ (12.8 μs)
		001 (fperiph/2)	$f_c/2^4$ (0.4 μs)	$f_c/2^6$ (1.6 μs)	$f_c/2^8$ (6.4 μs)	$f_c/2^{10}$ (25.6 μs)
		010 (fperiph/4)	$f_c/2^5$ (0.8 μs)	$f_c/2^7$ (3.2 μs)	$f_c/2^9$ (12.8 μs)	$f_c/2^{11}$ (51.2 μs)
		011 (fperiph/8)	$f_c/2^6$ (1.6 μs)	$f_c/2^8$ (6.4 μs)	$f_c/2^{10}$ (25.6 μs)	$f_c/2^{12}$ (102.4 μs)
		100 (fperiph/16)	$f_c/2^7$ (3.2 μs)	$f_c/2^9$ (12.8 μs)	$f_c/2^{11}$ (51.2 μs)	$f_c/2^{13}$ (204.8 μs)
		101 (fperiph/32)	$f_c/2^8$ (6.4 μs)	$f_c/2^{10}$ (25.6 μs)	$f_c/2^{12}$ (102.4 μs)	$f_c/2^{14}$ (409.6 μs)
	110 (fc/8)	000 (fperiph/1)	$f_c/2^4$ (0.4 μs)	$f_c/2^6$ (1.6 μs)	$f_c/2^8$ (6.4 μs)	$f_c/2^{10}$ (25.6 μs)
		001 (fperiph/2)	$f_c/2^5$ (0.8 μs)	$f_c/2^7$ (3.2 μs)	$f_c/2^9$ (12.8 μs)	$f_c/2^{11}$ (51.2 μs)
		010 (fperiph/4)	$f_c/2^6$ (1.6 μs)	$f_c/2^8$ (6.4 μs)	$f_c/2^{10}$ (25.6 μs)	$f_c/2^{12}$ (102.4 μs)
		011 (fperiph/8)	$f_c/2^7$ (3.2 μs)	$f_c/2^9$ (12.8 μs)	$f_c/2^{11}$ (51.2 μs)	$f_c/2^{13}$ (204.8 μs)
		100 (fperiph/16)	$f_c/2^8$ (6.4 μs)	$f_c/2^{10}$ (25.6 μs)	$f_c/2^{12}$ (102.4 μs)	$f_c/2^{14}$ (409.6 μs)
		101 (fperiph/32)	$f_c/2^9$ (12.8 μs)	$f_c/2^{11}$ (51.2 μs)	$f_c/2^{13}$ (204.8 μs)	$f_c/2^{15}$ (819.2 μs)
	111 (fc/16)	000 (fperiph/1)	$f_c/2^5$ (0.8 μs)	$f_c/2^7$ (3.2 μs)	$f_c/2^9$ (12.8 μs)	$f_c/2^{11}$ (51.2 μs)
		001 (fperiph/2)	$f_c/2^6$ (1.6 μs)	$f_c/2^8$ (6.4 μs)	$f_c/2^{10}$ (25.6 μs)	$f_c/2^{12}$ (102.4 μs)
		010 (fperiph/4)	$f_c/2^7$ (3.2 μs)	$f_c/2^9$ (12.8 μs)	$f_c/2^{11}$ (51.2 μs)	$f_c/2^{13}$ (204.8 μs)
		011 (fperiph/8)	$f_c/2^8$ (6.4 μs)	$f_c/2^{10}$ (25.6 μs)	$f_c/2^{12}$ (102.4 μs)	$f_c/2^{14}$ (409.6 μs)
		100 (fperiph/16)	$f_c/2^9$ (12.8 μs)	$f_c/2^{11}$ (51.2 μs)	$f_c/2^{13}$ (204.8 μs)	$f_c/2^{15}$ (819.2 μs)
		101 (fperiph/32)	$f_c/2^{10}$ (25.6 μs)	$f_c/2^{12}$ (102.4 μs)	$f_c/2^{14}$ (409.6 μs)	$f_c/2^{16}$ (1638.4 μs)

表 11-4 ボーレートジェネレータへの入カロック分解能 $f_c = 40 \text{ MHz}$

ペリフェラル クロック選択 CGSYSR <FPSEL[1:0]>	クロック ギア値 CGSYSR <GEAR[2:0]>	プリスケアラ クロック選択 CGSYSR <PRCK[2:0]>	プリスケアラ出カクロック 分解能			
			$\phi T1$	$\phi T4$	$\phi T16$	$\phi T64$
01 (fc)	000 (fc)	000 (fperiph/1)	$fc/2^1$ (0.05 μs)	$fc/2^3$ (0.2 μs)	$fc/2^5$ (0.8 μs)	$fc/2^7$ (3.2 μs)
		001 (fperiph/2)	$fc/2^2$ (0.1 μs)	$fc/2^4$ (0.4 μs)	$fc/2^6$ (1.6 μs)	$fc/2^8$ (6.4 μs)
		010 (fperiph/4)	$fc/2^3$ (0.2 μs)	$fc/2^5$ (0.8 μs)	$fc/2^7$ (3.2 μs)	$fc/2^9$ (12.8 μs)
		011 (fperiph/8)	$fc/2^4$ (0.4 μs)	$fc/2^6$ (1.6 μs)	$fc/2^8$ (6.4 μs)	$fc/2^{10}$ (25.6 μs)
		100 (fperiph/16)	$fc/2^5$ (0.8 μs)	$fc/2^7$ (3.2 μs)	$fc/2^9$ (12.8 μs)	$fc/2^{11}$ (51.2 μs)
		101 (fperiph/32)	$fc/2^6$ (1.6 μs)	$fc/2^8$ (6.4 μs)	$fc/2^{10}$ (25.6 μs)	$fc/2^{12}$ (102.4 μs)
	100 (fc/2)	000 (fperiph/1)	–	$fc/2^3$ (0.2 μs)	$fc/2^5$ (0.8 μs)	$fc/2^7$ (3.2 μs)
		001 (fperiph/2)	$fc/2^2$ (0.1 μs)	$fc/2^4$ (0.4 μs)	$fc/2^6$ (1.6 μs)	$fc/2^8$ (6.4 μs)
		010 (fperiph/4)	$fc/2^3$ (0.2 μs)	$fc/2^5$ (0.8 μs)	$fc/2^7$ (3.2 μs)	$fc/2^9$ (12.8 μs)
		011 (fperiph/8)	$fc/2^4$ (0.4 μs)	$fc/2^6$ (1.6 μs)	$fc/2^8$ (6.4 μs)	$fc/2^{10}$ (25.6 μs)
		100 (fperiph/16)	$fc/2^5$ (0.8 μs)	$fc/2^7$ (3.2 μs)	$fc/2^9$ (12.8 μs)	$fc/2^{11}$ (51.2 μs)
		101 (fperiph/32)	$fc/2^6$ (1.6 μs)	$fc/2^8$ (6.4 μs)	$fc/2^{10}$ (25.6 μs)	$fc/2^{12}$ (102.4 μs)
	101 (fc/4)	000 (fperiph/1)	–	$fc/2^3$ (0.2 μs)	$fc/2^5$ (0.8 μs)	$fc/2^7$ (3.2 μs)
		001 (fperiph/2)	–	$fc/2^4$ (0.4 μs)	$fc/2^6$ (1.6 μs)	$fc/2^8$ (6.4 μs)
		010 (fperiph/4)	$fc/2^3$ (0.2 μs)	$fc/2^5$ (0.8 μs)	$fc/2^7$ (3.2 μs)	$fc/2^9$ (12.8 μs)
		011 (fperiph/8)	$fc/2^4$ (0.4 μs)	$fc/2^6$ (1.6 μs)	$fc/2^8$ (6.4 μs)	$fc/2^{10}$ (25.6 μs)
		100 (fperiph/16)	$fc/2^5$ (0.8 μs)	$fc/2^7$ (3.2 μs)	$fc/2^9$ (12.8 μs)	$fc/2^{11}$ (51.2 μs)
		101 (fperiph/32)	$fc/2^6$ (1.6 μs)	$fc/2^8$ (6.4 μs)	$fc/2^{10}$ (25.6 μs)	$fc/2^{12}$ (102.4 μs)
	110 (fc/8)	000 (fperiph/1)	–	–	$fc/2^5$ (0.8 μs)	$fc/2^7$ (3.2 μs)
		001 (fperiph/2)	–	$fc/2^4$ (0.4 μs)	$fc/2^6$ (1.6 μs)	$fc/2^8$ (6.4 μs)
		010 (fperiph/4)	–	$fc/2^5$ (0.8 μs)	$fc/2^7$ (3.2 μs)	$fc/2^9$ (12.8 μs)
		011 (fperiph/8)	$fc/2^4$ (0.4 μs)	$fc/2^6$ (1.6 μs)	$fc/2^8$ (6.4 μs)	$fc/2^{10}$ (25.6 μs)
		100 (fperiph/16)	$fc/2^5$ (0.8 μs)	$fc/2^7$ (3.2 μs)	$fc/2^9$ (12.8 μs)	$fc/2^{11}$ (51.2 μs)
		101 (fperiph/32)	$fc/2^6$ (1.6 μs)	$fc/2^8$ (6.4 μs)	$fc/2^{10}$ (25.6 μs)	$fc/2^{12}$ (102.4 μs)
111 (fc/16)	000 (fperiph/1)	–	–	$fc/2^5$ (0.8 μs)	$fc/2^7$ (3.2 μs)	
	001 (fperiph/2)	–	–	$fc/2^6$ (1.6 μs)	$fc/2^8$ (6.4 μs)	
	010 (fperiph/4)	–	$fc/2^5$ (0.8 μs)	$fc/2^7$ (3.2 μs)	$fc/2^9$ (12.8 μs)	
	011 (fperiph/8)	–	$fc/2^6$ (1.6 μs)	$fc/2^8$ (6.4 μs)	$fc/2^{10}$ (25.6 μs)	
	100 (fperiph/16)	$fc/2^5$ (0.8 μs)	$fc/2^7$ (3.2 μs)	$fc/2^9$ (12.8 μs)	$fc/2^{11}$ (51.2 μs)	
	101 (fperiph/32)	$fc/2^6$ (1.6 μs)	$fc/2^8$ (6.4 μs)	$fc/2^{10}$ (25.6 μs)	$fc/2^{12}$ (102.4 μs)	

注 1) プリスケアラ出カクロック ϕT_n は、必ず $\phi T_n \leq f_{\text{sys}}/2$ を満足するように (ϕT_n が f_{sys} よりも遅くなるように) 選択してください。

注 2) SIO/UART 動作中はクロックギアの切り替えは行わないでください。

注 3) 表中"–"は設定禁止、"***"は Don't Care です。

11.7.2 シリアルクロック生成回路

送受信クロック(SIOCLK)を生成するブロックで、ボーレートジェネレータとモードによりクロックを選択する回路で構成されています。

11.7.2.1 ボーレートジェネレータ

ボーレートジェネレータは、シリアルチャネルの転送速度を定める送受信クロックを生成するための回路です。

(1) ボーレートジェネレータ入力クロック

ボーレートジェネレータの入力クロックは、プリスケアラ出力の 2 / 8 / 32 / 128 分周から選択します。入力クロックの選択は SCxBRCR<BRCK>で行います。

(2) ボーレートジェネレータ出力クロック

ボーレートジェネレータの出力クロック分周値は、SCxBRCR、SCxBRADD で設定します。

I/O インタフェースモードでは N 分周、UART モードでは N 分周または $N + (16-K)/16$ 分周が使用できます。

以下に設定可能な分周値をまとめます。

モード	分周機能設定 SCxBRCR<BRADDE>	N 分周値 SCxBRCR<BRS>	K 値 SCxBRADD<BRK>
I/O インタフェース	N 分周	1 ~ 16 (注)	-
UART	N 分周	1 ~ 16	-
	$N + (16-K)/16$ 分周	2 ~ 15	1 ~ 15

注) 1分周は、ダブルバッファ許可時のみ使用できます。

11.7.2.2 クロック選択回路

モードとレジスタ設定により、クロックが選択されます。

モードは SCxMOD0<SM>で指定します。

I/O インタフェースモード時のクロックは、SCxCR で設定します。

UART モード時のクロックは、SCxMOD0<SC>で設定します。

(1) I/O インタフェースモードの転送クロック

表 11-5 に I/O インタフェースモードで可能なクロックを示します。

表 11-5 I/O インタフェースモードのクロック選択

モード SCxMOD0<SM>	入出力選択 SCxCR<IOC>	クロックエッジ選択 SCxCR<SCLKS>	使用クロック
I/O インタフェース モード	SCLK 出力	"0"で使用 (立ち上がり固定)	ポーレートジェネレータ出力の 2分周
	SCLK 入力	立ち上がり	SCLK 入力立ち上がりエッジ
		立下り	SCLK 入力立ち下がりエッジ

ポーレートジェネレータを使用する場合、以下の設定が最高ポーレートとなります。

注) AC 電気的特性を満足することを確認のうえ、クロック設定を決定してください。

- ・ クロック/モード制御部の設定
 - fc = 40MHz
 - fgear = 40MHz (CGSYSCR<GEAR[2:0]> = "000" : fc 選択)
 - φ T0 = 40MHz (CGSYSCR<PRCK[2:0]> = "000" : 1 分周)
- ・ SIO/UART の設定(ダブルバッファ使用の場合)
 - クロック選択 (SCxBRCR<BRCK[1:0]> = "00" : φ T1 選択) = 20MHz
 - 分周値 (SCxBRCR<BRS[3:0]> = "0001" : 1 分周) = 20MHz

ダブルバッファ使用の場合、1 分周が選択できます。ポーレートは 20MHz が 2 分周され、10Mbps となります。
- ・ SIO/UART の設定(ダブルバッファ未使用の場合)
 - クロック選択(SCxBRCR<BRCK[1:0]> = "00" : φ T1 選択) = 20MHz
 - 分周値(SCxBRCR<BRS[3:0]> = "0010" : 2 分周) = 10MHz

ダブルバッファ未使用の場合は、2 分周が最速になります。ポーレートは 10MHz が 2 分周され、5Mbps となります。

SCLK 入力を使用する場合、以下の条件を満足する必要があります。

- ・ ダブルバッファ使用の場合
 - SCLK 周期 > 6/fsys

最高ポーレートは、 $40 \div 6 = 6.66$ Mbps 未満となります。
- ・ ダブルバッファ未使用の場合
 - SCLK 周期 > 8/fsys

最高ポーレートは、 $40 \div 8 = 5$ Mbps 未満となります。

(2) UART モードの転送クロック

表 11-6 に UART モードの場合のクロック選択を示します。UART モードでは、選択されたクロックを受信/送信カウンタでさらに 16 分周して使用します。

表 11-6 UART モードのクロック選択

モード SCxMOD0<SM>	クロック選択 SCxMOD0<SC>
UART モード	タイマ出力
	ボーレートジェネレータ
	fsys
	SCLK 入力

それぞれのクロックでのボーレート例を示します。

- ・ ボーレートジェネレータを使用する場合

- fc = 40MHz
- fgear = 40MHz (CGSYSCR<GEAR[2:0]> = "000" : fc 選択)
- φ T0 = 40MHz (CGSYSCR<PRCK[2:0]> = "000" : 1 分周)
- クロック選択 = φ T1 = 20MHz (SCxBRCR<BRCK[1:0]> = "00" : φ T1 選択)

最高ボーレートは 20MHz が 16 分周され、1.25Mbps となります。

表 11-7 に以下のクロック設定でボーレートジェネレータを使用する場合のボーレート例を示します。

- ・ fc = 9.8304MHz
- ・ fgear = 9.8304MHz (CGSYSCR<GEAR[2:0]> = "000" : fc 選択)
- ・ φ T0 = 4.9152MHz (CGSYSCR<PRCK[2:0]> = "001" : 2 分周)

表 11-7 UART モードのボーレート例(ボーレートジェネレータ使用)

fc [MHz]	分周値 N (SCxBRCR<BRS[3:0]>)	φ T1 (fc/4)	φ T4 (fc/16)	φ T16 (fc/64)	φ T64 (fc/256)
9.830400	2	76.800	19.200	4.800	1.200
	4	38.400	9.600	2.400	0.600
	8	19.200	4.800	1.200	0.300
	16	9.600	2.400	0.600	0.150

単位 : kbps

- ・ SCLK 入力を使用する場合

SCLK 入力を使用する場合、以下の条件を満足する必要があります。

- SCLK 周期 > 2/fsys

最高ボーレートは、 $40 \div 2 \div 16 = 1.25$ Mbps 未満にする必要があります。

- ・ fsys を使用する場合

fsys の最高が 40MHz ですので、最高ボーレートは、 $40 \div 16 = 2.5$ Mbps となります。

- ・ タイマ出力を使用する場合

タイマの出力を使用する場合、カウンタと TBxRG1 の一致でタイマフリップフロップ出力を反転させる設定とします。SIOCLK クロック周期は「TBxRG1 設定値 × 2」となります。

ボーレートは以下の計算式で求められます。

ボーレートの算出方法

$$\text{転送レート} = \frac{\text{CGSYSCR}\langle\text{PRCK}[2:0]\rangle \text{で選択されたクロック周波数}}{(\text{TBxRG1} \times 2) \times 2 \times 16}$$

↑ (タイマプリスケールクロックφT1 (2分周) を選択した場合)
 ↑ (タイマフリップフロップ反転2回で1クロック周期となる)

表 11-8 に以下のクロック設定でタイマ出力を使用する場合のボーレート例を示します。

- ・ fc = 32MHz / 9.8304MHz / 8MHz
- ・ fgear = 32MHz / 9.8304MHz / 8MHz (CGSYSCR<GEAR[2:0]> = "000" : fc 選択)
- ・ φ T0 = 16MHz / 4.9152MHz / 4MHz (CGSYSCR<PRCK[2:0]> = "001" : 2 分周)
- ・ タイマカウントクロック
= 4MHz / 1.2287MHz / 1MHz (TBxMOD<TBCLK[1:0]> = "01" : φ T1 選択)

表 11-8 UART モードのボーレート例(タイマ出力使用)

TBxRG1 設定	fc		
	32MHz	9.8304MHz	8MHz
0x0001	250	76.8	62.5
0x0002	125	38.4	31.25
0x0003	-	25.6	-
0x0004	62.5	19.2	15.625
0x0005	50	15.36	12.5
0x0006	-	12.8	-
0x0008	31.25	9.6	-
0x000A	25	7.68	6.25
0x0010	15.625	4.8	-
0x0014	12.5	3.84	3.125

単位 : kbps

11.8 送信/受信バッファと FIFO

11.8.1 構成

送信/受信バッファと FIFO の構成を図 11-3 に示します。

バッファと FIFO を使用するには設定が必要です。また、モードによっては構成が決まっている場合があります。



図 11-3 バッファと FIFO の構成

11.8.2 送信/受信バッファ

送信および受信バッファはダブルバッファ構造となっています。バッファ構成の設定は、SCxMOD2<WBUF>で行います。

受信の場合、I/O インタフェースモードで SCLK 入力の場合と、UART モードでは<WBUF>の設定によらずダブルバッファ構成になります。その他のモードでは<WBUF>の設定に従います。

表 11-9 にモードとバッファ構成の関係をまとめます。

表 11-9 モードとバッファ構成

モード		SCxMOD2<WBUF>	
		"0"	"1"
UART	送信	シングル	ダブル
	受信	ダブル	ダブル
I/O インタフェース (SCLK 入力)	送信	シングル	ダブル
	受信	ダブル	ダブル
I/O インタフェース (SCLK 出力)	送信	シングル	ダブル
	受信	シングル	ダブル

11.8.3 FIFO

ダブルバッファに加えて、4byte の FIFO を使用することができます。

FIFO を有効にするには SCxMOD2<WBUF>を"1"としてダブルバッファをイネーブルにし、SCxFCNF<CNFG>に"1"をセットします。FIFO の構成は SCxMOD1<FDPX>で設定します。

注) 送信/受信 FIFO 使用時は、SIO/UART の転送モード設定(半二重/全二重)、FIFO 許可 (SCxFCNF<CNFG>="1")の後、必ず送信/受信 FIFO のクリアを実行して下さい。

表 11-10 にモードと FIFO 構成の関係をまとめます。

表 11-10 モードと FIFO 構成

	SCxMOD1<FDPX[1:0]>	受信 FIFO	送信 FIFO
半二重受信	"01"	4byte	-
半二重送信	"10"	-	4byte
全二重	"11"	2byte	2byte

11.9 ステータスフラグ

SCxMOD2 レジスタに 2 種類のステータスフラグが準備されています。これらのフラグはダブルバッファ許可設定時のみ意味を持ちます。

<RBFL>は、受信バッファ full を示すフラグです。1 データの受信が終了し、データが受信シフトレジスタから受信バッファに移されると"1"にセットされます。受信バッファを読み出すと"0"にクリアされます。

<TBEMP>は、送信バッファ empty を示すフラグです。送信バッファから送信シフトレジスタへデータが移されると、"1"がセットされます。送信バッファにデータをセットすると"0"にクリアされます。

11.10 エラーフラグ

SCxCR レジスタに 3 種類のエラーフラグが準備されています。フラグによってはモードにより意味が変わります。以下にモードごとのフラグの意味をまとめます。

これらのフラグは、SCxCR レジスタを読み出すと"0"にクリアされます。

モード	フラグ		
	<OERR>	<PERR>	<FERR>
UART	オーバランエラー	パリティエラー	フレーミングエラー
I/O インタフェース (SCLK 入力)	オーバランエラー	アンダランエラー (ダブルバッファ または FIFO 使用時) "0"固定 (ダブルバッファ および FIFO 未使用時)	"0"固定
I/O インタフェース (SCLK 出力)	不定	不定	"0"固定

11.10.1 OERR フラグ

UART モード、I/O インタフェースモード共に、受信バッファのデータを読み出す前に次のフレームの受信が終了すると"1"にセットされます。受信 FIFO/OO を有効にしている場合は、受信 FIFO ヘッダデータが自動的に移されるので、受信 FIFO が full (使用バイト数) になるまではフラグはセットされません。

I/O インタフェースモードの SCLK 出力の設定では、フラグのセットとともに SCLK 出力が停止します。

注) I/O インタフェース SCLK 出力モードから他のモードへ切り替える際には、SCxCR レジスタを読み出し、オーバランフラグをクリアしてください。

11.10.2 PERR フラグ

UART モードではパリティエラーを、I/O インタフェースモードではアンダランエラーまたは送信終了を示します。

パリティエラーは UART モードで受信したデータから生成されたパリティと受信したパリティが異なる場合に"1"にセットされます。

アンダランエラーは、I/O インタフェースモードでダブルバッファが有効な場合に以下の条件で"1"にセットされます。

SCLK 入力の場合、送信シフトレジスタのデータを送信終了後、送信バッファにデータがない状態で次の転送クロックが入力されるとセットされます。

SCLK 出力の場合、すべてのデータ送信が終了するとセットされクロック出力を停止します。

注) I/O インタフェース SCLK 出力モードから他のモードへ切り替える際には、SCxCR レジスタを読み出し、アンダランフラグをクリアしてください。

11.10.3 FERR フラグ

フレーミングエラーは UART モードの受信データのストップビットを中央付近でサンプリングし、結果が"0"の場合に発生します。SCxMOD2<SBLEN>でのストップビット長設定に関わらず、判定は第 1 ストップビットで行われます。

I/O インタフェースモードではこのビットは"0"固定です。

11.11 受信

11.11.1 受信カウンタ

受信カウンタは4ビットのバイナリカウンタで、SIOCLK でカウントアップされます。

UART モードでは、データ 1 ビットの受信に SIOCLK が 16 クロック用いられ、7、8、9 発目でデータをサンプリングします。3 度のデータサンプリングによる多数決論理により受信データを判断しています。

11.11.2 受信制御部

11.11.2.1 I/O インタフェースモードの場合

SCxCR<IOC>="0"の SCLK 出力モードのときは、SCLK 端子へ出力されるシフトクロックの立ち上がりで RXD 端子をサンプリングします。

SCxCR <IOC>="1"の SCLK 入力モードのときは、SCxCR<SCLKS>の設定に従って、SCLK 入力の立ち上がり/立ち下がりエッジでシリアル受信データ RXD 端子をサンプリングします。

11.11.2.2 UART モードの場合

受信制御部はスタートビット検出回路を持ち、正常なスタートビットを判断して受信動作を開始します。

11.11.3 受信動作

11.11.3.1 受信バッファの動作

受信シフトレジスタに受信データが 1 ビットずつ格納され、データがそろると割り込み INTRXx が発生します

ダブルバッファ設定の場合は、データは受信バッファ(SCxBUF)へ移され受信バッファの full フラグ(SCxMOD2<RBFL>)が"1"にセットされます。受信バッファ full フラグは、受信バッファを読み出すと"0"にクリアされます。シングルバッファの場合、受信バッファ full フラグは意味を持ちません。

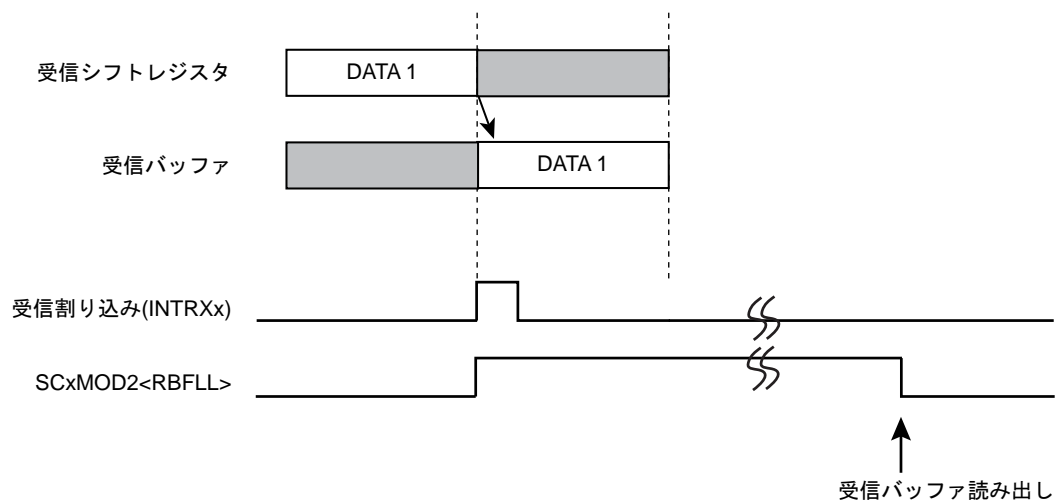


図 11-4 受信バッファの動作

11.11.3.2 受信 FIFO の動作

FIFO が許可されている場合、受信データは受信バッファから受信 FIFO に移され、受信バッファ full フラグはただちにクリアされます。割り込みは SCxRFC<RIL[1:0]>の設定に従って発生します。

注) UART モードで、FIFO 使用時にパリティビット付きのデータ受信する場合、パリティエラーは受信したいずれかのデータで発生したことを示します。

以下に、半二重受信の設定と動作を示します。

- SCxMOD1[6:5] = 01 : 転送モードを半二重受信に設定
- SCxFCNF[4:0] = 10111 : fill レベル到達後の継続受信自動禁止
受信 FIFO の使用バイト数は割り込み発生 fill レベルに同じ
- SCxRFC[1:0] = 00 : 受信割り込みが発生する FIFO の fill レベルを 4 バイトに設定
- SCxRFC[7:6] = 11 : 受信 FIFO のクリアと割り込み発生条件の設定

上記の FIFO 構成の設定後、SCxMOD0<RXE> に 1 を書き込むとデータ受信を開始します。受信シフトレジスタ、受信バッファ、受信 FIFO すべてにデータが格納されると<RXE>を自動クリアして受信を終了します。

上記の設定で、fill レベル到達後の継続受信を許可にしておくと、FIFO のデータを読み出すことにより継続して受信動作を行うことができます。

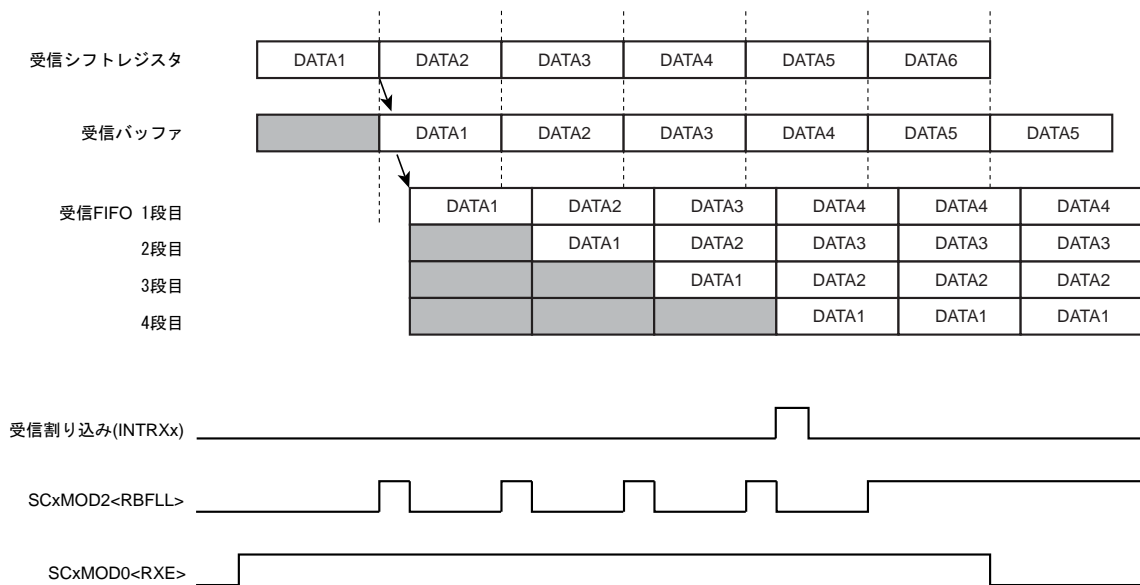


図 11-5 受信 FIFO の動作

11.11.3.3 I/O インタフェースモード、SCLK 出力での受信

I/O インタフェースモードで SCLK 出力設定の場合、使用可能な受信バッファ/FIFO にすべてデータが格納されると SCLK 出力が停止されます。このため、このモードではオーバランエラーフラグは意味を持ちません。

SCLK 出力の停止/再開のタイミングはバッファ/FIFO の使用状況によって変わります。

(1) シングルバッファの場合

1 データ受信後に SCLK 出力を停止します。このため、通信相手と 1 データごとのハンドシェイクが可能です。バッファからデータが読み出されると SCLK 出力を再開します。

(2) ダブルバッファの場合

受信シフトレジスタ、受信バッファともにデータが格納されると、SCLK 出力を停止します。1 データが読み出されると SCLK 出力を再開します。

(3) FIFO の場合

受信シフトレジスタ、受信バッファ、FIFO すべてにデータが格納されると SCLK 出力を停止します。1 データが読み出されると受信バッファから FIFO へ、受信シフトレジスタから受信バッファへデータが転送され、SCLK 出力を再開します。

また、SCxFCNF<RXTXCNT> がセットされていると、SCLK 停止とともに SCxMOD0<RXE>ビットがクリアされ受信動作を停止します。

11.11.3.4 受信データの読み出し

FIFO の有効/無効にかかわらず受信バッファ (SCxBUF) からデータを読み出します。

受信 FIFO が有効にされていない場合は、この読み出しにより受信バッファの full フラグ SCxMOD2<RBFL>は"0"にクリアされます。受信バッファを読み出す前でも、次の受信データは受信シフトレジスタに格納することができます。8 ビット UART モードでパリティ付加の場合と 9 ビット UART モードの場合、最上位ビットは SCxCR <RB8> に格納されます。

受信 FIFO が有効な場合、FIFO に格納できるデータは最大 8 ビットですので、9 ビット UART モードは使用できません。8 ビット UART モードでパリティ付加の場合、パリティビットは失われますがエラー判定は行われ、結果が SCxCR<PERR>に格納されます。

11.11.3.5 ウェイクアップ機能

9 ビット UART モードの場合、ウェイクアップ機能 SCxMOD0<WU> を"1"にすることによって、スレーブコントローラのウェイクアップ動作が可能で、SCxCR<RB8>="1"のときのみ、割り込み INTRXx を発生させることができます。

11.11.3.6 オーバランエラー

受信 FIFO が有効にされていない場合は、受信シフトレジスタに次のデータが全ビット受信される前に受信バッファ(SCxBUF)を読み出さなければオーバランエラーとなります。オーバランエラーが発生した場合、受信バッファおよび SCxCR <RB8> の内容は保存されていますが、受信シフトレジスタの内容は失われます。

受信 FIFO が有効にされている場合は受信 FIFO が full になり、受信バッファに次のデータが移される前に受信 FIFO を読み出さないと、受信 FIFO のオーバランが発生してオーバランフラグがセットされます。この場合でも受信 FIFO のデータは保存されます。

I/O インタフェースモードの SCLK 出力の設定では、クロック出力が自動的に停止するためこのフラグは意味を持ちません。

注) I/O インタフェース SCLK 出力モードから他のモードへ切り替える際には、SCxCR レジスタを読み出し、オーバランフラグをクリアしてください。

11.12 送信

11.12.1 送信カウンタ

送信カウンタは4ビットのバイナリカウンタで、受信カウンタ同様 SIOCLK でカウントされます。

UART モードでは、16 クロックごとに送信クロック (TXDCLK) を生成します。

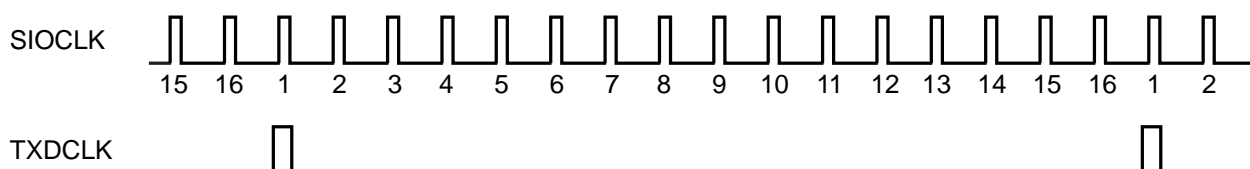


図 11-6 UART モード送信クロックの生成

11.12.2 送信制御部

11.12.2.1 I/O インタフェースモードの場合

SCxCR<IOC>="0"の SCLK 出力モードのときは、SCLK 端子より出力されるシフトクロックの立ち下がりで送信バッファのデータを1ビットずつ TXD 端子へ出力します。

SCxCR<IOC>="1"の SCLK 入力モードのときは、SCxCR<SCLKS>の設定に従って SCLK 入力の立ち上がり/立ち下がりエッジで送信バッファのデータを1ビットずつシリアル送信データ TXD 端子へ出力します。

11.12.2.2 UART モードの場合

送信バッファに送信データが書き込まれると、次の TXDCLK の立ち上がりエッジから送信を開始し、送信シフトクロックを生成します。

11.12.3 送信動作

11.12.3.1 送信バッファの動作

ダブルバッファ無効の場合、送信データの書き込みは送信シフトレジスタに対して行われ、送信が終了すると送信割り込み INTTXx が発生します。

ダブルバッファ有効の場合(送信 FIFO が有効な場合も含む)、送信バッファへ書き込まれたデータは送信シフトレジスタに転送されます。同時に送信割り込み INTTXx が発生し、送信バッファエンプティフラグ(SCxMOD2<TBEMP>)がセットされ、次のデータが書き込み可能であることを示します。次のデータを送信バッファに書き込むと<TBEMP>は"0"にクリアされます。

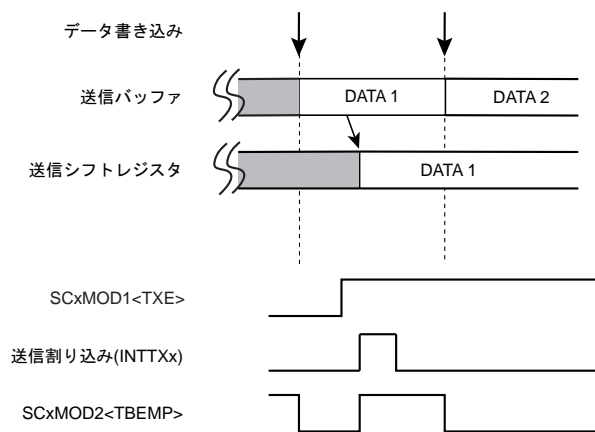


図 11-7 送信バッファの動作(ダブルバッファ有効時)

11.12.3.2 送信 FIFO の動作

FIFO が許可されている場合、送信バッファと FIFO で最大 5 バイトのデータを格納することができます。送信を許可すると、送信バッファから送信シフトレジスタにデータが転送されて送信を開始するとともに、FIFO にデータが存在する場合はただちに送信バッファへ移され、<TBEMP>フラグは"0"にクリアされます。

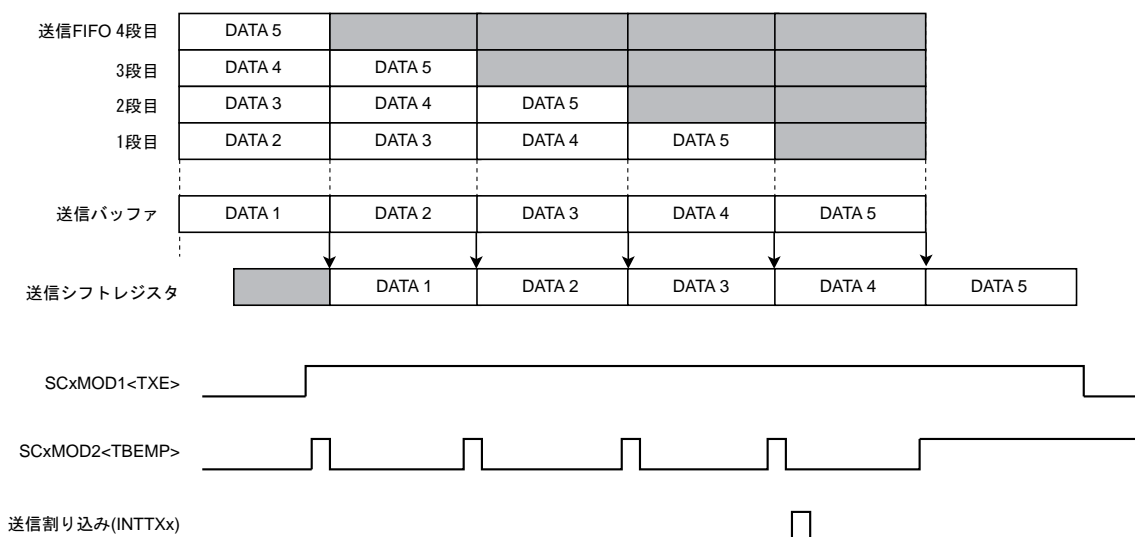
注) 送信 FIFO バッファ使用時は、SIO/UART の転送モード設定(半二重/全二重)、FIFO 許可(SCxFCNF<CNFG>="1")の後、必ず送信 FIFO クリアを実行して下さい。

以下に、4 バイトのデータを半二重送信する場合の設定と動作を示します。

SCxMOD1[6:5] = 10	: 転送モードを半二重送信に設定
SCxFCNF[4:0] = 11011	: FIFO が空になると送信を自動的に禁止 受信 FIFO の使用バイト数は割り込み発生 fill レベルに同じ
SCxTFC[1:0] = 00	: 割り込み発生時の fill レベル を 0 に設定
SCxTFC[7:6] = 11	: 送信 FIFO のクリアと割り込み発生条件の設定
SCxFCNF[0] = 1	: FIFO の許可

上記の設定後、送信バッファ/FIFO に 5 バイト分の送信データを書き込み、SCxMOD1<TXE>ビットを 1 に設定することによりデータ送信を開始します。最後の送信データが送信バッファに移されると送信 FIFO 割り込みが発生して最後のデータの送信が終了すると送信を終了します。

上記の設定で、送信の自動禁止としなければ送信データを書き込むことにより継続して送信を行うことができます。



11.12.3.3 I/O インタフェースモード、SCLK 出力での送信

I/O インタフェースモードで SCLK 出力の場合、設定されたデータがすべて送信されると SCLK 出力は自動的に停止します。このため、このモードではアンダランエラーは発生しません。

バッファ/FIFO 使用状況によって SCLK 出力の停止/再開のタイミングが変わります。

(1) シングルバッファの場合

1 データ送信後に SCLK 出力を停止します。このため、通信相手と 1 データごとのハンドシェイクが可能です。バッファに次のデータが書き込まれると SCLK 出力を再開します。

(2) ダブルバッファの場合

送信シフトレジスタと送信バッファのデータがすべて送信されると SCLK 出力を停止します。バッファに次のデータが書き込まれると SCLK 出力を再開します。

(3) FIFO の場合

送信シフトレジスタ、送信バッファ、FIFO すべてのデータの送信が終了すると SCLK 出力を停止します。次のデータが書き込まれると SCLK 出力を再開します。

また、SCxFCNF<RXTXCNT> がセットされていると、SCLK 停止とともに SCxMOD0<TXE>ビットがクリアされ送信動作を停止します。

11.12.3.4 アンダランエラー

I/O インタフェースモードの SCLK 入力時に送信 FIFO が有効にされていない場合、送信シフトレジスタのデータの送信が終了し、次の転送クロックが入力される前に送信バッファヘデータがセットされないときは、アンダランエラーになり SCxCR<PERR>に"1"がセットされます。

I/O インタフェースモードの SCLK 出力の設定では、クロック出力が自動的に停止するためこのフラグは意味を持ちません。

注) I/O インタフェース SCLK 出力モードから他のモードへ切り替える際には、SCxCR レジスタを読み出し、アンダランフラグをクリアしてください。

11.13 ハンドシェイク機能

ハンドシェイク機能は CTS (Clear to send)端子を用いて 1 データ単位での送信を行う機能で、この機能を使うことでオーバーランエラーの発生を防ぐことができます。ハンドシェイク機能は SCxMOD0 <CTSE> によってイネーブル/ディセーブルを設定できます。

$\overline{\text{CTS}}$ 端子が "High" レベルになると、現在送信中のデータを送信完了後、 $\overline{\text{CTS}}$ 端子が "Low" レベルに戻るまで送信を停止します。ただし、INTTXx 割り込みは通常のタイミングで発生しますので、次の送信データを送信バッファに書き込み、送信待機状態にすることができます。

- 注 1) 送信中に $\overline{\text{CTS}}$ 信号を立ち上げた場合、送信終了後に停止します(図 11-9 "a")。
 注 2) $\overline{\text{CTS}}$ 信号立下り後の最初の TXDCLK クロックから送信を開始します(図 11-9 "b")。

なお、 $\overline{\text{RTS}}$ 端子はありませんが、任意のポートの 1 ビットを $\overline{\text{RTS}}$ 機能に割り当て、受信終了時に (受信割り込みルーチン内で)このポートを "High" レベルにし、送信側に送信の一時停止を要求することで容易にハンドシェイク機能を構築できます。

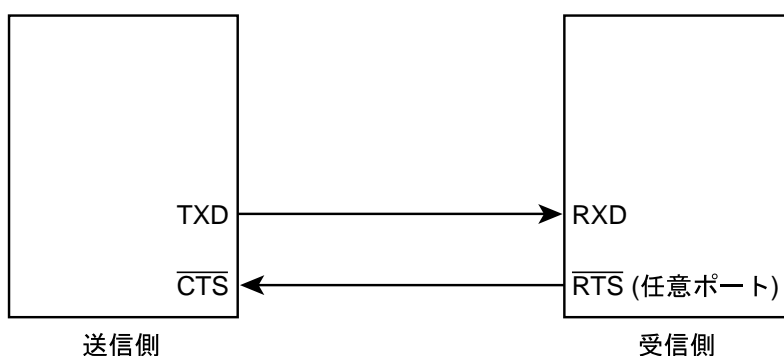


図 11-8 ハンドシェイク機能接続

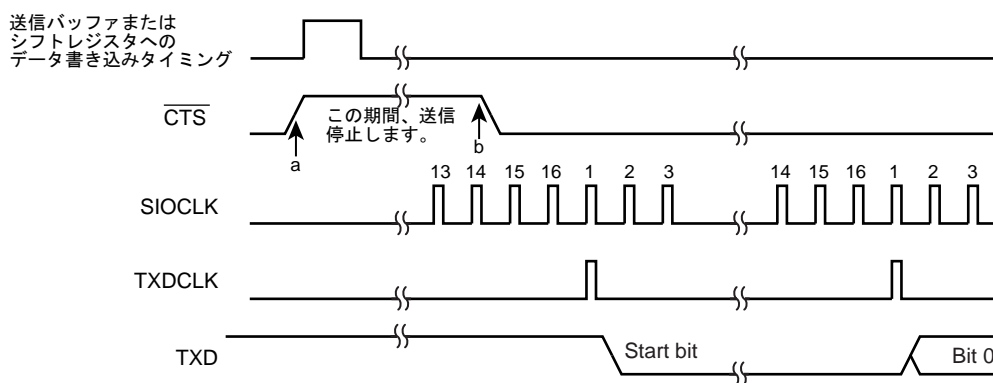


図 11-9 $\overline{\text{CTS}}$ 信号のタイミング

11.14 割り込み/エラー発生タイミング

11.14.1 受信割り込み

受信動作のデータの流と読み出しの経路を図 11-10 に示します。

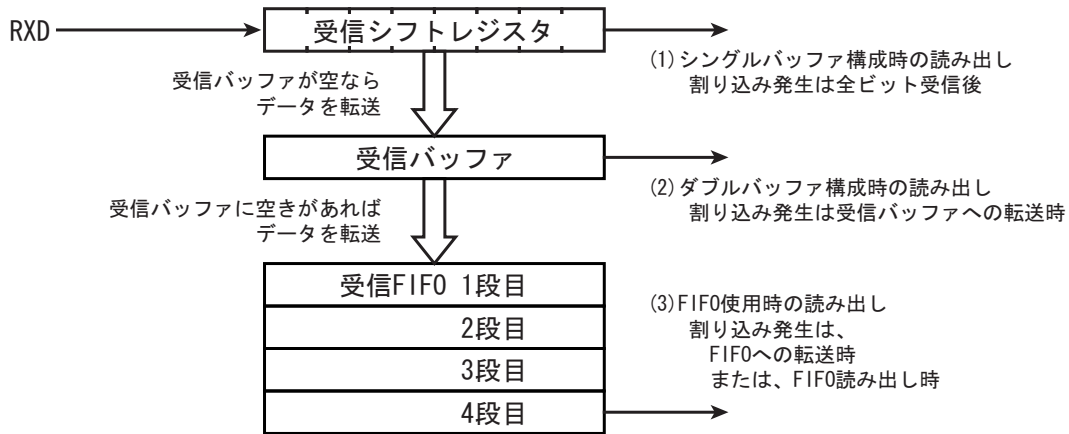


図 11-10 受信バッファ/FIFO 構成図

11.14.1.1 シングルバッファ/ダブルバッファ構成の場合

受信割り込みは、転送モードとバッファ構成により以下のタイミングで発生します。

表 11-11 シングルバッファ/ダブルバッファ構成の場合の受信割り込み発生条件

バッファ構成	UART モード	I/O インタフェースモード
シングルバッファ	-	・最終ビットの SCLK 端子立ち上がり/立ち下がり直後 (立ち上がり/立ち下がり、SCxCR<SCLKS>設定による)
ダブルバッファ	受信シフトレジスタから受信バッファへ、データの移動が発生するとき。具体的には以下のタイミング。	受信シフトレジスタから受信バッファへ、データの移動が発生するとき。具体的には以下のタイミング。
	・受信バッファにデータがない場合、第 1 ストップビットの中央付近 ・受信シフトレジスタと受信バッファの両方にデータがある場合、バッファのリード時	・受信バッファにデータがない場合、最終ビットの SCLK 端子立ち上がり/立ち下がり直後 (立ち上がり/立ち下がり、SCxCR<SCLKS>設定による) ・受信シフトレジスタと受信バッファの両方にデータがある場合、バッファのリード時

注) オーバーランエラー成立時は割り込みは発生しません。

11.14.1.2 FIFO 使用の場合

FIFO 使用の場合の受信割り込みは、表 11-12 の割り込み発生タイミングに記載の動作が発生したときに、SCxRFC<RFIS>の設定で決まる条件を満たしていると発生します。

表 11-12 FIFO 使用時の受信割り込み発生条件

SCxRFC<RFIS>	割り込み発生条件	割り込み発生タイミング
"0"	FIFO fill レベル(SCxRST<RLVL[2:0]>) = 割り込み発生 fill レベル(<RIL[1:0]>) のとき	・受信バッファから受信 FIFO へ受信データの転送がおこなわれるとき ・受信 FIFO から受信データをリードしたとき
"1"	FIFO fill レベル(SCxRST<RLVL[2:0]>) ≥ 割り込み発生 fill レベル(<RIL[1:0]>) のとき	・受信 FIFO から受信データをリードしたとき

11.14.2 送信割り込み

送信動作のデータの流れと書き込みの経路を示します。

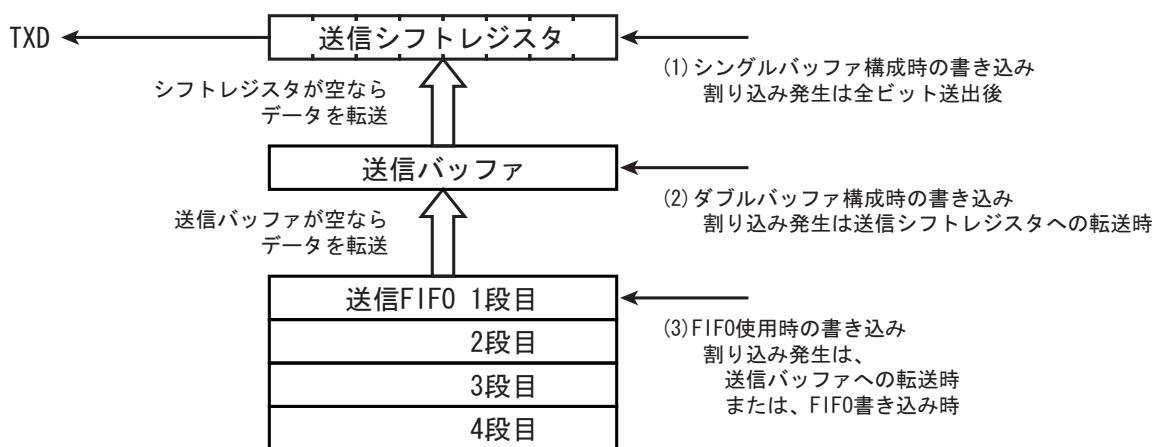


図 11-11 送信バッファ/FIFO 構成図

11.14.2.1 シングルバッファ/ダブルバッファ構成の場合

送信割り込みは、転送モードとバッファ構成により以下のタイミングで発生します。

表 11-13 シングルバッファ/ダブルバッファ構成の場合の送信割り込み発生条件

バッファ構成	UART モード	I/O インタフェースモード
シングルバッファ	ストップビット送出の直前	最終ビットの SCLK 立ち上がり/立ち下がり直後 (立ち上がり/立ち下がりは、SCxCR<SCLKS>設定による)
ダブルバッファ	送信バッファから送信シフトレジスタへのデータ転送時に送信割り込みが発生します。 なお、SCxMOD1<TXE>="1"で、送信シフトレジスタが空の場合、送信バッファにデータを書いた直後に送信バッファから送信シフトレジスタにデータが転送されるため、送信割り込みが発生します。	

11.14.2.2 FIFO 使用の場合

FIFO 使用の場合の送信割り込みは、表 11-14 の割り込み発生タイミングに記載の動作が発生したときに、SCxTFC<TFIS>の設定で決まる条件を満たした場合に発生します。

表 11-14 FIFO 使用時の送信割り込み発生条件

SCxTFC<TFIS>	割り込み発生条件	割り込み発生タイミング
"0"	FIFO fill レベル(SCxTST<TLVL[2:0]>) = 割り込み発生 fill レベル(<TIL[1:0]>) のとき	・ 送信 FIFO から送信バッファへ送信データの転送が行われたとき ・ 送信 FIFO へ送信データをライトしたとき
"1"	FIFO fill レベル(SCxTST<TLVL[2:0]>) ≤ 割り込み発生 fill レベル(<TIL[1:0]>) のとき	・ 送信 FIFO へ送信データをライトしたとき

11.14.3 エラー発生

11.14.3.1 UART モード

モード	9 ビット	7 ビット 8 ビット 7 ビット + パリティ 8 ビット + パリティ
フレーミングエラー オーバーランエラー	ストップビットの中央付近	
パリティエラー	-	判定:パリティビットの中央付近 フラグ変化:ストップビットの中央付近

11.14.3.2 I/O インタフェースモード

オーバーランエラー	最終ビットの SCLK 立ち上がり/立ち下がり直後 (立ち上がり/立ち下がりは、SCxCR<SCLKS>設定による)
アンダランエラー	次回 SCLK の立ち上がり/立ち下がり直後 (立ち上がり/立ち下がりは、SCxCR<SCLKS>設定による)

注) SCLK 出力モードではオーバーランエラー、アンダランエラーフラグは意味を持ちません。

11.15 DMA 転送

割り込み要求信号の発生タイミングで DMA 転送を開始することができます。

TMPM380FDFG では、半二重転送モードの受信割り込み、または、送信割り込みの発生タイミングで DMA 転送を開始することができます。ただし、全二重転送モードでは DMA 転送を開始することができません。全二重転送モードを使うときには DMA 転送の起動要因に SIO/UART を指定しないでください。

また、SCxFCNF<TFIE><RFIE>の値と関係なく、割り込み発生タイミングで DMA 転送が開始されません。

- 注 1) SIO/UART の送信/受信割り込みを使用して DMA 転送を行う場合、SCxMOD2<SWRST>でソフトウェアリセットを実施した後、DMAC の動作を許可させ、送信/受信の設定を行ってください。
- 注 2) DMA 転送を使用する場合、FIFO は使用できません。
- 注 3) ダブルバッファ構成で DMA 転送により送信を行う場合、2 つの送信データをバッファに書き込んでから DMA を起動してください。

11.16 ソフトウェアリセット

SCxMOD2<SWRST[1:0]>に"10" → "01"の順でライトすることによりソフトウェアリセットが発生します。これにより、SCxMOD0<RXE>、SCxMOD1<TXE>、SCxMOD2<TBEMP><RBFLL><TXRUN>、SCxCR

<OERR> <PERR> <FERR>が初期化され、送受信回路と FIFO は初期状態になります。その他の状態は保持されます。

11.17 モード別動作説明

11.17.1 I/O インタフェースモード

SCxMOD0 <SM[1: 0]>を"00"にセットすると I/O インタフェースモードになります。

このモードには、同期クロック SCLK を出力する SCLK 出力モードと、外部より同期クロック SCLK を入力する SCLK 入力モードがあります。以下に FIFO の使用が禁止されている状態での各動作の説明を行います。FIFO の動作については、前述の受信 FIFO 動作および送信 FIFO 動作の項を参照してください。

11.17.1.1 送信

(1) SCLK 出力モード

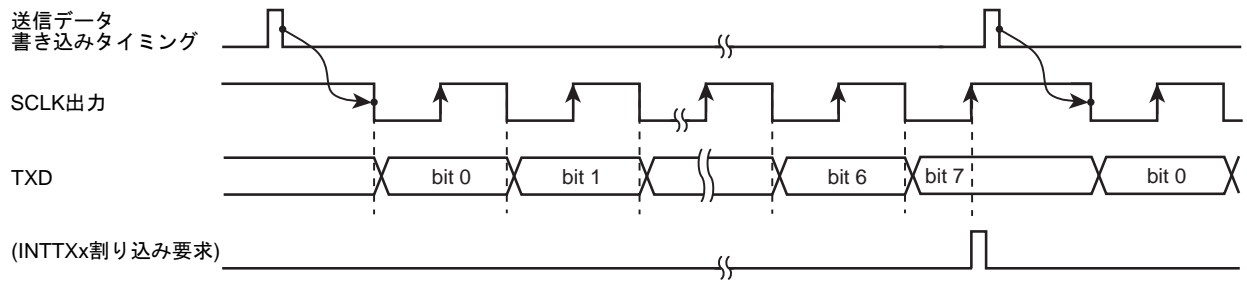
- ・ ダブルバッファ不許可(SCxMOD2<WBUF> = "0")の場合

送信バッファにデータを書き込むたびに、データが TXD 端子から、クロックが SCLK 端子より出力されます。データがすべて出力されると割り込み(INTTXx)が発生します。

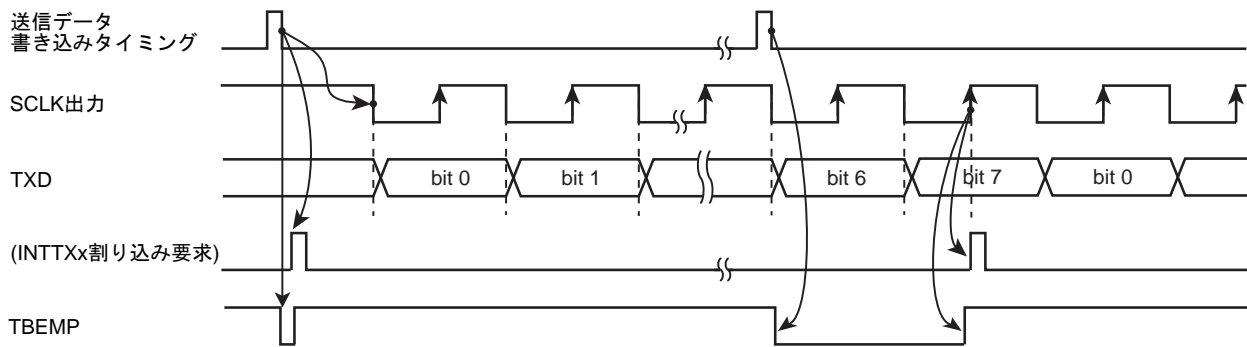
- ・ ダブルバッファ許可(SCxMOD2<WBUF> = "1")の場合

シフトレジスタが空の状態ですべて送信バッファにデータを書き込んだとき、またはシフトレジスタのデータ送出が終了したときに送信バッファよりシフトレジスタにデータが移されます。これと同時に送信バッファ empty フラグ SCxMOD2 <TBEMP>が"1"にセットされ割り込み(INTTXx)が発生します。

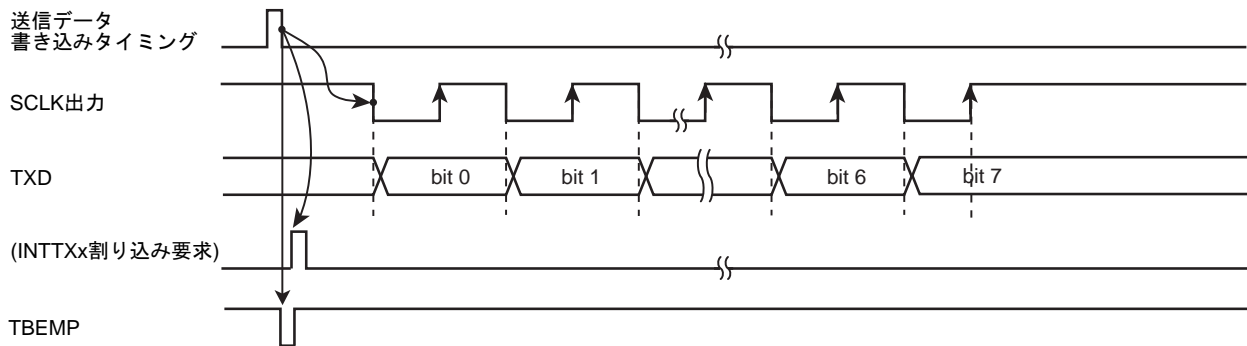
シフトレジスタのデータ送出終了時に送信バッファにデータが存在しない場合は、割り込み(INTTXx)が発生せず、SCLK 出力も停止します。



<WBUF> = "0" (ダブルバッファ不許可)の場合



<WBUF> = "1" (ダブルバッファ許可)の場合(バッファデータがある場合)



<WBUF> = "1" (ダブルバッファ許可)の場合(バッファにデータがない場合)

図 11-12 I/O インタフェースモード送信動作(SCLK 出力モード)

(2) SCLK 入力モード

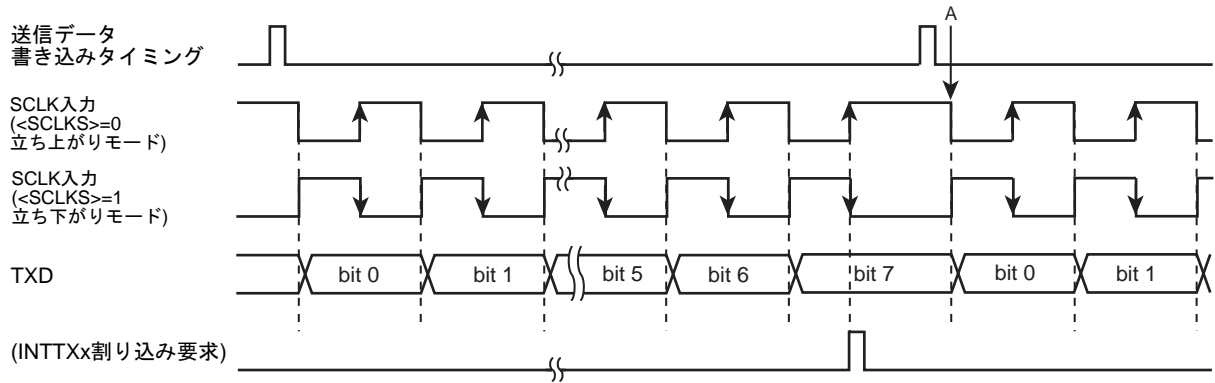
- ・ ダブルバッファ不許可(SCxMOD2<WBUF> = "0")の場合

送信バッファにデータが書き込まれている状態で SCLK が入力されると、8 ビットのデータが TXD 端子より出力されます。データがすべて出力されると割り込み INTTx が発生します。次の送信データは図 11-13 に示す A 点までに書き込んでください。

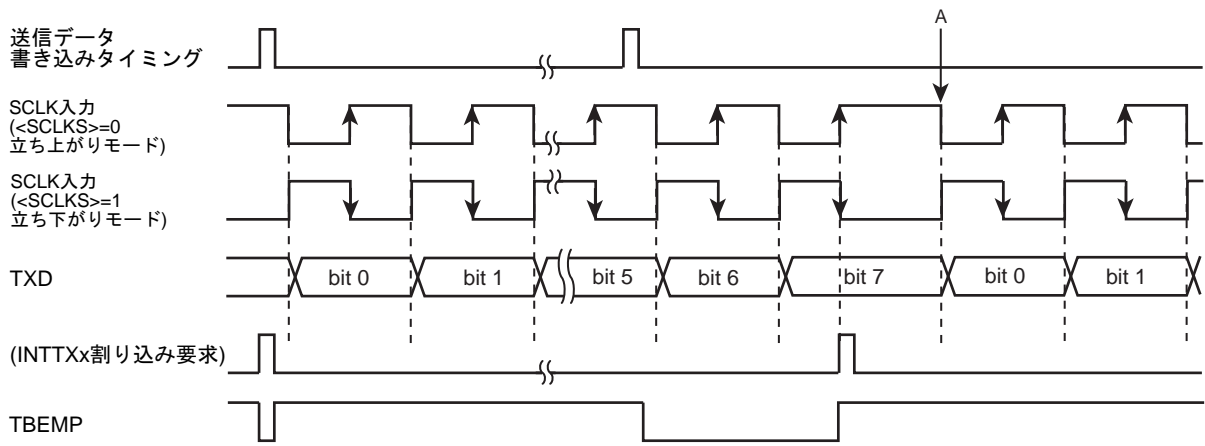
- ・ ダブルバッファ許可(SCxMOD2<WBUF> = "1")の場合

SCLK が入力される前に送信バッファにデータを書き込んだとき、または送信シフトレジスタのデータ送出が終了したときに送信バッファのデータがシフトレジスタへ移されます。これと同時に送信バッファ empty フラグ SCxMOD2<TBEMP> が "1" にセットされ、割り込み(INTTx)が発生します。

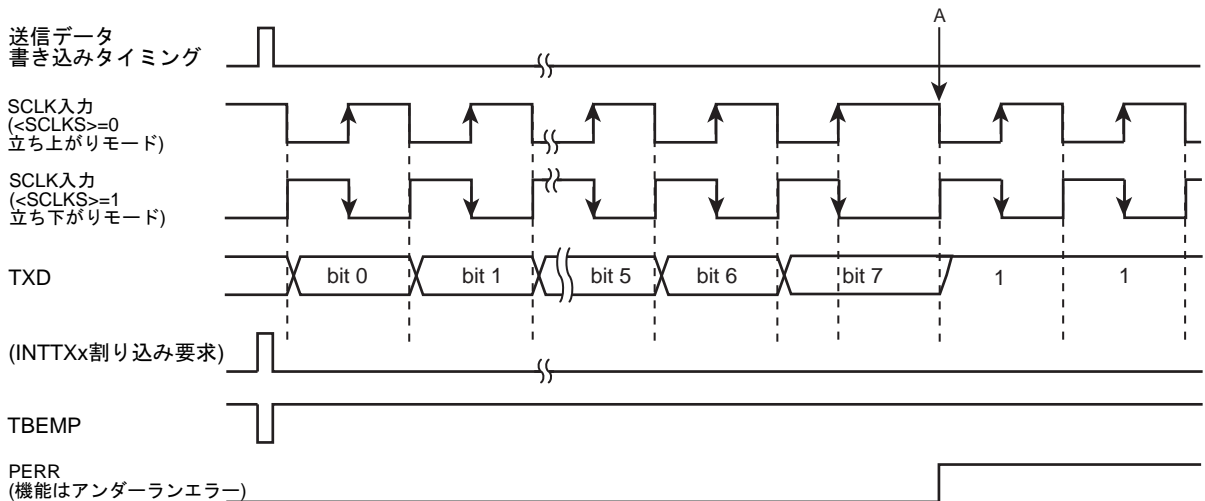
送信バッファにデータが書き込まれていない状態で、SCLK が入力された場合、内部ビット数カウンタはカウントを開始しますが、アンダランエラーがセットされ、8 ビット分のダミーデータ(0xFF)を送出します。



$\langle WBUF \rangle = "0"$ (ダブルバッファ不許可)の場合



$\langle WBUF \rangle = "1"$ (ダブルバッファ許可)の場合(バッファにデータがある場合)



$\langle WBUF \rangle = "1"$ (ダブルバッファ許可)の場合(バッファにデータがない場合)

図 11-13 I/O インタフェースモード送信動作(SCLK 入力モード)

11.17.1.2 受信

(1) SCLK 出力モード

受信許可ビット SCxMOD0<RXE>を"1"にセットすることで SCLK 出力が開始されます。

- ・ ダブルバッファ不許可(SCxMOD2<WBUF> = "0")の場合

受信データが読み出されるごとに、SCLK 端子よりクロックが出力され次のデータがシフトレジスタに格納されます。8 ビットデータが受信されると、割り込み INTRX_x が発生します。

- ・ ダブルバッファ許可(SCxMOD2<WBUF> = "1")の場合

シフトレジスタに格納されたデータは受信バッファに移され、続けて次のフレームを受信することができます。シフトレジスタから受信バッファにデータが移されると、受信バッファ full フラグ SCxMOD2<RBFL>が"1"にセットされ、割り込み INTRX_x が発生します。

受信バッファにデータが存在する状態で、次の 8 ビット分のデータを受信完了する前に受信バッファのデータが読み出されない場合、割り込み INTRX_x は発生せず、SCLK 出力は停止します。この状態で受信バッファのデータを読み出すと、シフトレジスタのデータを受信バッファに移し、割り込み INTRX_x を発生して受信を再開します。

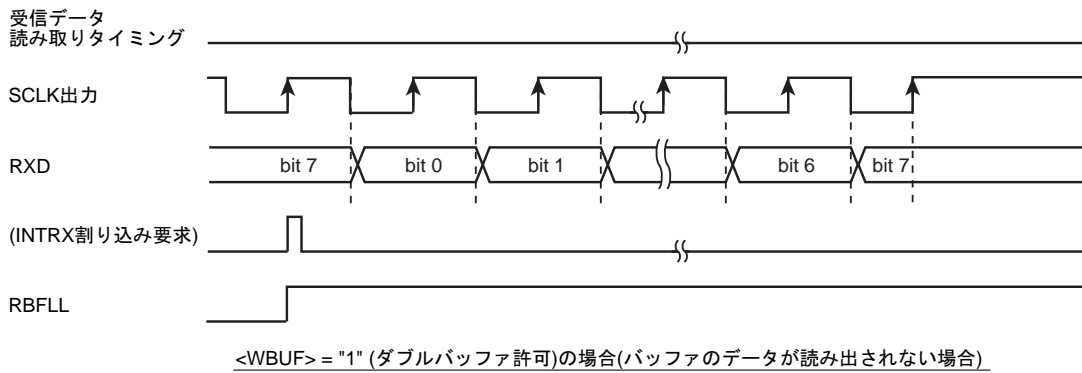
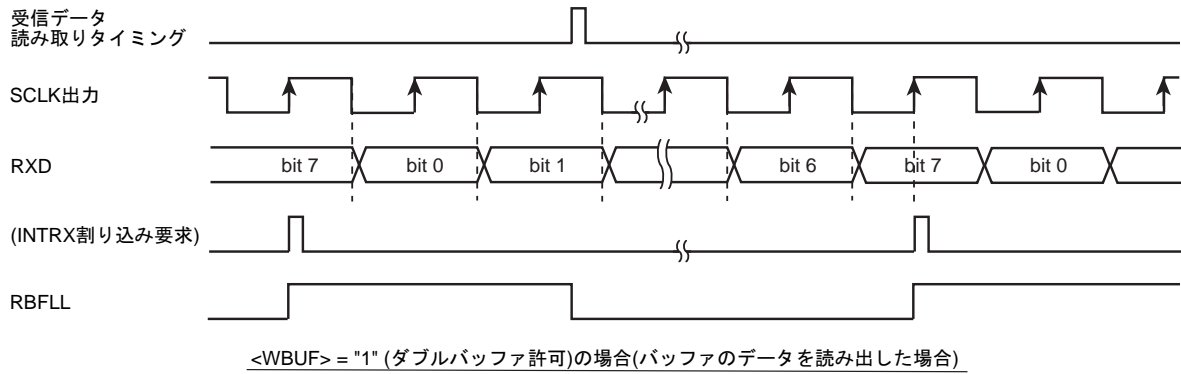
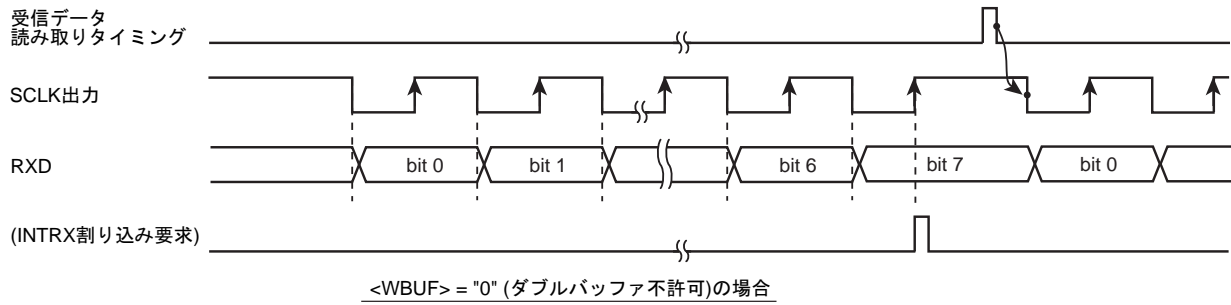
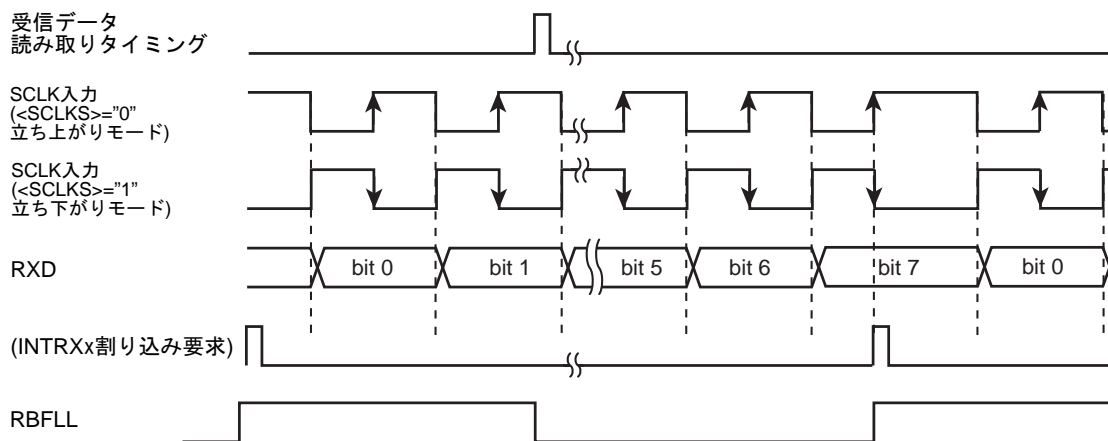


図 11-14 I/O インタフェースモード受信動作(SCLK 出力モード)

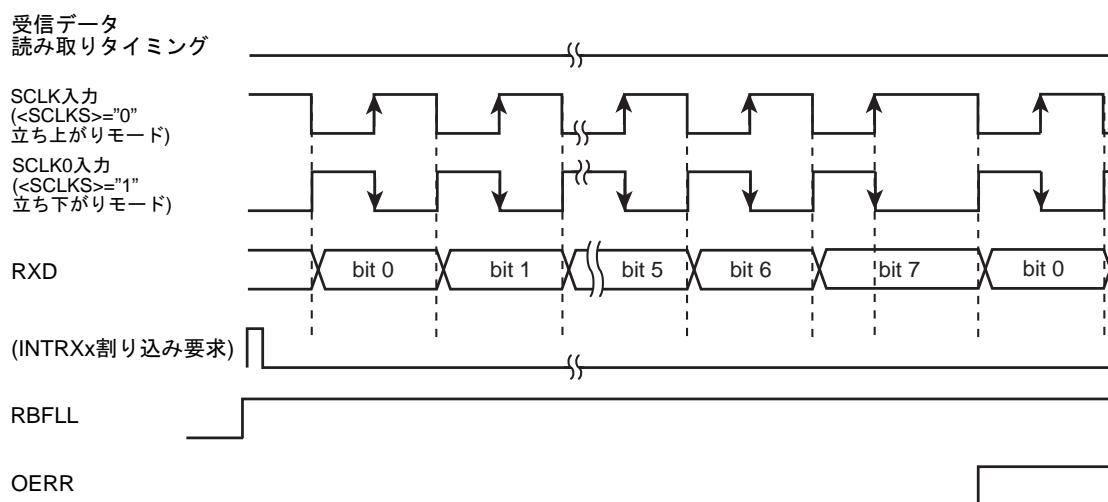
(2) SCLK 入力モード

SCLK 入力モードでは常に受信ダブルバッファが許可されており、受信したフレームはシフトレジスタから受信バッファに移され、連続して次のフレームを受信することができます。

受信データが受信バッファへ移されるごとに受信割り込み INTRXx が発生します。



バッファのデータを読み出した場合



バッファのデータが読み出されない場合

図 11-15 I/O インタフェースモード受信動作(SCLK 入力モード)

11.17.1.3 送受信(全二重)

(1) SCLK 出力モード

- ・ ダブルバッファ不許可(SCxMOD2<WBUF> = "0")の場合

送信バッファにデータを書き込むと SCLK 出力を開始します。

SCLK の出力により 8 ビットデータが受信シフトレジスタにシフトインされ、受信割り込み(INTRXx)が発生します。それと並行して送信バッファに書き込まれた 8 ビットデータが、TXD 端子より出力され、すべてのデータが送信されると送信割り込み(INTTXx)が発生します。この状態で SCLK の出力は停止します。

受信バッファの読み出しと送信バッファへのデータ書き込みを行うと次の送受信が開始されます。受信バッファの読み出しと送信バッファの書き込み順番は任意です。両方の条件が成立した場合に再開されます。

- ・ ダブルバッファ許可(SCxMOD2<WBUF> = "1")の場合

送信バッファにデータを書き込むと SCLK 出力を開始します。

8 ビットデータが受信シフトレジスタにシフトインされるとデータは受信バッファに移され、割り込み(INTRXx)が発生します。受信と並行して 8 ビットデータが TXD 端子より出力され、データがすべて出力されると割り込み(INTTXx)が発生して次のデータが送信バッファから送信シフトレジスタに移されます。

この時、送信バッファに移すデータが存在しない(SCxMOD2 <TBEMP> = "1")または受信バッファにデータが存在している(SCxMOD2 <RBFL> = "1") 場合は SCLK 出力が停止します。その後は受信データの読み出しと送信データの書き込みの両方の条件が成立すると再度 SCLK の出力が開始されて次の送受信が始まります。

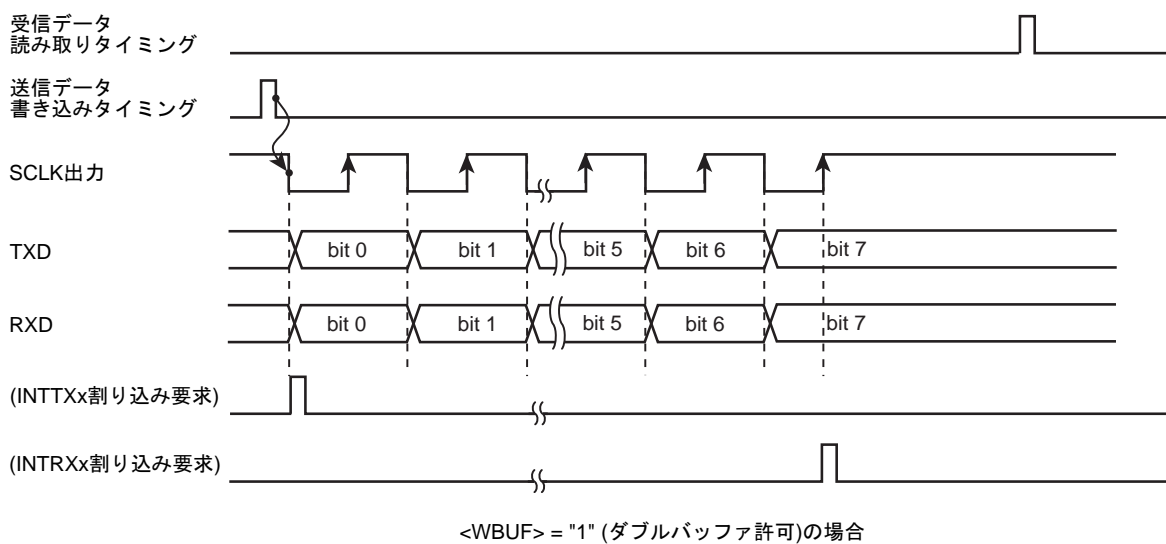
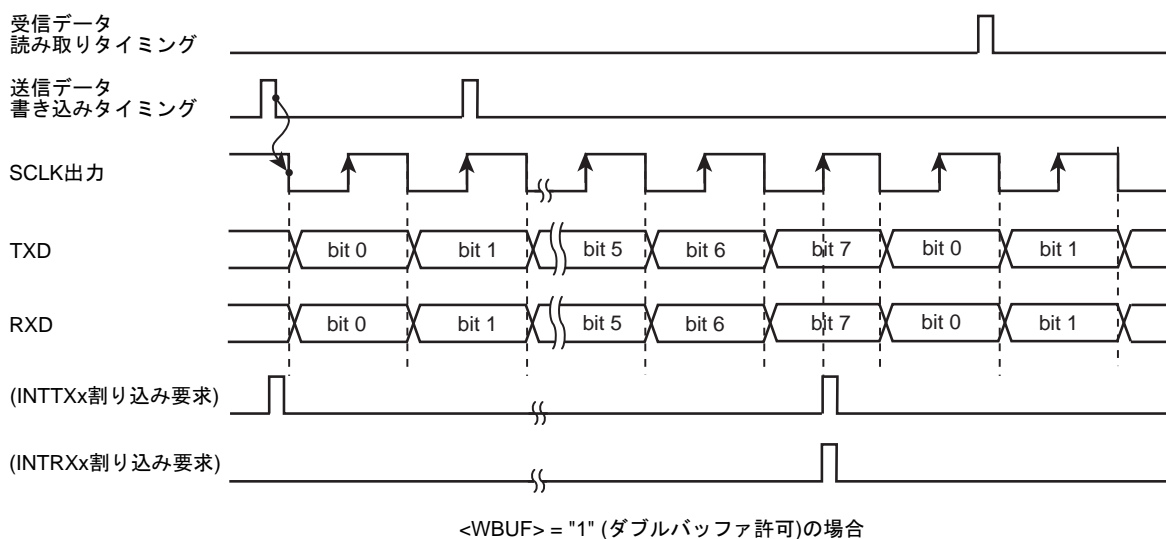
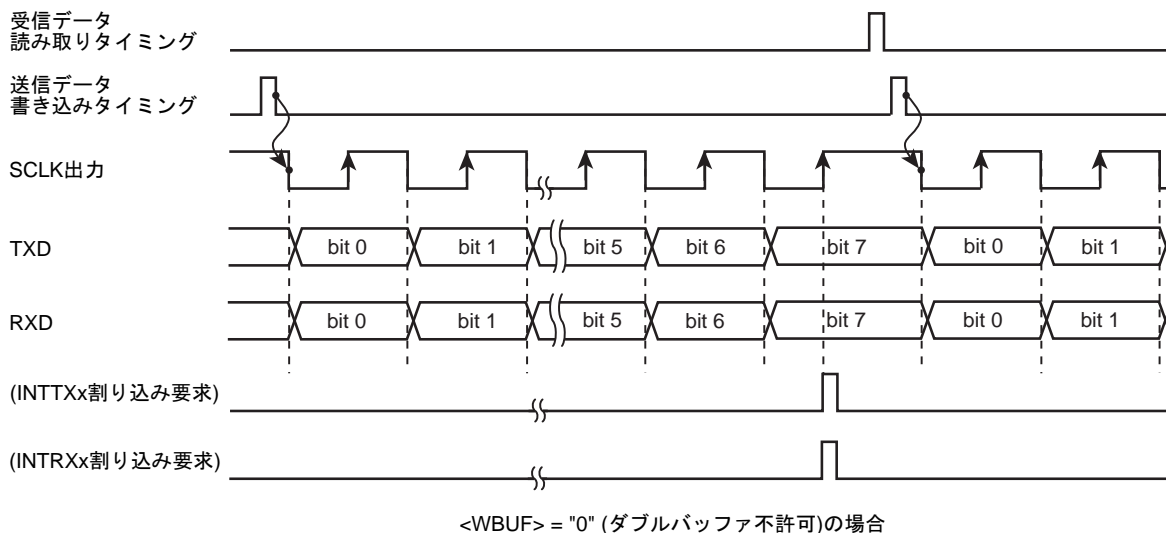


図 11-16 I/O インタフェースモード送受信動作(SCLK 出力モード)

(2) SCLK 入力モード

- 送信ダブルバッファ不許可(SCxMOD2<WBUF> = "0")の場合

受信は SCxMOD2<WBUF>の設定に関わらずダブルバッファが有効になります。

送信バッファにデータが書き込まれている状態で SCLK が入力されると、8 ビットのデータが TXD より出力されると同時に 8 ビットのデータが受信バッファへシフトインされます。送信が終了すると割り込み(INTTXx)が発生し、受信が終了すると受信シフトレジスタから受信バッファへデータが移されると同時に割り込み(INTRXx)が発生します。

次のフレームの SCLK が入力される前にデータを送信バッファへ書き込むようにしてください。(図 11-17 に示す A 点までに書き込んでください)。受信データは、次のフレームの受信が終了する前に読み出してください。

- ダブルバッファ許可(SCxMOD2<WBUF> = "1")の場合

送信シフトレジスタのデータの送信が終了すると、送信バッファのデータが送信シフトレジスタへ移されると同時に割り込み(INTTXx)が発生します。平行して受信が行われ、シフトレジスタにデータが揃うと受信バッファへ移され、割り込み(INTRXx)が発生します。

次のフレームの SCLK が入力される前に送信データを送信バッファへ書き込むようにしてください。(図 11-17 に示す A 点までに書き込んでください)。受信データは、次のフレームの受信が終了する前に読み出してください。

続けて次のフレームの SCLK が入力されると、送信バッファから送信シフトレジスタにデータを移して送信が始まり、並行して受信シフトレジスタでのデータ受信が行なわれます。

フレームの最終ビットの受信までに受信バッファのデータが読み出されていない場合はオーバランエラーが発生します。また、次のフレームの SCLK 入力までに送信バッファへ転送データが書き込まれていない場合はアンダランエラーがセットされ、8 ビット分のダミーデータ(0xFF)を送出します。

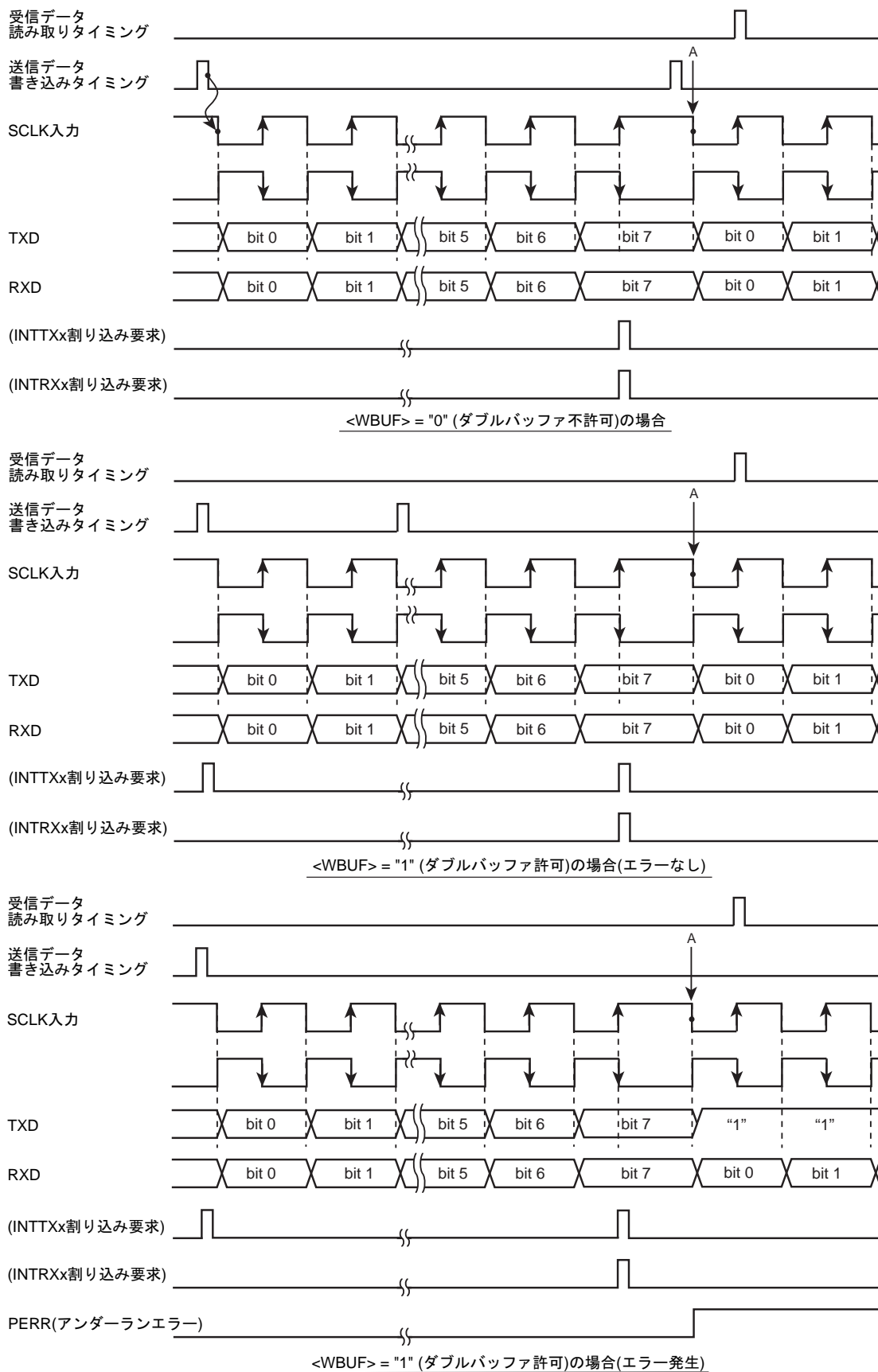


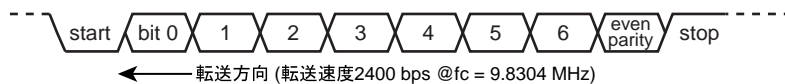
図 11-17 I/O インタフェースモード送受信動作(SCLK 入力モード)

11.17.2 7 ビット UART モード

シリアルモードコントロールレジスタ(SCxMOD0 <SM[1:0]>)を"01"にセットすると 7 ビット UART モードになります。

このモードではパリティビットの付加が可能で、シリアルモードコントロールレジスタ (SCxCR <PE>) でパリティビット付加のイネーブル/ディセーブルを制御しています。 <PE> = "1" (イネーブル)のときは、SCxCR<EVEN>で偶数パリティ/奇数パリティを選択できます。STOP ビットの長さは SCxMOD2<SBLEN>で指定することができます。

下記フォーマットのデータを送信する場合の各コントロールレジスタの設定を示します。



クロック条件	[システムクロック:	高速 (fc)
		高速クロックギア:	1 倍 (fc)
		プリスケラクロック:	fperiph/2 (fperiph = fsys)

		7	6	5	4	3	2	1	0	
SCxMOD0	←	x	0	-	0	0	1	0	1	7 ビット UART モードに設定
SCxCR	←	x	1	1	x	x	x	0	0	偶数パリティイネーブルに設定
SCxBRCR	←	0	0	1	0	0	1	0	0	2400bps に設定
SCxBUF	←	*	*	*	*	*	*	*	*	送信データを設定

x : don't care - : no change

11.17.3 8 ビット UART モード

SCxMOD0 <SM[1:0]> を"10"にセットすると 8 ビット UART モードになります。このモードでは、パリティビットの付加が可能で SCxCR <PE> でパリティビット付加のイネーブル/ディセーブルを制御できます。 <PE> = "1" (イネーブル)のとき、SCxCR <EVEN> で偶数パリティ/奇数パリティの選択も可能です。

下記のフォーマットのデータを受信する場合の各コントロールレジスタの設定を示します。



クロック条件	[システムクロック:	高速 (fc)
		高速クロックギア:	1 倍 (fc)
		プリスケラクロック:	fperiph/2 (fperiph = fsys)

	7	6	5	4	3	2	1	0	
SCxMOD0	← x	0	0	0	1	0	0	1	8ビットUARTモードに設定
SCxCR	← x	0	1	x	x	x	0	0	奇数パリティネーブルに設定
SCxBRCR	← 0	0	0	1	0	1	0	0	9600bpsに設定
SCxMOD0	← -	-	1	-	-	-	-	-	受信許可

x : don't care - : no change

11.17.4 9ビットUARTモード

SCxMOD0 <SM[1:0]> を "11" にセットすると9ビットUARTモードになります。このモードでは、パリティビットの付加を禁止(SCxCR<PE> = "0")してください。

最上位ビット(9ビット目)は、送信の場合 SCxMOD0<TB8> に書き込み、受信の場合 SCxCR<RB8> に格納されます。また、バッファに対する書き込み、読み出しは必ず最上位ビットの方を先に行い、SCxBUFの方を後にします。STOPビットの長さは SCxMOD2<SBLEN>で指定することができます。

11.17.4.1 ウェイクアップ機能

9ビットUARTモードでは、ウェイクアップ機能制御ビット SCxMOD0 <WU>を"1"にすることによって、スレーブコントローラのウェイクアップ動作が可能で、SCxCR<RB8> = "1"のときのみ割り込み (INTRXx) が発生します。

注) スレーブコントローラの TXD 端子は、必ず PxOD レジスタを設定してオープンドレイン出力モードにしてください。

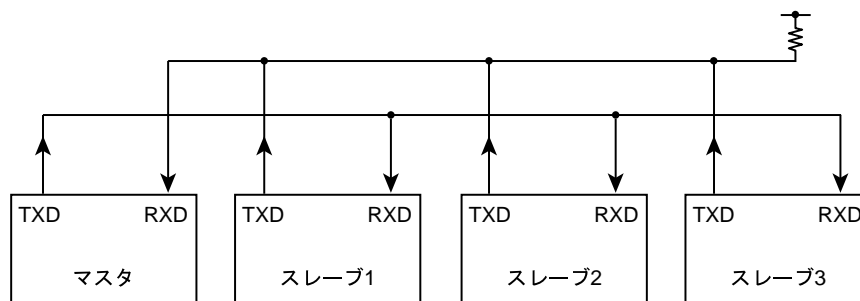
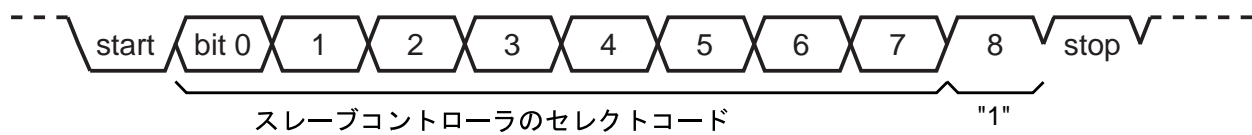


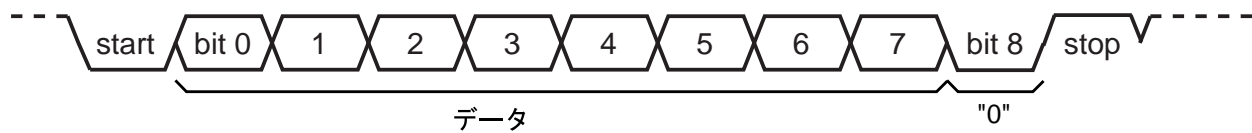
図 11-18 ウェイクアップ機能によるシリアルリンク

11.17.4.2 プロトコル

1. マスタおよびスレーブコントローラは9ビットUARTモードにします。
2. 各スレーブコントローラはSCxMOD0<WU>を"1"にセットし、受信可能状態とします。
3. マスタコントローラは、スレーブコントローラのセレクトコード(8ビット)を含む1フレームを送信します。このとき最上位ビット(ビット8)<TB8>は"1"にします。



4. 各スレーブコントローラは、上記フレームを受信し、自分のセレクトコードと一致すれば、<WU>を"0"にクリアします。
5. マスタコントローラは指定したスレーブコントローラ(<WU>="0"にクリアされたコントローラ)に対しデータを送信します。このとき、最上位ビット(ビット8)<TB8>は"0"にします。



6. <WU>="1"のままのスレーブコントローラは、受信データの最上位ビット(ビット8)の<RB8>が"0"であるため、割り込み(INTRXx)が発生せず、受信データを無視します。また、<WU>="0"になったスレーブコントローラがマスタコントローラにデータを送信し、この送信データで受信終了をマスタコントローラに知らせることもできます。

第 12 章 シリアルバスインタフェース(I2C/SIO)

シリアルバスインタフェースを 2 チャンネル内蔵しています。シリアルバスインタフェースは、下記の 2 つの動作モードを持っています。

- ・ I2C バスモード(マルチマスタ)
- ・ クロック同期式 8 ビット SIO モード

I2C バスモードでは、SCL および SDA を通して外部デバイスと接続されます。

SIO モードでは、SCK, SI, SO を通して外部デバイスと接続されます。

チャンネルごとの使用端子とポートの設定は、下記のとおりです。

表 12-1 シリアルバスインタフェース使用時のポート設定

チャンネル	動作モード	端子	ポート ファンクション レジスタ設定	ポート 出力コントロール レジスタ設定	ポート 入力コントロール レジスタ設定	ポート オーブンドレイン コントロール レジスタ設定
SBI0	I2C バスモード	SCL0 :PC1 SDA0 :PC0	PCFR3[1:0] = 11	PCCR[1:0] = 11	PCIE[1:0] = 11	PCOD[1:0] = 11
	SIO モード	SCK0 :PC2 SI0 :PC1 SO0 :PC0	PCFR3[2:0] = 111	PCCR[2:0] = 101(SCK0 出力) PCCR[2:0] = 001(SCK0 入力)	PCIE[2:0] = 010(SCK0 出力) PCIE[2:0] = 110(SCK0 入力)	PCOD[2:0] = xxx
SBI1	I2C バスモード	SCL1 :PG1 SDA1 :PG0	PGFR3[1:0] = 11	PGCR[1:0] = 11	PGIE[1:0] = 11	PGOD[1:0] = 11
	SIO モード	SCK1 :PG2 SI1 :PG1 SO1 :PG0	PGFR3[2:0] = 111	PGCR[2:0] = 101(SCK1 出力) PGCR[2:0] = 001(SCK1 入力)	PGIE[2:0] = 010(SCK1 出力) PGIE[2:0] = 110(SCK1 入力)	PGOD[2:0] = xxx

注) x: Don't care

12.1 構成

構成を図 12-1 に示します。

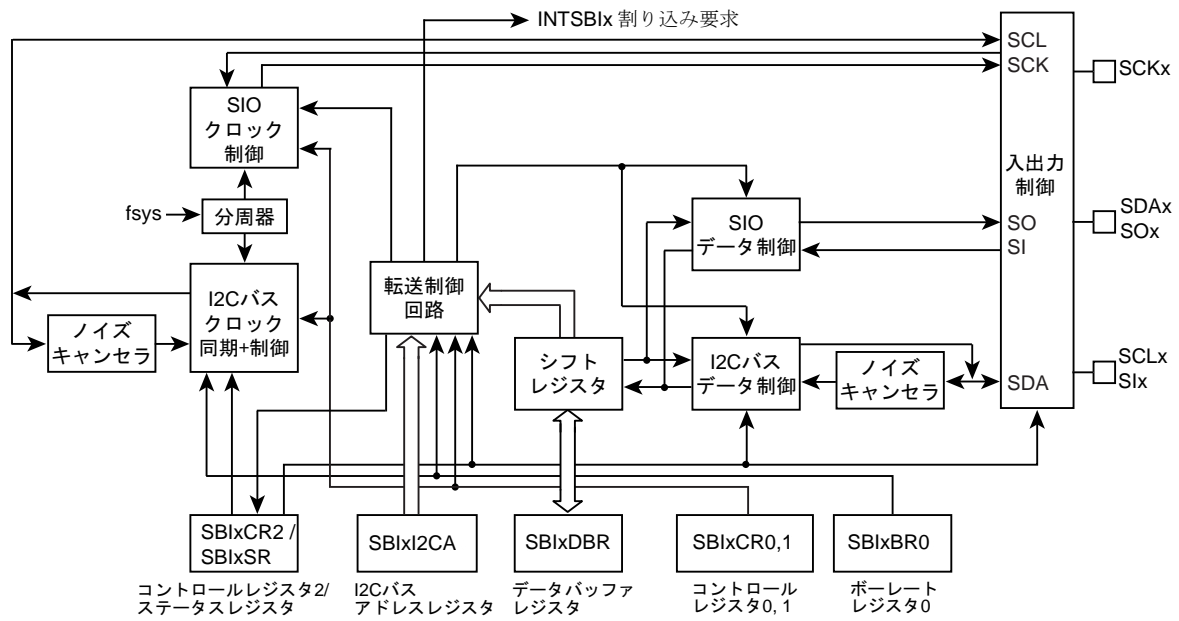


図 12-1 シリアルバスインタフェースブロック図

12.2 レジスタ説明

シリアルバスインタフェースの制御および動作状態のモニタを行うレジスタとアドレスは以下のとおりです。

下記レジスタは使用するモードによって、機能が異なります。詳細は「12.4 I2C バスモード時のコントロールレジスタ」および「12.8 SIO モード時のコントロールレジスタ」を参照してください。

12.2.1 チャネル別レジスタ一覧

各チャネルのレジスタとアドレスを示します。

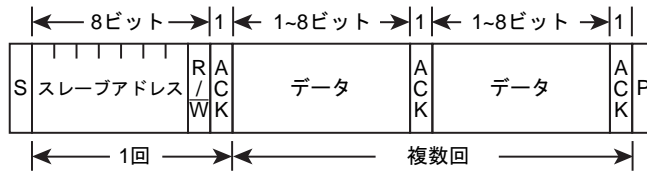
Channel x	Base Address
Channel0	0x4002_0000
Channel1	0x4002_0020

レジスタ名(x=0,1,)		Address(Base+)
コントロールレジスタ 0	SBIxCR0	0x0000
コントロールレジスタ 1	SBIxCR1	0x0004
データバッファレジスタ	SBIxDBR	0x0008
I2C バスアドレスレジスタ	SBIxI2CAR	0x000C
コントロールレジスタ 2	SBIxCR2(ライト時)	0x0010
ステータスレジスタ	SBIxSR(リード時)	
ポーレートレジスタ 0	SBIxBR0	0x0014

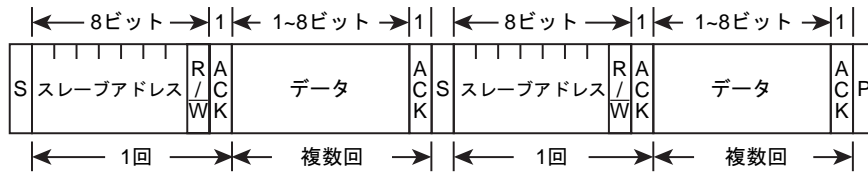
12.3 I2C バスモード時のデータフォーマット

I2C バスモード時のデータフォーマットを図 12-2 に示します。

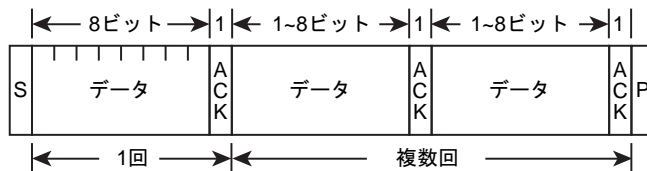
(a) アドレッシングフォーマット



(b) アドレッシングフォーマット (再スタートあり)



(c) フリーデータフォーマット (マスターデバイスからスレーブデバイスへデータを転送する転送フォーマット)



注) S: スタートコンディション
 R/W: 方向ビット
 ACK: アクノリッジビット
 P: ストップコンディション

図 12-2 I2C バスモード時のデータフォーマット

12.4 I2C バスモード時のコントロールレジスタ

シリアルバスインタフェースをI2Cバスモードで使用するときの制御、および動作状態のモニタは以下のレジスタで行います。

12.4.1 SBIXCR0(コントロールレジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SBIEN	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	SBIEN	R/W	シリアルバスインタフェース動作 0: 禁止 1: 許可 シリアルバスインタフェースを使用する場合、まずこのビットを許可にしてください。 許可の設定をして初めて、SBIに関連するレジスタのリード、ライトが可能になります。 禁止の場合、SBIXCR0を除くすべてのクロックが停止しますので消費電力の低減が可能です。 いったん許可した後に禁止にした場合、各レジスタの設定は保持されます。
6-0	-	R	リードすると"0"が読めます。

注) シリアルバスインタフェースを使用する場合、まずこのビットを許可にしてください。

12.4.2 SBiXCR1(コントロールレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	BC			ACK	-	SCK2	SCK1	SCK0 / SWRMON
リセット後	0	0	0	0	1	0	0	1(注 3)

Bit	Bit Symbol	Type	機能																																																	
31-8	-	R	リードすると"0"が読めます。																																																	
7-5	BC[2:0]	R/W	転送ビット数の選択(注 1)(注 6) <table border="1" style="margin-left: 20px;"> <thead> <tr> <th rowspan="2"><BC></th> <th colspan="2"><ACK> = 0 のとき</th> <th colspan="2"><ACK> = 1 のとき</th> </tr> <tr> <th>クロック数</th> <th>データ長</th> <th>クロック数</th> <th>データ長</th> </tr> </thead> <tbody> <tr><td>000</td><td>8</td><td>8</td><td>9</td><td>8</td></tr> <tr><td>001</td><td>1</td><td>1</td><td>2</td><td>1</td></tr> <tr><td>010</td><td>2</td><td>2</td><td>3</td><td>2</td></tr> <tr><td>011</td><td>3</td><td>3</td><td>4</td><td>3</td></tr> <tr><td>100</td><td>4</td><td>4</td><td>5</td><td>4</td></tr> <tr><td>101</td><td>5</td><td>5</td><td>6</td><td>5</td></tr> <tr><td>110</td><td>6</td><td>6</td><td>7</td><td>6</td></tr> <tr><td>111</td><td>7</td><td>7</td><td>8</td><td>7</td></tr> </tbody> </table>	<BC>	<ACK> = 0 のとき		<ACK> = 1 のとき		クロック数	データ長	クロック数	データ長	000	8	8	9	8	001	1	1	2	1	010	2	2	3	2	011	3	3	4	3	100	4	4	5	4	101	5	5	6	5	110	6	6	7	6	111	7	7	8	7
<BC>	<ACK> = 0 のとき		<ACK> = 1 のとき																																																	
	クロック数	データ長	クロック数	データ長																																																
000	8	8	9	8																																																
001	1	1	2	1																																																
010	2	2	3	2																																																
011	3	3	4	3																																																
100	4	4	5	4																																																
101	5	5	6	5																																																
110	6	6	7	6																																																
111	7	7	8	7																																																
4	ACK	R/W	マスタモード(注 6) 0: アクノリッジメントのためのクロックを発生しない 1: アクノリッジメントのためのクロックを発生する スレーブモード(注 6) 0: アクノリッジメントのためのクロックをカウントしない 1: アクノリッジメントのためのクロックをカウントする																																																	
3	-	R	リードすると"1"が読めます。																																																	
2-1	SCK[2:1]	R/W	内部 SCL 出カクロックの周波数選択<SCK[2:0]>@ライト (注 2)(注 7)																																																	
0	SCK[0]	W	<table border="1" style="margin-left: 20px;"> <tbody> <tr><td>000</td><td>n = 5</td><td>385 kHz</td></tr> <tr><td>001</td><td>n = 6</td><td>294 kHz</td></tr> <tr><td>010</td><td>n = 7</td><td>200 kHz</td></tr> <tr><td>011</td><td>n = 8</td><td>122 kHz</td></tr> <tr><td>100</td><td>n = 9</td><td>68 kHz</td></tr> <tr><td>101</td><td>n = 10</td><td>36 kHz</td></tr> <tr><td>110</td><td>n = 11</td><td>19 kHz</td></tr> <tr><td>111</td><td></td><td>reserved</td></tr> </tbody> </table> <div style="margin-left: 100px;"> $\left. \begin{array}{l} \text{システムクロック: } f_{\text{sys}} \\ \text{クロックギア: } fc/1 \\ \text{周波数} = \frac{f_{\text{sys}}}{2^n + 72} \text{ [Hz]} \end{array} \right\} \begin{array}{l} (= 40\text{MHz}) \end{array}$ </div>	000	n = 5	385 kHz	001	n = 6	294 kHz	010	n = 7	200 kHz	011	n = 8	122 kHz	100	n = 9	68 kHz	101	n = 10	36 kHz	110	n = 11	19 kHz	111		reserved																									
000	n = 5	385 kHz																																																		
001	n = 6	294 kHz																																																		
010	n = 7	200 kHz																																																		
011	n = 8	122 kHz																																																		
100	n = 9	68 kHz																																																		
101	n = 10	36 kHz																																																		
110	n = 11	19 kHz																																																		
111		reserved																																																		
	SWRMON	R	ソフトウェアリセット状態モニタ<SWRMON>@リード 0: ソフトウェアリセット中 1: ソフトウェアリセット中ではない																																																	

- 注 1) SIO モードに切り替える前に<BC[2:0]>を"000"にクリアしてください。
- 注 2) SCL ラインクロックの周波数については、「12.5.1 シリアルクロック」を参照してください。
- 注 3) <SCK[0]/SWRMON>は、リセット後"1"が読み出されますが、SBIxCR2 レジスタにて SIO モードに設定した場合、<SCK[0]>の初期値は"0"になります。
- 注 4) 読み出しの初期値とは関係なく、周波数選択の初期値は<SCK[2:0]>=000 です。
- 注 5) マスタモードで<BC[2:0]>="001"で<ACK>="0"のとき、ストップコンディション発生後の SCL ラインの立ち下がりによって、SCL ラインが"L"に固定されることがあり、他のマスタデバイスがバスを使用できなくなります。複数のマスタデバイスがバスに接続されている場合、ストップコンディション発生前に、転送ビット数を"2"以上にしてください。
- 注 6) 通信中に書き込みを行う場合は、アドレスまたはデータ転送後の割込み発生から復帰までの期間に行ってください。
- 注 7) 通信中は書き換えを行わないでください。

12.4.3 SBIXCR2(コントロールレジスタ 2)

このレジスタをリードすると、SBIXSR レジスタとして機能します。

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	MST	TRX	BB	PIN	SBIM		SWRST	
リセット後	0	0	0	1	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	MST	W	マスタモード/スレーブモードの選択 0: スレーブモード 1: マスタモード
6	TRX	W	送信/受信の選択 0: 受信 1: 送信
5	BB	W	スタート/ストップ状態の発生 0: ストップ状態発生 1: スタート状態発生
4	PIN	W	INTSBIX 割り込み要求解除 0: - 1: 割り込み要求の解除
3-2	SBIM[1:0]	W	シリアルバスインタフェースの動作モード選択(注) 00: ポートモード(シリアルバスインタフェースの出力禁止) 01: SIO モード 10: I2C バスモード 11: Reserved
1-0	SWRST[1:0]	W	ソフトウェアリセットの発生 最初に"10"、次に"01"をライトすると、ソフトウェアリセットが発生します。 詳細は、「12.5.16 ソフトウェアリセット」を参照してください。 ライトの際、<SBIM[1:0]> は"10" の I2C バスモードを指定してください。

注) 通信中はモードを切り替えないでください。ポートモードへの切り替えはバスフリーを確認してから行ってください。また、ポートモードから I2C バスモードへの切り替えは、ポートの状態が"High"になっていることを確認してから行ってください。

12.4.4 SBIXSR(ステータスレジスタ)

このレジスタをライトすると、SBIXCR2として機能します。

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	MST	TRX	BB	PIN	AL	AAS	ADO	LRB
リセット後	0	0	0	1	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	MST	R	マスタ/スレーブ選択状態モニタ 0: スレーブモード 1: マスタモード
6	TRX	R	トランスミッタ/レシーバ選択状態モニタ 0: レシーバ 1: トランスミッタ
5	BB	R	I2C バス状態モニタ 0: バスフリー 1: バスビジー
4	PIN	R	INTSBIX 割り込み要求状態モニタ 0: 割り込みサービス要求中 1: 割り込みサービス要求解除中
3	AL	R	アービトラクションロスト検出モニタ 0: - 1: 検出
2	AAS	R	スレーブアドレス一致検出モニタ 0: - 1: 検出 (ゼネラルコールアドレス検出時もセットされます。)
1	ADO	R	ゼネラルコール検出モニタ 0: - 1: 検出
0	LRB	R	最終受信ビットモニタ 0: 最終受信ビット "0" 1: 最終受信ビット "1"

12.4.5 SBiXBR0(ボーレートレジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	I2SBI	-	-	-	-	-	-
リセット後	1	0	1	1	1	1	1	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	-	R	リードすると"1"が読めます。
6	I2SBI	R/W	IDLE モード時の動作 0: 停止 1: 動作
5-1	-	R	リードすると"1"が読めます。
0	-	R/W	必ず"0"をライトしてください。

12.4.6 SBixDBR(データバッファレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	DB							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-0	DB[7:0]	R	受信データ
		W	送信データ

- 注 1) 送信データ書き込み時は、データを MSB(ビット 7)側につめてライトしてください。また、受信データは LSB 側に格納されます。
- 注 2) SBixDBR は書き込み用のバッファと読み出し用のバッファを個別に持っているため、書き込んだデータを読み出すことはできません。したがって、ビット操作などのリードモディファイライト命令は使用できません。

12.4.7 SBxI2CAR(I2C バスアドレスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SA							ALS
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-1	SA[6:0]	R/W	スレーブデバイスとして動作するときのスレーブアドレスの設定
0	ALS	R/W	アドレス認識モードの指定 0:スレーブアドレスを認識する 1:スレーブアドレスを認識しない(フリーデータフォーマット)

- 注 1) <ALS>はフリーデータフォーマット使用時以外は必ず"0"に設定してください。"1"に設定した場合にはフリーデータフォーマットとして動作し、マスタ時は送信に、スレーブ時は受信に転送方向が固定されます。
- 注 2) スレーブモード時 SBxI2CAR を"0x00"に設定しないでください。("0x00"に設定した場合、スレーブモードで I2C バス規格の START バイト("0x01")を受信した時にスレーブアドレスが一致したと判断します。)

12.5 I2C バスモード時の制御

12.5.1 シリアルクロック

12.5.1.1 クロックソース

SBlxCR1 <SCK[2:0]>で、マスタモード時に SCLx 端子から出力されるシリアルクロックの最大転送周波数を選択します。

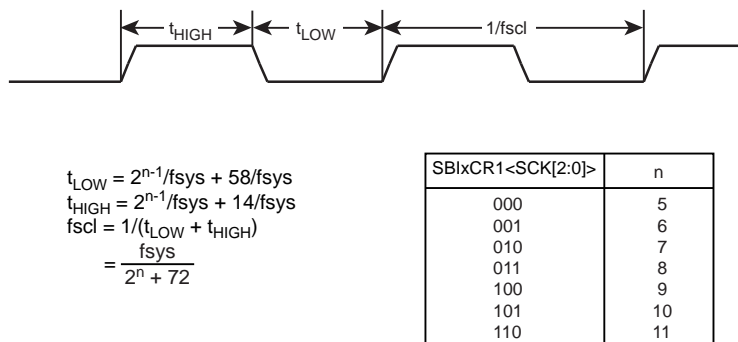


図 12-3 クロックソース

注) 通信規格上、標準モード/高速モードの最高速は 100 kHz/400 kHz です。内部 SCL クロックの周波数の設定は、使用される fsys と上記計算式にて設定されますのでご注意ください。

12.5.1.2 クロック同期化

I2C バスでは、端子の構造上バスをワイヤードアンドで駆動させるため、クロックラインを最初に"Low"レベルに引いたマスタが、"High"レベルを出力しているマスタのクロックを無効にします。このため、"High"レベルを出力しているマスタは、これを検出し対応する必要があります。

シリアルバスインタフェース回路はクロック同期化機能をもっており、バス上に複数のマスタが存在する場合でも、正常に転送が行われます。

クロック同期の手順を、バス上に2つのマスタが同時に存在した場合を例に挙げて以下に示します。

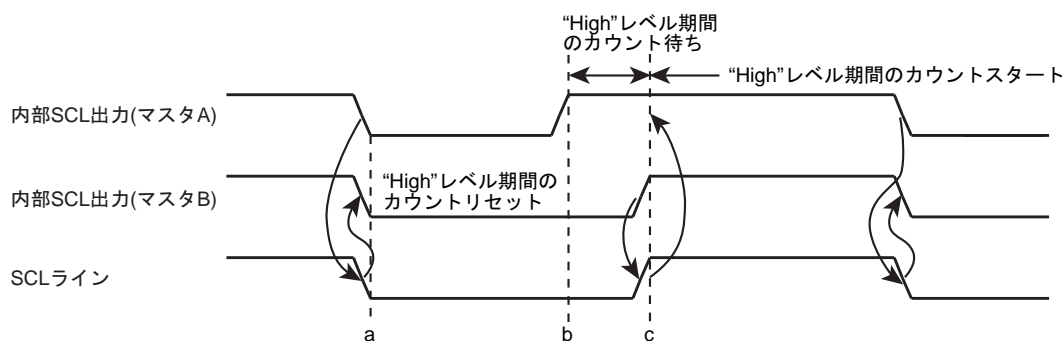


図 12-4 クロック同期化の例

a 点でマスタ A が内部 SCL 出力を"Low"レベルに引くことで、バスの SCL ラインは"Low"レベルになります。マスタ B はこれを検出し、マスタ B の"High"レベル期間のカウントをリセットし、内部 SCL 出力を"Low"レベルに引きます。

b 点でマスタ A は"Low"レベル期間のカウントを終わり、内部 SCL 出力を"High"レベルにします。しかし、マスタ B がバスの SCL ラインを"Low"レベルに保持し続けているので、マスタ A は"High"レベル期間のカウントを止めます。マスタ A は、c 点でマスタ B が内部 SCL 出力を"High"レベルにし、バスの SCL ラインが"High"レベルになったことを検出後、"High"レベル期間のカウントを始めます。その後、"High"レベル期間のカウントを終了したマスタ A が SCL 端子を"Low"に引くことでバスの SCL ラインは"Low"レベルになります。

以上のようにバス上のクロックは、バスに接続されているマスタの中で最も短い"High"レベル期間をもつマスタと最も長い"Low"レベル期間をもつマスタによって決定されます。

12.5.2 アクノリッジメントモードの指定

SBIxCR1<ACK>を"1"に設定するとアクノリッジメントモードとして動作します。マスタモードのときには、アクノリッジ信号のためのクロックを1クロック付加します。スレーブモードのときはアクノリッジ信号のためのクロックをカウントします。トランスミッタモードのときには、アクノリッジのためのクロック期間中 SDAx 端子を開放し、レシーバからのアクノリッジ信号を受信できる状態にします。レシーバモードのときはクロック期間中 SDAx 端子を"Low"レベルに引き、更に、スレーブモードのときにゼネラルコールアドレスを受信した場合にもアクノリッジのためのクロック期間中、SDAx 端子を"Low"レベルに引き、アクノリッジ信号を発生します。セカンドバイトは内容によりアクノリッジ信号の発生有無を制御する必要がありますので、ソフトウェアによりアクノリッジ信号の制御を行なってください。

<ACK>を"0"に設定すると、非アクノリッジメントモードとして動作し、マスタモードのときにアクノリッジ信号のためのクロックを発生しません。スレーブモードのときはアクノリッジ信号のためのクロックをカウントしません。

12.5.3 転送ビット数の選択

SBIxCR1<BC[2:0]>により、次に送受信するデータのビット数を選択します。

<BC[2:0]>はスタートコンディションにより"000"にクリアされるため、スレーブアドレス、方向ビットの転送は必ず8ビットで行われます。それ以外のときは<BC[2:0]>は一度設定された値を保持します。

12.5.4 スレーブアドレスとアドレス認識モードの設定

スレーブアドレスを認識するアドレッシングフォーマットで動作させるときは、SBIxI2CAR<ALS>に"0"を設定し、SBIxI2CAR <SA[6:0]>にスレーブアドレスを設定します。

スレーブアドレスを認識しないフリーデータフォーマットで使用するときは<ALS>を"1"に設定します。なお、フリーデータフォーマットで使用了場合、スレーブアドレスと方向ビットの認識は行われず、スタートコンディション直後からデータとして扱われます。

12.5.5 動作モード

SBIxCR2<SBIM[1:0]>で動作モードを設定します。I2C バスモードで使用するとき、シリアルバスインタフェース端子の状態が"High"になっていることを確認後、<SBIM[1:0]>を"10"に設定してください。また、ポートモードへの切り替えは、バスフリーであることを確認してから行ってください。

12.5.6 トランスミッタ/レシーバの選択

SBIxCR2<TRX> を"1"に設定すると、トランスミッタとして動作し、<TRX>を"0"に設定すると、レシーバとして動作します。

スレーブモード時は、

- ・ アドレッシングフォーマットのデータ転送を行うとき
- ・ 受信したスレーブアドレスが SBIxI2CAR にセットした値と同じとき
- ・ ゼネラルコール(スタートコンディション後の 8 ビットのデータがすべて"0")を受信したとき

ハードウェアによりマスタデバイスから送られてくる方向ビット(R/\overline{W})が"1"の場合、<TRX>は"1"にセットされ、"0"の場合、<TRX>は"0"にクリアされます。

マスタモード時は、スレーブデバイスからアクノリッジが返ってくると、ハードウェアにより、送信した方向ビットが"1"の場合、<TRX>は"0"に、方向ビットが"0"の場合、<TRX>は"1"に変化しません。アクノリッジが返ってこないときは、以前の状態を保ちます。

<TRX>はバス上のストップコンディションの検出、またはアービトレーションロストの検出で、ハードウェアにより"0"にクリアされます。

フリーデータフォーマットで使用する場合、<TRX>はハードウェアによって変化することはありません。

12.5.7 マスタ/スレーブの選択

SBIxCR2<MST>を"1"に設定すると、マスタデバイスとして動作します。

<MST>を"0"に設定すると、スレーブデバイスとして動作します。<MST>はバス上のストップコンディションの検出、またはアービトレーションロストの検出で、ハードウェアにより"0"にクリアされます。

12.5.8 スタート/ストップコンディションの発生

SBIxSR<BB>が"0"のときに、SBIxCR2<MST, TRX, BB, PIN>に"1"を書き込むと、バス上にスタートコンディションと、あらかじめデータバッファレジスタに書き込んだスレーブアドレスと方向ビットが出力されます。あらかじめ、<ACK>に"1"を設定しておいてください。

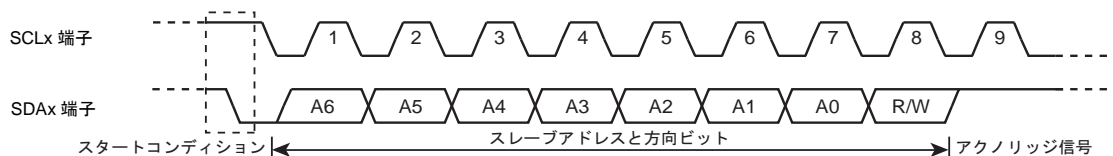


図 12-5 スタートコンディションの発生とスレーブアドレスの発生

<BB> = "1"のときに、<MST, TRX, PIN>に"1"、<BB>に"0"を書き込むと、バス上にストップコンディション出力のシーケンスが開始されます。バス上にストップコンディションが発生するまで、<MST, TRX, BB, PIN>の内容を書き替えないでください。

ストップコンディション発生時にバスの SCL ラインがほかのデバイスにより"Low"に引かれていた場合、SCL ラインが開放された後にストップコンディションが発生します。

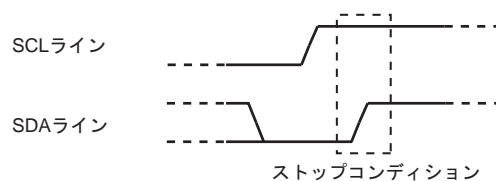


図 12-6 ストップコンディションの発生

また、SBIxSR<BB>を読み出すことで、バスの状態を知ることができます。<BB>は、バス上のスタートコンディションを検出すると"1"にセットされ(バスビジー状態)、ストップコンディションを検出すると"0"にクリアされます(バスフリー状態)。

12.5.9 割り込みサービス要求と解除

マスタモードの時、<BC>と<ACK>によって設定されたクロック数の転送が終了すると、シリアルバスインタフェース割り込み要求(INTSBIx)が発生します。

スレーブモードの場合は、以下のときに INTSBIx が発生します。

- ・ 受信したスレーブアドレスが SBIxI2CAR<SA[6:0]>に設定されたスレーブアドレスとアクノリッジ信号出力後
- ・ ゼネラルコールを受信した時のアクノリッジ信号出力後
- ・ スレーブアドレス一致、またはゼネラルコール受信後におけるデータ転送終了時

アドレス認識モード(<ALS>="0")では、受信したスレーブアドレスが SBIxI2CAR にセットした値と同じとき、またはゼネラルコール(スタートコンディション後の 8 ビットのデータがすべて"0")を受信したときに INTSBIx が発生します。

割り込み要求(INTSBIx)が発生すると、SBIxCR2<PIN>が"0"にクリアされます。<PIN>が"0"の間、SCL ラインを"Low"レベルに引きます。

<PIN>は SBIxDBR にデータを書き込むか、SBIxDBR からデータを読み出すと"1"にセットされます。<PIN>が"1"にセットされてから、SCL ラインが開放されるまで、 t_{Low} の時間がかかります。プログラムで<PIN>に"1"を書き込むと"1"にセットされますが、"0"を書き込んでも"0"にクリアされません。

注) マスタモードでスレーブアドレスと方向ビットの転送中にアービトレーションロストが発生した場合、受信したスレーブアドレスと SBIxI2CAR<SA>の一致にかかわらず、<PIN>は"0"にクリアされ、INTSBIx が発生します。

12.5.10 アービトレーションロスト検出モニタ

I2C バスではマルチマスタ(1 つのバス上で同時に 2 つ以上のマスタが存在する)が可能なため、転送されるデータの内容を保証するためにバスのアービトレーション手順が必要となります。

バスビジーの状態のときにスタートコンディションを出力しようとした場合、SCL, SDA ラインには出力されずにアービトレーションロストが発生します。I2C バスではバスのアービトレーションに SDA ラインのデータを使用します。

アービトレーションの手順を、バス上に 2 つのマスタが同時に存在した場合を例に挙げて以下に示します。

a 点のビットまでマスタ A, マスタ B とも同じデータを出力し、a 点でマスタ A が"Low"レベルを出力、マスタ B が"High"レベルを出力すると、バスの SDA ラインはワイヤードアンドで駆動されるためにマスタ A によって"Low"レベルに引かれます。b 点でバスの SCL ラインが立ち上がると、スレーブデバイスは SDA ラインデータ、すなわち、マスタ A のデータを取り込みます。このとき、マスタ B の出力したデータは無効になります。マスタ B のこの状態を"アービトレーションロスト"と呼びます。マスタ B は SDA 端子を開放し、他のマスタの出力するデータに影響を及ぼさないようにします。また、複数のマスタが 1 ワード目でまったく等しいデータを送信した場合、アービトレーションの手順は 2 ワード目以降も継続されます。

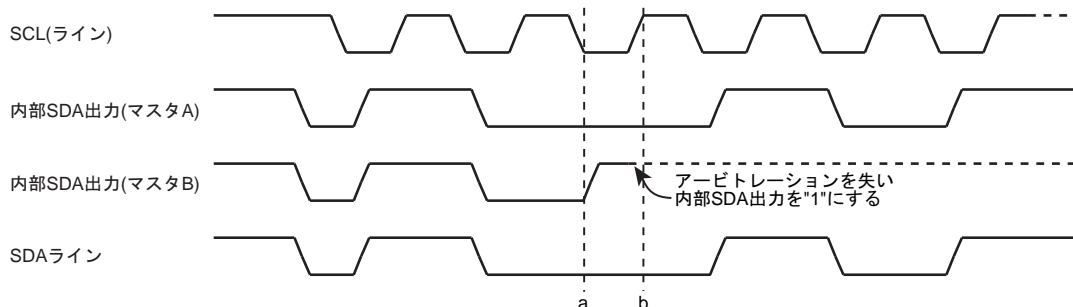


図 12-7 アービトレーションロスト

バスの SDA ラインのレベルと内部 SDA 出力のレベルの比較は、SCL ラインの立ち上がりで行います。この比較結果が不一致の場合アービトレーションロストになり、SBIxSR<AL> が"1"にセットされます。

アービトレーションロストが発生すると、SBIxSR<MST>と<TRX>は"0"にクリアされ、スレーブレシーバモードになり、SCL クロックの出力を停止します。スレーブアドレスと方向ビットの転送中にアービトレーションロストが発生したマスタデバイスは、通常のスレーブデバイスのように、他のマスタデバイスが通信するスレーブアドレスを受信します。受信したスレーブアドレスが SBIxI2CAR<SA>との一致にかかわらず、<PIN>が"0"にクリアされ、INTSBIx が発生します。

<AL>は、SBIxDBR にデータを書き込むか、SBIxDBR からデータを読み込む、または SBIxCR2 にデータを書き込むと"0"にクリアされます。

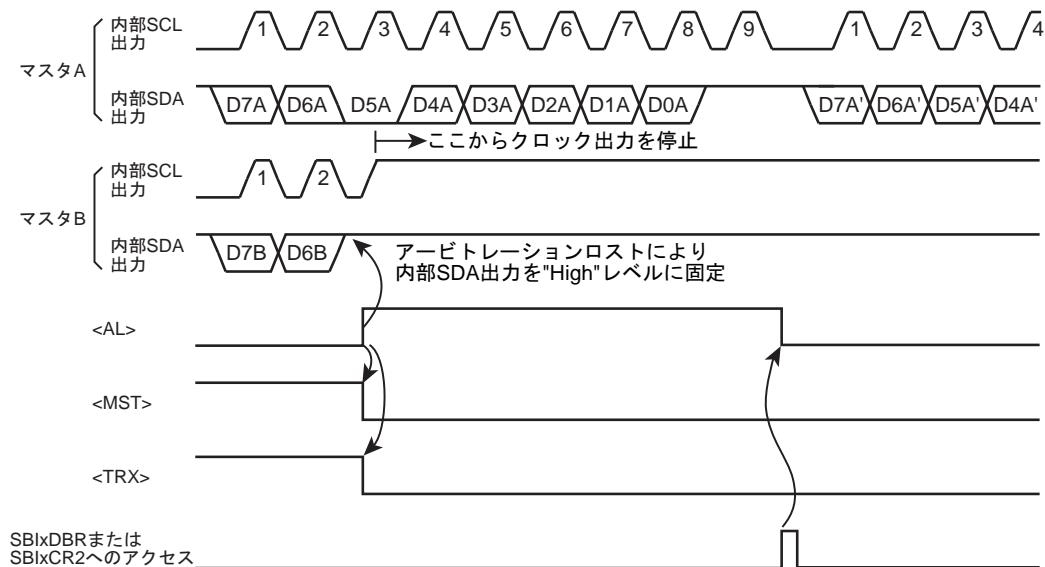


図 12-8 マスタ B の場合の例(D7A=D7B,D6A=D6B)

12.5.11 スレーブアドレス一致検出モニタ

SBIxSR<AAS>は、スレーブモード時、アドレス認識モード(SBIxI2CAR<ALS> = "0")のとき、ゼネラルコールアドレスまたは SBIxI2CAR にセットした値と同じスレーブアドレスを受信すると"1"にセットされます。フリーデータフォーマット(<ALS> = "1")のときは、最初の 1 ワードが受信されると"1"にセットされます。<AAS> は SBIxDBR にデータを書き込むか、SBIxDBR からデータを読み出すと"0"にクリアされます。

12.5.12 ゼネラルコール検出モニタ

SBIxSR<ADO>は、スレーブモード時、ゼネラルコール(スタートコンディション後の 8 ビットのデータがすべて"0")を受信したとき"1"にセットされます。また、バス上のスタートコンディション、またはストップコンディションが検出されると"0"にクリアされます。

12.5.13 最終受信ビットモニタ

SBIxSR<LRB>には、SCL ラインの立ち上がりで取り込まれた SDA ラインの値がセットされます。アクノリッジメントモードのとき、INTSBIx 割り込み要求発生直後に SBIxSR<LRB> を読み出すと、ACK 信号が読み出されます。

12.5.14 データバッファレジスタ(SBIxDBR)

SBIxDBR をリード/ライトすることで、受信データの読み出し/送信データの書き込みを行います。また、マスタモード時において、このレジスタにスレーブアドレスと方向ビットを設定後、スタートコンディションが発生します。

12.5.15 ボーレートレジスタ(SBIxBR0)

SBIxBR0<I2SBI>は IDLE モードに遷移した際にシリアルバスインタフェース回路の動作の許可/禁止を設定するレジスタです。スタンバイモードに移る命令を実行する前に、あらかじめ設定してください。

12.5.16 ソフトウェアリセット

シリアルバスインタフェース回路が、外部からのノイズによりロックした場合、ソフトウェアリセット機能を使い、シリアルバスインタフェース回路を初期化することができます。

SBIxCR2<SWRST[1:0]>へ、最初に"10"、次に"01"をライトすると、ソフトウェアリセットが発生します。ライトの際、SBIxCR2<MST><TRX><BB><PIN>は"0000"、SBIxCR2<SBIM[1:0]>は"10" (I2C バスモード)を指定してください。ソフトウェアリセットが発生すると、シリアルバスインタフェース回路にリセット信号が入力され、回路が初期化されます。このとき、すべてのコントロールレジスタとステータスフラグはリセット直後の値となります。また、<SWRST>は、シリアルバスインタフェースを初期化すると、自動的に"0"にクリアされます。

注) ソフトウェアリセットをかけると動作モード選択もリセットされ、I2C モードから PORT モードになります。

12.6 I2C バスモード時のデータ転送手順

12.6.1 デバイスの初期化

最初に SBIxCR1<ACK, SCK[2:0]>を設定します。<ACK>には"1"を設定してアクノリッジメントモードに設定します。SBIxCR1<BC[2:0]>には、"000"を設定してください。

次に SBIxI2CAR にスレーブアドレス<SA[6:0]>と<ALS> (アドレッシングフォーマット時には、<ALS>="0")を設定します。

最後に、シリアルバスインタフェース端子の状態が"High"になっていることを確認し、SBIxCR2<MST><TRX><BB>に"000", <PIN>に"1", <SBIM[1:0]>に"10", <SWRST[1:0]>に"00"を書き込み、初期状態をスレーブレシーバモードにします。

注) シリアルバスインタフェース回路の初期化は、バスに接続されているすべてのデバイスが初期化された後、どのデバイスも一定期間スタートコンディションを発生しない期間を設け、その期間内に終了させてください。この制約が守られない場合、シリアルバスインタフェース回路の初期化が終了する前にほかのデバイスが転送を開始することがあり、正常にデータを受信することができません。

	7	6	5	4	3	2	1	0	
SBIxCR1	← 0	0	0	1	0	X	X	X	ACK および SCL クロックの設定をします。
SBIxI2CAR	← X	X	X	X	X	X	X	X	スレーブアドレスおよびアドレス認識モードの設定をします。
SBIxCR2	← 0	0	0	1	1	0	0	0	スレーブレシーバモードにします。

注) X; Don't care

12.6.2 スタートコンディション, スレーブアドレスの発生

12.6.2.1 マスタモードの場合

マスタモード時は、スタートコンディションとスレーブアドレスを、次の手順で発生します。

はじめに、バスフリー状態(<BB>="0")を確認します。次に、SBIxCR1<ACK>に"1"を書き込んで、アクノリッジメントモードに設定します。また、SBIxDBR に、送信するスレーブアドレスと方向ビットのデータを書き込みます。

<BB>="0" の状態で、SBIxCR2<MST, TRX, BB, PIN>に"1111"を書き込むと、バス上にスタートコンディションが発生します。スタートコンディションの発生に次いで、SCLx 端子から 9 クロックを出力します。最初の 8 クロックで、SBIxDBR に設定したスレーブアドレスと方向ビットを出力します。9 クロック目で、SDA ラインを解放し、スレーブデバイスからのアクノリッジ信号を受信します。

9 クロック目の立ち下がり方で、INTSBIx 割り込み要求が発生し、<PIN>="0"にされます。マスタモード時は、<PIN>="0" の間 SCL ラインを"Low"レベルにひきます。また、スレーブデバイスからのアクノリッジ信号が返ってきたときの、INTSBIx 割り込み要求の発生により、送信した方向ビットに合わせて<TRX>は変化します。

注) スレーブアドレスを出力するために SBIxDBR に書き込む時は事前にソフトウェアによってバスフリーを検出してから行ってください。この制約が守られない場合、現在出力中のバス上のデータが破壊されることがあります。

メインルーチンでの設定

		7	6	5	4	3	2	1	0	
Reg.	←	SBIXSR								
Reg.	←	Reg. e 0x20								
if Reg.	≠	0x00								バスがフリー状態になるまで確認します。
Then										
SBIXCR1	←	X	X	X	1	0	X	X	X	アクノリッジメントモードに設定します。
SBIXDBR	←	X	X	X	X	X	X	X	X	目的のスレーブのスレーブアドレスと方向をセットします。
SBIXCR2	←	1	1	1	1	1	0	0	0	スタートコンディションの発生を行います。

INTSBIX 割り込みルーチンでの処理例

割り込み要求クリア
 処理
 割り込み終了

12.6.2.2 スレーブモードの場合

スレーブモードの場合は、スタートコンディションとスレーブアドレスを受信します。

マスタデバイスからのスタートコンディションを受信した後、SCL ラインの最初の 8 クロックで、マスタデバイスからのスレーブアドレスと方向ビットを受信します。ゼネラルコール、または SBIXI2CAR に設定されたスレーブアドレスと同一のアドレスを受信したとき、9 クロック目で SDA ラインを "Low" レベルに引き、アクノリッジ信号を出力します。

9 クロック目の立ち下がりで、INTSBIX 割り込み要求が発生し、<PIN> = "0" にされます。スレーブモード時は、<PIN> = "0" の間 SCL ラインを "Low" レベルに引きます。

注) DMA 転送を使用する場合は

- ・ マスタスレーブが 1 対 1
 - ・ 送信または受信が連続して可能
- のときにのみ可能です。

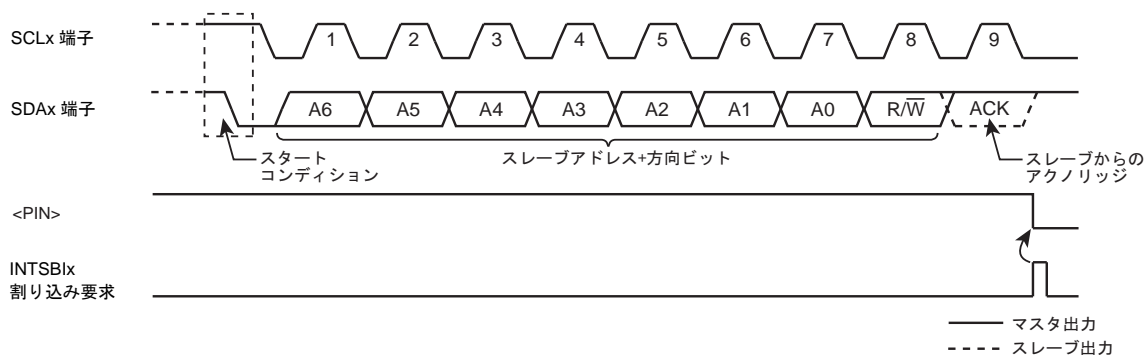


図 12-9 スタートコンディションとスレーブアドレスの発生

12.6.3 1ワードのデータ転送

1ワード転送終了の INTSBiX 割り込みの処理で<MST>をテストし、マスタモード/スレーブモードの判断をします。

12.6.3.1 マスタモードの場合(<MST> = "1")

<TRX>をテストし、トランスミッタ/レシーバの判断をします。

(1) トランスミッタモードの場合(<TRX> = "1")

<LRB>をテストします。<LRB> = "1"のとき、レシーバはデータを要求していないのでストップコンディションを発生する処理(後記参照)を行ってデータ転送を終了します。

<LRB> = "0"のときレシーバが次のデータを要求しています。次に転送するデータのビット数が 8 ビットのとき SBiXDBR に転送データを書き込みます。8 ビット以外のときは<BC[2:0]>, <ACK>を設定し、転送データを SBiXDBR に書き込みます。データを書き込むと<PIN>が"1"になり SCL 端子から次の 1ワードデータ転送用のシリアルクロックが発生され、SDA 端子から 1ワードのデータが転送されます。転送終了後 INTSBiX 割り込み要求が発生し、<PIN>が"0"になり SCL 端子を"Low"レベルに引きます。複数ワードの転送が必要な場合は上記<LRB>のテストから繰り返します。

INTSBiX 割り込み

```

if MST = 0
Then スレーブモード時の処理へ移行
if TRX = 0
Then レシーバモード時の処理へ移行
if LRB = 0
Then ストップコンディションを発生する処理へ移行
SBiXCR1 ← X X X X 0 X X X      転送ビット数および ACK を設定します。
SBiXDBR ← X X X X X X X X      転送データを書き込みます。
割り込み処理終了

```

注) X; Don't care

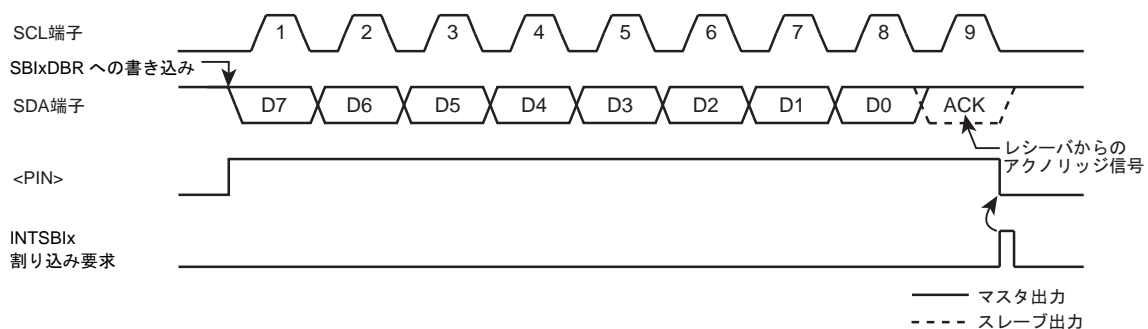


図 12-10 <BC[2:0]>="000", <ACK>="1"の場合 (トランスミッタモード)

(2) レシーバモードの場合(<TRX> = "0")

次に転送するデータのビット数が 8 ビットの場合は SBIxDBR に転送データを書き込みます。8 ビット以外の場合は <BC[2:0]>, <ACK> を設定し、SCL ラインを解放するために SBIxDBR から受信データを読み出します(スレーブアドレス送信直後のリードデータは不定です)。データを読み出すと <PIN> は "1" になり、次の 1 ワードデータ転送用のシリアルクロックを SCLx 端子に出力します。最後のビットでアクノリッジ信号の "Low" レベルのタイミングで "0" を SDAx 端子に出力します。

その後、INTSBIx 割り込み要求が発生し、<PIN> が "0" になり SCLx 端子を "Low" レベルに引きます。SBIxDBR から受信データを読み出すたびに 1 ワードの転送クロックとアクノリッジを出力します。

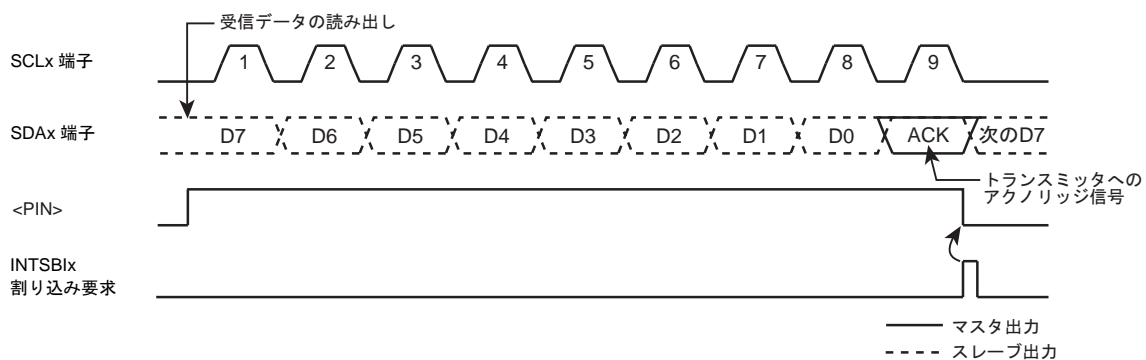


図 12-11 <BC[2:0]> = "000", <ACK> = "1" のときの例 (レシーバモード)

トランスミッタに対してデータの送信を終了させるときは、最後に受信したいデータの 1 ワード手前のデータを読み出す前に <ACK> を "0" にします。これにより、最終データのアクノリッジのためのクロックは発生されなくなります。転送終了の割り込み要求発生後の処理で、<BC[2:0]> = "001" に設定し、データを読み出すと、1 ビット転送のためのクロックを発生します。このときマスタはレシーバなのでバスの SDA ラインは "High" レベルを保ちます。トランスミッタは ACK 信号としてこの "High" レベルを受信するので、レシーバはトランスミッタへ送信終了を知らせることができます。

この 1 ビット転送の受信終了割り込み要求後の処理で、ストップコンディションを発生させ、データ転送を終了させます。

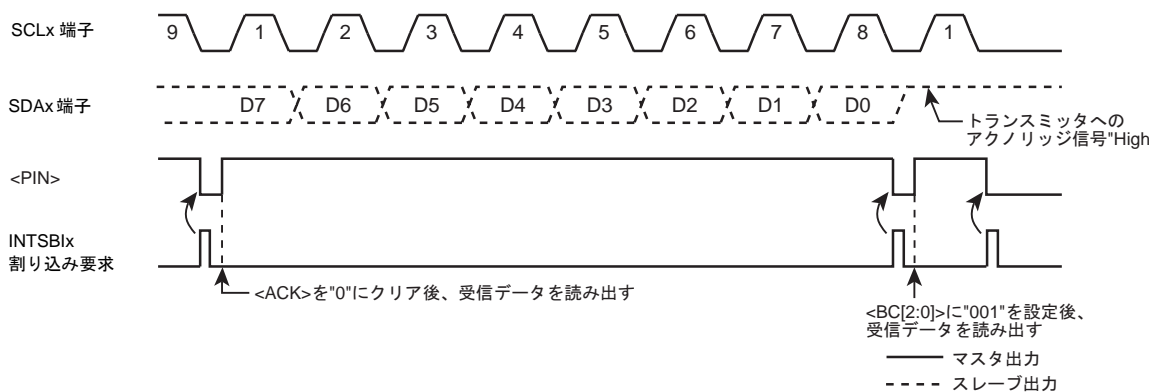


図 12-12 マスタレシーバモード時、データの送信を終了させるときの処理

例:データを N 回受信する場合

INTSBIX 割り込み(データ送信後)

		7	6	5	4	3	2	1	0
SBIXCR1	←	X	X	X	X	0	X	X	X
Reg.	←	SBIXDBR							

割り込み終了

受信データのビット数および ACK を設定します。

ダミーデータを取り込みます。

INTSBIX 割り込み(データ受信 1~(N - 2)回目)

		7	6	5	4	3	2	1	0
Reg.	←	SBIXDBR							

割り込み終了

1~(N - 2)回目のデータを取り込みます。

INTSBIX 割り込み(データ受信 (N - 1)回目)

		7	6	5	4	3	2	1	0
SBIXCR1	←	X	X	X	0	0	X	X	X
Reg.	←	SBIXDBR							

割り込み終了

アクノリッジ信号のクロックを発生しないようにします。

(N - 1)回目のデータを取り込みます。

INTSBIX 割り込み(データ受信 N 回目)

		7	6	5	4	3	2	1	0
SBIXCR1	←	0	0	1	0	0	X	X	X
Reg.	←	SBIXDBR							

割り込み終了

1 ビット転送のためのクロックを発生します。

N 回目のデータを取り込みます。

INTSBIX 割り込み(データ受信後)

ストップコンディションを発生する処理
割り込み終了

データ転送を終了させます。

注) X; Don't care

12.6.3.2 スレーブモードの場合(<MST> = "0")

スレーブモードのとき、マスタが送ったスレーブアドレス、またはゼネラルコールアドレスを受信したとき、もしくは、受信したスレーブアドレスが一致した後、またはゼネラルコールアドレスを受信した後のデータ転送終了時に INTSB_Ix 割り込み要求が発生します。また、マスタモードのとき、アービトレーションロストを検出するとスレーブモードとして動作し、アービトレーションロストを検出したワード転送の終了時に INTSB_Ix 割り込み要求が発生します。INTSB_Ix 割り込み要求が発生すると <PIN> が "0" にされ、SCL_x 端子を "Low" レベルに引きます。SBI_xDBR にデータを書き込む、SBI_xDBR からデータを読み出す、または <PIN> に "1" を設定すると SCL_x 端子が t_{LOW} 後に開放されます。なお、ゼネラルコールのセカンドバイトは内容によりアクノリッジ信号の発生有無を制御する必要がありますので、ソフトウェアによりアクノリッジ信号の制御を行なってください。

スレーブモード時は、通常のスレーブモードとしての処理、またはアービトレーションロストを検出し、スレーブモードになったときの処理を行います。

SBI_xSR<AL>, <TRX>, <AAS>, <ADO> をテストし、場合分けを行います。「表 12-2 スレーブモード時の処理」にスレーブモード時の状態と必要な処理を示します。

例: スレーブレシーバモード時スレーブアドレスが一致し、方向ビットが "1" の場合

INTSB_Ix 割り込み

```

if TRX = 0
Then その他処理へ移行
if AL = 0
Then その他処理へ移行
if AAS = 0
Then その他処理へ移行
SBIxCR1   ← X X X 1 0 X X X   送信ビット数を設定します。
SBIxDBR   ← X X X X X X X X   送信データをセットします。

```

注) X; Don't care

表 12-2 スレーブモード時の処理

<TRX>	<AL>	<AAS>	<ADO>	状態	処理
1	1	1	0	スレーブアドレス送信中にアービトレーションロストを検出し、他のマスタが送った方向ビットが"1"のスレーブアドレスを受信	1 ワードのビット数を<BC[2:0]>にセットし、送信するデータを SBIXDBR に書き込みます。
	0	1	0	スレーブレシーバモード時、マスタが送った方向ビットが"1"のスレーブアドレスを受信	
		0	0	0	スレーブトランスミッタモード時、1 ワードのデータの送信が終了
0	1	1	1/0	スレーブアドレス送信中にアービトレーションロストを検出し、他のマスタが送った方向ビットが"0"のスレーブアドレス、またはゼネラルコールを受信	<PIN>を"1"にセットするために SBIXDBR を読み出します。(ダミー読み出し)または<PIN>に"1"を書き込みます。
		0	0	スレーブアドレスを送信中またはデータ送信中にアービトレーションロストを検出し、そのワードの転送が終了	
	0	1	1/0	スレーブレシーバモード時、マスタの送った方向ビットが"0"のスレーブアドレス、またはゼネラルコールを受信	
		0	1/0	スレーブレシーバモード時、1 ワードのデータの受信が終了	

12.6.4 ストップコンディションの発生

SBIxSR<BB>="1"のときに、SBIxCR2<MST, TRX, PIN>に"1"、<BB>に"0"を書き込むとバス上にストップコンディション出力のシーケンスを開始します。バス上にストップコンディションが発生するまで、<MST, TRX, BB, PIN>の内容を書き替えないでください。

なお、バスの SCL ラインが他のデバイスにより引かれていた場合、SCL ラインが開放されてから、SDAx 端子が立ち上がり、ストップコンディションが発生します。

		7	6	5	4	3	2	1	0	
SBIxCR2	←	1	1	0	1	1	0	0	0	ストップコンディションを発生させます。

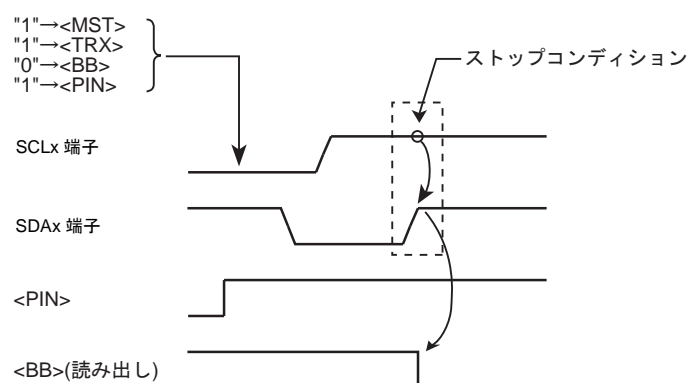


図 12-13 ストップコンディションの発生

12.6.5 再スタートの手順

再スタートはマスタデバイスがスレーブデバイスに対して、データ転送を終了させずに転送の方向を変化させるときに使用します。マスタモード時、再スタートが発生する場合の手順を以下に示します。

まず、SBIxCR2<MST, TRX, BB>に"0"、<PIN>に"1"を書き込み、バスを開放します。このとき SDAx 端子は"High"レベルを保ち、SCLx 端子が開放され、バス上にストップコンディションが発生されないため、他のデバイスからみるとバスはビジー状態のままです。このあと、SBIxSR<BB>をテストして"0"になるまで待ち、SCLx 端子が開放されたことを確認します。次に<LRB>をテストして"1"になるまで待ち、他のデバイスがバスの SCL ラインを"Low"レベルに引いていないことを確認します。以上の手順によってバスがフリー状態になっていることを確認した後に前記「12.6.2 スタートコンディション、スレーブアドレスの発生」の手順で、スタートコンディションの発生を行います。

なお、再スタート時のセットアップタイムを満たすために、バスフリーの確認からスタートの発生まで最低 4.7 μs (標準モード時)のソフトウェアによる待ち時間が必要です。

注 1) <MST>="0"の状態の時に<MST>="0"をライトしないでください(再スタートできません)。

注 2) マスタデバイスがレシーバのとき、再スタートを発生させる前にトランスミッタとなっているスレーブデバイスからのデータ送信を終了させる必要があります。データ送信を終了させるために、"High"レベルのアクノリッジ信号をスレーブデバイスに受信させます。このため、再スタート発生前の<LBR>は"1"となり、再スタートの手順で<LBR>="1"であることを確認しても、SCL ラインの立ち上がりを確認できません。SCL ラインの状態を確認するにはポートを読み出してください。

	7 6 5 4 3 2 1 0	
→	SBIxCR2 ← 0 0 0 1 1 0 0 0	バスを開放します。
→	if SBIxSR<BB> ≠ 0	SCL 端子の開放を確認します。
→	Then	
→	if SBIxSR<LRB> ≠ 1	他のデバイスの SCL 端子"Low"レベルの確認を行います。
→	Then	
→	4.7 μs Wait	
→	SBIxCR1 ← X X X 1 0 X X X	アクリリジメントモードに設定します。
→	SBIxDBR ← X X X X X X X X	目的のスレーブのスレーブアドレスと方向をセットします。
→	SBIxCR2 ← 1 1 1 1 1 0 0 0	スタートコンディションの発生を行います。

注) X; Don't care

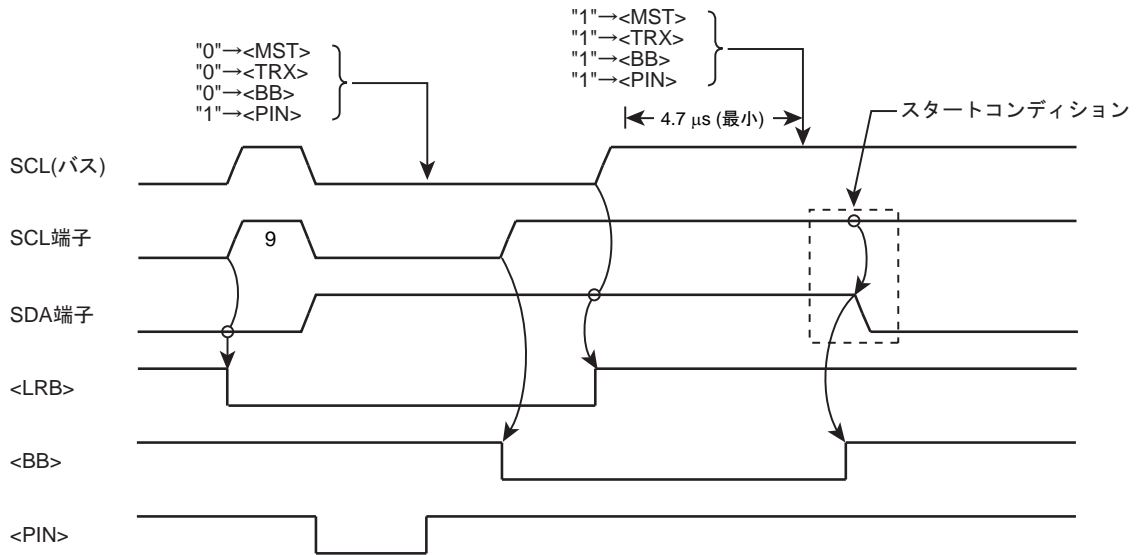


図 12-14 再スタートを発生する場合のタイミングチャート

12.7 マルチマスタで使用する際の注意点

マルチマスタで使用している際に通信がロックした場合に備え、ソフトウェアによるリカバリ対策を用意願います。

リカバリ処理例

1. 送信開始と共にタイムアウト検知用のタイマカウントを開始
2. 一定時間内にシリアルインタフェース割り込み (INTSBIx) が発生せず、タイムアウトとなった場合、通信がロックしたと判断
3. シリアルバスインタフェースのソフトウェアリセットを実行し通信ロックを解除
4. 送信タイミングの調整処理(注)
5. 送信データを再送信

注) 再送信タイミングが重ならないよう、デバイス毎に送信タイミングを調整してください。

12.8 SIO モード時のコントロールレジスタ

シリアルバスインタフェースをクロック同期式 8 ビット SIO モードで使用するときの制御、および動作状態のモニタは、以下のレジスタで行います。

12.8.1 SBIXCR0(コントロールレジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SBIEN	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	SBIEN	R/W	シリアルバスインタフェース動作 0: 禁止 1: 許可 シリアルバスインタフェースを使用する場合、まずこのビットを許可にしてください。 禁止の場合、SBIXCR0 を除くすべてのクロックが停止しますので消費電力の低減が可能です。 いったん許可した後に禁止にした場合、各レジスタの設定は保持されます。
6-0	-	R	リードすると"0"が読めます。

12.8.2 SBIXCR1(コントロールレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SIOS	SIOINH	SIOM		-	SCK		
リセット後	0	0	0	0	1	0	0	0(注1)

Bit	Bit Symbol	Type	機能																								
31-8	-	R	リードすると"0"が読めます。																								
7	SIOS	R/W	転送の開始/終了 0: 終了 1: 開始																								
6	SIOINH	R/W	転送の強制停止 0: 転送継続 1: 強制停止																								
5-4	SIOM[1:0]	R/W	転送モードの設定 00: 送信モード 01: Reserved 10: 送受信モード 11: 受信モード																								
3	-	R	リードすると"1"が読めます。																								
2-0	SCK[2:0]	R/W	シリアルクロックの周波数選択<SCK[2:0]>@ライト(注 1) <table border="1" style="margin-left: 20px;"> <tr> <td>000</td> <td>n = 3</td> <td>2.5 MHz</td> </tr> <tr> <td>001</td> <td>n = 4</td> <td>1.25 MHz</td> </tr> <tr> <td>010</td> <td>n = 5</td> <td>625 kHz</td> </tr> <tr> <td>011</td> <td>n = 6</td> <td>313 kHz</td> </tr> <tr> <td>100</td> <td>n = 7</td> <td>156 kHz</td> </tr> <tr> <td>101</td> <td>n = 8</td> <td>78 kHz</td> </tr> <tr> <td>110</td> <td>n = 9</td> <td>39 kHz</td> </tr> <tr> <td>111</td> <td>-</td> <td>外部クロック</td> </tr> </table> <div style="margin-left: 40px;"> $\left. \begin{array}{l} \text{システムクロック: } f_{\text{sys}} \\ \text{クロックギア: } fc/1 \\ \text{周波数} = \frac{f_{\text{sys}}/2}{2^n} \text{ [Hz]} \end{array} \right\} (= 40\text{MHz})$ </div>	000	n = 3	2.5 MHz	001	n = 4	1.25 MHz	010	n = 5	625 kHz	011	n = 6	313 kHz	100	n = 7	156 kHz	101	n = 8	78 kHz	110	n = 9	39 kHz	111	-	外部クロック
000	n = 3	2.5 MHz																									
001	n = 4	1.25 MHz																									
010	n = 5	625 kHz																									
011	n = 6	313 kHz																									
100	n = 7	156 kHz																									
101	n = 8	78 kHz																									
110	n = 9	39 kHz																									
111	-	外部クロック																									

注 1) <SCK[0]>ビットは、リセット後"1"が読み出されますが、SBIXCR2 レジスタにて SIO モードに設定後は"0"が初期値として読み出されます。ここでは初期状態で SIO モードに設定した後の値を「リセット後」欄に示します。なお、SBIXCR2 レジスタ、SBIXSR レジスタでも同様な記載をしています

注 2) 転送モード、シリアルクロックの設定時は、<SIOS> = "0"、および、<SIOINH> = "1"に設定してください。

12.8.3 SBixDBR(データバッファレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	DB							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-0	DB[7:0]	R	受信データ
		W	送信データ

- 注 1) 送信データを書き込み時には、データを MSB(ビット 7)側につめてライトしてください。また、受信データは LSB 側に格納されます。
- 注 2) SBixDBR は書き込み用のバッファと読み出し用のバッファを個別に持っているため、書き込んだデータを読み出すことはできません。したがって、ビット操作などのリードモディファイライト命令は使用できません。

12.8.4 SBIXCR2(コントロールレジスタ 2)

このレジスタをリードすると、SBIXSR レジスタとして機能します。

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	SBIM		-	-
リセット後	1(注 1)	1(注 1)	1(注 1)	1(注 1)	0	0	1(注 1)	1(注 1)

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-4	-	R	リードすると"1"が読めます。(注 1)
3-2	SBIM[1:0]	W	シリアルバスインタフェースの動作モード選択(注 2) 00:ポートモード 01: SIO モード 10: I2C バスモード 11: Reserved
1-0	-	R	リードすると"1"が読めます。(注 1)

注 1) ここでは SIO モードに設定後の初期値を「リセット後」欄に示します。

注 2) 通信中はモードを切り替えないでください。

12.8.5 SBiXSR(ステータスレジスタ)

このレジスタをライトすると、SBiXCR2 として機能します。

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	SIOF	SEF	-	-
リセット後	1(注 1)	1(注 1)	1(注 1)	1(注 1)	0	0	1(注 1)	1(注 1)

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-4	-	R	リードすると"1"が読めます。(注 1)
3	SIOF	R	シリアル転送動作状態モニタ 0: 転送終了 1: 転送中
2	SEF	R	シフト動作状態モニタ 0: シフト動作終了 1: シフト転送中
1-0	-	R	リードすると"1"が読めます。(注 1)

注 1) ここでは SIO モードに設定後の初期値を「リセット後」欄に示します。

12.8.6 SBiBR0(ボーレートレジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	I2SBI	-	-	-	-	-	-
リセット後	1	0	1	1	1	1	1	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	-	R	リードすると"1"が読めます。
6	I2SBI	R/W	IDLE モード時の動作 0: 停止 1: 動作
5-1	-	R	リードすると"1"が読めます。
0	-	R/W	必ず"0"をライトしてください。

12.9 SIO モード時の制御

12.9.1 シリアルクロック

12.9.1.1 クロックソース

SBIxCR1 <SCK[2:0]> により、次の選択ができます。

(1) 内部クロック

内部クロックモードでは 7 種類の周波数が選択できます。シリアルクロックは SCKx 端子より外部に出力されます。なお、転送開始時 SCKx 端子出力は "High" レベルになります。

プログラムでデータの書き込み(送信時)またはデータの読み出し(受信時)がこのシリアルクロックレートに追従できないときには、自動的にシリアルクロックを停止し、それらの処理が終了するまで次のシフト動作を待機させる自動ウェイト機能を有しています。

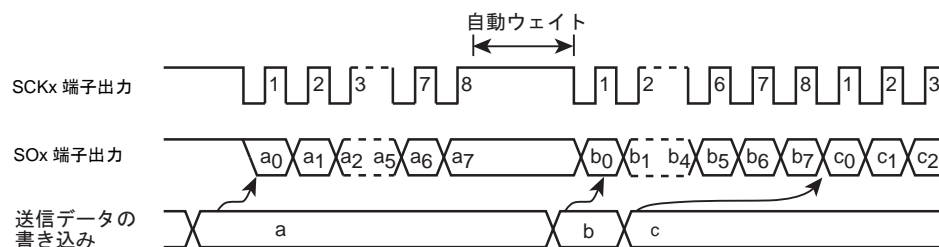


図 12-15 自動ウェイト機能

(2) 外部クロック (<SCK[2:0]> = "111")

外部から SCKx 端子に供給されるクロックをシリアルクロックとして用います。なお、シフト動作を確実にを行うためには、シリアルクロックの "High" レベル、"Low" レベル幅は下記に示すパルス幅が必要です。

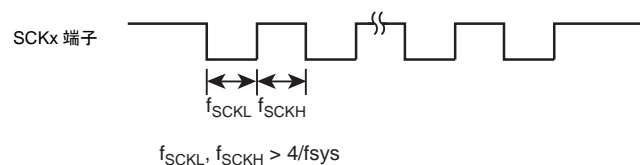


図 12-16 外部クロック入力時の最大転送周波数

12.9.1.2 シフトエッジ

送信は前縁シフト, 受信は後縁シフトになります。

- 前縁シフト

シリアルクロックの前縁(SCKx 端子入出力の立ち下がりエッジ)でデータをシフトします。

- 後縁シフト

シリアルクロックの後縁(SCKx 端子入出力の立ち上がりエッジ)でデータをシフトします。

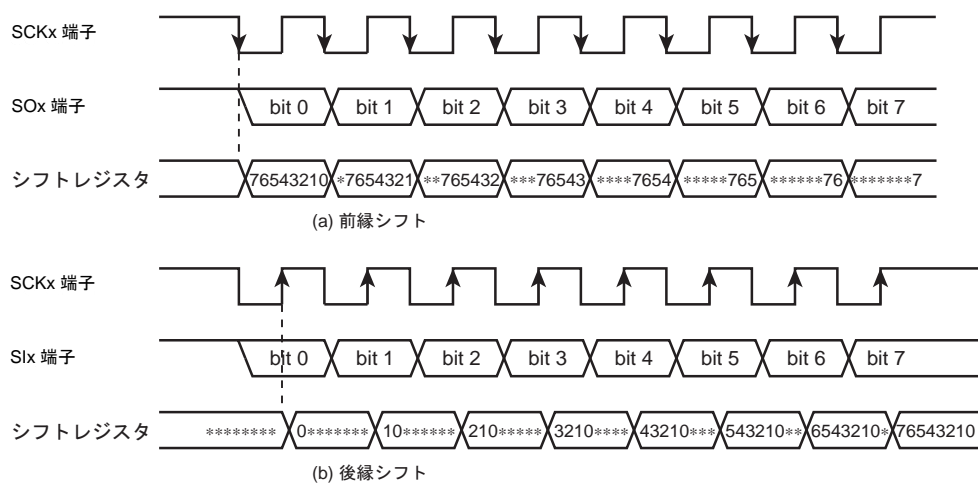


図 12-17 シフトエッジ

12.9.2 転送モード

SBIxCR1<SIOM[1:0]>で、送信/受信/送受信モードを選択します。

12.9.2.1 8ビット送信モード

コントロールレジスタに送信モードをセットした後、送信データを SBIxDBR に書き込みます。

送信データの書き込み後、SBIxCR1<SIOS>="1"を書き込むことにより送信が開始されます。送信データは、SBIxDBR からシフトレジスタに移され、シリアルクロックに同期して最下位ビット(LSB)側から SO 端子に出力されます。送信データがシフトレジスタに移されると、SBIxDBR が空になりますので、次の送信データを要求する INTSBIx(バッファエンプティ)割り込み要求が発生します。

内部クロック動作の場合、8ビットのデータをすべて送信したあと、次のデータがセットされていないとシリアルクロックを停止して自動ウェイト動作を行います。次の送信データを書き込むと自動ウェイト動作は解除されます。

外部クロック動作の場合、次のデータのシフト動作に入る前に、SBIxDBR にデータが書き込まれている必要があります。したがって、転送速度は割り込み要求の発生から割り込みサービスプログラムにて、SBIxDBR にデータを書き込むまでの最大遅れ時間により決まります。

送信開始時、SBIxSR<SIOF>が"1"となってから SCK の立ち下がりエッジまでの間、前回送信したデータの最後のビットと同じ値が出力されます。

送信を終了させるには、INTSBIx 割り込みサービスプログラムで<SIOS>="0"を書き込むか<SIOINH>="1"を書き込みます。<SIOS>がクリアされると、データがすべて出力された時点で送信終了します。プログラムで送信の終了の確認は SBIxSR<SIOF>で行います。<SIOF>は送信の終了で"0"になります。<SIOINH>="1"を書き込んだ場合はただちに送信を打ち切り、<SIOF>は"0"になります。

外部クロック動作では、次の送信データのシフト動作に入る前に<SIOS>を"0"にクリアする必要があります。もしシフトアウトする前に<SIOS>が"0"にクリアされなかった場合は、ダミーのデータの送信後、停止します。

	7	6	5	4	3	2	1	0	
SBIxCR1	← 0	1	0	0	0	X	X	X	送信モードをセットします。
SBIxDBR	← X	X	X	X	X	X	X	X	送信データを書き込みます。
SBIxCR1	← 1	0	0	0	0	X	X	X	送信を開始します。

INTSBIx 割り込み

SBIxDBR	← X	X	X	X	X	X	X	X	送信データを書き込みます。
---------	-----	---	---	---	---	---	---	---	---------------

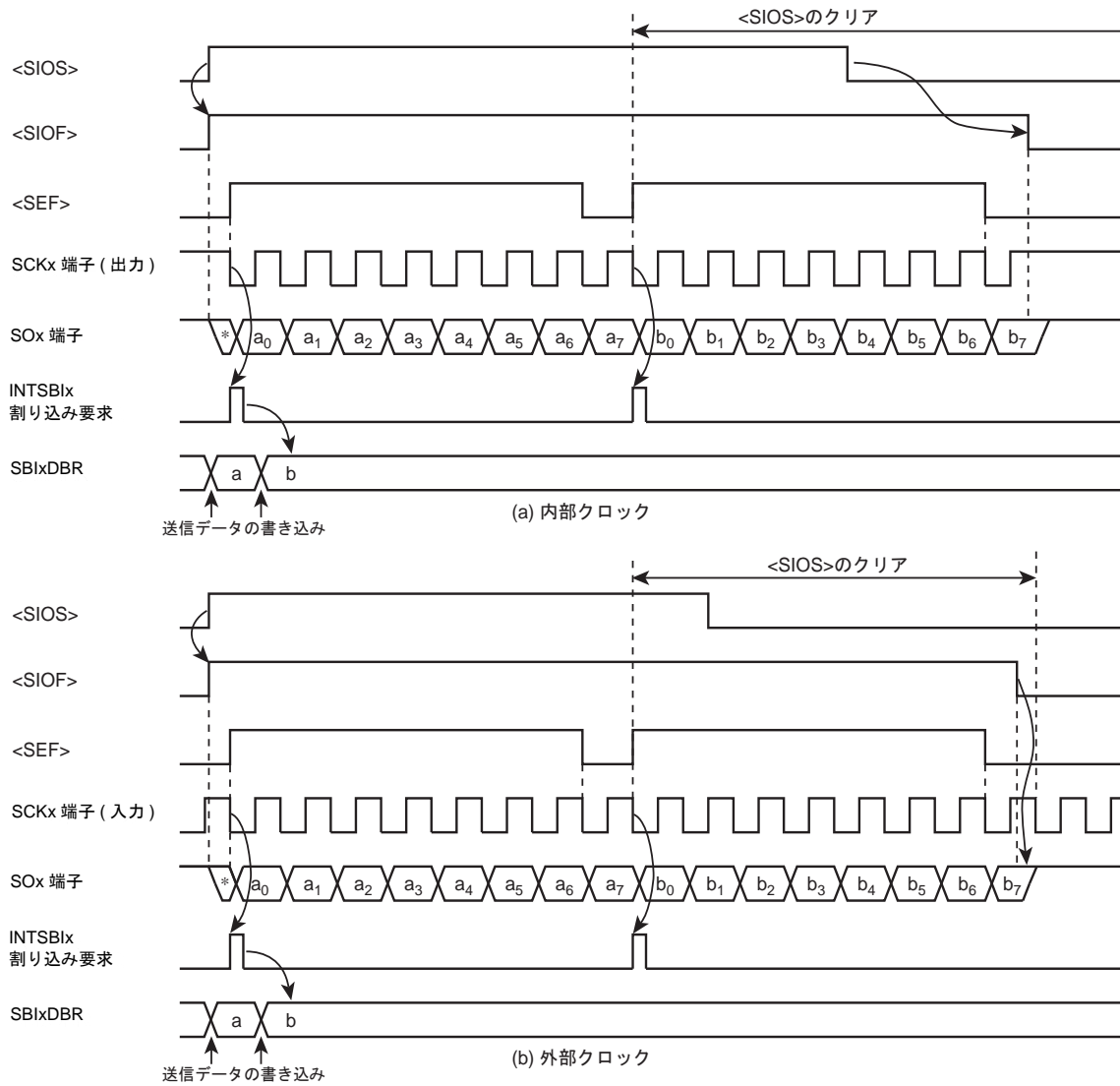


図 12-18 送信モード

例: <SIO> の送信終了指示(外部クロックの場合)のプログラム例

```

    7 6 5 4 3 2 1 0
    if SBIxSR<SIOF> ≠ 0          転送の終了を確認します。
    Then
    if SCK ≠ 1                    ポートをモニタし、SCKx 端子が"1"になったことを確認
    Then                            します。
    SBIxCR1 ← 0 0 0 0 0 1 1 1    <SIO> = 0 を設定し送信を終了します。
  
```

12.9.2.2 8ビット受信モード

コントロールレジスタに受信モードをセットした後、SBIxCR1<SIOS> = "1" を書き込むことにより受信可能となります。シリアルクロックに同期して、SI 端子より最下位ビット側からシフトレジスタへデータを取り込みます。8ビットのデータが取り込まれるとシフトレジスタから SBIxDBR に受信データが書き込まれ、受信データの読み出しを要求する INTSBIx (バッファフル) 割り込み要求が発生します。受信データは、割り込みサービスプログラムにて SBIxDBR から読み出します。

内部クロック動作の場合、受信データが SBIxDBR から読み出されるまでシリアルクロックを停止する自動ウェイト動作を行います。

外部クロック動作の場合は、シフト動作が外部から供給されるクロックに同期します。外部クロック動作での最大転送速度は、割り込み要求の発生から受信データの読み出しまでの最大遅れ時間により決まります。

受信を終了させるには INTSBIx 割り込みサービスプログラムで<SIOS> = "0" を書き込むか、<SIOINH> = "1" を書き込みます。<SIOS> がクリアされると、受信データが全ビット揃い、SBIxDBR への書き込みが完了した時点で受信が終了します。プログラムで受信の終了の確認は、SBIxSR<SIOF>で行います。<SIOF>は受信の終了で"0"にされます。受信終了の確認のあと最終受信データを読み出します。<SIOINH> = "1" を書き込んだ場合は、ただちに受信を打ち切り、<SIOF>は"0"になります(受信データは無効になりますので読み出す必要はありません)。

注) 転送モードを切り替えると SBIxDBR の内容は保持されません。もし、転送モードの切り替えが必要な場合は、受信終了指示(<SIOS> = "0" を書き込む)を行い、最終受信データを読み出したあとで切り替えてください。

	7	6	5	4	3	2	1	0	
SBIxCR1	← 0	1	1	1	0	X	X	X	受信モードをセットします。
SBIxCR1	← 1	0	1	1	0	X	X	X	受信を開始します。

INTSBIx 割り込み

Reg.	← SBIxDBR	受信データを取り込みます。
------	-----------	---------------

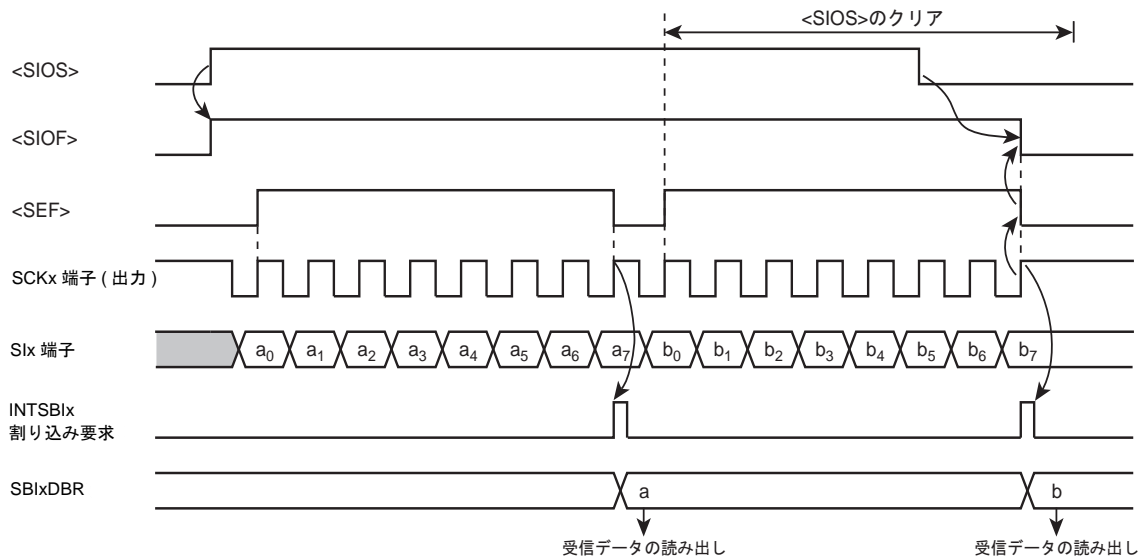


図 12-19 受信モード(例: 内部クロック)

12.9.2.3 8ビット送受信モード

コントロールレジスタに送受信モードをセットした後、送信データを SBIxDBR に書き込みます。その後、SBIxCR1<SIOS>に"1"をセットすることにより送受信可能となります。最下位ビットから、シリアルクロックの立ち下がりで送信データが SOx 端子から出力され、立ち上がりで受信データが SI 端子から取り込まれます。8ビットのデータが取り込まれると、シフトレジスタから SBIxDBR へ受信データが転送され、INTSBIx 割り込み要求が発生します。割り込みサービスプログラムにて受信データをデータバッファレジスタから読み出し、そのあと送信データを書き込みます。SBIxDBR は、送信/受信モードで兼用していますので、送信データは、必ず受信データを読み出してから書き込むようにしてください。

内部クロック動作の場合、受信データを読み出し、次の送信データを書き込むまで自動ウェイト動作を行います。

外部クロック動作の場合は、シフト動作が外部から供給されるシリアルクロックに同期するので、次のシフト動作に入る前に受信データを読み出し、次の送信データを書き込む必要があります。外部クロック動作での最大転送速度は、割り込み要求の発生から受信データを読み出し、送信データを書き込むまでの最大遅れ時間により決まります。

送信開始時、<SIOF>が"1"となってから SCKx の立ち下がりがエッジまでの間、前回送信したデータの最後のビットと同じ値が出力されます。

送受信を終了させるには、INTSBIx 割り込みサービスプログラムで<SIOS> = "0"を書き込むか SBIxCR1 <SIOINH> = "1"を書き込みます。<SIOS>が"0"にクリアされると、受信データが揃い、SBIxDBR への転送が完了した時点で送受信が終了します。プログラムで送受信の終了の確認は、SBIxSR<SIOF>で行います。<SIOF>は送受信の終了で"0"にクリアされます。<SIOINH>を"1"にセットした場合は、ただちに送受信を打ち切り、<SIOF>は"0"にされます。

注) 転送モードを切り替えると SBIxDBR の内容は保持されません。もし、転送モードの切り替えが必要な場合は、送受信終了指示(<SIOS> = "0"を書き込む)を行い、最終受信データを読み出したあとで切り替えてください。

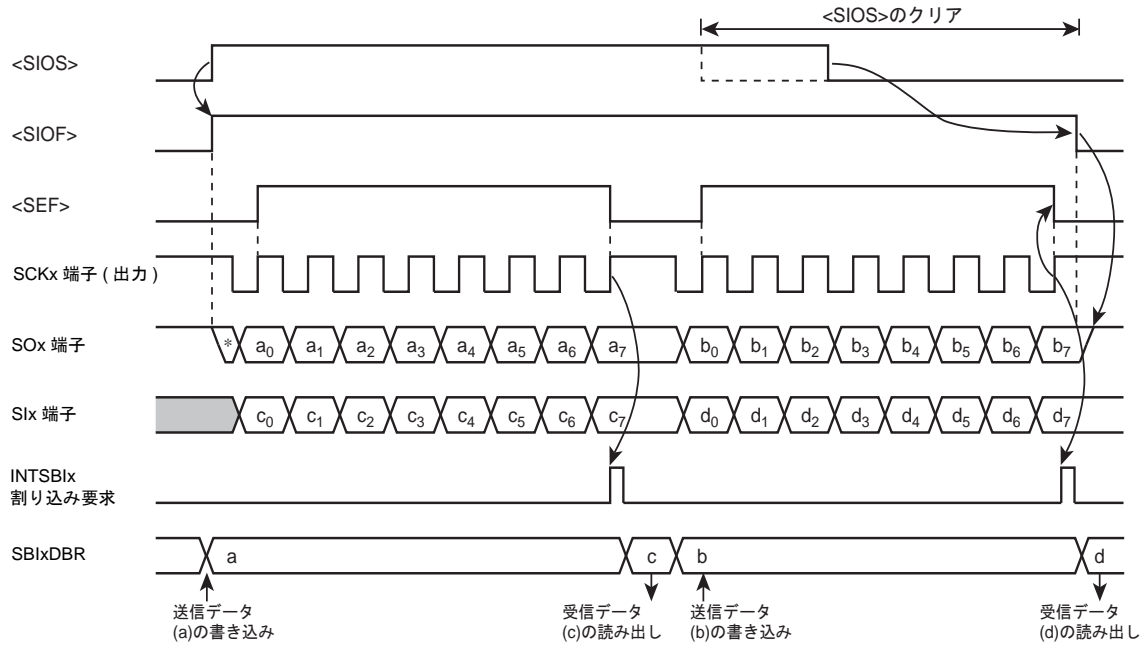


図 12-20 送受信モード(例: 内部クロック)

		7	6	5	4	3	2	1	0	
SBlxCR1	←	0	1	1	0	0	X	X	X	送受信モードをセットします。
SBlxDBR	←	X	X	X	X	X	X	X	X	送信データを書き込みます。
SBlxCR1	←	1	0	1	0	0	X	X	X	送受信を開始します。

INTSBx 割り込み

Reg.	←	SBlxDBR								受信データを取り込みます。
SBlxDBR	←	X	X	X	X	X	X	X	X	送信データを書き込みます。

12.9.2.4 送信終了時の最終ビット保持時間

SBlxCR1<SIOS>="0"の状態では、送信データの最終ビットの SCK 立ち上がりに対するデータ保持時間は以下ようになります。送信モード、送受信モードとも同様です。

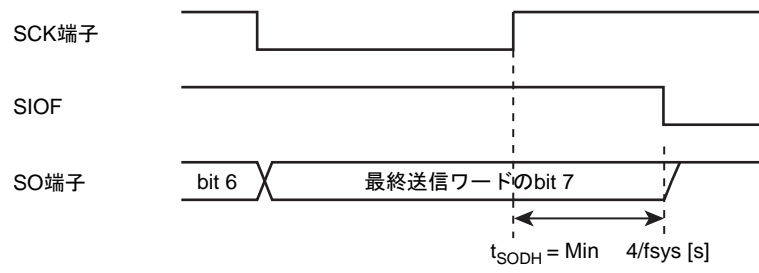


図 12-21 送信終了時の最終ビット保持時間

第 13 章 同期式シリアルインタフェース(SSP)

13.1 概要

同期式シリアルインタフェース(SSP: Synchronous Serial Port)を 2 チャンネル内蔵しています。各チャンネルの特長を下表に示します。

通信プロトコル	SPI を含む 3 種類の同期式シリアル <ul style="list-style-type: none"> ・ Motorola SPI (SPI) フレームフォーマット ・ TI synchronous (SSI) フレームフォーマット ・ National Microwire (Microwire) フレームフォーマット 	
動作モード	マスタ/スレーブモード	
送信 FIFO	幅 16-bit / 深さ 8 段	
受信 FIFO	幅 16-bit / 深さ 8 段	
送受信データのサイズ	4 ~ 16 ビット	
割り込みの種類	送信割り込み 受信割り込み 受信オーバーラン割り込み タイムアウト割り込み	
通信速度	マスタモード時	$\phi T_0 / 2$ (最大 10Mbps)
	スレーブモード時	ϕT_0 (40MHz) / 12 (最大 3.3Mbps)
DMA	サポート	
内部テスト機能	内部ループバックテストモードの使用が可能	
制御端子(x = 0 ~ 1)	SPxCLK, SPxFSS, SPxDO, SPxDI	

13.2 ブロック図

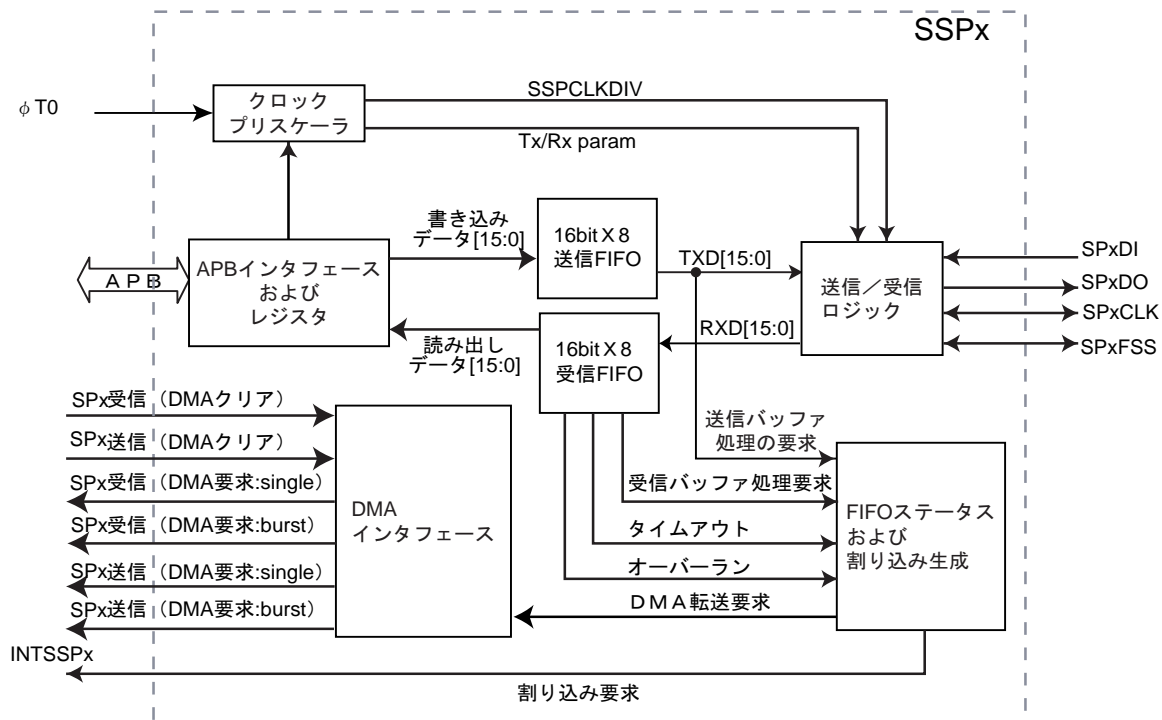


図 13-1 SSP ブロック図

13.3 レジスタ

13.3.1 レジスタ一覧

Channel x	Base Address
Channel0	0x400C_0000
Channel1	0x400C_1000

レジスタ名(x=0~1)		Address(Base+)
制御レジスタ 0	SSPxCR0	0x0000
制御レジスタ 1	SSPxCR1	0x0004
受信 FIFO(読み出し)および送信 FIFO(書き込み) データレジスタ	SSPxDR	0x0008
ステータスレジスタ	SSPxSR	0x000C
クロックプリスケールレジスタ	SSPxCPSR	0x0010
割り込み許可/禁止レジスタ	SSPxIMSC	0x0014
許可前の割り込みステータスレジスタ	SSPxRIS	0x0018
許可後の割り込みステータスレジスタ	SSPxMIS	0x001C
割り込みクリアレジスタ	SSPxICR	0x0020
DMA 制御レジスタ	SSPxDMACR	0x0024
Reserved	-	0x0028 ~ 0x0FFC

注 1) 上記レジスタはワード(32bit) アクセスのみとなります。

注 2) "Reserved"表記のアドレスにはアクセスしないでください。

13.3.2 SSPxCR0(制御レジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	SCR							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SPH	SPO	FRF		DSS			
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能																
31-16	-	W	"0"を書き込んでください。																
15-8	SCR[7:0]	R/W	シリアルクロックレート設定 パラメータ:0x00 ~ 0xFF の値 SSP の送信ビットレートおよび受信ビットレートの生成に使用されます。 このビットレートは以下の式から求められます。 ビットレート = $\phi T0 / (<CPSDVSR> \times (1 + <SCR>))$ <CPSDVSR> は、SSPxCPSR レジスタからプログラムされる 2 ~ 254 の偶数値であり、<SCR>は 0 ~ 255 の値を取ります。																
7	SPH	R/W	SPxCLK フェーズ設定 0:1st クロックエッジでデータを取り込み 1:2nd クロックエッジでデータを取り込み (Motorola SPI フレーム形式のみに適用可能, [Motorola SPI フレーム形式]参照)。																
6	SPO	R/W	SPxCLK 極性選択 0:SPxCLK は Low 状態 1:SPxCLK は High 状態 (Motorola SPI フレーム形式のみに適用可能, [Motorola SPI フレーム形式]参照)。																
5-4	FRF[1:0]	R/W	フレームフォーマット選択 00: SPI フレームフォーマット 01: SSI シリアルフレームフォーマット 10: Microwire フレームフォーマット 11: Reserved(動作未定義)																
3-0	DSS[3:0]	R/W	データサイズ選択 <table border="1" style="width:100%; border-collapse: collapse;"> <tr> <td>0000: Reserved(動作未定義)</td> <td>1000: 9 ビットデータ</td> </tr> <tr> <td>0001: Reserved(動作未定義)</td> <td>1001: 10 ビットデータ</td> </tr> <tr> <td>0010: Reserved(動作未定義)</td> <td>1010: 11 ビットデータ</td> </tr> <tr> <td>0011: 4 ビットデータ</td> <td>1011: 12 ビットデータ</td> </tr> <tr> <td>0100: 5 ビットデータ</td> <td>1100: 13 ビットデータ</td> </tr> <tr> <td>0101: 6 ビットデータ</td> <td>1101: 14 ビットデータ</td> </tr> <tr> <td>0110: 7 ビットデータ</td> <td>1110: 15 ビットデータ</td> </tr> <tr> <td>0111: 8 ビットデータ</td> <td>1111: 16 ビットデータ</td> </tr> </table>	0000: Reserved(動作未定義)	1000: 9 ビットデータ	0001: Reserved(動作未定義)	1001: 10 ビットデータ	0010: Reserved(動作未定義)	1010: 11 ビットデータ	0011: 4 ビットデータ	1011: 12 ビットデータ	0100: 5 ビットデータ	1100: 13 ビットデータ	0101: 6 ビットデータ	1101: 14 ビットデータ	0110: 7 ビットデータ	1110: 15 ビットデータ	0111: 8 ビットデータ	1111: 16 ビットデータ
0000: Reserved(動作未定義)	1000: 9 ビットデータ																		
0001: Reserved(動作未定義)	1001: 10 ビットデータ																		
0010: Reserved(動作未定義)	1010: 11 ビットデータ																		
0011: 4 ビットデータ	1011: 12 ビットデータ																		
0100: 5 ビットデータ	1100: 13 ビットデータ																		
0101: 6 ビットデータ	1101: 14 ビットデータ																		
0110: 7 ビットデータ	1110: 15 ビットデータ																		
0111: 8 ビットデータ	1111: 16 ビットデータ																		

注) スレーブモード時はクロックプリスケールを $SSPxCR0<SCR[7:0]> = 0x00$, $SSPxCPSR<CPSDVSR[7:0]> = 0x02$ に設定してご使用ください。

13.3.3 SSPxCR1(制御レジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	SOD	MS	SSE	LBM
リセット後	不定	不定	不定	不定	0	0	0	0

Bit	Bit Symbol	Type	機能
31-4	-	W	"0"を書き込んでください。
3	SOD	R/W	スレーブモード SPxDO 出力制御 0: 許可 1: 禁止 スレーブモード出力ディセーブル。このビットは、スレーブモード(<MS>=1)の場合にのみ作用します。
2	MS	R/W	マスタ/スレーブモード選択(注) 0: デバイスがマスタ 1: デバイスがスレーブ
1	SSE	R/W	SSP 動作禁止/許可 0: 禁止 1: 許可
0	LBM	R/W	ループバックモード 0: 通常シリアルポート動作イネーブル 1: 送信シリアルシフタの出力が受信シリアルシフタの入力に内部で接続されます。

注) マスタ/スレーブの切り替えビットです。スレーブモードでかつ送信時は、以下の設定順序を必ず守ってください。

- 1) スレーブモードに設定 :<MS>=1
- 2) 送信データを FIFO に設定 :<DATA>=0x*****
- 3) SSP をイネーブルに設定 :<SSE>=1

13.3.4 SSPxDR(データレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	DATA							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	DATA							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	W	"0"を書き込んでください。
15-0	DATA[15:0]	R/W	送信/受信 FIFO のデータ(0x0000 ~ 0xFFFF) リード時:受信 FIFO ライト時:送信 FIFO 16 ビット未満のデータサイズに合わせてプログラムしている場合は、データを右寄せ(LSB)にする必要があります。先頭の未使用ビットは送信ロジックによって無視されます。受信ロジックは自動的に右寄せを行います。

13.3.5 SSPxSR(ステータスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	BSY	RFF	RNE	TNF	TFE
リセット後	不定	不定	不定	0	0	0	1	1

Bit	Bit Symbol	Type	機能
31-5	-	W	"0"を書き込んでください。
4	BSY	R	ビジーフラグ 0: アイドル 1: ビジー <BSY>="1" : 現在フレームの送信中/ 受信中であるか、送信 FIFO が空ではないことを示します。
3	RFF	R	受信 FIFO フルフラグ 0: 受信 FIFO がフルではない 1: 受信 FIFO がフル
2	RNE	R	受信 FIFO 空きフラグ 0: 受信 FIFO が空 1: 受信 FIFO が空ではない
1	TNF	R	送信 FIFO フルフラグ 0: 送信 FIFO がフル 1: 送信 FIFO がフルではない
0	TFE	R	送信 FIFO 空きフラグ 0: 送信 FIFO が空ではない 1: 送信 FIFO が空

13.3.6 SSPxCPSR (クロックプリスケールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	CPSDVSR							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	W	"0"を書き込んでください。
7-0	CPSDVSR[7:0]	R/W	<p>クロックプリスケール除数 設定値:2- 254 の偶数値</p> <p>クロックプリスケール除数。φT0 の周波数に基づき、2 ~ 254 の偶数値を設定する必要があります。最下位ビットは読み出し時に常に 0 を戻します。</p>

注) スレーブモード時はクロックプリスケールを $\text{SSPxCR0} \langle \text{SCR}[7:0] \rangle = 0x00$, $\text{SSPx} \langle \text{CPSDVSR}[7:0] \rangle = 0x02$ に設定してご使用ください。

13.3.7 SSPxIMSC(割り込み許可/禁止レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	TXIM	RXIM	RTIM	RORIM
リセット後	不定	不定	不定	不定	0	0	0	0

Bit	Bit Symbol	Type	機能
31-4	-	W	"0"を書き込んでください。
3	TXIM	R/W	送信 FIFO 割り込み許可/禁止設定 0: 禁止 1: 許可 送信 FIFO に半分以下の空領域がある条件割り込みの許可/禁止
2	RXIM	R/W	受信 FIFO 割り込み許可/禁止設定 0: 禁止 1: 許可 受信 FIFO の半分以下がフルである条件割り込みの許可/禁止
1	RTIM	R/W	受信タイムアウト 割り込み許可/禁止設定 0: 禁止 1: 許可 タイムアウト期限までに受信 FIFO にデータが存在し、読み出されていないことを示す割り込みの許可/禁止
0	RORIM	R/W	受信オーバーラン 割り込み許可/禁止設定 0: 禁止 1: 許可 受信 FIFO がフルのときに書き込みが行われたことを示す条件割り込みの許可/禁止

13.3.8 SSPxRIS (許可前の割り込みステータスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	TXRIS	RXRIS	RTRIS	RORRIS
リセット後	不定	不定	不定	不定	1	0	0	0

Bit	Bit Symbol	Type	機能
31-4	-	W	"0"を書き込んでください。
3	TXRIS	R	許可前の送信割り込みフラグ 0: 割り込み無し 1: 割り込み有り
2	RXRIS	R	許可前の受信割り込みフラグ 0: 割り込み無し 1: 割り込み有り
1	RTRIS	R	許可前の受信タイムアウト割り込みフラグ 0: 割り込み無し 1: 割り込み有り
0	RORRIS	R	許可前の受信オーバーラン割り込みフラグ 0: 割り込み無し 1: 割り込み有り

13.3.9 SSPxMIS (許可後の割り込みステータスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	TXMIS	RXMIS	RTMIS	RORMIS
リセット後	不定	不定	不定	不定	0	0	0	0

Bit	Bit Symbol	Type	機能
31-4	-	W	"0"を書き込んでください。
3	TXMIS	R	許可後の送信割り込みフラグ 0: 割り込み無し 1: 割り込み有り
2	RXMIS	R	許可後の受信割り込みフラグ 0: 割り込み無し 1: 割り込み有り
1	RTMIS	R	許可後の受信タイムアウト割り込みフラグ 0: 割り込み無し 1: 割り込み有り
0	RORMIS	R	許可後の受信オーバーラン割り込みフラグ 0: 割り込み無し 1: 割り込み有り

13.3.10 SSPxICR (割り込みクリアレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	RTIC	RORIC
リセット後	不定	不定	不定	不定	不定	不定	不定	不定

Bit	Bit Symbol	Type	機能
31-2	-	W	"0"を書き込んでください。
1	RTIC	W	受信タイムアウト割り込みフラグをクリア 0:無効 1:クリア
0	RORIC	W	受信オーバーラン割り込みフラグをクリア 0:無効 1:クリア

13.3.11 SSPxDMA CR (DMA 制御レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	TXDMAE	RXDMAE
リセット後	不定	不定	不定	不定	不定	不定	0	0

Bit	Bit Symbol	Type	機能
31-2	-	W	"0"を書き込んでください。
1	TXDMAE	R/W	送信 FIFO の DMA 制御 0:禁止 1:許可
0	RXDMAE	R/W	受信 FIFO の DMA 制御 0:禁止 1:許可

13.4 SSP の概要

本 LSI は 2 チャンネルの SSP を内蔵しています。

SSP は、3 種類の同期シリアルインタフェース機能を持つ周辺デバイスと、シリアル通信が可能なインタフェースです。

SSP は、周辺デバイスから受信したデータのシリアル-パラレル変換を実行します。

送信パスと受信パスは、送信モードと受信モードにおいて 16 ビット幅 8 段のそれぞれ独立した送信 FIFO と受信 FIFO にデータをバッファリングします。シリアルデータは、SPxDO から送信し、SPxDI から受信します。

SSP には、入力クロック $\phi T0$ からシリアル出力クロック SPxCLK を生成するために、プログラム可能なプリスケータが含まれています。SSP の動作モード、フレーム形式ならびにデータサイズは、制御レジスタ SSPxCR0 および SSPxCR1 を通じてプログラムします。

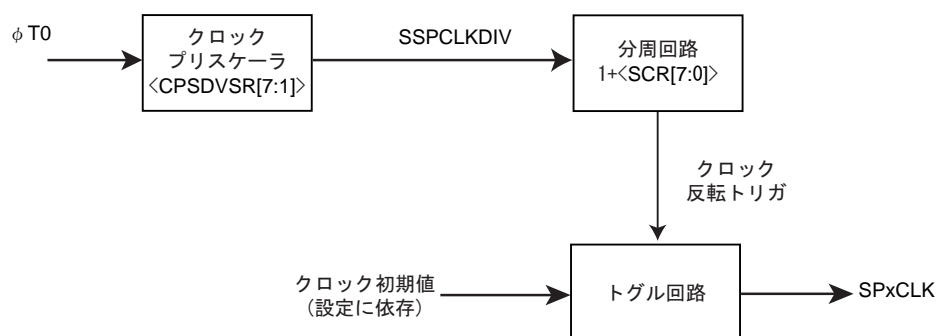
13.4.1 クロックプリスケータ

マスタとして動作する場合、シリアル出力クロック SPxCLK を生成するために、シリアルにリンクした 2 つのフリーランカウンタから構成されるクロックプリスケータが使用されます。

このクロックプリスケータは、SSPxCPSR レジスタを介し、2~254 の偶数ステップで $\phi T0$ を除算するようにプログラムすることができます。SSPxCPSR レジスタの最下位ビットを使用しないことにより、奇数ステップによるプログラミングはされなくなります。

プリスケータの出力は、さらに SSPxCR0 レジスタにプログラミングされた値に+1 された 1~256 のステップで除算され、マスタ出力クロック SPxCLK が生成されます。

$$\text{ビットレート} = \phi T0 / (<\text{CPSDVSr}> \times (1 + <\text{SCR}>))$$



13.4.2 送信 FIFO

マスタおよびスレーブモード共有の 16 ビット幅 8 段の送信 FIFO バッファです。

13.4.3 受信 FIFO

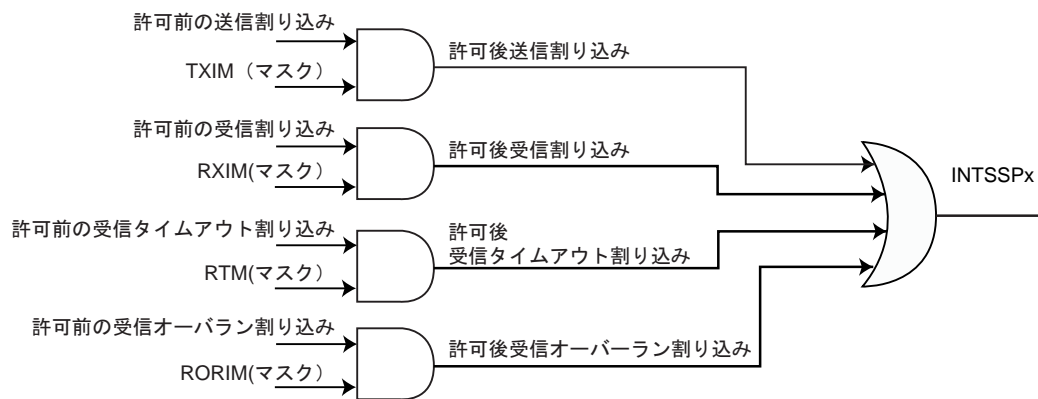
マスタおよびスレーブモード共有の 16 ビット幅 8 段の受信 FIFO バッファです。

13.4.4 割り込み生成ロジック

SSP によって、個々にマスク可能なアクティブの割り込みが生成されます。

送信割り込み	送信 FIFO の空領域が半分以上である条件割り込み (送信 FIFO 内の有効データ数 ≤ 4)
受信割り込み	受信 FIFO の有効データが半分以上である条件割り込み (受信 FIFO 内の有効データ数 ≥ 4)
タイムアウト割り込み	タイムアウトまでに読み出されていないデータが受信 FIFO に存在することを示す割り込み
オーバラン割り込み	受信 FIFO がフルのときに書き込みが行われたことを示す条件割り込み

また、マスクされた個々のソースを 1 つの割り込みに結合しています。上記割り込みのいずれかがアサートされると、結合割り込み INTSSPx がアサートされます。



a. 送信割り込み

送信割り込みは、送信 FIFO 内の有効エントリが 4 エントリ以下になるとアサートされます。SSP 動作ディセーブル(SSPxCR1<SSE>=0)でも送信割り込みが発生します。

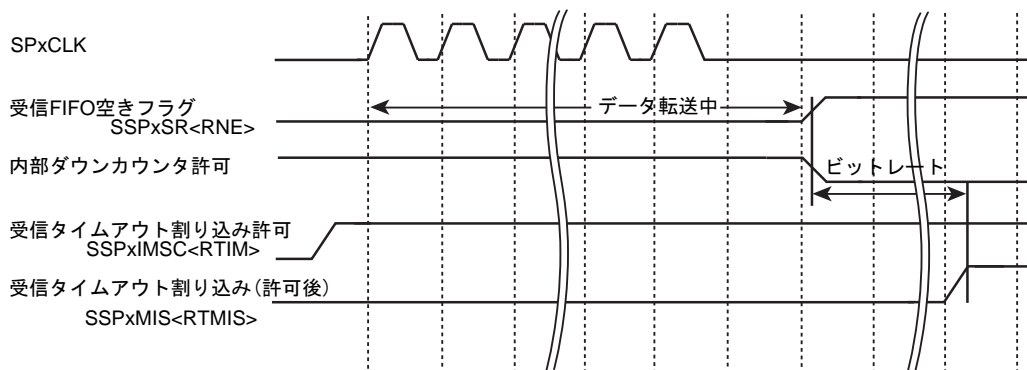
初回の送信データは、本割り込みを使用して FIFO に書き込むことができます。

b. 受信割り込み

受信 FIFO 内の有効エントリが 4 エントリ以上になるとアサートされます。

c. タイムアウト割り込み

タイムアウト割り込みは、受信 FIFO が空ではないときに SSP が一定の 32 ビット周期(ビットレート)の間アイドル状態を続けるとアサートされます。この機構により、ユーザは受信 FIFO にまだデータが存在し、処理が必要であることを認識することができます。マスタ/スレーブモード共に発生します。タイムアウト割り込みが発生した場合は、受信 FIFO から全データをリードしてください。全データをリードしない場合でも、受信 FIFO に空きがあり、かつ転送データ数が受信 FIFO の空き以下であれば送受信可能です。なお、転送開始でタイムアウト割り込みはクリアされます。また、受信 FIFO に空きがない状態で送受信を行った場合、タイムアウト割り込みはクリアされオーバラン割り込みが発生します。



d. オーバラン割り込み

受信 FIFO が既にフルのときに次のデータ(9 個目)を受信すると、転送終了直後、受信オーバラン割り込みが発生します。オーバラン割り込み発生以降の受信データ (9 個目のデータを含む) は無効となり、破棄されます。ただし、9 個目のデータ受信前(割り込み発生する前)に受信 FIFO のデータをリードすると、9 個目の受信データは有効データとして受信 FIFO に書き込まれます。オーバラン割り込みが発生した場合、正しい転送を行なうためには、SSPxICR<RORIC>に"1"を書き込んだ後、受信 FIFO から全データをリードしてください。全データをリードしない場合でも、受信 FIFO に空きがあり、かつ転送データ数が受信 FIFO の空き以下であれば送受信可能です。なお、オーバラン割り込みをクリアした後、一定の 32 ビット周期(ビットレート)の間、受信 FIFO をリードしない場合(受信 FIFO が空ではない時)はタイムアウト割り込みが発生します。

13.4.5 DMA インタフェース

SSP の DMA 操作は SSPxDMACR レジスタを介して制御されます。

受信 FIFO に格納されるデータがウォーターマークレベル(FIFO の 1/2)以上になると受信 DMA 要求がアサートされます。

送信 FIFO に格納するデータがウォーターマークレベル(FIFO の 1/2)以下になると送信 DMA 要求が送信/受信 DMA 要求信号をクリアするために、DMA コントローラによってアサートされる送信/受信 DMA 要求クリア信号の入力端子を持っています。

また、DMA のバースト長は 4 ワードに設定してください。

注) 残りの 3 ワードに対し、SSP はバースト要求をアサートしません。

各要求シグナルは、関連する DMA クリアシグナルがアサートされるまでアサートされ続けます。要求クリアシグナルがアサート解除された後、前述の条件に従って要求シグナルを再度アクティブにすることができます。SSP がディセーブルされたり、DMA イネーブルシグナルがクリアされると、全ての要求シグナルがアサート解除されます。

以下の表は、送信 FIFO および受信 FIFO に対する DMABREQ のトリガポイントを示しています。

ウォーターマークレベル	バースト長	
	送信 (空き位置の数)	受信 (充填位置の数)
1/2	4	4

13.5 SSP の動作

13.5.1 SSP の初期設定

SSP 通信プロトコルの設定は SSP がディセーブルの状態、設定する必要があります。制御レジスタ SSPxCR0 および SSPxCR1 を使って、以下のいずれかのプロトコルに設定し、本 SSP をマスタまたはスレーブに設定してください。また、通信速度に関して、クロックプリスケールレジスタ SSPxCPSR および SSPxCR0<SCR>を設定してください。

本 SSP は以下のプロトコルをサポートします。

- ・ SPI
- ・ SSI
- ・ Microwire

13.5.2 SSP のイネーブル

送信 FIFO に送信データが書き込まれていて、かつ動作イネーブルした時、もしくは動作イネーブル状態で送信 FIFO に送信データが書き込まれたときに転送が開始されます。

ただし、動作イネーブルにした時に送信 FIFO が 4 エントリ以下の場合には送信割り込みが発生しません。この割り込みを使って初回データを書き込むことも可能です。

注) SPI のスレーブモードでかつ SPxFS 端子未使用の場合、イネーブルする前に必ず 1Byte 以上のデータを送信 FIFO に書き込んでください。送信 FIFO が空の状態ではイネーブルすると、転送データが正常に出力されません。

13.5.3 クロック比

$\phi T0$ の周波数設定は以下の条件を満たす必要があります。

- ・ マスタモードの場合
$$f_{SPxCLK}(\text{最大}) \rightarrow \phi T0 / 2$$
$$f_{SPxCLK}(\text{最小}) \rightarrow \phi T0 / (254 \times 256)$$
- ・ スレーブモードの場合
$$f_{SPxCLK}(\text{最大}) \rightarrow \phi T0 / 12$$
$$f_{SPxCLK}(\text{最小}) \rightarrow \phi T0 / (254 \times 256)$$

注) マスタモード時の最大転送速度は 10Mbps 以下になるように設定してください。

13.6 フレーム形式

各フレームフォーマットは、プログラムされたデータのサイズにより、4～16ビットの幅を持ち、MSBから送信が開始されます。

- ・ シリアルクロック (SPxCLK)

SSP がアイドル状態の間は SSI と Microwire では Low でホールドされ、SPI では非アクティブでホールドされます。また、データ送信中にのみ設定されたビットレートで出力されます。

- ・ シリアルフレーム (SPxFSS)

SPI および Microwire のフレーム形式では、Low アクティブとなり、フレームの送信中は常に Low にアサートされます。

SSI フレーム形式の場合は、各フレームの送信前に 1 ビットレートの間のみアサートされます。このフレーム形式では、SPxCLK の立ち上がりエッジで出力データを送信し、その立下りエッジで入力データを受信します。

各フレームフォーマットの詳細は「13.6.1～13.6.3」を参照してください。

13.6.1 SSI のフレームフォーマット

このモードでは、SSP はアイドル状態で SPxCLK および SPxFSS が Low にセットされ、送信データライン SPxDO が Hi-Z になります。送信 FIFO にデータをライトすると、マスタは SPxFSS ラインに 1 SPxCLK 分の High パルスを出力します。送信データは送信 FIFO から送信のシリアルシフトレジスタに転送されます。SPxCLK の次の立ち上がりエッジで、MSB から 4～16 ビットのデータが SPxDO 端子により出力されます。

同様に、受信データは SPxCLK の立ち下がりエッジで MSB から SPxDI 端子に入力されます。受信されたデータは、その LSB データがラッチされた後、SPxCLK の立ち上がりエッジでシリアルシフトレジスタから受信 FIFO に転送されます。

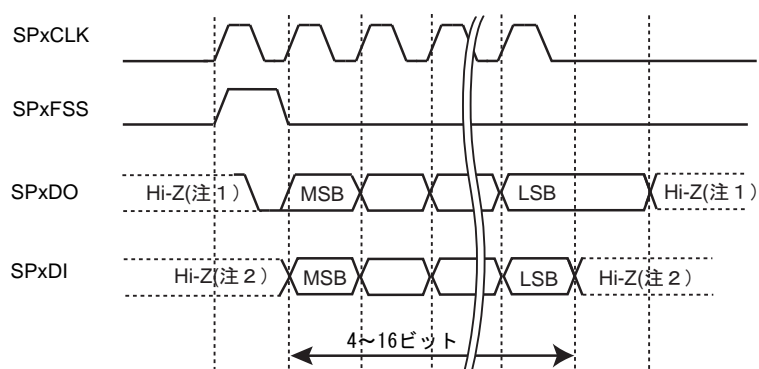


図 13-2 SSI フレームフォーマット (シングル転送送受信)

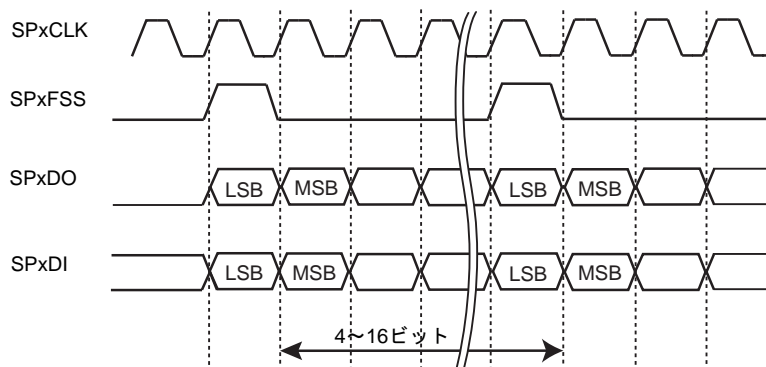


図 13-3 SSI フレームフォーマット (連続転送送受信)

注 1) SPxDO 端子は非送信中に出力 OFF となり Hi-Z 状態となります。そのため、システムに合わせプルアップ/プルダウン抵抗によるレベル固定をしてください。

注 2) SPxDI 端子は常時入力となっていますので、送信側が非送信中に出力 OFF となる場合はプルアップ/プルダウン抵抗によるレベル固定をしてください。

13.6.2 SPI フレームフォーマット

SPI インタフェースは4線インタフェースであり、SPxSS はスレーブ選択として動作します。SPI フォーマットの主な特長は、SPxCLK の動作タイミングを SSPxCR0 レジスタ内の<SPO> ビットと <SPH> ビットを使って、設定できます。

SSPxCR0<SPO>はアイドル状態時の SPxCLK をホールドするレベルを設定します。

SSPxCR0<SPH>はデータをラッチするクロックエッジを選択します。

	SSPxCR0<SPO>	SSPxCR0<SPH>
0	Low 状態	1st クロックエッジでデータを取り込み
1	High 状態	2nd クロックエッジでデータを取り込み

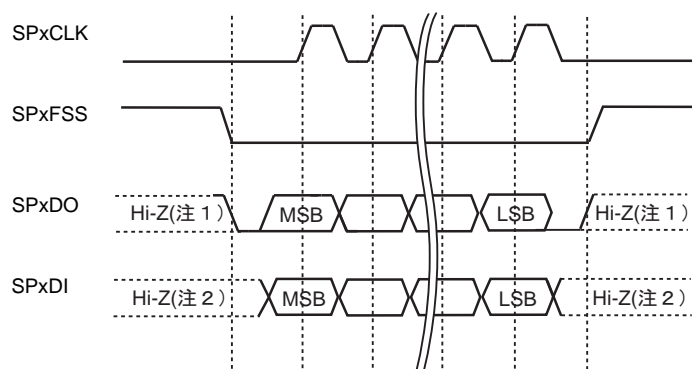


図 13-4 SPI フレームフォーマット（シングル転送、<SPO>=0 & <SPH>=0）

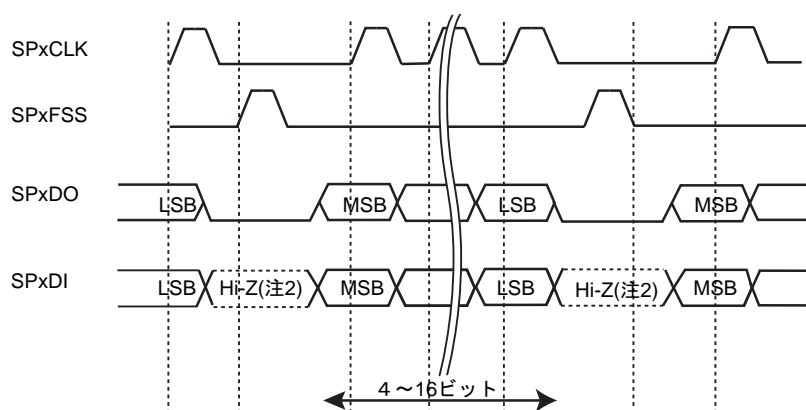


図 13-5 SPI フレームフォーマット（連続転送、<SPO>=0 & <SPH>=0）

注 1) SPxDO 端子は非送信中に出力 OFF となり Hi-Z 状態となります。そのため、システムに合わせプルアップ/プルダウン抵抗によるレベル固定をしてください。

注 2) SPxDI 端子は常時入力となっていますので、送信側が非送信中に出力 OFF となる場合はプルアップ/プルダウン抵抗によるレベル固定をしてください。

<SPO>=0 におけるアイドル周期では、

- SPxCLK が Low にセットされます。
- SPxFSS が High にセットされます。
- 送信データライン SPxDO が Low にセットされます。

SSP がイネーブルされているときに送信 FIFO 内に有効データが存在する場合、送信開始は Low でドライブされる SPxFSS マスタシグナルによって通知されます。これにより、マスタの SPxDI 入力ラインでスレーブデータがイネーブルされます。

SPxCLK の半周期後、有効マスタデータが SPxDO ピンに転送されます。これで、マスタデータとスレーブデータの両方がセットされ、SPxCLK のさらに半周期後に SPxCLK マスタクロックピンが High になります。その後、データは SPxCLK シグナルの立ち上がりエッジで捕捉され、立下りエッジで伝達されます。

シングル転送の場合、そのデータワードの全ビットの転送が完了し、その末尾ビットが捕捉されてから SPxCLK 1 周期後に、SPxFSS ラインがアイドル High 状態に戻ります。

しかし、連続転送の場合には、各データワード転送間で SPxFSS シグナルを High でパルスする必要があります。これは、スレーブ選択ピンがそのシリアルペリフェラルレジスタにデータをフリーズし、<SPH> ビットが論理 0 の場合は変更を許可しないためです。

したがって、シリアルペリフェラルデータの書き込みをイネーブルするには、マスタデバイスが各データ転送間でスレーブデバイスの SPxFSS ピンをドライブする必要があります。連続転送が完了すると、末尾ビットが捕捉されてから SPxCLK 1 周期後に SPxFSS ピンがアイドル状態に戻ります。

13.6.3 Microwire のフレームフォーマット

Microwire 形式は半二重モードで動作する特殊なマスタ-スレーブ伝達方式を使用します。このモードでは、フレームの開始時に 8 ビットの制御メッセージがスレーブに送信されます。この送信中、SSP はデータを受信しません。メッセージが送信された後、スレーブがそれをデコードし、8 ビット制御メッセージの末尾ビットの送信から 1 シリアルクロック間待機した後、要求されたデータで応答します。戻されるデータの長さは 4~16 ビットであり、全体のフレーム長は 13~25 ビットとなります。

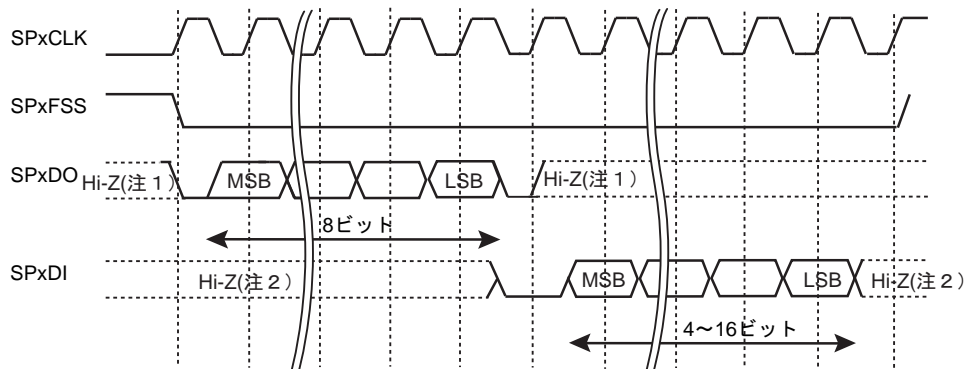


図 13-6 Microwire フレームフォーマット（シングル転送）

注 1) SPxDO 端子は非送信中に出力 OFF となり Hi-Z 状態となります。そのため、システムに合わせプルアップ/プルダウン抵抗によるレベル固定をしてください。

注 2) SPxDI 端子は常時入力となっていますので、送信側が非送信中に出力 OFF となる場合はプルアップ/プルダウン抵抗によるレベル固定をしてください

Microwire 形式は SPI 形式と非常に似ていますが、全二重ではなく半二重通信のマスタ-スレーブメッセージ伝達方式を使用する点が異なります。各シリアル伝送は、SSP からオフチップスレーブデバイスに送信される 8 ビットの制御ワードで開始されます。この送信中、SSP は入力データを受信しません。このメッセージの送信後、オフチップスレーブがこれをデコードし、8 ビット制御メッセージの末尾ビット送信後から 1 シリアルクロックが経過するまで待機し、要求されたデータで応答します。戻されるデータは 4~16 ビット長、フレーム全体は 13~25 ビット長になります。このコンフィギュレーションにおけるアイドル周期では：

- SPxCLK が Low にセットされます。
- SPxFSS が High にセットされます。
- 送信データライン SPxDO が Low にセットされます。

伝送は送信 FIFO への制御バイトの書き込みによってトリガされます。SPxFSS の立下りエッジによって送信 FIFO の最下位エンタリにストアされていた値が送信ロジックのシリアルシフトレジスタに転送され、8 ビット制御フレームの MSB が SPxDO ピンにシフトアウトされます。

このフレーム伝送の間、SPxFSS は Low でホールドされ、SPxDI ピンはトライステートでホールドされます。オフチップシリアルスレーブデバイスは、SPxCLK の立ち上がりエッジでそのシリアルシフトに各制御ビットをラッチします。

スレーブデバイスによって末尾ビットがラッチされると、1 クロックウェイト状態の間にその制御バイトがデコードされ、スレーブはデータを送信することによって SSP に応答します。各ビットは、SPxCLK の立下りエッジで SPxDI ラインにドライブされます。

一方、SSP は SPxCLK の立ち上がりエッジで各ビットをラッチします。シングル転送の場合は、フレームの終わりで末尾ビットが受信シリアルシフトにラッチされてから 1 クロック周期後に SPxFSS シグナルが High にプルされ、これによってデータが受信 FIFO に転送されます。

注) オフチップスレーブデバイスは、受信シフトによって LSB がラッチされた後の SPxCLK の立下りエッジで、または SPxFSS ピンが High になるときのどちらかで、受信ラインをトライステートでホールドすることができます。

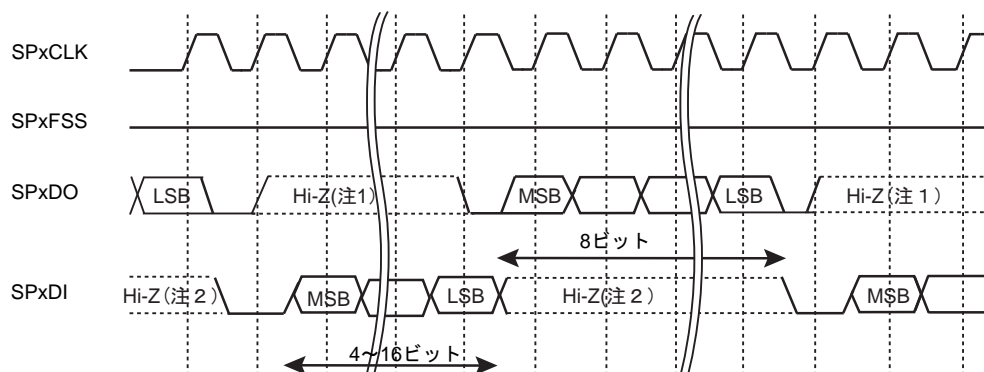


図 13-7 Microwire フレームフォーマット（連続転送）

- 注 1) SPxDO 端子は非送信中に出力 OFF となり Hi-Z 状態となります。そのため、システムに合わせプルアップ/プルダウン抵抗によるレベル固定をしてください。
- 注 2) SPxDI 端子は常時入力となっていますので、送信側が非送信中に出力 OFF となる場合はプルアップ/プルダウン抵抗によるレベル固定をしてください。

連続転送の場合、データ伝送の開始と終了はシングル転送の場合と同じように行われます。しかし、SPxFSS ラインは常にアサート(Low でホールド)され、データの伝送が次から次に発生します。

次のフレームの制御バイトは、現在のフレームから受信されたデータの LSB の直後に続きます。受信された各値は、そのフレームの LSB が SSP にラッチされた後、SPxCLK の立下りエッジで受信シフタから転送されます。

- 注) (接続例)SSP は、システム内におけるマスタ/スレーブの dynamics 切り替えをサポートしていません。各 SSP の例は、マスタまたはスレーブのどちらかとして構成/接続されています。

第 14 章 リモコン判定機能(RMC)

14.1 概要

搬送波が取り除かれたリモコン信号の受信を行います。

14.1.1 リモコン受信

- ・ サンプルングクロックは低周波クロック(32.768 kHz)とタイマ出力を選択可能
- ・ ノイズキャンセル時間を調整可能
- ・ リーダ検出
- ・ 最大 72bit まで一括受信

14.2 ブロック図

図 14-1 にリモコン判定機能のブロック図を示します。

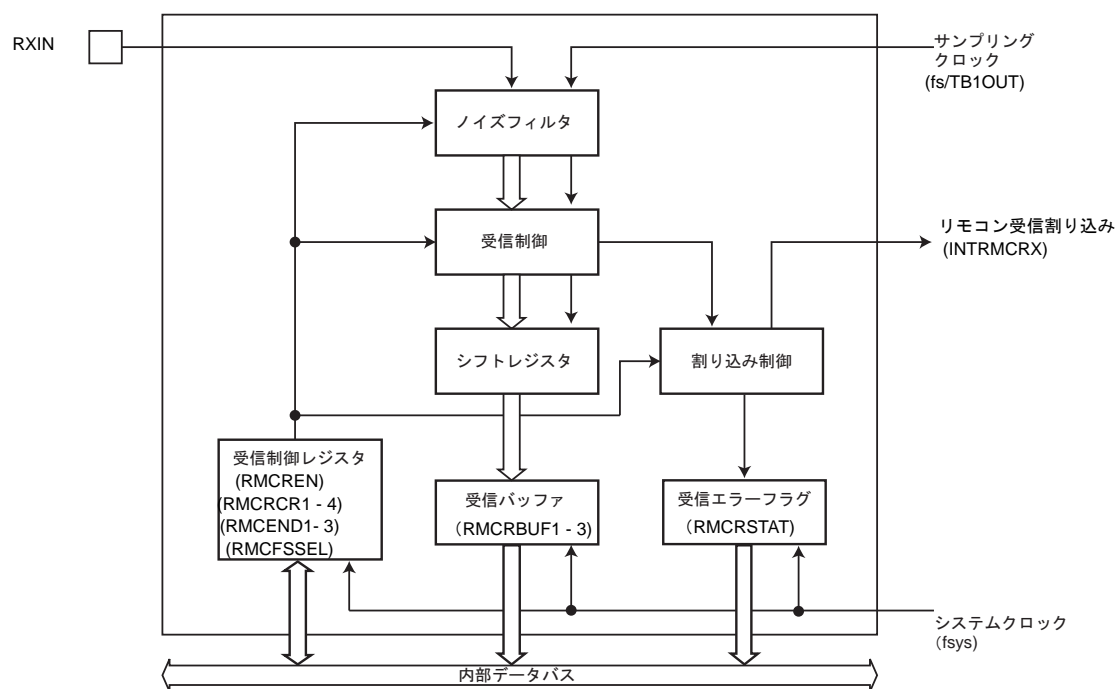


図 14-1 リモコン判定機能ブロック図

14.3 レジスタ説明

14.3.1 レジスタ一覧

リモコン判定機能の制御レジスタとアドレスは以下のとおりです。

Base Address = 0x4004_0400

レジスタ名		Address(Base+)
リモコンイネーブルレジスタ	RMCCEN	0x0000
受信イネーブルレジスタ	RMCCREN	0x0004
受信データバッファレジスタ 1	RMCCRBUF1	0x0008
受信データバッファレジスタ 2	RMCCRBUF2	0x000C
受信データバッファレジスタ 3	RMCCRBUF3	0x0010
受信コントロールレジスタ 1	RMCCRCR1	0x0014
受信コントロールレジスタ 2	RMCCRCR2	0x0018
受信コントロールレジスタ 3	RMCCRCR3	0x001C
受信コントロールレジスタ 4	RMCCRCR4	0x0020
受信ステータスレジスタ	RMCCRSTAT	0x0024
受信終了ビット数レジスタ 1	RMCCEND1	0x0028
受信終了ビット数レジスタ 2	RMCCEND2	0x002C
受信終了ビット数レジスタ 3	RMCCEND3	0x0030
ソースクロック選択レジスタ	RMCCFSEL	0x0034

14.3.2 RMCEN(イネーブルレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	RMCEN
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	-	R	リードすると"0"が読めます。
1	-	R/W	"1"をライトしてください。
0	RMCEN	R/W	<p>リモコン判定機能動作</p> <p>0: 禁止</p> <p>1: 許可</p> <p>リモコン判定機能の動作を制御します。</p> <p>リモコン判定機能を使用する場合は、まずこのビットを許可に設定してください。</p> <p>動作禁止の状態では、イネーブルレジスタを除くリモコン判定機能のすべてのクロックが停止しますので消費電力の低減が可能です。</p> <p>リモコン判定機能をいったん動作させた後に、動作禁止にした場合は各レジスタの設定は保持されます。</p>

14.3.3 RMCREN(受信イネーブルレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	RMCREN
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-1	-	R	リードすると"0"が読めます。
0	RMCREN	R/W	受信 0: 禁止 1: 許可 受信動作を制御します。 このビットを"1"にすることで受信待ち状態になります。

注) <RMCREN>ビットは、RMCRCR1, 2, 3 を設定した後に許可してください。

14.3.4 RMCRBUF1(受信データバッファレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	RMCRBUF(受信データ 31 ~ 24 ビット)							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	RMCRBUF(受信データ 23 ~ 16 ビット)							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	RMCRBUF(受信データ 15 ~ 8 ビット)							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	RMCRBUF(受信データ 7 ~ 0 ビット)							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-0	RMCRBUF[31:0]	R	受信データ(31 ビット ~ 0 ビット) 受信した 4 バイト分のデータ(31 ビット ~ 0 ビット)が読めます。

14.3.5 RMCRBUF2(受信データバッファレジスタ 2)

	31	30	29	28	27	26	25	24
bit symbol	RMCRBUF(受信データ 63 ~ 54 ビット)							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	RMCRBUF(受信データ 55 ~ 48 ビット)							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	RMCRBUF(受信データ 47 ~ 40 ビット)							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	RMCRBUF(受信データ 39 ~ 32 ビット)							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-0	RMCRBUF[63:32]	R	受信データ(63 ビット ~ 32 ビット) 受信した 4 バイト分のデータ(63 ビット ~ 32 ビット)が読めます。

14.3.6 RMCRBUF3(受信データバッファレジスタ 3)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	RMCRBUF(受信データ 71 ~ 64 ビット)							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-0	RMCRBUF[71:64]	R	受信データ(71 ビット~64 ビット) 受信した 1 バイト分のデータ(71 ビット~64 ビット)が読めます。

注) 受信データは、最初に受信したビットがデータバッファレジスタの MSB 側に、最後に受信したビットが LSB (Bit0)に格納されます。LSB first のリモコン信号を受信した場合、ビットの重みが逆順のデータがレジスタへ格納されますので、ご注意ください。

14.3.7 RMCRCR1(受信コントロールレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	RMCLCMAX							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	RMCLCMIN							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	RMCLLMAX							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	RMCLLMIN							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-24	RMCLCMAX[7:0]	R/W	リーダ検出の周期期間の上限設定 上限期間の計算式 : $\langle \text{RMCLCMAX} \rangle \times 4/\text{fs}[\text{s}]$
23-16	RMCLCMIN[7:0]	R/W	リーダ検出の周期期間の下限設定 下限期間の計算式 : $\langle \text{RMCLCMIN} \rangle \times 4/\text{fs}[\text{s}]$
15-8	RMCLLMAX[7:0]	R/W	リーダ検出の Low 期間の上限設定 上限期間の計算式 : $\langle \text{RMCLLMAX} \rangle \times 4/\text{fs}[\text{s}]$
7-0	RMCLLMIN[7:0]	R/W	リーダ検出の Low 期間の下限設定 下限期間の計算式 : $\langle \text{RMCLLMIN} \rangle \times 4/\text{fs}[\text{s}]$ RMCR2<RMCLD> = 1 のときは、Low 幅が設定値未満の場合データビットと判別します。

注) リーダ検出の設定では以下の関係式を守ってください。

リーダ種類	関係式
Low 幅 + High 幅	$\langle \text{RMCLCMAX}[7:0] \rangle > \langle \text{RMCLCMIN}[7:0] \rangle$ $\langle \text{RMCLLMAX}[7:0] \rangle > \langle \text{RMCLLMIN}[7:0] \rangle$ $\langle \text{RMCLCMIN}[7:0] \rangle > \langle \text{RMCLLMAX}[7:0] \rangle$
High 幅のみ	$\langle \text{RMCLCMAX}[7:0] \rangle > \langle \text{RMCLCMIN}[7:0] \rangle$ $\langle \text{RMCLLMAX}[7:0] \rangle = 0\text{x}00$ $\langle \text{RMCLLMIN}[7:0] \rangle = \text{don't care}$
リーダなし	$\langle \text{RMCLCMAX}[7:0] \rangle = 0\text{x}00$ $\langle \text{RMCLCMIN}[7:0] \rangle = \text{don't care}$ $\langle \text{RMCLLMAX}[7:0] \rangle = \text{don't care}$ $\langle \text{RMCLLMIN}[7:0] \rangle = \text{don't care}$

14.3.8 RMCRCR2(受信コントロールレジスタ 2)

	31	30	29	28	27	26	25	24
bit symbol	RMCLIEN	RMCEDIEN	-	-	-	-	RMCLD	RMCPHM
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	RMCLL							
リセット後	1	1	1	1	1	1	1	1
	7	6	5	4	3	2	1	0
bit symbol	RMCDMAX							
リセット後	1	1	1	1	1	1	1	1

Bit	Bit Symbol	Type	機能
31	RMCLIEN	R/W	リーダ検出割り込み発生時の許可 0: 割り込み発生しない 1: 割り込み発生する
30	RMCEDIEN	R/W	リモコン入力立ち下がりエッジ割り込み発生時の許可 0: 割り込み発生しない 1: 割り込み発生する
29-26	-	R	リードすると"0"が読めます。
25	RMCLD	R/W	リーダありとリーダなしのリモコン信号を両方受信可能なモード設定 0: 禁止 1: 許可
24	RMCPHM	R/W	位相方式のリモコン受信モードの設定 0: 位相方式のリモコン信号を受信しない(周期方式で受信) 1: 周期固定の位相方式のリモコン信号を受信する 周期が固定の位相方式のリモコン信号の場合は、"1"を設定します。
23-16	-	R	リードすると"0"が読めます。
15-8	RMCLL[7:0]	R/W	Low 幅の検出による受信終了/割り込み発生時のタイミングの設定 0000_0000~1111_1110: <RMCLL> × 1/fs[s]で受信終了/割り込み発生 1111_1111: Low 幅検出で受信終了/割り込みの設定をしない
7-0	RMCDMAX[7:0]	R/W	データビットの周期 MAX で受信終了/割り込み発生時の設定 0000_0000~1111_1110: <RMCDMAX> × 1/fs[s]で受信終了/割り込み発生 1111_1111: データビットの周期 MAX で受信終了/割り込み発生しない

14.3.9 RMCRCR3(受信コントロールレジスタ 3)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	RMCDDATH						
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	RMCDDATL						
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-15	-	R	リードすると"0"が読めます。
14-8	RMCDDATH[6:0]	R/W	データビットの3値判定のしきい値上位設定 しきい値の計算式： $\langle \text{RMCDDATH} \rangle \times 1/\text{fs}[\text{s}]$ 位相方式のリモコン信号の3値判定の1.5Tと2Tのしきい値の設定をします。 データビットの測定結果がしきい値以上でデータを"10"、しきい値未満でデータを"01"と判別します。
7	-	R	リードすると"0"が読めます。
6-0	RMCDDATL[6:0]	R/W	データビットの0/1判別および3値判定のしきい値下位設定 しきい値の計算式： $\langle \text{RMCDDATL} \rangle \times 1/\text{fs}[\text{s}]$ データビットの0/1判定のしきい値および、位相方式のリモコン信号の3値判定の1Tと1.5Tのしきい値の設定をします。 データビットの0/1判定の場合、測定結果がしきい値以上でデータ"1"、しきい値未満でデータ"0"と判別します。 位相方式のリモコン信号の3値判定の場合、データビットの測定結果がしきい値以上でデータを"01"、しきい値未満でデータ"00"と判別します。

注) RMCRCR2<RMCDDPHM> = "0"のとき、<RMCDDATH[6:0]>は有効になりません。<RMCDDPHM> = "1"のときのみ有効となります。

14.3.10 RMCRCR4(受信コントロールレジスタ 4)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	RMCP0	-	-	-	RMCNC			
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	RMCP0	R/W	リモコン入力信号の極性選択 0: 正極 1: 負極
6-4	-	R	リードすると"0"が読めます。
3-0	RMCNC[3:0]	R/W	ノイズ除去時間の設定 0000: ノイズ除去しない 0001~1111: ノイズ除去 ノイズ除去時間の計算式 : $\langle \text{RMCNC} \rangle \times 1/\text{fs}[\text{s}]$

14.3.11 RMCRSTAT(受信ステータスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	RMCR LIF	RMCR LOIF	RMCR DMAXIF	RMCR EDIF	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	RMCR LDR	RMCR NUM						
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます。
15	RMCR LIF	R	割り込み要因フラグ 0: リーダ検出割り込みは発生していない 1: リーダ検出割り込みが発生
14	RMCR LOIF	R	割り込み要因フラグ 0: Low 幅検出割り込みは発生していない 1: Low 幅検出割り込みが発生
13	RMCR DMAXIF	R	割り込み要因フラグ 0: データビット周期 MAX 割り込みは発生していない 1: データビット周期 MAX 割り込みが発生
12	RMCR EDIF	R	割り込み要因フラグ 0: 立ち下がりエッジ割り込みは発生していない 1: 立ち下がりエッジが発生
11-8	-	R	リードすると"0"が読めます。
7	RMCR LDR	R	リーダー検出 0: リーダ検出なし 1: リーダ検出あり
6-0	RMCR NUM[6:0]	R	リモコン受信したデータビット数 000_0000: データビットなし(リーダーのみ) 000_0001~100_1000: 1~72bit 受信 100_1001~111_1111: 73bit 以上 リモコン受信したデータビット数を示します。データビット数は受信終了後に格納され、受信途中のビット数はモニタすることはできません。

注 1) このレジスタは割り込み発生時に最新状態に更新されます。このレジスタへの書き込み動作は無視されます。

注 2) 73bit 以上のデータを受信しても受信終了の条件を満たす波形が入力されない場合はデータを受信し続けます。このとき、データバッファの内容については保証しません。

14.3.12 RMCEND1(受信終了ビット数レジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	RMCEND1						
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-7	-	R	リードすると"0"が読めます。
6-0	RMCEND1[6:0]	R/W	受信するデータのビット数を設定 000_0000 : 受信ビット数の設定をしない 000_0001 ~ 100_1000 : 受信ビット数(1 ~ 72 ビット)を設定 100_1001 ~ 111_1111 : 設定禁止

14.3.13 RMCEND2(受信終了ビット数レジスタ 2)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	RMCEND2						
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-7	-	R	リードすると"0"が読めます。
6-0	RMCEND2[6:0]	R/W	受信するデータのビット数を設定 000_0000 : 受信ビット数の設定をしない 000_0001 ~ 100_1000 : 受信ビット数(1 ~ 72 ビット)を設定 100_1001 ~ 111_1111 : 設定禁止

14.3.14 RMCEND3(受信終了ビット数レジスタ 3)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	RMCEND3						
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-7	-	R	リードすると"0"が読めます。
6-0	RMCEND3[6:0]	R/W	受信するデータのビット数を設定 000_0000 : 受信ビット数の設定をしない 000_0001 ~ 100_1000 : 受信ビット数(1 ~ 72 ビット)を設定 100_1001 ~ 111_1111 : 設定禁止

注 1) RMCEND1 ~ 3 を設定することで、最大 3 通りの受信ビット数の設定が可能です。

注 2) RMCEND1 ~ 3 はデータビット周期 MAX との組み合わせで使用します。

14.3.15 RMCFSSEL(ソースクロック選択レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	RMCLK
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-1	-	R	リードすると"0"が読めます。
0	RMCLK	R/W	RMC サンプリングクロック選択 0: 低速クロック(32.768kHz) 1: タイマ出力(TB1OUT) RMC 機能のサンプリングクロックとして、低速クロック(32.768kHz)かタイマ出力(TB1OUT)を選択することができます。 TB1OUT にて設定できるタイマ出力範囲は 30 ~ 34kHz です。

注) RMCFSSEL レジスタにてサンプリングクロックを切り替える場合は、RMCEN<RMCEN>で RMC をいったん停止(禁止)させ、再度動作(許可)設定した後、他の RMC 関連レジスタよりも先に設定してください。

14.4 動作説明

14.4.1 リモコン受信

14.4.1.1 サンプリングブロック

リモコン信号のサンプリングは、32.768kHzの低速クロック(fs)で行います。

14.4.1.2 基本動作

リーダを検出すると、RMCSTAT<RMCRLDR>がセットされます。

この時、RMCRCR2<RMCLIEN>を設定しておくこと、リーダ検出時にリーダ検出割り込みが発生します。リーダ割り込み発生時には、RMCSTAT<RMCRLIF>がセットされます。

リーダ検出後、データビットの0/1判定を順次行い、結果をRMCRCBUF1, 2, 3レジスタに最大72bitまで格納します。RMCRCR2<RMCEDIEN>を設定しておくこと、データビットの立ち下がりエッジごとにリモコン入力立ち下がりエッジ割り込みが発生します。リモコン入力立ち下がりエッジ割り込み発生時には、RMCSTAT<RMCEDIF>がセットされます。

受信動作はデータビット周期MAXの検出および、Low幅の検出が設定値になったところで終了となり、受信終了/割り込み発生となります。RMCEND1 ~ 3レジスタの<RMCEND1>、<RMCEND2>、<RMCEND3>を設定している場合は、データビット周期MAX検出までの受信したビット数が一致した場合のみ、受信終了/割り込み発生となります。

受信終了時の状態は、リモコン受信ステータスレジスタを読み出すことで知ることができます。

受信終了後、リーダ待ちとなります。

データビットのみのリモコン信号を受信する設定をすると、リーダの検出はせずに最初からデータとして扱い、受信を行います。

受信したデータを読み出す前に、次の受信が終了すると受信データは書き換わります。

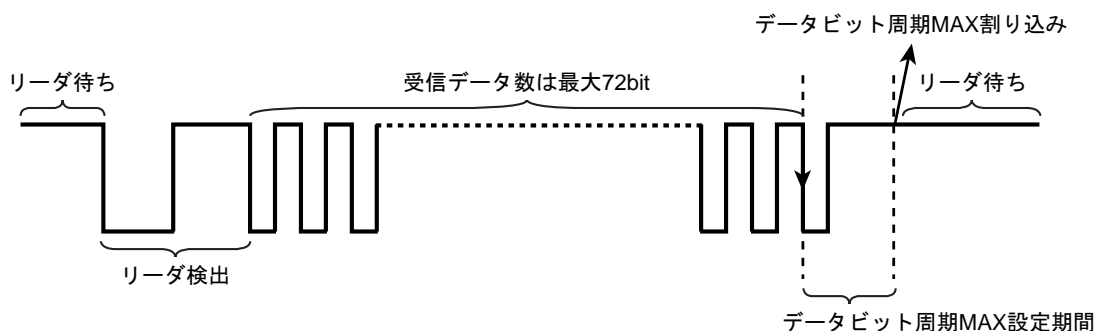


図 14-2 データビットの周期 Max で受信終了の場合

14.4.1.3 リモコン受信の準備

受信を開始する前に、リモコン受信コントロールレジスタ(RMCR1, 2, 3, 4)でリモコン受信動作の設定を行います。

(1) ノイズキャンセル時間の設定

RMCR4<RMCNC[3:0]>でノイズキャンセル時間を設定します。

ノイズキャンセルは、サンプリングクロックでリモコン信号をサンプリングした信号に対して行います。サンプリングクロックの立ち上がりエッジごとにサンプリング後のリモコン信号を観測し、現在"High"であれば、<RMCNC>で設定されたサイクル分の"Low"が観測されたときに信号が"Low"に変化したと認識し、現在"Low"であれば、<RMCNC>で設定されたサイクル分の"High"が観測されたとき"High"に変化したと認識します。

次の図は、ノイズキャンセルの設定を<RMCNC[3:0]>="0011" (3 サイクル)とした場合の動作です。ノイズキャンセル後の信号は、"High"の状態から、"Low"が 3 サイクル観測されたところで"Low"に変化し、"Low"の状態から、"High"が 3 サイクル観測されたところで"High"に変化します。

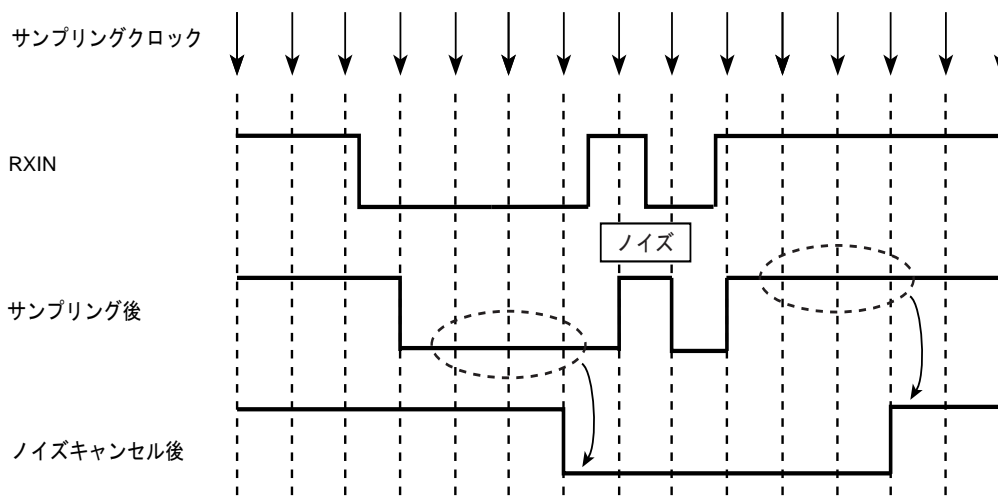


図 14-3 ノイズキャンセル(RMCR4<RMCNC[3:0]>="0011"(3 サイクル)の場合)

(2) リーダ検出の設定

リーダ検出の設定は、リーダの周期と Low 幅の値を設定します。RMCRCR1 レジスタの <RMCLLMIN[7:0]>, <RMCLLMAX[7:0]>, <RMCLCMIN[7:0]>, <RMCLCMAX[7:0]> にリーダ検出のための設定を行います。RMCRCR1 レジスタを設定するときは、次の関係で行ってください。

リーダ種類	関係式
Low 幅 + High 幅	<RMCLCMAX[7:0]> > <RMCLCMIN[7:0]> <RMCLLMAX[7:0]> > <RMCLLMIN[7:0]> <RMCLCMIN[7:0]> > <RMCLLMAX[7:0]>
High 幅のみ	<RMCLCMAX[7:0]> > <RMCLCMIN[7:0]> <RMCLLMAX[7:0]> = 0000_0000 <RMCLLMIN[7:0]> = don't care
リーダなし	<RMCLCMAX[7:0]> = 0000_0000 <RMCLCMIN[7:0]> = don't care <RMCLLMAX[7:0]> = don't care <RMCLLMIN[7:0]> = don't care

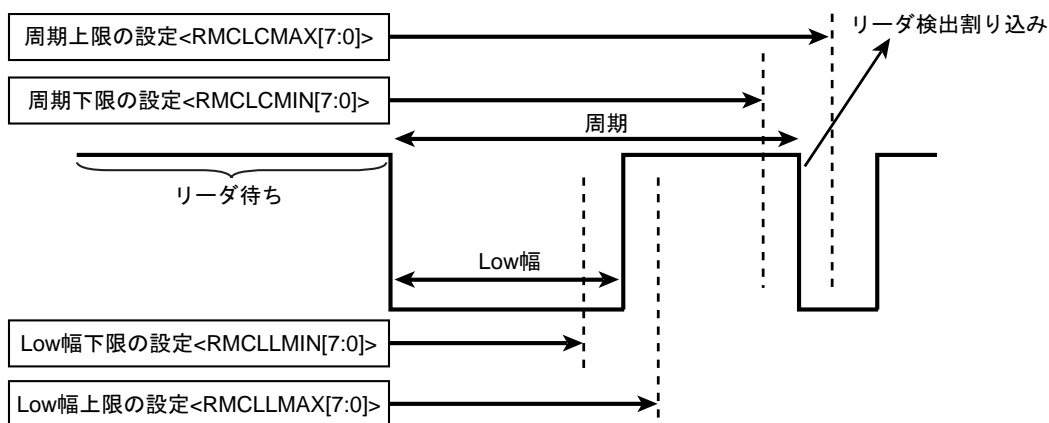


図 14-4 リーダ波形と RMCxRCR1

リーダ検出時に割り込みを発生させたい場合は、RMCRCR2<RMCLIEN>で設定します。リーダなしのリモコン信号については、リーダ検出割り込みの発生はできません。

(3) データビットの 0/1 判定の設定

同期方式のデータビットの 0/1 判定は立ち下がりエッジの周期に対して行います。以下の 2 種類の判定方法があります。

位相方式のリモコン信号のデータビットの判定は、「14.4.1.8 周期固定の位相方式のリモコン信号の受信」で説明します。

1. しきい値による判断

$\text{RMCRCR3} < \text{RMCDATL}[6:0] >$ でデータビットの 0/1 判定のしきい値を設定します。0/1 判別はしきい値以上でデータ "1"、しきい値未満でデータ "0" となります。

2. 立下りエッジ割り込みによる判断

$\text{RMCRCR2} < \text{RMCDIEN} >$ を "1" にセットすることで、データビットの立ち下がりエッジごとにリモコン入力立ち下がりエッジ割り込みを発生させることもできます。リモコン入力立ち下がりエッジ割り込みとタイマを用いることで、ソフトウェア的にリモコン判定を行うことができます。

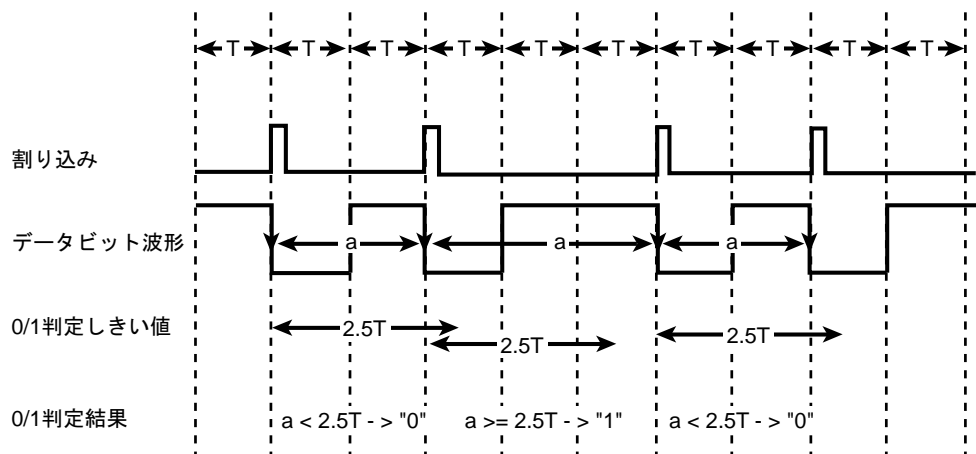


図 14-5 データビットの 0/1 判断の方法(しきい値 2.5T の場合)

(4) 受信終了の設定

受信終了はデータビットの周期 MAX 検出および、Low 幅の検出を設定することで行います。複数の要因を設定した場合は、最初に検出した要因で受信終了となります。受信終了の設定は必ず行うようにしてください。

1. データビットの周期 MAX で受信終了する場合

RMCR2<RMCDMAX[7:0]>でデータビット周期 MAX の設定をします。データビットの立ち下がりエッジ周期の値が、<RMCDMAX[7:0]>で設定されたデータビット周期 MAX のしきい値以上のときデータビット周期 MAX 検出で受信終了/割り込み発生となります。割り込み発生後に RMCSTAT<RMCDFIF >がセットされます。

RMCEND1~3 レジスタの<RMCEND1>、<RMCEND2>、<RMCEND3>を設定することで、受信ビット数を指定して受信終了を行うことができます。この場合、データビット周期 MAX の発生時の受信したビット数と RMCEND1~3 レジスタの<RMCEND1>、<RMCEND2>、<RMCEND3>で設定された受信ビット数が一致した時のみ、データビット周期 MAX 割り込みを発生します。受信ビット数は、RMCEND1~3 レジスタの<RMCEND1>、<RMCEND2>、<RMCEND3>に 3 通り設定することができます。データビット周期 MAX の発生時の受信したビット数が RMCEND1~3 レジスタの<RMCEND1>、<RMCEND2>、<RMCEND3>に設定した受信ビット数と一致しない場合は、リーダ待ち/受信待ちとなります。

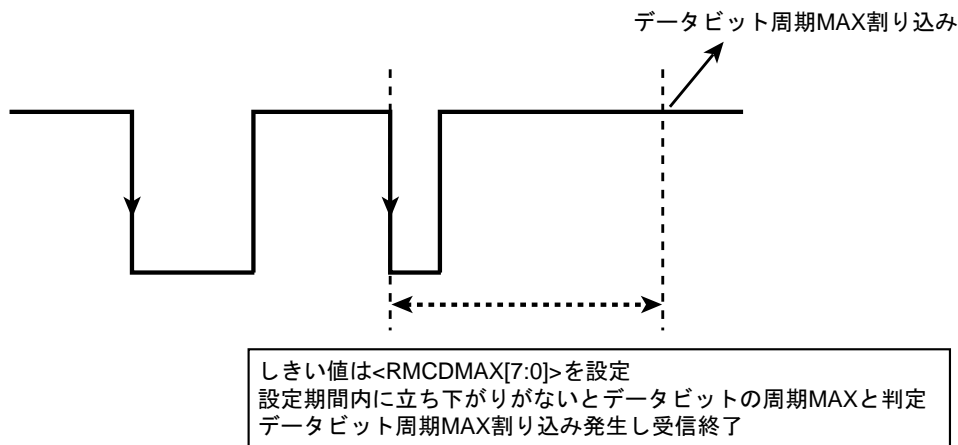


図 14-6 データビットの最大周期で受信終了する場合

2. Low 幅検出で受信終了する場合

RMCR2<RMCLL[7:0]>で Low 幅の検出による受信終了の設定をします。データビットが立ち下がり後、設定期間を超えて Low のままだと Low 幅検出し、受信終了/割り込み発生となります。割り込み発生後に RMCSTAT<RMCLOIF>に"1"がセットされます。

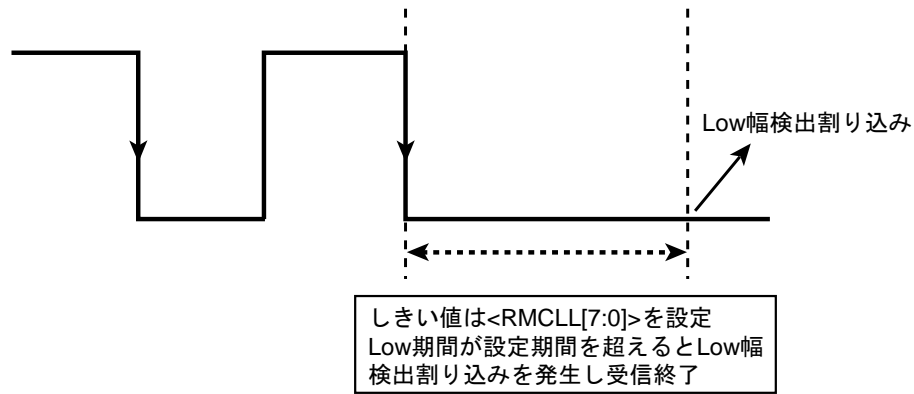


図 14-7 Low 幅検出で受信終了する場合

14.4.1.4 受信許可

RMCR1 レジスタ, RMCR2 レジスタ, RMCR3 レジスタ, RMCR4 レジスタの設定終了後、RMCREN<RMCREN>を受信許可に設定することで受信待ち状態になり、リーダを検出すると受信動作を開始します。

注) 受信動作中に RMCR1, 2, 3, 4, RMCEND1, 2, 3 レジスタの設定が変更されると正しく受信できない可能性があります。受信許可中に設定変更を行う場合は注意して行ってください。

14.4.1.5 受信の停止

RMCREN<RMCREN>を"0" (受信禁止)に設定すると受信動作を停止します。

受信動作中に禁止の設定を行った場合、直ちに受信動作を停止し、それまでに受信したデータは破棄されます。

14.4.1.6 リーダ待ちの状態ではリーダなしのリモコン信号の受信

RMCR2<RMCLD>を設定することでリーダありとリーダなしのリモコン信号を両方受信することが可能になります。

RMCR2<RMCLD>を設定すると、RMCR1<RMCLLMAX[7:0]>以下の Low 幅の信号を受信するとデータと判断し受信を開始し、最終ビットまで受信を行います。

この設定を使用する場合、データビットの 0/1 判定、エラー検出、受信終了の設定はリーダあり/リーダなしデータですべて共通となりますので、受信可能なリモコン信号には制限がありません。

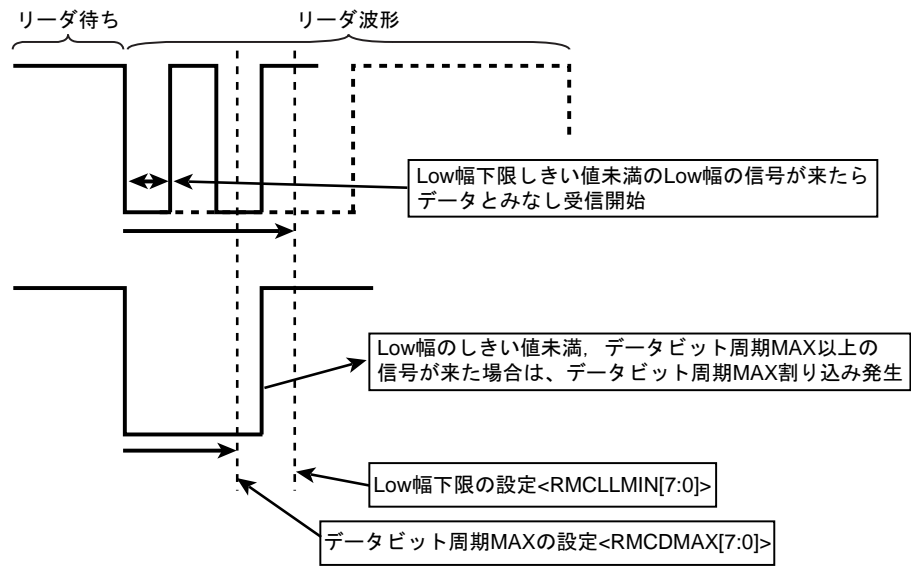


図 14-8 リーダ待ち状態なしでのリーダなしのリモコン信号の場合 (RMCRCR2<RMCLD>="1"の時)

14.4.1.7 Low 幅のみのリーダで始まるリモコン信号の受信

Low 幅のみのリーダで始まるリモコン信号は次図にあるように、リーダが Low 幅のみで始まり、データビットの周期が立ち上がり期間で構成される信号です。データビットの測定を立ち下がりエッジの周期で行う必要があるため、 $\text{RMCRCR4} \langle \text{RMCPO} \rangle = "1"$ に設定し、反転した信号にして入力します。

リーダの検出の設定は、Low 幅のみのため、 RMCRCR1 の設定を、 $\langle \text{RMCLLMAX}[7:0] \rangle = "0000_0000"$ 、 $\langle \text{RMCLCMAX}[7:0] \rangle > \langle \text{RMCLCMIN}[7:0] \rangle$ の関係で設定します。この場合、 $\langle \text{RMCLLMIN}[7:0] \rangle$ の値は don't care となります。

データ 0/1 判定の設定は、 $\text{RMCRCR3} \langle \text{RMCDATL}[6:0] \rangle$ で 0/1 判別のしきい値を設定します。

RMCRCR2 の $\langle \text{RMCDMAX}[7:0] \rangle$ でデータビットの周期 MAX の設定をします。

受信終了の設定は、 RMCRCR2 の $\langle \text{RMCDMAX}[7:0] \rangle$ でデータビットの周期 MAX の設定と $\langle \text{RMCLL}[7:0] \rangle$ で Low 幅検出の設定をします。データビットの周期 MAX 検出および、最終ビット後に設定された Low 期間確認後に受信終了/割り込み発生し、リーダ待ちとなります。

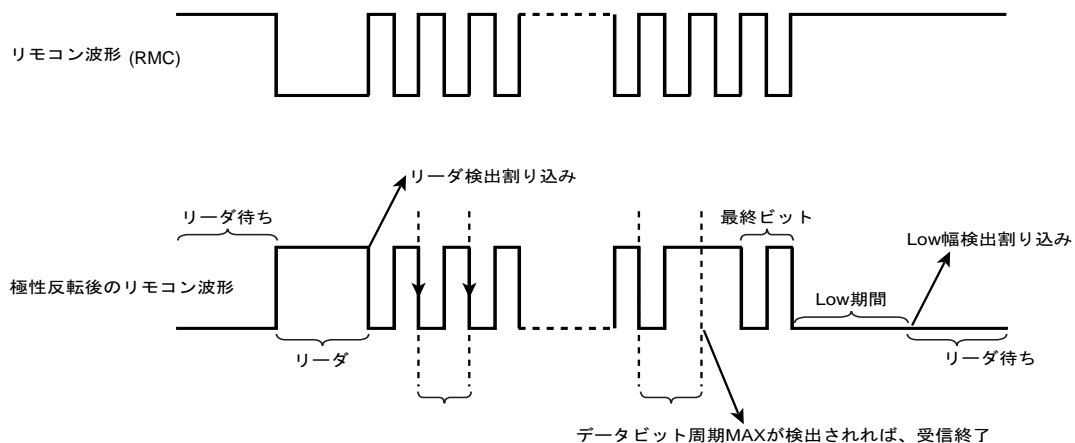


図 14-9 Low 幅のみのリーダで始まるリモコン信号の受信

14.4.1.8 周期固定の位相方式のリモコン信号の受信

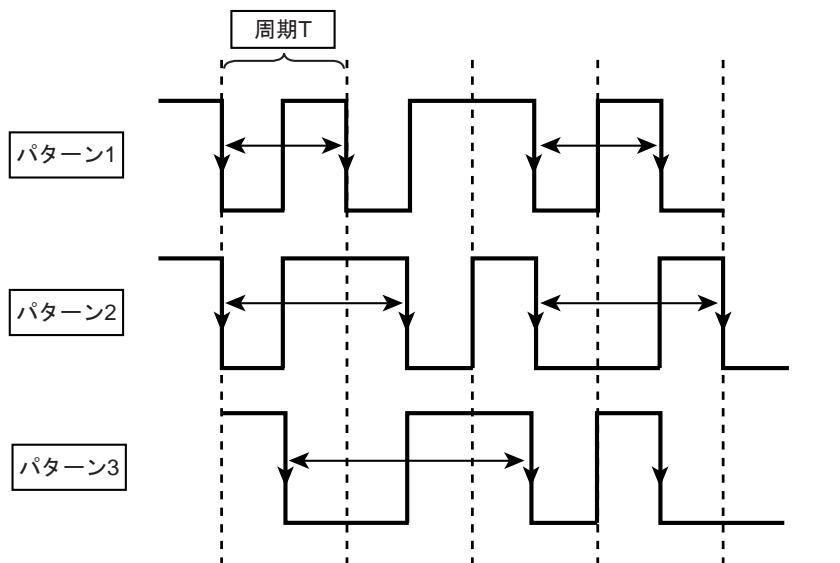
周期固定の位相方式のリモコン信号は、データの変化のパターンが3通りに分けられます。しきい値を2つ設定することでパターンの判別を行い、ハードウェアでリモコンデータに変換を行い、受信終了後、受信データをリモコンデータの形式で RMCRCBUF1, 2, 3 に格納します。

周期固定の位相方式のリモコン受信は、RMCRCR2<RMCPHM> = "1" に設定することで有効になります。しきい値の設定は、RMCRCR3<RMCDATL[6:0]>, <RMCDATH[6:0]>で行います。次図にある、3通りのデータの変化のパターンに対して、2つのしきい値を決めます。3通りのパターンはそれぞれ周期 T に対して、1T, 1.5T, 2T となり、しきい値の設定は下表のようになります。

	判別内容	しきい値	設定レジスタ
しきい値 1	パターン 1 とパターン 2	1T~1.5T	RMCRCR3<RMCDATL[6:0]>
しきい値 2	パターン 2 とパターン 3	1.5T~2T	RMCRCR3<RMCDATH[6:0]>

周期固定の位相方式のリモコン信号の判別は、3通りのデータの変化のパターンと直前の周期のデータが必要です。周期固定の位相方式のリモコン信号は必ず、データ"11"で始まる必要があります。

位相方式のリモコン信号の波形パターン



位相方式のリモコンデータ例

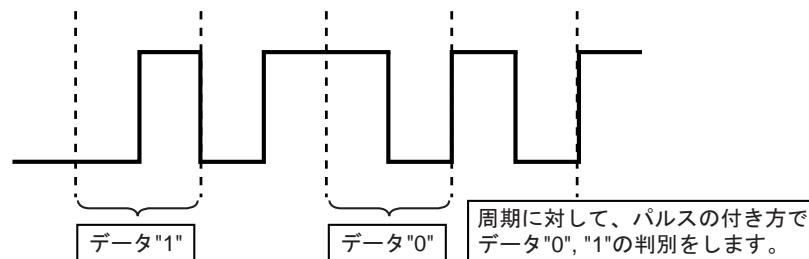


図 14-10 位相固定方式の波形パターンとデータ例

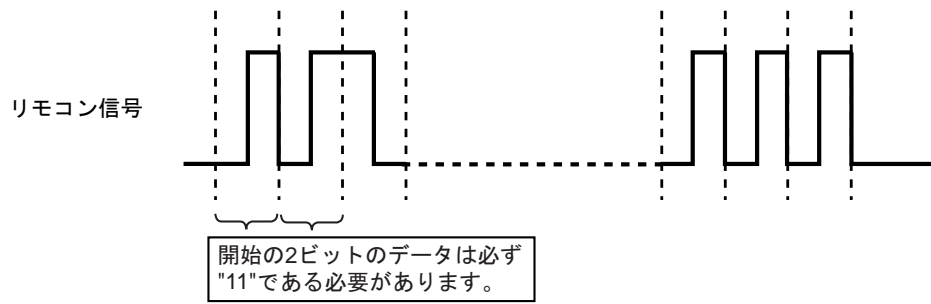


図 14-11 位相方式のリモコン波形例

第 15 章 アナログ/デジタルコンバータ(ADC)

TMPM380FDFG は、12/10(選択可能)ビット逐次変換方式アナログ/デジタルコンバータ (AD コンバータ)を内蔵しています。

18 本の外部アナログ入力端子 (AIN0 to AIN17) は、入出力専用ポートと兼用です。

15.1 機能と特徴

1. PMD(MPT)やタイマからのトリガ信号に同期して任意のアナログ入力を変換することができます。
2. ソフトウェア起動、常時起動において任意のアナログ入力を変換することができます。
3. AD 変換値レジスタが 12 個あります。
4. トリガ起動によるプログラム終了時に割り込みを発生できます。
5. ソフトウェア起動、常時起動によるプログラム終了時に割り込みを発生できます。
6. AD 監視機能があります。有効時に比較条件と一致した場合は割り込みを発生します。

15.2 ブロック図

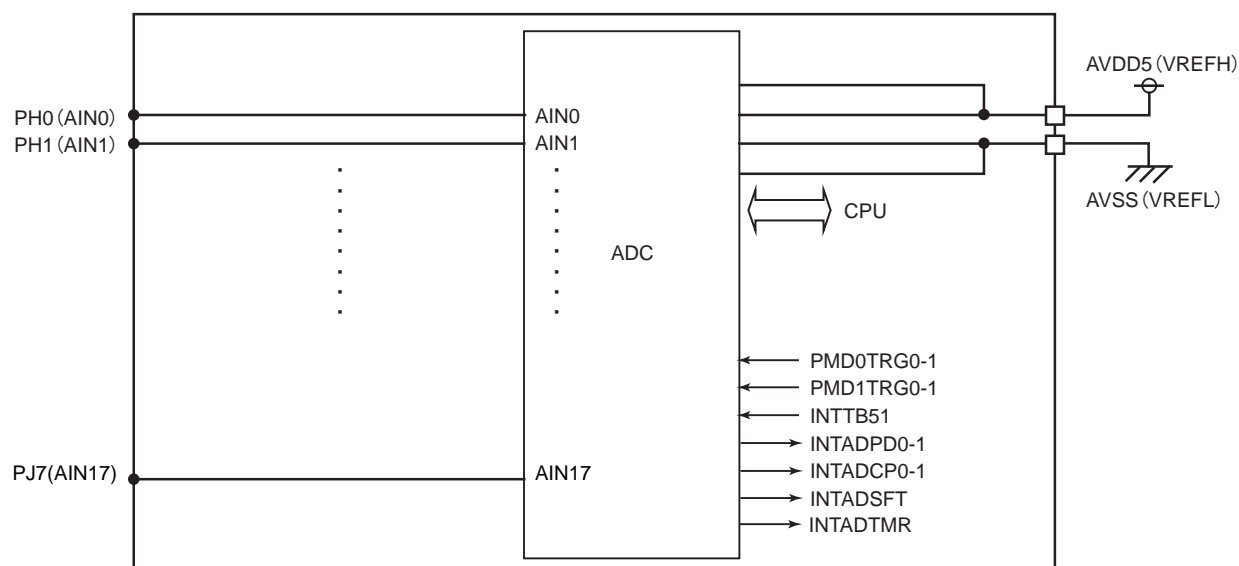


図 15-1 AD コンバータブロック図

15.3 レジスタ一覧

Base Address = 0x4003_0000

レジスタ名		Address(Base+)
クロック設定レジスタ	ADCLK	0x0000
モード設定レジスタ 0	ADMOD0	0x0004
モード設定レジスタ 1	ADMOD1	0x0008
モード設定レジスタ 2	ADMOD2	0x000C
監視割り込み設定レジスタ 0	ADCMPCR0	0x0010
監視割り込み設定レジスタ 1	ADCMPCR1	0x0014
変換結果比較レジスタ 0	ADCMP0	0x0018
変換結果比較レジスタ 1	ADCMP1	0x001C
変換結果格納レジスタ 0	ADREG0	0x0020
変換結果格納レジスタ 1	ADREG1	0x0024
変換結果格納レジスタ 2	ADREG2	0x0028
変換結果格納レジスタ 3	ADREG3	0x002C
変換結果格納レジスタ 4	ADREG4	0x0030
変換結果格納レジスタ 5	ADREG5	0x0034
変換結果格納レジスタ 6	ADREG6	0x0038
変換結果格納レジスタ 7	ADREG7	0x003C
変換結果格納レジスタ 8	ADREG8	0x0040
変換結果格納レジスタ 9	ADREG9	0x0044
変換結果格納レジスタ 10	ADREG10	0x0048
変換結果格納レジスタ 11	ADREG11	0x004C
PMD トリガ用プログラム番号選択レジスタ 0	ADPSEL0	0x0050
PMD トリガ用プログラム番号選択レジスタ 1	ADPSEL1	0x0054
PMD トリガ用プログラム番号選択レジスタ 2	ADPSEL2	0x0058
PMD トリガ用プログラム番号選択レジスタ 3	ADPSEL3	0x005C
Reserved	-	0x0060
Reserved	-	0x0064
Reserved	-	0x0068
Reserved	-	0x006C
Reserved	-	0x0070
Reserved	-	0x0074
Reserved	-	0x0078
Reserved	-	0x007C
PMD トリガ用割り込み選択レジスタ 0	ADPINTS0	0x0080
PMD トリガ用割り込み選択レジスタ 1	ADPINTS1	0x0084
PMD トリガ用割り込み選択レジスタ 2	ADPINTS2	0x0088
PMD トリガ用割り込み選択レジスタ 3	ADPINTS3	0x008C
PMD トリガ用割り込み選択レジスタ 4	ADPINTS4	0x0090
PMD トリガ用割り込み選択レジスタ 5	ADPINTS5	0x0094
PMD トリガ用プログラム選択レジスタ 0	ADPSET0	0x0098
PMD トリガ用プログラム選択レジスタ 1	ADPSET1	0x009C
PMD トリガ用プログラム選択レジスタ 2	ADPSET2	0x00A0
PMD トリガ用プログラム選択レジスタ 3	ADPSET3	0x00A4
PMD トリガ用プログラム選択レジスタ 4	ADPSET4	0x00A8
PMD トリガ用プログラム選択レジスタ 5	ADPSET5	0x00AC

Base Address = 0x4003_0000

レジスタ名		Address(Base+)
タイマトリガ用プログラムレジスタ 0~3	ADTSET03	0x00B0
タイマトリガ用プログラムレジスタ 4~7	ADTSET47	0x00B4
タイマトリガ用プログラムレジスタ 8~11	ADTSET811	0x00B8
ソフトウェアトリガ用プログラムレジスタ 0~3	ADSSET03	0x00BC
ソフトウェアトリガ用プログラムレジスタ 4~7	ADSSET47	0x00C0
ソフトウェアトリガ用プログラムレジスタ 8~11	ADSSET811	0x00C4
常時変換用プログラムレジスタ 0~3	ADASET03	0x00C8
常時変換用プログラムレジスタ 4~7	ADASET47	0x00CC
常時変換用プログラムレジスタ 8~11	ADASET811	0x00D0
モード設定レジスタ 3	ADMOD3	0x00D4

注) "Reserved"表記のアドレスにはアクセスしないでください。

15.4 レジスタ詳細

AD 変換は AD コンバータクロック設定レジスタによって選択されたクロックで実行されます。

15.4.1 ADCLK (変換クロック設定レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	TSH				ADCLK		
リセット後	0	1	0	1	1	0	0	0

Bit	Bit Symbol	Type	機能
31-7	-	R	リードすると"0"が読めます。
6-3	TSH[3:0]	R/W	"1001"をライトしてください。
2-0	ADCLK[2:0]	R/W	AD 変換クロック選択 000: fc (注) 001 ~ 111: Reserved

注) AD コンバータの変換時間は、12bit モードの場合は $T = 74 \times (1/SCLK)$ 、10bit モードの場合は $T = 68 \times (1/SCLK)$ です。

15.4.2 ADMOD0 (モード設定レジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	DACON	ADSS
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	-	R	リードすると"0"が読めます。
1	DACON	R/W	ADC 制御 1 0: 停止 1: 動作 AD コンバータを使用する時には必ず<DACON>を"1"にセットしてください。
0	ADSS	W	ソフトウェア変換スタート 0: Don't care 1: 変換開始 ADMOD1 レジスタの<ADEN>を"1"にセットして変換を許可し、<ADSS>を"1"にセットすると AD 変換を開始します。また、PMD(MPT)トリガ、タイマ割り込み入力でも AD 変換を開始します。PMD(MPT)トリガのタイミング設定、タイマ割り込みの設定はそれぞれ PMD(MPT)、タイマの説明をご参照ください。

15.4.3 ADMOD1 (モード設定レジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ADEN	-	-	-	-	-	-	ADAS
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	ADEN	R/W	AD 変換許可/禁止 0: 禁止 1: 許可 <ADEN>のセットで AD を変換許可します。この状態の時に<ADAS>の常時 AD 変換許可のセットで AD 変換を開始します。
6-1	-	R	リードすると"0"が読めます。
0	ADAS	R/W	常時 AD 変換許可 0: 変換禁止 1: 変換許可

15.4.4 ADMOD2 (モード設定レジスタ 2)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	ADSFN	ADBFN
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	-	R	リードすると"0"が読めます。
1	ADSFN	R	ソフトウェア変換フラグ 0: 終了 1: ソフト変換中 <ADSFN>は AD 変換Busy フラグで、ソフトウェア変換が開始されると、"1"にセットされ、変換が終了するとフラグが"0"にクリアされます。
0	ADBFN	R	AD 変換 BUSY フラグ 0: 変換停止 1: 変換中 <ADBFN>は AD 変換Busy フラグで、PMD(MPT)、タイマ、ソフトウェア、常時変換が開始されると、"1"にセットされ、変換が終了するとフラグが"0"にクリアされます。

15.4.5 ADMOD3 (モード設定レジスタ 3)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	BITS		-	RCUT
リセット後	0	0	0	0	0	1	0	1
	7	6	5	4	3	2	1	0
bit symbol	-	-	PMODE			-	-	-
リセット後	0	1	0	1	1	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます。
15-12	-	R/W	"0"をライトしてください。
11-10	BITS[1:0]	R/W	12bit/10bit 分解能モード選択 00: 10bit 01: 12bit 10 ~ 11: Reserved
9	-	R/W	"0"をライトしてください。
8	RCUT	R/W	ADC 動作制御 2 0: 動作 1: 停止 ADC 使用時は"0"を書いてください。ADMOD3<RCUT>を"1"に設定する事で消費電流を削減できます。
7	-	R/W	"0"をライトしてください。
6	-	R/W	"1"をライトしてください。
5-3	PMODE[2:0]	R/W	"100"をライトしてください。
2-0	-	R/W	"0"をライトしてください。

注) ADMOD3<PMODE[2:0]>は必ず"100"に設定してください。その他の bit は初期値の値を変更しないでください。

15.4.6 ADCMP0(監視割り込み設定レジスタ 0)

判定が確定すると割り込み(INTADCP0)を発生します。

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	CMPCNT0			
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	CMP0EN	-	-	ADBIG0	REGS0			
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能												
31-12	-	R	リードすると"0"が読めます。												
11-8	CMPCNT0[3:0]	R/W	判定確定するまでの比較回数を設定 0: 毎回有効 1: 2回以上有効 . . 15: 16回以上有効 AD変換結果とADCMPに設定した値との比較の許可禁止と比較する値の格納されたレジスタを選択します。												
7	CMP0EN	R/W	AD監視機能 0: 禁止 1: 許可 <CMP0EN>="0"(禁止)に設定することにより、それまでの大小判定カウンタ数はクリアされます。												
6-5	-	R	リードすると"0"が読めます。												
4	ADBIG0	R/W	大小判定設定 0: 比較 REG より大 1: 比較 REG より小 比較レジスタよりも比較対象アナログ入力の変換結果が、大きいか、小さいかを設定します。 <REGS0[3:0]> で設定した AD 変換が終了するたびに大小比較判定を行い、判定結果が<ADBIG0> の設定にあてはまればカウンタをプラスします。												
3-0	REGS0[3:0]	R/W	比較する AD 変換結果格納レジスタ <table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td>0000: ADREG0</td> <td>0100: ADREG4</td> <td>1000: ADREG8</td> </tr> <tr> <td>0001: ADREG1</td> <td>0101: ADREG5</td> <td>1001: ADREG9</td> </tr> <tr> <td>0010: ADREG2</td> <td>0110: ADREG6</td> <td>1010: ADREG10</td> </tr> <tr> <td>0011: ADREG3</td> <td>0111: ADREG7</td> <td>1011: ADREG11</td> </tr> </table>	0000: ADREG0	0100: ADREG4	1000: ADREG8	0001: ADREG1	0101: ADREG5	1001: ADREG9	0010: ADREG2	0110: ADREG6	1010: ADREG10	0011: ADREG3	0111: ADREG7	1011: ADREG11
0000: ADREG0	0100: ADREG4	1000: ADREG8													
0001: ADREG1	0101: ADREG5	1001: ADREG9													
0010: ADREG2	0110: ADREG6	1010: ADREG10													
0011: ADREG3	0111: ADREG7	1011: ADREG11													

15.4.7 ADCMP1(監視割り込み設定レジスタ 1)

判定が確定すると割り込み(INTADCP1)を発生します。

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	CMPCNT1			
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	CMP1EN	-	-	ADBIG1	REGS1			
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能												
31-12	-	R	リードすると"0"が読めます。												
11-8	CMPCNT1[3:0]	R/W	判定確定するまでの比較回数を設定 0: 毎回有効 1: 2 回以上有効 . . 15: 16 回以上有効 AD 変換結果と ADCMP に設定した値との比較の許可禁止と比較する値の格納されたレジスタを選択します。												
7	CMP1EN	R/W	AD 監視機能 0: 禁止 1: 許可 <CMP1EN>="0"(禁止)に設定することにより、それまでの大小判定カウント数はクリアされます。												
6-5	-	R	リードすると"0"が読めます。												
4	ADBIG1	R/W	大小判定設定 0: 比較 REG より大 1: 比較 REG より小 比較レジスタよりも比較対象アナログ入力の変換結果が、大きいか、小さいかを設定します。 <REGS1[3:0]> で設定した AD 変換が終了するたびに大小比較判定を行い、判定結果が<ADBIG1> の設定にあてはまればカウンタをプラスします。												
3-0	REGS1[3:0]	R/W	比較する AD 変換結果格納レジスタ <table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td>0000: ADREG0</td> <td>0100: ADREG4</td> <td>1000: ADREG8</td> </tr> <tr> <td>0001: ADREG1</td> <td>0101: ADREG5</td> <td>1001: ADREG9</td> </tr> <tr> <td>0010: ADREG2</td> <td>0110: ADREG6</td> <td>1010: ADREG10</td> </tr> <tr> <td>0011: ADREG3</td> <td>0111: ADREG7</td> <td>1011: ADREG11</td> </tr> </table>	0000: ADREG0	0100: ADREG4	1000: ADREG8	0001: ADREG1	0101: ADREG5	1001: ADREG9	0010: ADREG2	0110: ADREG6	1010: ADREG10	0011: ADREG3	0111: ADREG7	1011: ADREG11
0000: ADREG0	0100: ADREG4	1000: ADREG8													
0001: ADREG1	0101: ADREG5	1001: ADREG9													
0010: ADREG2	0110: ADREG6	1010: ADREG10													
0011: ADREG3	0111: ADREG7	1011: ADREG11													

15.4.8 ADCMP0(変換結果比較レジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	AD0CMP							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	AD0CMP				-	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます。
15-4	AD0CMP[11:0]	R/W	AD 変換結果比較値格納 AD 変換結果と比較する値を設定します。
3-0	-	R	リードすると"0"が読めます。

注) このレジスタへ値を設定する時、または値を変更する時は、AD 監視機能を禁止 (<CMP0EN>="0", <CMP1EN>="0") にした状態で行ってください。

15.4.9 ADCMP1(変換結果比較レジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	AD1CMP							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	AD1CMP				-	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます。
15-4	AD1CMP[11:0]	R/W	AD 変換結果比較値格納 AD 変換結果と比較する値を設定します。
3-0	-	R	リードすると"0"が読めます。

注) このレジスタへ値を設定する時、または値を変更する時は、AD 監視機能を禁止 (<CMP0EN>="0", <CMP1EN>="0") にした状態で行ってください。

15.4.10 ADREG0(変換結果格納レジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ADRO							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ADRO				-	-	OVR0	ADR0RF
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます
15-4	ADRO[11:0]	R	AD 変換結果値格納
3-2	-	R	リードすると"0"が読めます
1	OVR0	R	Over Run フラグ 0: 発生なし 1: 発生あり ADREG0 レジスタを読み出す前に AD 変換結果が上書きされると"1"にセットされます。このフラグは ADREG0 レジスタをリードすると"0"にクリアされます。
0	ADR0RF	R	AD 変換結果格納フラグ 0: 変換結果なし 1: 変換結果あり AD 変換値が格納されると"1"にセットされます。このフラグは ADREG0 レジスタをリードすると"0"にクリアされます。

15.4.11 ADREG1(変換結果格納レジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ADR1							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ADR1				-	-	OVR1	ADR1RF
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます
15-4	ADR1[11:0]	R	AD 変換結果値格納
3-2	-	R	リードすると"0"が読めます
1	OVR1	R	Over Run フラグ 0: 発生なし 1: 発生あり ADREG1 レジスタを読み出す前に AD 変換結果が上書きされると"1"にセットされます。このフラグは ADREG1 レジスタをリードすると"0"にクリアされます。
0	ADR1RF	R	AD 変換結果格納フラグ 0: 変換結果なし 1: 変換結果あり AD 変換値が格納されると"1"にセットされます。このフラグは ADREG1 レジスタをリードすると"0"にクリアされます。

15.4.12 ADREG2(変換結果格納レジスタ 2)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ADR2							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ADR2				-	-	OVR2	ADR2RF
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます
15-4	ADR2[11:0]	R	AD 変換結果値格納
3-2	-	R	リードすると"0"が読めます
1	OVR2	R	Over Run フラグ 0: 発生なし 1: 発生あり ADREG2 レジスタを読み出す前に AD 変換結果が上書きされると"1"にセットされます。このフラグは ADREG2 レジスタをリードすると"0"にクリアされます。
0	ADR2RF	R	AD 変換結果格納フラグ 0: 変換結果なし 1: 変換結果あり AD 変換値が格納されると"1"にセットされます。このフラグは ADREG2 レジスタをリードすると"0"にクリアされます。

15.4.13 ADREG3(変換結果格納レジスタ 3)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ADR3							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ADR3				-	-	OVR3	ADR3RF
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます
15-4	ADR3[11:0]	R	AD 変換結果値格納
3-2	-	R	リードすると"0"が読めます
1	OVR3	R	Over Run フラグ 0 : 発生なし 1 : 発生あり ADREG3 レジスタを読み出す前に AD 変換結果が上書きされると"1"にセットされます。このフラグは ADREG3 レジスタをリードすると"0"にクリアされます。
0	ADR3RF	R	AD 変換結果格納フラグ 0 : 変換結果なし 1 : 変換結果あり AD 変換値が格納されると"1"にセットされます。このフラグは ADREG3 レジスタをリードすると"0"にクリアされます。

15.4.14 ADREG4(変換結果格納レジスタ 4)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ADR4							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ADR4				-	-	OVR4	ADR4RF
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます
15-4	ADR4[11:0]	R	AD 変換結果値格納
3-2	-	R	リードすると"0"が読めます
1	OVR4	R	Over Run フラグ 0: 発生なし 1: 発生あり ADREG4 レジスタを読み出す前に AD 変換結果が上書きされると"1"にセットされます。このフラグは ADREG4 レジスタをリードすると"0"にクリアされます。
0	ADR4RF	R	AD 変換結果格納フラグ 0: 変換結果なし 1: 変換結果あり AD 変換値が格納されると"1"にセットされます。このフラグは ADREG4 レジスタをリードすると"0"にクリアされます。

15.4.15 ADREG5(変換結果格納レジスタ 5)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ADR5							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ADR5				-	-	OVR5	ADR5RF
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます
15-4	ADR5[11:0]	R	AD 変換結果値格納
3-2	-	R	リードすると"0"が読めます
1	OVR5	R	Over Run フラグ 0: 発生なし 1: 発生あり ADREG5 レジスタを読み出す前に AD 変換結果が上書きされると"1"にセットされます。このフラグは ADREG5 レジスタをリードすると"0"にクリアされます。
0	ADR5RF	R	AD 変換結果格納フラグ 0: 変換結果なし 1: 変換結果あり AD 変換値が格納されると"1"にセットされます。このフラグは ADREG5 レジスタをリードすると"0"にクリアされます。

15.4.16 ADREG6(変換結果格納レジスタ 6)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ADR6							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ADR6				-	-	OVR6	ADR6RF
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます
15-4	ADR6[11:0]	R	AD 変換結果値格納
3-2	-	R	リードすると"0"が読めます
1	OVR6	R	Over Run フラグ 0: 発生なし 1: 発生あり ADREG6 レジスタを読み出す前に AD 変換結果が上書きされると"1"にセットされます。このフラグは ADREG6 レジスタをリードすると"0"にクリアされます。
0	ADR6RF	R	AD 変換結果格納フラグ 0: 変換結果なし 1: 変換結果あり AD 変換値が格納されると"1"にセットされます。このフラグは ADREG6 レジスタをリードすると"0"にクリアされます。

15.4.17 ADREG7(変換結果格納レジスタ 7)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ADR7							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ADR7				-	-	OVR7	ADR7RF
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます
15-4	ADR7[11:0]	R	AD 変換結果値格納
3-2	-	R	リードすると"0"が読めます
1	OVR7	R	Over Run フラグ 0: 発生なし 1: 発生あり ADREG7 レジスタを読み出す前に AD 変換結果が上書きされると"1"にセットされます。このフラグは ADREG7 レジスタをリードすると"0"にクリアされます。
0	ADR7RF	R	AD 変換結果格納フラグ 0: 変換結果なし 1: 変換結果あり AD 変換値が格納されると"1"にセットされます。このフラグは ADREG7 レジスタをリードすると"0"にクリアされます。

15.4.18 ADREG8(変換結果格納レジスタ 8)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ADR8							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ADR8				-	-	OVR8	ADR8RF
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます
15-4	ADR8[11:0]	R	AD 変換結果値格納
3-2	-	R	リードすると"0"が読めます
1	OVR8	R	Over Run フラグ 0: 発生なし 1: 発生あり ADREG8 レジスタを読み出す前に AD 変換結果が上書きされると"1"にセットされます。このフラグは ADREG8 レジスタをリードすると"0"にクリアされます。
0	ADR8RF	R	AD 変換結果格納フラグ 0: 変換結果なし 1: 変換結果あり AD 変換値が格納されると"1"にセットされます。このフラグは ADREG8 レジスタをリードすると"0"にクリアされます。

15.4.19 ADREG9(変換結果格納レジスタ 9)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ADR9							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ADR9				-	-	OVR9	ADR9RF
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます
15-4	ADR9[11:0]	R	AD 変換結果値格納
3-2	-	R	リードすると"0"が読めます
1	OVR9	R	Over Run フラグ 0: 発生なし 1: 発生あり ADREG9 レジスタを読み出す前に AD 変換結果が上書きされると"1"にセットされます。このフラグは ADREG9 レジスタをリードすると"0"にクリアされます。
0	ADR9RF	R	AD 変換結果格納フラグ 0: 変換結果なし 1: 変換結果あり AD 変換値が格納されると"1"にセットされます。このフラグは ADREG9 レジスタをリードすると"0"にクリアされます。

15.4.20 ADREG10(変換結果格納レジスタ 10)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ADR10							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ADR10				-	-	OVR10	ADR10RF
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます
15-4	ADR10[11:0]	R	AD 変換結果値格納
3-2	-	R	リードすると"0"が読めます
1	OVR10	R	Over Run フラグ 0: 発生なし 1: 発生あり ADREG10 レジスタを読み出す前に AD 変換結果が上書きされると"1"にセットされます。このフラグは ADREG10 レジスタをリードすると"0"にクリアされます。
0	ADR10RF	R	AD 変換結果格納フラグ 0: 変換結果なし 1: 変換結果あり AD 変換値が格納されると"1"にセットされます。このフラグは ADREG10 レジスタをリードすると"0"にクリアされます。

15.4.21 ADREG11(変換結果格納レジスタ 11)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ADR11							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ADR11				-	-	OVR11	ADR11RF
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます
15-4	ADR11[11:0]	R	AD 変換結果値格納
3-2	-	R	リードすると"0"が読めます
1	OVR11	R	Over Run フラグ 0: 発生なし 1: 発生あり ADREG11 レジスタを読み出す前に AD 変換結果が上書きされると"1"にセットされます。このフラグは ADREG11 レジスタをリードすると"0"にクリアされます。
0	ADR11RF	R	AD 変換結果格納フラグ 0: 変換結果なし 1: 変換結果あり AD 変換値が格納されると"1"にセットされます。このフラグは ADREG11 レジスタをリードすると"0"にクリアされます。

15.4.22 PMD トリガ用プログラムレジスタ

本 AD コンバータは PMD 回路(MPT 回路の PMD モード)が発生するトリガ信号によって AD 変換を開始する事ができます。

PMD トリガ用プログラムレジスタは PMD が発生する 4 種類のトリガによって起動するプログラム番号の設定、プログラム終了時に発生する割り込みの制御、AD 変換の AIN の設定などを行います。

PMD トリガ用プログラムレジスタは 3 種類のレジスタから構成されます。

- PMD トリガ用プログラム番号選択レジスタ(ADPSEL0 ~ ADPSEL3)

PMD からの 4 本のトリガ信号(PMD0TRG0 ~ 1, PMD1TRG0 ~ 1)に対して、それぞれ起動するプログラム番号(0 ~ 5)を選択するレジスタです。

ADxPSEL0 ~ ADxPSEL1 が PMD0TRG0 ~ 1, ADPSEL2 ~ ADPSEL3 が PMD1TRG0 ~ 1 に対応しています。
- PMD トリガ用割り込み選択レジスタ(ADPINTS0 ~ ADPINTS5)

それぞれのプログラム番号ごとにプログラム終了時に発生させる割り込みの有無や種類(INTADPD0, INTADPD1)を選択するレジスタです。

ADPINTS0 がプログラム 0 に対応しており、ADPINTS5(プログラム 5)まであります。
- PMD トリガ用プログラム選択レジスタ(ADPSET0 ~ ADPSET5)

プログラム番号(0 ~ 5)に対して、AD 変換する AIN 番号を設定します。プログラム番号 1 つに対して PMD トリガ用プログラム選択レジスタは 4 組あり、変換結果は、それぞれ変換結果格納レジスタ 0 ~ 3(ADREG0 ~ 3)に格納されます。

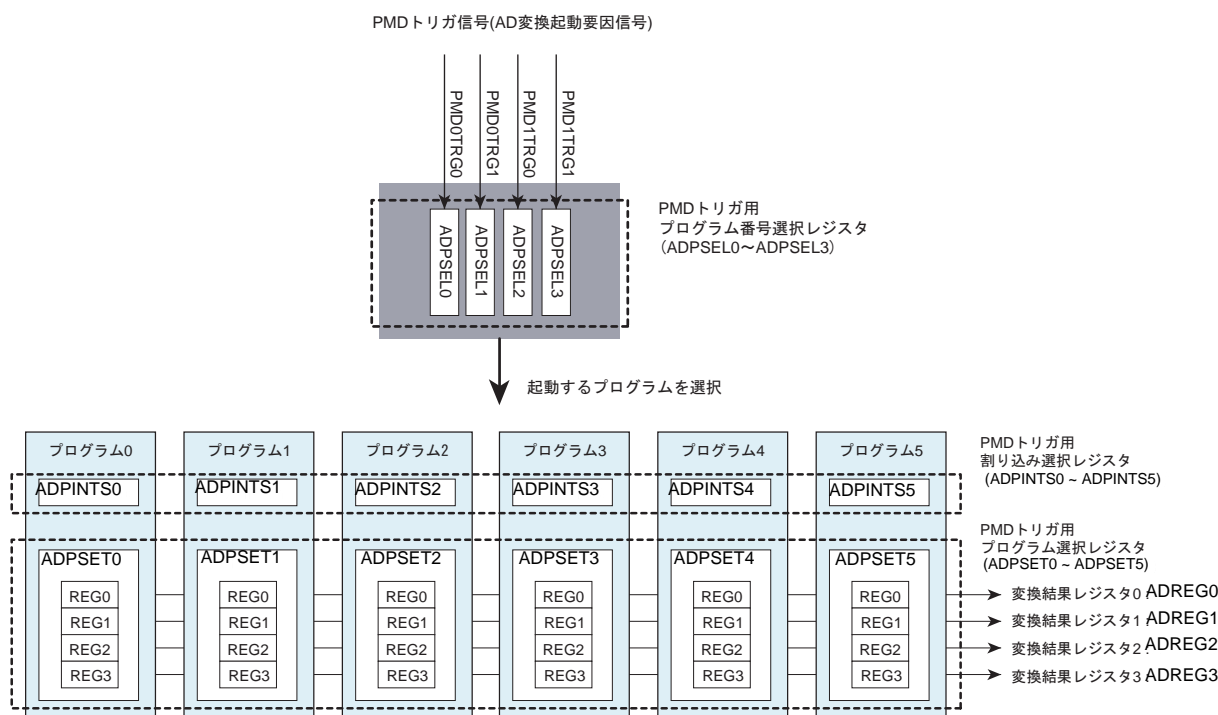


図 15-2 PMD トリガ用プログラムレジスタ

15.4.22.1 ADPSEL0 ~ ADPSEL3(PMD トリガ用プログラム番号選択レジスタ 0 ~ 3)

ADPSEL0 : PMD トリガ用プログラム番号選択レジスタ 0

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PENS0	-	-	-	-	PMDS0		
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	PENS0	R/W	PMD0TRG0 トリガ制御 0:ディセーブル 1:イネーブル
6-3	-	R	リードすると"0"が読めます。
2-0	PMDS0[2:0]	R/W	プログラム番号選択(表 15-1 参照)

ADPSEL1 : PMD トリガ用プログラム番号選択レジスタ 1

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PENS1	-	-	-	-	PMDS1		
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	PENS1	R/W	PMD0TRG1 トリガ制御 0:ディセーブル 1:イネーブル
6-3	-	R	リードすると"0"が読めます。
2-0	PMDS1[2:0]	R/W	プログラム番号選択(表 15-1 参照)

ADPSEL2 : PMD トリガ用プログラム番号選択レジスタ 2

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PENS2	-	-	-	-	PMDS2		
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	PENS2	R/W	PMD1TRG0 トリガ制御 0:ディセーブル 1:イネーブル
6-3	-	R	リードすると"0"が読めます。
2-0	PMDS2[2:0]	R/W	プログラム番号選択(表 15-1 参照)

ADPSEL3 : PMD トリガ用プログラム番号選択レジスタ 3

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PENS3	-	-	-	-	PMDS3		
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	PENS3	R/W	PMD1TRG1 トリガ制御 0:ディセーブル 1:イネーブル
6-3	-	R	リードすると"0"が読めます。
2-0	PMDS3[2:0]	R/W	プログラム番号選択(表 15-1 参照)

表 15-1 プログラム番号選択

<PMDS0[2:0]>~ <PMDS3[2:0]>	
000	プログラム 0
001	プログラム 1
010	プログラム 2
011	プログラム 3
100	プログラム 4
101	プログラム 5
110	reserved
111	reserved

15.4.22.2 ADPINTS0 ~ 5(PMD トリガ用割り込み選択レジスタ 0 ~ 5)

ADPINTS0 : PMD トリガ用割り込み選択レジスタ 0

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	INTSELO	
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	-	R	リードすると"0"が読めます。
1-0	INTSELO[1:0]	R/W	割り込み選択 00:割り込み出力なし 01:INTADPD0 10:INTADPD1 11: 割り込み出力なし プログラム 0 に対して、起動する割り込みを選択します。

ADPINTS1 : PMD トリガ用割り込み選択レジスタ 1

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	INTSEL1	
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	-	R	リードすると"0"が読めます。
1-0	INTSEL1[1:0]	R/W	割り込み選択 00:割り込み出力なし 01:INTADPD0 10:INTADPD1 11: 割り込み出力なし プログラム 1 に対して、起動する割り込みを選択します。

ADPINTS2 : PMD トリガ用割り込み選択レジスタ 2

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	INTSEL2	
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	-	R	リードすると"0"が読めます。
1-0	INTSEL2[1:0]	R/W	割り込み選択 00:割り込み出力なし 01:INTADPD0 10:INTADPD1 11: 割り込み出力なし プログラム 2 に対して、起動する割り込みを選択します。

ADPINTS3 : PMD トリガ用割り込み選択レジスタ 3

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	INTSEL3	
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	-	R	リードすると"0"が読めます。
1-0	INTSEL3[1:0]	R/W	割り込み選択 00:割り込み出力なし 01:INTADPD0 10:INTADPD1 11: 割り込み出力なし プログラム 3 に対して、起動する割り込みを選択します。

ADPINTS4 : PMD トリガ用割り込み選択レジスタ 4

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	INTSEL4	
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	-	R	リードすると"0"が読めます。
1-0	INTSEL4[1:0]	R/W	割り込み選択 00:割り込み出力なし 01:INTADPD0 10:INTADPD1 11: 割り込み出力なし プログラム 4 に対して、起動する割り込みを選択します。

ADPINTS5 : PMD トリガ用割り込み選択レジスタ 5

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	INTSEL5	
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	-	R	リードすると"0"が読めます。
1-0	INTSEL5[1:0]	R/W	割り込み選択 00:割り込み出力なし 01:INTADPD0 10:INTADPD1 11: 割り込み出力なし プログラム 5 に対して、起動する割り込みを選択します。

15.4.22.3 ADPSET0 ~ 5(PMD トリガ用プログラム選択レジスタ 0 ~ 5)

各 ADPSET_n (n=0 ~ 5 : プログラム番号) は、AD 変換入力端子の選択をする<AINSP_{nm} [4:0]>と<ENSP_{nm}>を 1 組とした 4 つのセットで構成されます。(m=0 ~ 3)

ADREG _m	m=0	m=1	m=2	m=3
ADPSET _n				
n=0	<ENSP00> <AINSP00>	<ENSP01> <AINSP01>	<ENSP02> <AINSP02>	<ENSP03> <AINSP03>
n=1	<ENSP10> <AINSP10>	<ENSP11> <AINSP11>	<ENSP12> <AINSP12>	<ENSP13> <AINSP13>
n=2	<ENSP20> <AINSP20>	<ENSP21> <AINSP21>	<ENSP22> <AINSP22>	<ENSP23> <AINSP23>
n=3	<ENSP30> <AINSP30>	<ENSP31> <AINSP31>	<ENSP32> <AINSP32>	<ENSP33> <AINSP33>
n=4	<ENSP40> <AINSP40>	<ENSP41> <AINSP41>	<ENSP42> <AINSP42>	<ENSP43> <AINSP43>
n=5	<ENSP50> <AINSP50>	<ENSP51> <AINSP51>	<ENSP52> <AINSP52>	<ENSP53> <AINSP53>

表 15-2 AD 変換入力端子の選択

<AINSP00 [4:0]> ~ <AINSP53 [4:0]>	AD Ch
0_0000	:AIN0
0_0001	:AIN1
0_0010	:AIN2
0_0011	:AIN3
0_0100	:AIN4
0_0101	:AIN5
0_0110	:AIN6
0_0111	:AIN7
0_1000	:AIN8
0_1001	:AIN9
0_1010	:AIN10
0_1011	:AIN11
0_1100	:AIN12
0_1101	:AIN13
0_1110	:AIN14
0_1111	:AIN15
1_0000	:AIN16
1_0001	:AIN17
1_0010 ~ 1_1111	:reserved

ADPSET0 : PMD トリガ用プログラム選択レジスタ 0

	31	30	29	28	27	26	25	24
bit symbol	ENSP03	-	-	AINSP03				
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	ENSP02	-	-	AINSP02				
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ENSP01	-	-	AINSP01				
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ENSP00	-	-	AINSP00				
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31	ENSP03	R/W	ADREG3 イネーブル 0:禁止 1:許可
30-29	-	R/W	"0"をライトしてください。
28-24	AINSP03[4:0]	R/W	AIN 選択 「表 15-2 AD 変換入力端子の選択」を参照
23	ENSP02	R/W	ADREG2 イネーブル 0:禁止 1:許可
22-21	-	R/W	"0"をライトしてください。
20-16	AINSP02[4:0]	R/W	AIN 選択 「表 15-2 AD 変換入力端子の選択」を参照
15	ENSP01	R/W	ADREG1 イネーブル 0:禁止 1:許可
14-13	-	R/W	"0"をライトしてください。
12-8	AINSP01[4:0]	R/W	AIN 選択 「表 15-2 AD 変換入力端子の選択」を参照
7	ENSP00	R/W	ADREG0 イネーブル 0:禁止 1:許可
6-5	-	R/W	"0"をライトしてください。
4-0	AINSP00[4:0]	R/W	AIN 選択 「表 15-2 AD 変換入力端子の選択」を参照

ADPSET1 : PMD トリガ用プログラム選択レジスタ 1

	31	30	29	28	27	26	25	24
bit symbol	ENSP13	-	-	AINSP13				
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	ENSP12	-	-	AINSP12				
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ENSP11	-	-	AINSP11				
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ENSP10	-	-	AINSP10				
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31	ENSP13	R/W	ADREG3 イネーブル 0:禁止 1:許可
30-29	-	R/W	"0"をライトしてください。
28-24	AINSP13[4:0]	R/W	AIN 選択 「表 15-2 AD 変換入力端子の選択」を参照
23	ENSP12	R/W	ADREG2 イネーブル 0:禁止 1:許可
22-21	-	R/W	"0"をライトしてください。
20-16	AINSP12[4:0]	R/W	AIN 選択 「表 15-2 AD 変換入力端子の選択」を参照
15	ENSP11	R/W	ADREG1 イネーブル 0:禁止 1:許可
14-13	-	R/W	"0"をライトしてください。
12-8	AINSP11[4:0]	R/W	AIN 選択 「表 15-2 AD 変換入力端子の選択」を参照
7	ENSP10	R/W	ADREG0 イネーブル 0:禁止 1:許可
6-5	-	R/W	"0"をライトしてください。
4-0	AINSP10[4:0]	R/W	AIN 選択 「表 15-2 AD 変換入力端子の選択」を参照

ADPSET2 : PMD トリガ用プログラム選択レジスタ 2

	31	30	29	28	27	26	25	24
bit symbol	ENSP23	-	-	AINSP23				
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	ENSP22	-	-	AINSP22				
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ENSP21	-	-	AINSP21				
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ENSP20	-	-	AINSP20				
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31	ENSP23	R/W	ADREG3 イネーブル 0:禁止 1:許可
30-29	-	R/W	"0"をライトしてください。
28-24	AINSP23[4:0]	R/W	AIN 選択 「表 15-2 AD 変換入力端子の選択」を参照
23	ENSP22	R/W	ADREG2 イネーブル 0:禁止 1:許可
22-21	-	R/W	"0"をライトしてください。
20-16	AINSP22[4:0]	R/W	AIN 選択 「表 15-2 AD 変換入力端子の選択」を参照
15	ENSP21	R/W	ADREG1 イネーブル 0:禁止 1:許可
14-13	-	R/W	"0"をライトしてください。
12-8	AINSP21[4:0]	R/W	AIN 選択 「表 15-2 AD 変換入力端子の選択」を参照
7	ENSP20	R/W	ADREG0 イネーブル 0:禁止 1:許可
6-5	-	R/W	"0"をライトしてください。
4-0	AINSP20[4:0]	R/W	AIN 選択 「表 15-2 AD 変換入力端子の選択」を参照

ADPSET3 : PMD トリガ用プログラム選択レジスタ 3

	31	30	29	28	27	26	25	24
bit symbol	ENSP33	-	-	AINSP33				
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	ENSP32	-	-	AINSP32				
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ENSP31	-	-	AINSP31				
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ENSP30	-	-	AINSP30				
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31	ENSP33	R/W	ADREG3 イネーブル 0:禁止 1:許可
30-29	-	R/W	"0"をライトしてください。
28-24	AINSP33[4:0]	R/W	AIN 選択 「表 15-2 AD 変換入力端子の選択」を参照
23	ENSP32	R/W	ADREG2 イネーブル 0:禁止 1:許可
22-21	-	R/W	"0"をライトしてください。
20-16	AINSP32[4:0]	R/W	AIN 選択 「表 15-2 AD 変換入力端子の選択」を参照
15	ENSP31	R/W	ADREG1 イネーブル 0:禁止 1:許可
14-13	-	R/W	"0"をライトしてください。
12-8	AINSP31[4:0]	R/W	AIN 選択 「表 15-2 AD 変換入力端子の選択」を参照
7	ENSP30	R/W	ADREG0 イネーブル 0:禁止 1:許可
6-5	-	R/W	"0"をライトしてください。
4-0	AINSP30[4:0]	R/W	AIN 選択 「表 15-2 AD 変換入力端子の選択」を参照

ADPSET4 : PMD トリガ用プログラム選択レジスタ 4

	31	30	29	28	27	26	25	24
bit symbol	ENSP43	-	-	AINSP43				
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	ENSP42	-	-	AINSP42				
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ENSP41	-	-	AINSP41				
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ENSP40	-	-	AINSP40				
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31	ENSP43	R/W	ADREG3 イネーブル 0:禁止 1:許可
30-29	-	R/W	"0"をライトしてください。
28-24	AINSP43[4:0]	R/W	AIN 選択 「表 15-2 AD 変換入力端子の選択」を参照
23	ENSP42	R/W	ADREG2 イネーブル 0:禁止 1:許可
22-21	-	R/W	"0"をライトしてください。
20-16	AINSP42[4:0]	R/W	AIN 選択 「表 15-2 AD 変換入力端子の選択」を参照
15	ENSP41	R/W	ADREG1 イネーブル 0:禁止 1:許可
14-13	-	R/W	"0"をライトしてください。
12-8	AINSP41[4:0]	R/W	AIN 選択 「表 15-2 AD 変換入力端子の選択」を参照
7	ENSP40	R/W	ADREG0 イネーブル 0:禁止 1:許可
6-5	-	R/W	"0"をライトしてください。
4-0	AINSP40[4:0]	R/W	AIN 選択 「表 15-2 AD 変換入力端子の選択」を参照

ADPSET5 : PMD トリガ用プログラム選択レジスタ 5

	31	30	29	28	27	26	25	24
bit symbol	ENSP53	-	-	AINSP53				
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	ENSP52	-	-	AINSP52				
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ENSP51	-	-	AINSP51				
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ENSP50	-	-	AINSP50				
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31	ENSP53	R/W	ADREG3 イネーブル 0:禁止 1:許可
30-29	-	R/W	"0"をライトしてください。
28-24	AINSP53[4:0]	R/W	AIN 選択 「表 15-2 AD 変換入力端子の選択」を参照
23	ENSP52	R/W	ADREG2 イネーブル 0:禁止 1:許可
22-21	-	R/W	"0"をライトしてください。
20-16	AINSP52[4:0]	R/W	AIN 選択 「表 15-2 AD 変換入力端子の選択」を参照
15	ENSP51	R/W	ADREG1 イネーブル 0:禁止 1:許可
14-13	-	R/W	"0"をライトしてください。
12-8	AINSP51[4:0]	R/W	AIN 選択 「表 15-2 AD 変換入力端子の選択」を参照
7	ENSP50	R/W	ADREG0 イネーブル 0:禁止 1:許可
6-5	-	R/W	"0"をライトしてください。
4-0	AINSP50[4:0]	R/W	AIN 選択 「表 15-2 AD 変換入力端子の選択」を参照

15.4.23 ADTSET03 / ADTSET47 / ADTSET811(タイマトリガ用プログラムレジスタ)

本 AD コンバータはタイマ 5(TMRB5)の INTTB51 が発生するトリガ信号によって AD 変換を開始する事ができます。タイマトリガ用プログラムレジスタは 12 個の設定レジスタから構成されます。<ENSTm>を 1 にセットすると ADTSETm をイネーブルにします。<AINSTm [4:0]>は AIN を選択します。設定レジスタの番号は変換結果レジスタ番号(m=0 ~ 11)にそれぞれ対応しています。ADTSET0 は変換結果レジスタ 0 に対応し、ADTSET11(変換値レジスタ 11)まで全部で 12 個あります。タイマトリガによる AD 変換が終了すると割り込み(INTADTMR)が発生します。

表 15-3 AD 変換入力端子の選択

<AINST0 [4:0]> ~ <AINST11 [4:0]>	AD Ch
0_0000	:AIN0
0_0001	:AIN1
0_0010	:AIN2
0_0011	:AIN3
0_0100	:AIN4
0_0101	:AIN5
0_0110	:AIN6
0_0111	:AIN7
0_1000	:AIN8
0_1001	:AIN9
0_1010	:AIN10
0_1011	:AIN11
0_1100	:AIN12
0_1101	:AIN13
0_1110	:AIN14
0_1111	:AIN15
1_0000	:AIN16
1_0001	:AIN17
1_0010 ~ 1_1111	:reserved

ADTSET03 : タイマトリガ用プログラムレジスタ 03

	31	30	29	28	27	26	25	24
bit symbol	ENST3	-	-	AINST3				
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	ENST2	-	-	AINST2				
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ENST1	-	-	AINST1				
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ENST0	-	-	AINST0				
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31	ENST3	R/W	ADREG3 イネーブル 0:disable 1:enable
30-29	-	R	リードすると"0"が読めます。
28-24	AINST3[4:0]	R/W	AIN 選択 「表 15-3 AD 変換入力端子の選択」を参照
23	ENST2	R/W	ADREG2 イネーブル 0:disable 1:enable
22-21	-	R	リードすると"0"が読めます。
20-16	AINST2[4:0]	R/W	AIN 選択 「表 15-3 AD 変換入力端子の選択」を参照
15	ENST1	R/W	ADREG1 イネーブル 0:disable 1:enable
14-13	-	R	リードすると"0"が読めます。
12-8	AINST1[4:0]	R/W	AIN 選択 「表 15-3 AD 変換入力端子の選択」を参照
7	ENST0	R/W	ADREG0 イネーブル 0:disable 1:enable
6-5	-	R	リードすると"0"が読めます。
4-0	AINST0[4:0]	R/W	AIN 選択 「表 15-3 AD 変換入力端子の選択」を参照

ADTSET47 : タイマトリガ用プログラムレジスタ 47

	31	30	29	28	27	26	25	24
bit symbol	ENST7	-	-	AINST7				
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	ENST6	-	-	AINST6				
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ENST5	-	-	AINST5				
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ENST4	-	-	AINST4				
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31	ENST7	R/W	ADREG7 イネーブル 0:disable 1:enable
30-29	-	R	リードすると"0"が読めます。
28-24	AINST7[4:0]	R/W	AIN 選択 「表 15-3 AD 変換入力端子の選択」を参照
23	ENST6	R/W	ADREG6 イネーブル 0:disable 1:enable
22-21	-	R	リードすると"0"が読めます。
20-16	AINST6[4:0]	R/W	AIN 選択 「表 15-3 AD 変換入力端子の選択」を参照
15	ENST5	R/W	ADREG5 イネーブル 0:disable 1:enable
14-13	-	R	リードすると"0"が読めます。
12-8	AINST5[4:0]	R/W	AIN 選択 「表 15-3 AD 変換入力端子の選択」を参照
7	ENST4	R/W	ADREG4 イネーブル 0:disable 1:enable
6-5	-	R	リードすると"0"が読めます。
4-0	AINST4[4:0]	R/W	AIN 選択 「表 15-3 AD 変換入力端子の選択」を参照

ADTSET811 : タイマトリガ用プログラムレジスタ 811

	31	30	29	28	27	26	25	24
bit symbol	ENST11	-	-	AINST11				
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	ENST10	-	-	AINST10				
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ENST9	-	-	AINST9				
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ENST8	-	-	AINST8				
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31	ENST11	R/W	ADREG11 イネーブル 0:disable 1:enable
30-29	-	R	リードすると"0"が読めます。
28-24	AINST11[4:0]	R/W	AIN 選択 「表 15-3 AD 変換入力端子の選択」を参照
23	ENST10	R/W	ADREG10 イネーブル 0:disable 1:enable
22-21	-	R	リードすると"0"が読めます。
20-16	AINST10[4:0]	R/W	AIN 選択 「表 15-3 AD 変換入力端子の選択」を参照
15	ENST9	R/W	ADREG9 イネーブル 0:disable 1:enable
14-13	-	R	リードすると"0"が読めます。
12-8	AINST9[4:0]	R/W	AIN 選択 「表 15-3 AD 変換入力端子の選択」を参照
7	ENST8	R/W	ADREG8 イネーブル 0:disable 1:enable
6-5	-	R	リードすると"0"が読めます。
4-0	AINST8[4:0]	R/W	AIN 選択 「表 15-3 AD 変換入力端子の選択」を参照

15.4.24 ADSSET03 / ADSSET47 / ADSSET811(ソフトウェアトリガ用プログラムレジスタ)

本 AD コンバータはソフトウェアによって AD 変換を開始する事ができます。ソフトウェアトリガ用のプログラムレジスタは 12 個の設定レジスタから構成されます。<ENSSm>を 1 にセットすると ADSSETm をイネーブルにします。<AINSSm [4:0]>は AIN を選択します。プログラム設定レジスタの番号(m=0 ~ 11)は変換結果レジスタ番号にそれぞれ対応しており、レジスタは全部で 12 個あります。ソフトウェアトリガによる AD 変換が終了すると割り込み(INTADSFT)が発生します。

表 15-4 AD 変換入力端子の選択

<AINSS0 [4:0]> ~ <AINSS11 [4:0]>	AD Ch
0_0000	:AIN0
0_0001	:AIN1
0_0010	:AIN2
0_0011	:AIN3
0_0100	:AIN4
0_0101	:AIN5
0_0110	:AIN6
0_0111	:AIN7
0_1000	:AIN8
0_1001	:AIN9
0_1010	:AIN10
0_1011	:AIN11
0_1100	:AIN12
0_1101	:AIN13
0_1110	:AIN14
0_1111	:AIN15
1_0000	:AIN16
1_0001	:AIN17
1_0010 ~ 1_1111	:reserved

ADSSET03 : ソフトウェアトリガ用プログラムレジスタ 03

	31	30	29	28	27	26	25	24
bit symbol	ENSS3	-	-	AINSS3				
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	ENSS2	-	-	AINSS2				
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ENSS1	-	-	AINSS1				
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ENSS0	-	-	AINSS0				
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31	ENSS3	R/W	ADREG3 イネーブル 0:disable 1:enable
30-29	-	R	リードすると"0"が読めます。
28-24	AINSS3[4:0]	R/W	AIN 選択 「表 15-4 AD 変換入力端子の選択」を参照
23	ENSS2	R/W	ADREG2 イネーブル 0:disable 1:enable
22-21	-	R	リードすると"0"が読めます。
20-16	AINSS2[4:0]	R/W	AIN 選択 「表 15-4 AD 変換入力端子の選択」を参照
15	ENSS1	R/W	ADREG1 イネーブル 0:disable 1:enable
14-13	-	R	リードすると"0"が読めます。
12-8	AINSS1[4:0]	R/W	AIN 選択 「表 15-4 AD 変換入力端子の選択」を参照
7	ENSS0	R/W	ADREG0 イネーブル 0:disable 1:enable
6-5	-	R	リードすると"0"が読めます。
4-0	AINSS0[4:0]	R/W	AIN 選択 「表 15-4 AD 変換入力端子の選択」を参照

ADSSET47 : ソフトウェアトリガ用プログラムレジスタ 47

	31	30	29	28	27	26	25	24
bit symbol	ENSS7	-	-	AINSS7				
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	ENSS6	-	-	AINSS6				
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ENSS5	-	-	AINSS5				
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ENSS4	-	-	AINSS4				
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31	ENSS7	R/W	ADREG7 イネーブル 0:disable 1:enable
30-29	-	R	リードすると"0"が読めます。
28-24	AINSS7[4:0]	R/W	AIN 選択 「表 15-4 AD 変換入力端子の選択」を参照
23	ENSS6	R/W	ADREG6 イネーブル 0:disable 1:enable
22-21	-	R	リードすると"0"が読めます。
20-16	AINSS6[4:0]	R/W	AIN 選択 「表 15-4 AD 変換入力端子の選択」を参照
15	ENSS5	R/W	ADREG5 イネーブル 0:disable 1:enable
14-13	-	R	リードすると"0"が読めます。
12-8	AINSS5[4:0]	R/W	AIN 選択 「表 15-4 AD 変換入力端子の選択」を参照
7	ENSS4	R/W	ADREG4 イネーブル 0:disable 1:enable
6-5	-	R	リードすると"0"が読めます。
4-0	AINSS4[4:0]	R/W	AIN 選択 「表 15-4 AD 変換入力端子の選択」を参照

ADSSET811 : ソフトウェアトリガ用プログラムレジスタ 811

	31	30	29	28	27	26	25	24
bit symbol	ENSS11	-	-	AINSS11				
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	ENSS10	-	-	AINSS10				
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ENSS9	-	-	AINSS9				
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ENSS8	-	-	AINSS8				
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31	ENSS11	R/W	ADREG11 イネーブル 0:disable 1:enable
30-29	-	R	リードすると"0"が読めます。
28-24	AINSS11[4:0]	R/W	AIN 選択 「表 15-4 AD 変換入力端子の選択」を参照
23	ENSS10	R/W	ADREG10 イネーブル 0:disable 1:enable
22-21	-	R	リードすると"0"が読めます。
20-16	AINSS10[4:0]	R/W	AIN 選択 「表 15-4 AD 変換入力端子の選択」を参照
15	ENSS9	R/W	ADREG9 イネーブル 0:disable 1:enable
14-13	-	R	リードすると"0"が読めます。
12-8	AINSS9[4:0]	R/W	AIN 選択 「表 15-4 AD 変換入力端子の選択」を参照
7	ENSS8	R/W	ADREG8 イネーブル 0:disable 1:enable
6-5	-	R	リードすると"0"が読めます。
4-0	AINSS8[4:0]	R/W	AIN 選択 「表 15-4 AD 変換入力端子の選択」を参照

15.4.25 ADASET03 / ADASET47 / ADASET811(常時変換用プログラムレジスタ)

本 AD コンバータは常時変換状態に設定する事が出来ます。常時変換用のプログラムレジスタは 12 個の設定レジスタから構成されます。設定レジスタの番号は変換結果レジスタ番号(m=0~11)にそれぞれ対応しています。常時変換用プログラムレジスタの<ENSA_m>を 1 にセットすると ADPSET_m をイネーブルにします。<AINSA_m [4:0]>は AIN を選択します。レジスタは全部で 12 個あります。

表 15-5 AD 変換入力端子の選択

<AINSA0 [4:0]> ~ <AINSA11 [4:0]>	AD Ch
0_0000	:AIN0
0_0001	:AIN1
0_0010	:AIN2
0_0011	:AIN3
0_0100	:AIN4
0_0101	:AIN5
0_0110	:AIN6
0_0111	:AIN7
0_1000	:AIN8
0_1001	:AIN9
0_1010	:AIN10
0_1011	:AIN11
0_1100	:AIN12
0_1101	:AIN13
0_1110	:AIN14
0_1111	:AIN15
1_0000	:AIN16
1_0001	:AIN17
1_0010 ~ 1_1111	:reserved

ADASET03 : 常時トリガ用プログラムレジスタ 03

	31	30	29	28	27	26	25	24
bit symbol	ENSA3	-	-	AINSA3				
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	ENSA2	-	-	AINSA2				
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ENSA1	-	-	AINSA1				
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ENSA0	-	-	AINSA0				
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31	ENSA3	R/W	ADREG3 イネーブル 0:disable 1:enable
30-29	-	R	リードすると"0"が読めます。
28-24	AINSA3[4:0]	R/W	AIN 選択 「表 15-5 AD 変換入力端子の選択」を参照
23	ENSA2	R/W	ADREG2 イネーブル 0:disable 1:enable
22-21	-	R	リードすると"0"が読めます。
20-16	AINSA2[4:0]	R/W	AIN 選択 「表 15-5 AD 変換入力端子の選択」を参照
15	ENSA1	R/W	ADREG1 イネーブル 0:disable 1:enable
14-13	-	R	リードすると"0"が読めます。
12-8	AINSA1[4:0]	R/W	AIN 選択 「表 15-5 AD 変換入力端子の選択」を参照
7	ENSA0	R/W	ADREG0 イネーブル 0:disable 1:enable
6-5	-	R	リードすると"0"が読めます。
4-0	AINSA0[4:0]	R/W	AIN 選択 「表 15-5 AD 変換入力端子の選択」を参照

ADASET47 : 常時変換プログラムレジスタ 47

	31	30	29	28	27	26	25	24
bit symbol	ENSA7	-	-	AINSA7				
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	ENSA6	-	-	AINSA6				
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ENSA5	-	-	AINSA5				
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ENSA4	-	-	AINSA4				
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31	ENSA7	R/W	ADREG7 イネーブル 0:disable 1:enable
30-29	-	R	リードすると"0"が読めます。
28-24	AINSA7[4:0]	R/W	AIN 選択 「表 15-5 AD 変換入力端子の選択」を参照
23	ENSA6	R/W	ADREG6 イネーブル 0:disable 1:enable
22-21	-	R	リードすると"0"が読めます。
20-16	AINSA6[4:0]	R/W	AIN 選択 「表 15-5 AD 変換入力端子の選択」を参照
15	ENSA5	R/W	ADREG5 イネーブル 0:disable 1:enable
14-13	-	R	リードすると"0"が読めます。
12-8	AINSA5[4:0]	R/W	AIN 選択 「表 15-5 AD 変換入力端子の選択」を参照
7	ENSA4	R/W	ADREG4 イネーブル 0:disable 1:enable
6-5	-	R	リードすると"0"が読めます。
4-0	AINSA4[4:0]	R/W	AIN 選択 「表 15-5 AD 変換入力端子の選択」を参照

ADASET811 : 常時変換用プログラムレジスタ 811

	31	30	29	28	27	26	25	24
bit symbol	ENSA11	-	-	AINSA11				
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	ENSA10	-	-	AINSA10				
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ENSA9	-	-	AINSA9				
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ENSA8	-	-	AINSA8				
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31	ENSA11	R/W	ADREG11 イネーブル 0:disable 1:enable
30-29	-	R	リードすると"0"が読めます。
28-24	AINSA11[4:0]	R/W	AIN 選択 「表 15-5 AD 変換入力端子の選択」を参照
23	ENSA10	R/W	ADREG10 イネーブル 0:disable 1:enable
22-21	-	R	リードすると"0"が読めます。
20-16	AINSA10[4:0]	R/W	AIN 選択 「表 15-5 AD 変換入力端子の選択」を参照
15	ENSA9	R/W	ADREG9 イネーブル 0:disable 1:enable
14-13	-	R	リードすると"0"が読めます。
12-8	AINSA9[4:0]	R/W	AIN 選択 「表 15-5 AD 変換入力端子の選択」を参照
7	ENSA8	R/W	ADREG8 イネーブル 0:disable 1:enable
6-5	-	R	リードすると"0"が読めます。
4-0	AINSA8[4:0]	R/W	AIN 選択 「表 15-5 AD 変換入力端子の選択」を参照

15.5 動作説明

15.5.1 アナログ基準電圧

アナログ基準電圧は AD コンバータ の AVDD5,AVSS 端子にそれぞれ High、Low のレベルを入力します。また、ADxMOD3<RCUT> を"1" にする事で、AVDD5 と AVSS 間に流れる電流を制御して消費電流を削減できます。ADC 使用時には"0" を書いてください。

- 注 1) AD 変換精度への影響を避けるために AD 動作(変換)中は出力ポートとして使用しているポート H/I/J の出力データを書き換えないようにしてください。
- 注 2) 電源電圧の変動や周囲のノイズの影響によって AD 変換結果がばらつくことがあります。AD 変換中に AD 入力が兼用となっている端子への入力および端子出力を変化させる、または AD 変換中に出力ポートに設定している端子の出力電流が変動すると AD 変換精度が低下することがあります。プログラムで複数回の平均値をとるなどして対策してください。

15.5.2 AD 変換開始

AD コンバータはソフトウェアによる起動（ソフトウェアトリガ）または PMD(MPT)/タイマからのトリガ信号により任意の AD が変換開始します。

これらの起動要因には優先順位があり、

PMDトリガ0 > …… > PMDトリガ3 > タイマ > ソフトウェア > 常時

なお、AD 変換のプログラム実行中に PMD トリガが発生すると実行中の AD 変換を中止して直ちに PMD トリガのプログラムを実行します。その他の上位要因が発生時は現在の AD 変換終了後に上位のプログラムに移行します。

トリガ要因発生から実際の AD 変換実行までには遅れがあります。トリガ要因による AD 変換タイミングと遅延時間を以下に示します。

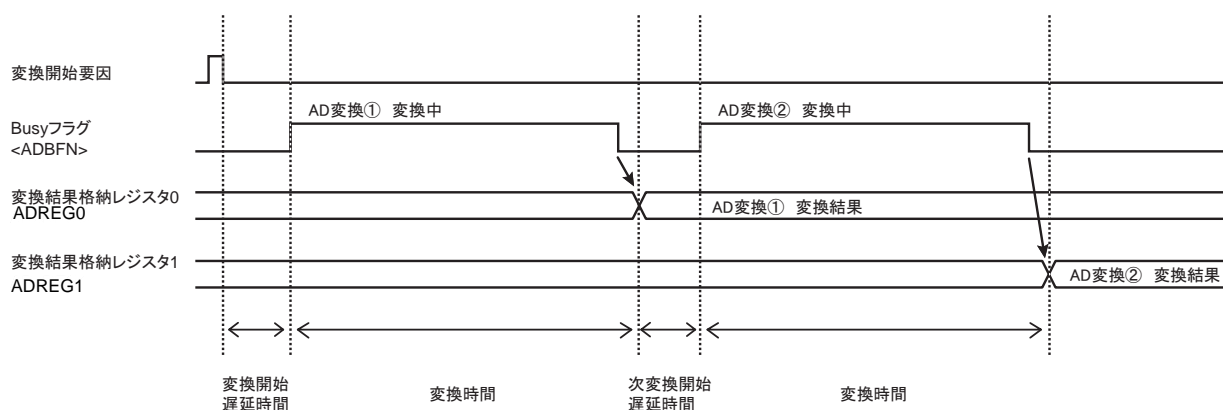


図 15-3 AD 変換開始動作タイミングチャート

表 15-6 AD 変換時間(SCLK = 40MHz)

	変換開始要因	fsys = 40MHz	
		MIN	MAX
開始遅延時間(注 1)	PMD(MPT)	0.225	0.3
	TMRB	0.225	0.5
	ソフトウェア、 常時変換	0.25	0.525
AD 変換時間	-	1.85	
次変換開始遅延時間 (注 2)	PMD(MPT)	0.175	0.225
	TMRB、ソフトウェア、 常時変換	0.175	0.425

注 1) 変換開始要因発生から AD 変換開始までの時間

注 2) 同一変換開始要因で複数の変換を設定する場合の 2 番目以降の開始遅延時間

15.5.3 AD 監視機能

本 AD コンバータには AD 監視機能があり、監視機能有効時に比較条件と一致した場合、割り込みが発生します。

ADCMPCR0<CMP0EN>または ADCMPCR1<CMP1EN>を"1"に設定すると AD 監視機能が有効となり、<REGS0>/<REGS1>で指定された変換結果格納レジスタの内容が比較レジスタの値以上または以下になると AD 監視機能割り込みが発生します (<ADBIG0>/<ADBIG1>で以上、以下を指定)

比較動作は監視機能が設定された変換結果格納レジスタに対し、変換結果が格納されるごとにおこなわれ、条件が成立すると割り込みが発生します。

注 1) AD 監視機能による比較動作では AD 変換結果格納フラグ<ADR0RF> ~ <ADR11RF>はクリアされません。

注 2) AD 監視機能は通常の読み出し動作と異なりますので、ソフトによる変換結果読み出しなしに連続して AD 変換がおこなわれる場合は、Over Run フラグ<OVR0> ~ <OVR11>が"1"にセットされます。

15.6 AD 変換タイミングチャート

ソフトウェア AD 変換、常時 AD 変換、PMD トリガ/タイマトリガ受け付け時のタイミングチャートを以下に示します。

15.6.1 ソフトウェア AD 変換

ソフトウェア AD 変換では、ADSSET03, ADSSET47, ADSSET811 でプログラムされた AD 変換が終了時に割り込みが発生します(図 15-4)。

ソフトウェア AD 変換中に $ADMOD1<ADEN> = "0"$ とした場合、実行中の AD 変換を終了します。このとき、変換途中の結果はレジスタには格納されません(図 15-5)。

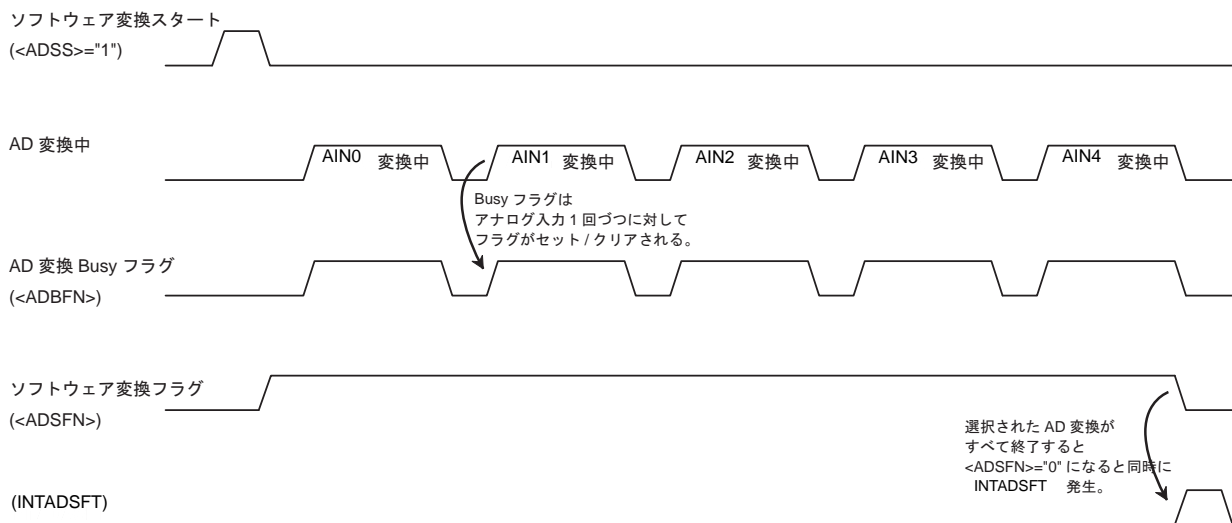


図 15-4 ソフトウェア AD 変換時のタイミングチャート

[設定条件]

ソフトウェアトリガ設定: AIN0, AIN1, AIN2

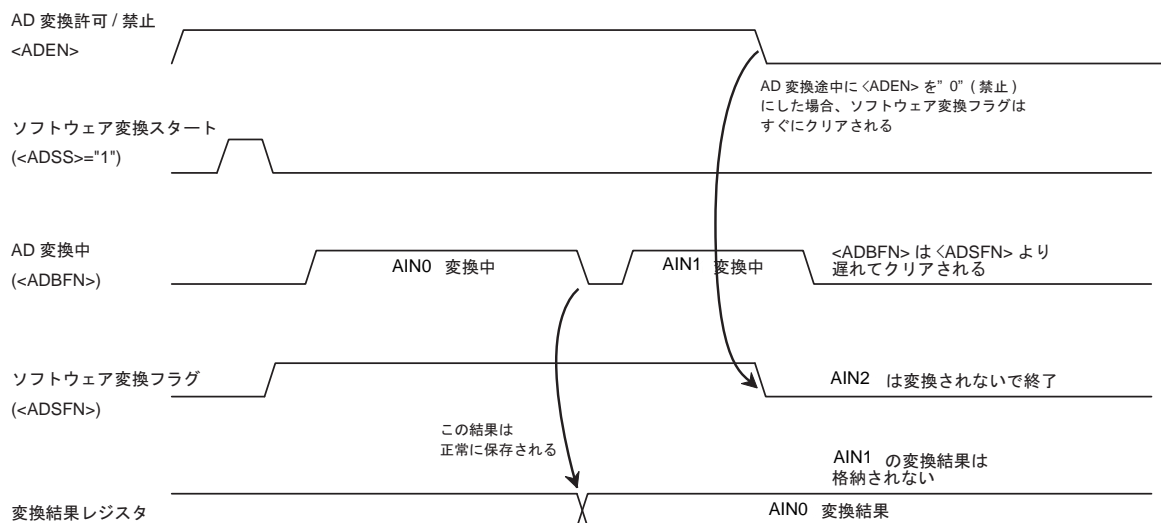


図 15-5 ソフトウェア AD 変換中に<ADEN> = "0"書き込み

15.6.2 常時 AD 変換

常時 AD 変換では、変換結果を読み出す前に次の AD 変換が終了した場合、Over Run フラグが"1"にセットされます。このとき、変換結果レジスタは後続のデータによって上書きされます。OverRun フラグは変換結果を読み出すことにより"0"にクリアされます (図 15-6)。

[設定条件]

常時変換設定: AINO

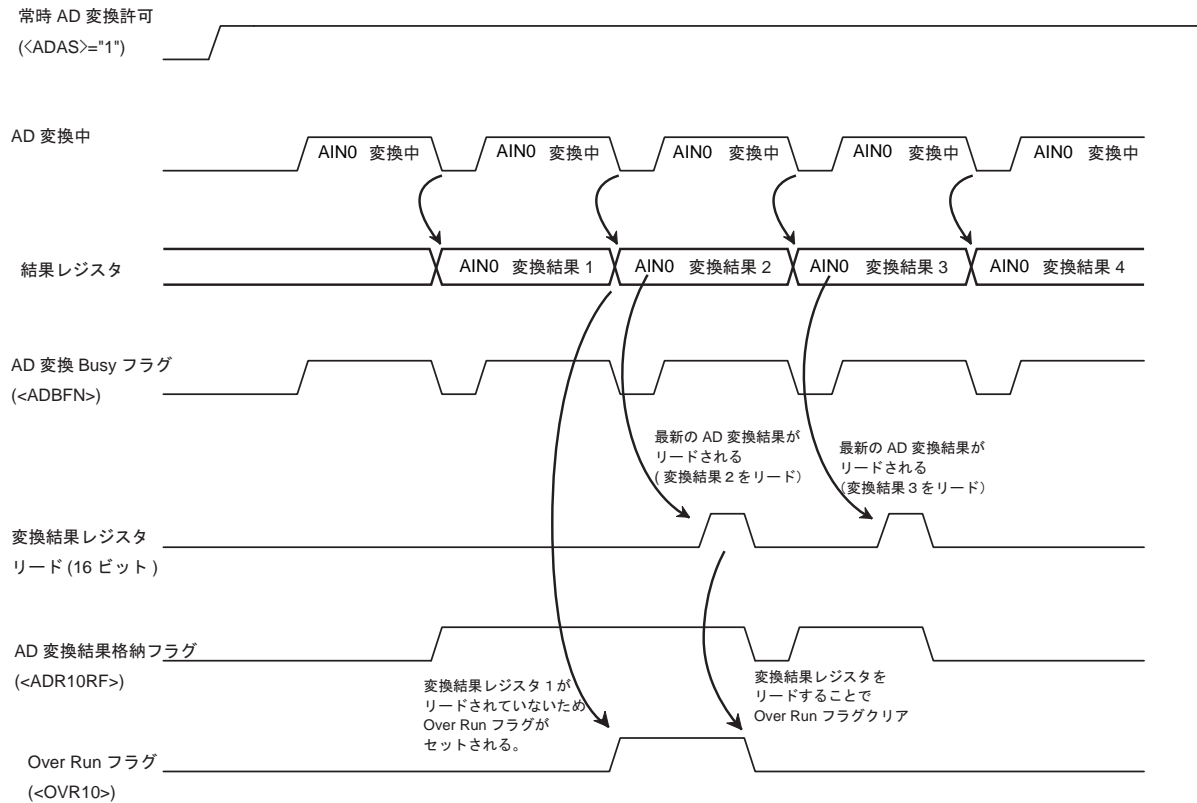


図 15-6 常時 AD 変換時のタイミングチャート

15.6.3 トリガによる AD 変換開始

ソフトウェア AD 変換実行中に PMD トリガが発生した場合、ソフトウェア AD 変換は直ちに中断します(図 15-7)。タイマトリガの場合は実行中の AD 変換が終了してから、タイマトリガによる AD 変換を開始します(図 15-8)。なお、トリガによる AD 変換が終了後、ソフトウェア AD 変換は設定されたプログラムの最初から AD 変換を開始します(図 15-9)。

【設定条件】

ソフトウェアトリガ設定 : AIN0, AIN1, AIN2
 PMD トリガ設定 : AIN4

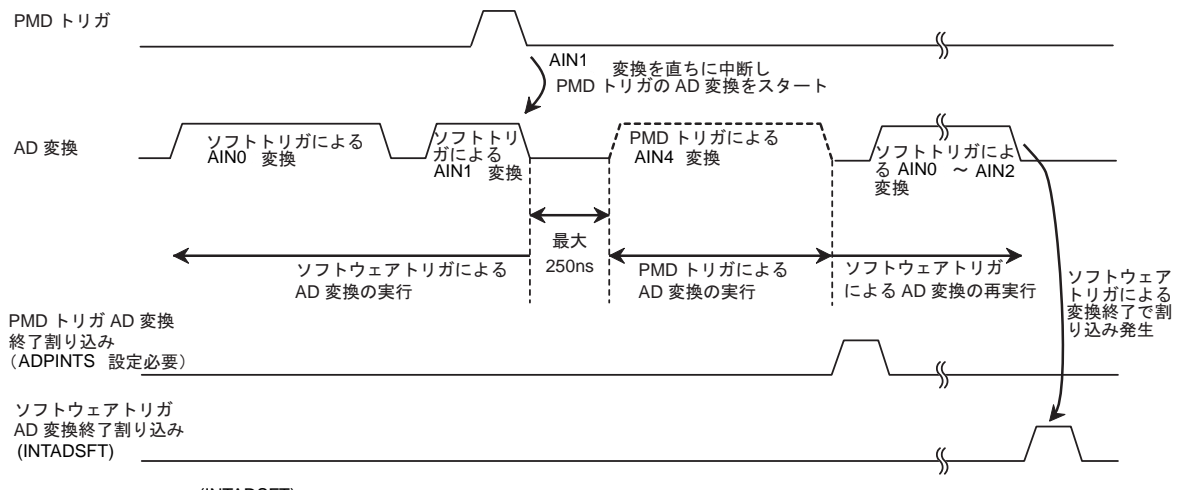


図 15-7 ソフトウェア AD 変換中の PMD トリガ発生

【設定条件】

ソフトウェアトリガ設定 : AIN0
 タイマトリガ設定 : AIN1

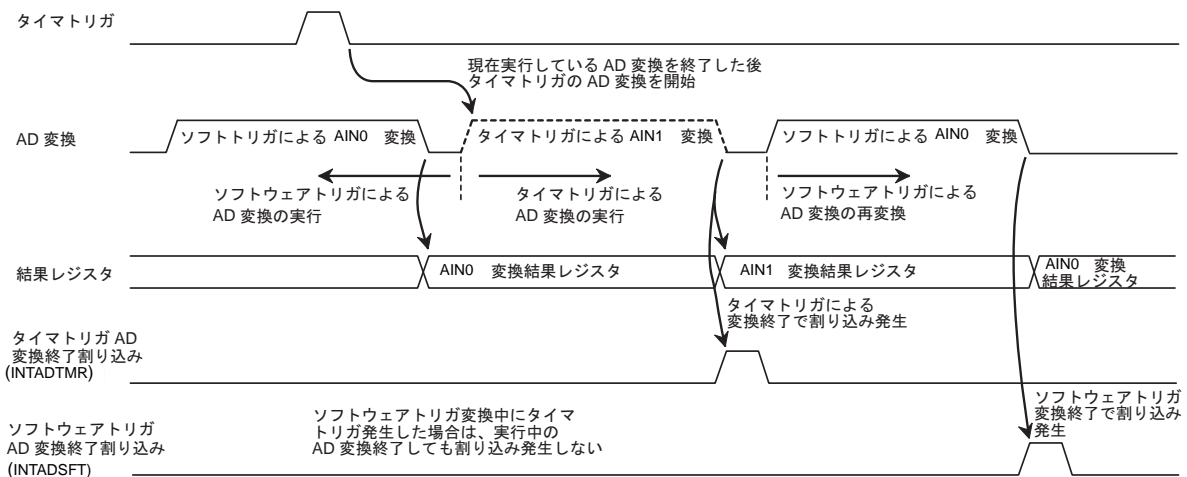


図 15-8 ソフトウェア AD 変換中のタイマ トリガ発生(1)

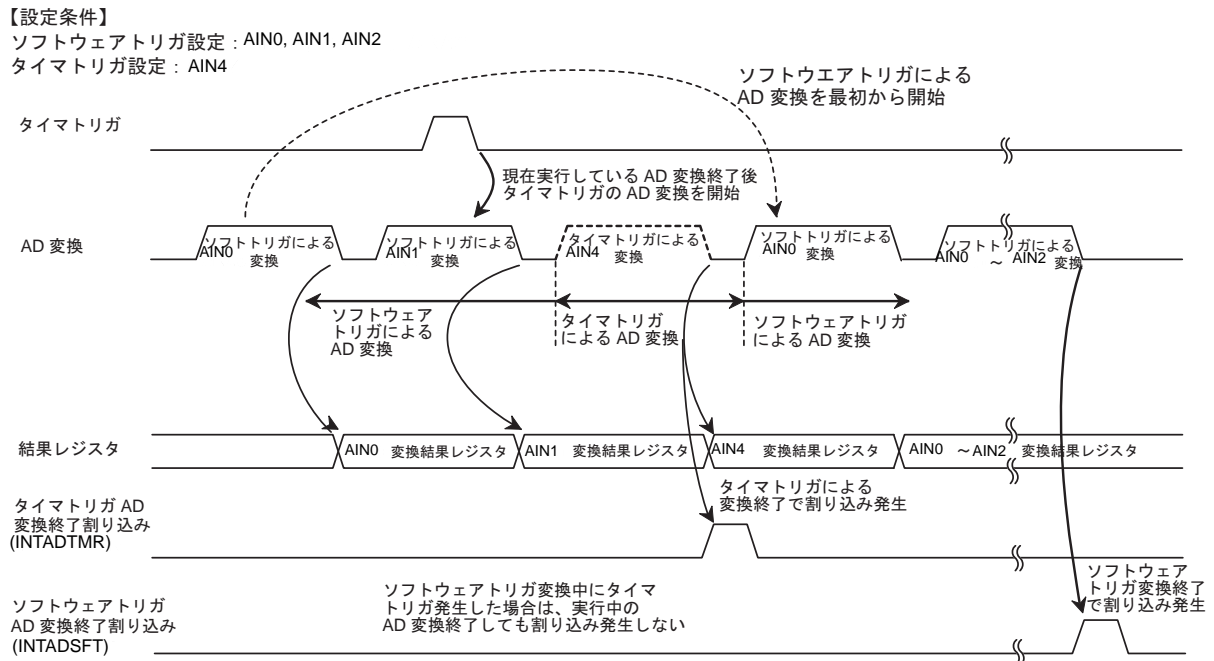


図 15-9 ソフトウェア AD 変換中のタイマ トリガ発生(2)

第 16 章 エンコーダ入力回路 (ENC)

16.1 概要

エンコーダ入力回路は、エンコーダモード、センサモード (2 種類)、タイマモードの 4 つの動作モードに対応しています。また、以下の機能を有しています。

- ・ インクリメンタルエンコーダおよびホール IC センサ対応 (センサ信号を直接入力可能)
- ・ 汎用 24 ビットタイマ機能
- ・ 4 通倍 (6 通倍) 回路内蔵
- ・ 回転方向検出回路内蔵
- ・ カウンタ (24 ビット) 内蔵
- ・ コンペア許可/禁止設定可能
- ・ 割り込み出力 1 本
- ・ 入力信号についてデジタルノイズフィルタ内蔵

16.2 チャネル別相違点

TMPM380FDFG は、エンコーダ入力回路を内蔵しています。インクリメンタルエンコーダの信号を直接入力し、モータの絶対位置を容易に得ることができます。

いずれのチャンネルも表 16-1 に示される使用相違点を除いて同一の動作をします。

表 16-1 チャネル別仕様相違点

チャンネル	入力端子			エンコーダ入力 割り込み
	A 相	B 相	Z 相	
チャンネル 0	PD0 / ENCA0	PD1 / ENCB0	PD2 / ENCZ0	INTENC0
チャンネル 1	PF2 / ENCA1	PF3 / ENCB1	PF4 / ENCZ1	INTENC1

16.3 ブロック図

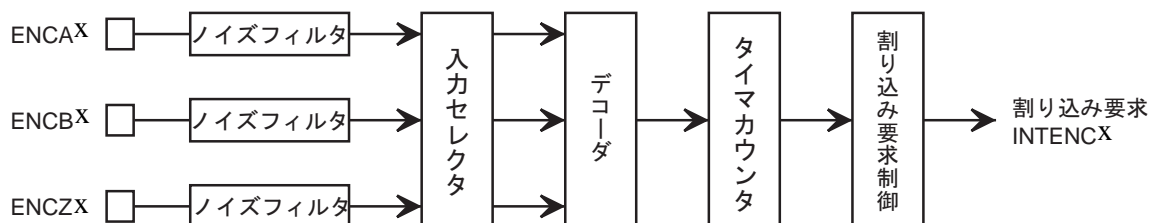


図 16-1 エンコーダ入力回路ブロック図

16.4 レジスタ説明

16.4.1 レジスタ一覧

エンコーダ入力回路の制御レジスタとアドレスは以下のとおりです。

Channel x	Base Address
Channel0	0x4001_0400
Channel1	0x4001_0500

レジスタ名(x=0,1)		Address(Base+)
入力制御レジスタ	ENxTNCR	0x0000
カウンタリロードレジスタ	ENxRELOAD	0x0004
比較レジスタ	ENxINT	0x0008
カウンタレジスタ	ENxCNT	0x000C

16.4.2 ENxTNCR(入力制御レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	MODE		P3EN
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	CMP	REVERR	UD	ZDET	SFTCAP	ENCLR	ZESEL	CMPEN
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ZEN	ENRUN	NR		INTEN	ENDEV		
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-19	-	R	リードすると"0"が読めます。
18-17	MODE[1:0]	R/W	エンコーダ入力モード設定 00: エンコーダモード 01: センサモード(イベントカウント) 10: センサモード(タイマカウント) 11: タイマモード
16	P3EN	R/W	2相 / 3相入力選択 (センサモード時) (注1) 0: 2相入力 1: 3相入力 入力信号の数を設定します
15	CMP	R	コンペア発生フラグ 0: - 1: コンペア発生 (RD でクリア) コンペアが実施されると <CMP> が "1" にセットされます。 値を読み出すとフラグがクリアされます。また、<ENRUN> = "0" のときは常に "0" がセットされます。 このビットに値を書き込んでも何も起こりません。
14	REVERR	R	反転エラーフラグ (センサモード(タイマカウント)時) (注2) 0: - 1: エラー発生 (RD でクリア) センサモード (タイマカウント) 時、反転エラーが発生すると <REVERR> が "1" にセットされます。 値を読み出すとフラグがクリアされます。また、<ENRUN> = "0" のときは常に "0" がセットされます。 このビットに値を書き込んでも何も起こりません。 エンコーダモード、センサモード (イベントカウント) およびタイマモードの場合、このビットは意味を持ちません。
13	UD	R	エンコーダ回転方向 0: CCW 方向 (インクリメンタルからエンコーダ信号の A 相が B 相に対して 90 度進んでいる状態) 1: CW 方向 (インクリメンタルからエンコーダ信号の A 相が B 相に対して 90 度遅れている状態) モータが CW 方向に回転しているときは "1"、CCW 方向に回転しているときは "0" がセットされます。 また、<ENRUN> = "0" のときは常に "0" がセットされます。

Bit	Bit Symbol	Type	機能				
12	ZDET	R	<p>Z 相通過検出 0 : Z 非検出 1 : Z 検出</p> <p><ENRUN> = "0" → "1" 変化後の Z 相入力 (ENCZ) の最初の検出エッジ (インクリメンタル型エンコーダ信号の Z 相の立ち上がりエッジ (CW 方向)、もしくは立ち下がりエッジ (CCW 方向)) のタイミングで "1" がセットされます。また、<ENRUN> = "0" のときは常に "0" がセットされます。 このビットの動作は <ZEN> の値とは無関係です。</p> <p>センサモード (イベントカウント) およびセンサモード (タイマカウント) の場合、このビットは常に "0" です。</p>				
11	SFTCAP	W	<p>ソフトキャプチャ実行 (タイマモード/センサモード(タイマカウント)時) 0 : - 1 : ソフトキャプチャ</p> <p><SFTCAP> に "1" が書き込まれると、エンコーダカウンタの値をキャプチャし、ENxCNT レジスタに格納します。 "0" を書き込んで何も起こりません。また、リードすると "0" が読めます。 エンコーダモードおよびセンサモード (イベントカウント) の場合、このビットは意味を持たず、"1" を書き込んで何も起こりません。</p>				
10	ENCLR	W	<p>エンコーダパルスカウンタクリア 0 : - 1 : クリア</p> <p><ENCLR> に "1" が書き込まれると、エンコーダカウンタは 0 クリアされます。クリアされた後は、再びカウントを始めます。"0" を書き込んで何も起こりません。また、リードすると "0" が読めます。</p>				
9	ZESEL	R/W	<p>ENCZ の使用エッジ選択 (タイマモード時) 0 : 立ち上がりエッジ 1 : 立ち下がりエッジ</p> <p>タイマモード時、外部トリガとして使用する ENCZ 入力のエッジを選択します。 他のモードの場合、このビットは意味を持ちません</p>				
8	CMPEN	R/W	<p>コンペアイネーブル 0 : コンペア実行しない 1 : コンペア実行する</p> <p><CMPEN> に "1" が書き込まれると、エンコーダカウンタのカウント値と ENINT レジスタ値のコンペアを実施します。<CMPEN> に "0" が書き込まれると、コンペアを実施しません。</p>				
7	ZEN	R/W	<p>Z 相イネーブル (エンコーダモード/タイマモード時) 0 : 禁止 1 : 許可</p> <p>他のモードの場合、このビットは意味を持ちません。</p> <table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 50%; padding: 5px;"> <エンコーダモード時> ENCZ 入力によるエンコーダカウンタのクリアを設定 </td> <td style="width: 50%; padding: 5px;"> <ZEN> = "1" のとき、CW 方向に回転しているときは ENCZ の立ち上がりエッジを検出してエンコーダカウンタが 0 クリアされ、CCW 方向に回転しているときは ENCZ の立ち下がりエッジを検出してエンコーダカウンタが 0 クリアされます。ENCLK (A 相、B 相信号を 4 通倍したクロック) タイミングとこのエッジ検出のタイミングが同時となった場合には、エンコーダカウンタはカウント動作を行わず 0 クリアされます。(クリア優先) </td> </tr> <tr> <td style="width: 50%; padding: 5px;"> <タイマモード時> ENCZ 入力を外部トリガとして使用するかどうかを設定 </td> <td style="width: 50%; padding: 5px;"> <ZEN> = "1" のとき、<ZESEL> で指定された ENCZ 入力のエッジ検出で、エンコーダカウンタの値をキャプチャ、およびエンコーダカウンタを 0 クリアします。 </td> </tr> </table>	<エンコーダモード時> ENCZ 入力によるエンコーダカウンタのクリアを設定	<ZEN> = "1" のとき、CW 方向に回転しているときは ENCZ の立ち上がりエッジを検出してエンコーダカウンタが 0 クリアされ、CCW 方向に回転しているときは ENCZ の立ち下がりエッジを検出してエンコーダカウンタが 0 クリアされます。ENCLK (A 相、B 相信号を 4 通倍したクロック) タイミングとこのエッジ検出のタイミングが同時となった場合には、エンコーダカウンタはカウント動作を行わず 0 クリアされます。(クリア優先)	<タイマモード時> ENCZ 入力を外部トリガとして使用するかどうかを設定	<ZEN> = "1" のとき、<ZESEL> で指定された ENCZ 入力のエッジ検出で、エンコーダカウンタの値をキャプチャ、およびエンコーダカウンタを 0 クリアします。
<エンコーダモード時> ENCZ 入力によるエンコーダカウンタのクリアを設定	<ZEN> = "1" のとき、CW 方向に回転しているときは ENCZ の立ち上がりエッジを検出してエンコーダカウンタが 0 クリアされ、CCW 方向に回転しているときは ENCZ の立ち下がりエッジを検出してエンコーダカウンタが 0 クリアされます。ENCLK (A 相、B 相信号を 4 通倍したクロック) タイミングとこのエッジ検出のタイミングが同時となった場合には、エンコーダカウンタはカウント動作を行わず 0 クリアされます。(クリア優先)						
<タイマモード時> ENCZ 入力を外部トリガとして使用するかどうかを設定	<ZEN> = "1" のとき、<ZESEL> で指定された ENCZ 入力のエッジ検出で、エンコーダカウンタの値をキャプチャ、およびエンコーダカウンタを 0 クリアします。						
6	ENRUN	R/W	<p>エンコーダ動作イネーブル 0 : 禁止 1 : 許可</p> <p><ENRUN> = 1 で、<ZDET> を 0 クリアするとともにエンコーダ動作をイネーブルします。 <ENRUN> = 0 で、エンコーダ動作をディセーブルにします。 エンコーダの動作を停止した際 (<ENRUN> ビットを "1" → "0"), クリアされるカウンタおよびフラグと、クリアされないカウンタおよびフラグが存在します。</p>				

Bit	Bit Symbol	Type	機能
5-4	NR[1:0]	R/W	ノイズフィルタ 00 : ノイズフィルタなし 01 : 31/fsys 未満のパルスはノイズとして除去 (775ns@40MHz) 10 : 63/fsys 未満のパルスはノイズとして除去 (1575ns@40MHz) 11 : 127/fsys 未満のパルスはノイズとして除去 (3175ns@40MHz) デジタルノイズフィルタでノイズとして除去するパルスの幅を設定します。
3	INTEN	R/W	エンコーダ割り込みイネーブル 0 : 禁止 1 : 許可 <INTEN> = 1 で割り込み信号の発生をイネーブルにし、<INTEN> = 0 で割り込み信号の発生をディセーブルにします。
2-0	ENDEV[2:0]	R/W	エンコーダパルス分周比 000 : 1 分周 100 : 16 分周 001 : 2 分周 101 : 32 分周 010 : 4 分周 110 : 64 分周 011 : 8 分周 111 : 128 分周 エンコーダパルスの分周比を設定します。 この設定に従ってエンコーダパルスが分周され、イベント割り込みの発生周期として使用されます。

注 1) エンコーダモード、タイマモードの場合は、必ず <P3EN> = "0" に設定してください。

注 2) モードを変更した後は、必ず最初にフラグをリードし、クリアしてください。

動作モードは <MODE[1:0]>、<P3EN>、<ZEN>により決定し、全部で 8 種類の設定があります。

動作モードの設定表を以下に示します。

<MODE[1:0]>	<ZEN>	<P3EN>	入力端子	モード
00	0	0	A, B	エンコーダモード
	1		A, B, Z	エンコーダモード (Z 使用)
01	0	0	U, V	センサモード (イベントカウント, 2 相入力)
		1	U, V, W	センサモード (イベントカウント, 3 相入力)
10	0	0	U, V	センサモード (タイマカウント, 2 相入力)
		1	U, V, W	センサモード (タイマカウント, 3 相入力)
11	0	0	-	タイマモード
	1		Z	タイマモード (Z 使用)

<ENRUN> と各信号の状態を以下に示します。

カウンタ／フラグ	<ENRUN> = 0 時 (リセット解除後)	<ENRUN> = 1 時 (動作中)	<ENRUN> = 0 時 (停止中)	<ENRUN> = 0 時 対象フラグ／カウンタの クリア手段
エンコーダカウンタ	0x000000	カウント動作	停止時の値を保持	ソフトクリア (<ENCLR> = 1 WR)
ノイズフィルタ カウンタ	000_0000	カウントアップ動作	カウントアップ動作 (常時フィルタリング)	リセットのみ
エンコーダパルス 分周カウンタ	0x00	カウントダウン動作	停止してクリア	<ENRUN> = 0 時はクリア
コンペアフラグ <CMP>	0	コンペア時 "1" セット リードでクリア	クリア	<ENRUN> = 0 時はクリア
反転エラーフラグ <REVERR>	0	エラー発生で "1" セット リードでクリア	クリア	<ENRUN> = 0 時はクリア
Z 検出フラグ <ZDET>	0	Z 検出で "1" セット	クリア	<ENRUN> = 0 時はクリア
回転方向ビット <UD>	0	方向検出で "0" / "1" セット	クリア	<ENRUN> = 0 時はクリア

16.4.3 ENxRELOAD(カウンタリロードレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	RELOAD							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	RELOAD							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます。
15-0	RELOAD[15:0]	R/W	<p>エンコーダカウンタの周期 (4 通倍(6 通倍)後) 設定 0x0000 ~ 0xFFFF</p> <p>Z 相使用する場合 : 1 回転分のカウントパルス数を設定 Z 相使用しない場合 : 1 回転分のカウントパルス数-1 を設定</p> <p>エンコーダカウンタの周期 (4 通倍後) を設定します。 エンコーダカウンタが UP カウントをおこなっていた場合、カウンタの値が<RELOAD[15:0]> の値と等しくなったら、次の ENCLK タイミングで 0 クリアされます。DOWN カウントをおこなっていた場合、カウンタの値が "0" になった次の ENCLK のタイミングで、<RELOAD[15:0]> の値がエンコーダカウンタにロードされます。</p>

エンコーダモード時のみ使用

16.4.4 ENxINT(比較レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	INT							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	INT							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	INT							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能	
31-24	-	R	リードすると"0"が読めます。	
23-0	INT[23:0]	R/W	カウンタ比較値設定	
			エンコーダモード時	エンコーダのパルス位置割り込み発生位置設定 0x0000 ~ 0xFFFF <CMPEN> = 1 のときエンコーダカウンタと <INT[15:0]> の値が一致すると、<CMP> が "1" にセットされます。さらに <INTEN> = 1 であれば割り込み要求 (INTENCx) が発生します。 ただし、<ZEN> = 1 のときは、<ZDET> = 1 になるまでの間の一致については割り込み要求は発生しません。
			センサモード時 (イベントカウント)	エンコーダのパルス位置割り込み発生位置設定 0x0000 ~ 0xFFFF <CMPEN> = 1 のとき、エンコーダカウンタと <INT[15:0]> の値が一致すると、<CMP> が "1" にセットされます。さらに <INTEN> = 1 であれば割り込み要求 (INTENCx) が発生します。 <ZEN> の値には影響しません。
			センサモード時 (タイマカウント)	パルス未検出時間異常判定割り込み発生位置設定 0x000000 ~ 0xFFFFFF <CMPEN> = 1 のとき、内部カウンタ値が <INT[23:0]> の値と一致すると、パルス未検出時間異常エラーと判定され、<CMP> が "1" にセットされます。さらに <INTEN> = 1 であれば割り込み要求 (INTENCx) が発生します。 <ZEN> の値には影響しません。
			タイマモード時	タイマコンペア割り込み発生位置設定 0x000000 ~ 0xFFFFFF <CMPEN> = 1 のとき、内部カウンタ値が <INT[23:0]> の値と一致すると、<CMP> が "1" にセットされます。さらに <INTEN> = 1 であればタイマコンペア割り込み要求 (INTENCx) が発生します。 <ZEN> の値には影響しません。

<INT[23:16]>はセンサモード(タイマカウント)、タイマモード時のみ使用

16.4.5 ENxCNT(カウンタレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	CNT							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	CNT							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	CNT							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能	
31-24	-	R	リードすると"0"が読めます。	
23-0	CNT[23:0]	R/W	エンコーダカウンタ/キャプチャ値	
			エンコーダモード時	エンコーダパルスのカウント値 0x0000 ~ 0xFFFF エンコーダパルスのカウント値を読み出すことができます。 エンコーダモード時、エンコーダカウンタは、エンコーダパルス (ENCLK) を UP もしくは DOWN カウントします。 CW 方向に回転しているときは UP カウントを行い、カウンタ値が <RELOAD [15:0]> と等しくなったとき、次の ENCLK タイミングで 0 クリアされます。 CCW 方向に回転しているときは DOWN カウントを行い、カウンタ値が "0" のとき、次の ENCLK タイミングで <RELOAD[15:0]> の値がカウンタにロードされます。
			センサモード時 (イベントカウント)	エンコーダパルスのカウント値 0x0000 ~ 0xFFFF エンコーダパルスのカウント値を読み出すことができます。 センサモード (イベントカウント) 時、エンコーダカウンタは、エンコーダパルス (ENCLK) を UP もしくは DOWN カウントします。 CW 方向に回転しているときは UP カウントを行い、カウンタ値が 0xFFFF までカウントすると、次の ENCLK タイミングで 0 クリアされます。 CCW 方向に回転しているときは DOWN カウントを行い、カウンタ値が "0" のとき、次の ENCLK タイミングで 0xFFFF がカウンタにロードされます。
			センサモード時 (タイマカウント)	パルス検出時間の値 もしくは ソフトキャプチャ値 0x000000 ~ 0xFFFFFF エンコーダパルス (ENCLK) によりエンコーダカウンタをキャプチャした値、もしくは、<SFTCAP> に "1" を書きこむことでエンコーダカウンタをソフトキャプチャした値を読み出すことができます。キャプチャした値はシステムリセットでクリアされます。また、<ENCLR> = 1 を書き込んでカウンタをクリアした後、ソフトキャプチャすることによりクリアすることも可能です。 センサモード (タイマカウント) 時、エンコーダカウンタは、fsys で UP カウントし、フリーランで動作します。エンコーダパルス (ENCLK) を検出すると 0 クリアされます。0xFFFFFF までカウントすると自動的に 0 クリアされます。
			タイマモード時	内部カウンタのキャプチャ値もしくは ソフトキャプチャ値 0x000000 ~ 0xFFFFFF <SFTCAP> に "1" を書きこむことでエンコーダカウンタをソフトキャプチャした値を読み出すことができます。<ZEN> = 1 のときは、<ZESEL> で指定された Z 相の検出エッジでもキャプチャされます。キャプチャした値はリセットでクリアされます。<ENCLR> = 1 を書き込んでカウンタをクリアした後、ソフトキャプチャすることにより、クリアすることも可能です。 タイマモード時、エンコーダカウンタは、fsys で UP カウントし、フリーランで動作します。0xFFFFFF までカウントすると自動的に 0 クリアされます。

<CNT[23:16]>はセンサモード(タイマカウント)、タイマモード時のみ使用。(エンコーダモード、センサモード(イベントカウント)時は常に"0"が READ されます。)

16.5 動作説明

16.5.1 エンコーダモード

高速位置センサ対応 (位相判定) で、AB エンコーダ入力および ABZ エンコーダ入力に対応しています。

- ・ イベント検出 (回転パルス) → 割り込み発生
- ・ イベントカウント → 一致割り込み発生 (移動量測定)
- ・ 回転方向検出
- ・ アップダウンカウント (動作中随時変更可能)
- ・ カウンタ周期設定可能

16.5.2 センサモード

低速位置センサ対応 (零クロス判定) で、UV ホールセンサ入力および UVW ホールセンサ入力に対応しています。

イベントカウントモードとタイマカウントモード (fsys でカウント) の 2 種類があります。

16.5.2.1 イベントカウントモード

- ・ イベント検出 (回転パルス) → 割り込み発生
- ・ イベントカウント → 一致割り込み発生 (移動量測定)
- ・ 回転方向検出

16.5.2.2 タイマカウントモード

- ・ イベント検出 (回転パルス) → 割り込み発生
- ・ タイマカウント
- ・ 回転方向検出
- ・ キャプチャ機能 → イベントキャプチャ (イベント間隔測定) → 割り込み発生
ソフトキャプチャ
- ・ 未検出時間によるエラー (タイマコンペア) → 一致割り込み発生
- ・ 反転検出エラー → 回転方向変化によるエラーフラグ

16.5.3 タイマモード

汎用 24 ビットタイマとして使用できます。

- ・ 24 ビットアップカウンタ
- ・ カウンタクリア制御 (ソフトクリア、タイマクリア、外部トリガ、フリーランカウント)
- ・ コンペア機能 → 一致割り込み発生
- ・ キャプチャ機能 → 外部トリガキャプチャ → 割り込み発生
ソフトキャプチャ

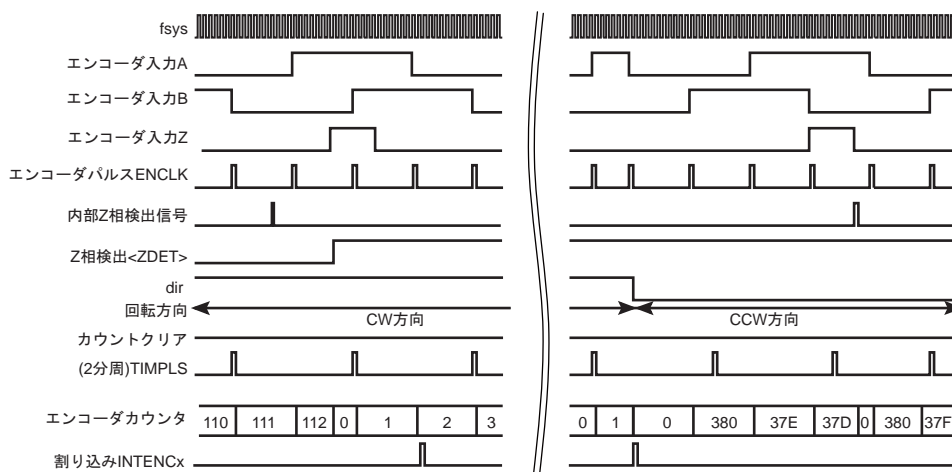
16.6 機能

16.6.1 モード動作概要

16.6.1.1 エンコーダモード

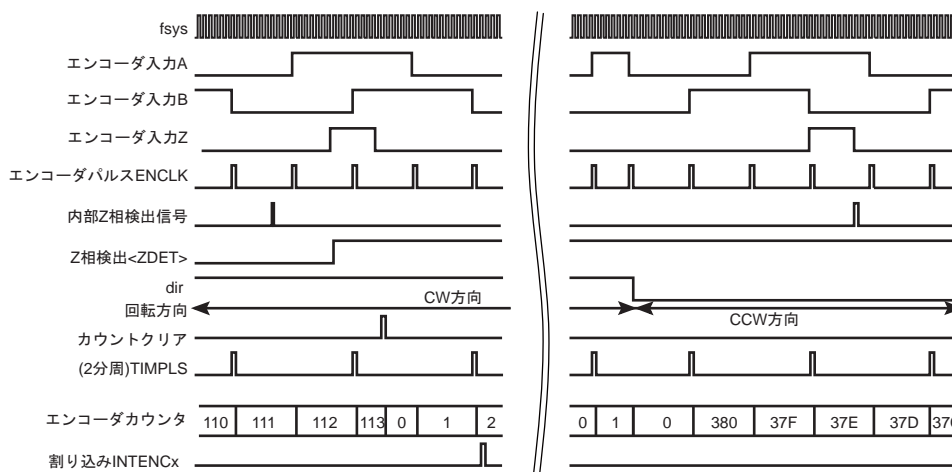
1. ENxTNCR<ZEN> = 1 のとき

(ENxRELOAD<RELOAD[15:0]> = 0x0380、ENxINT<INT[15:0]> = 0x0002)



2. ENxTNCR<ZEN> = 0 のとき

(ENxRELOAD<RELOAD[15:0]> = 0x0380、ENxINT<INT[15:0]> = 0x0002)

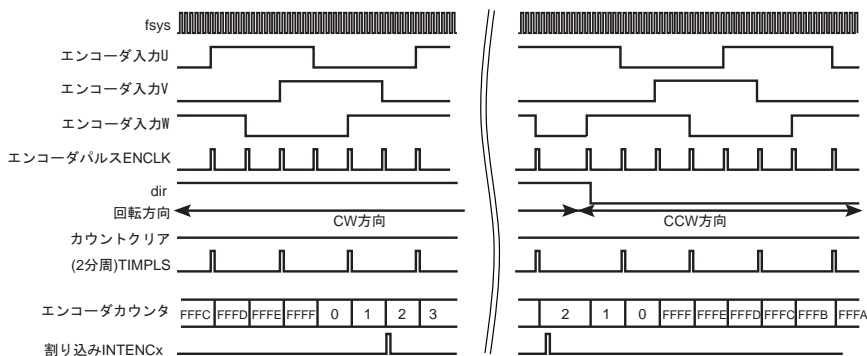


- ・ インクリメンタルエンコーダ入力を A、B、Z 相に接続します。A、B 信号を 4 進倍して、エンコーダパルス数のカウントを行います。
- ・ CW 方向 (A 相が B 相に対して 90 度進んでいる状態) に回転しているときは Up カウントを行い、カウンタ値が ENxRELOAD<RELOAD[15:0]> と等しくなったとき、次の ENCLK でカウンタが 0 クリアされます。

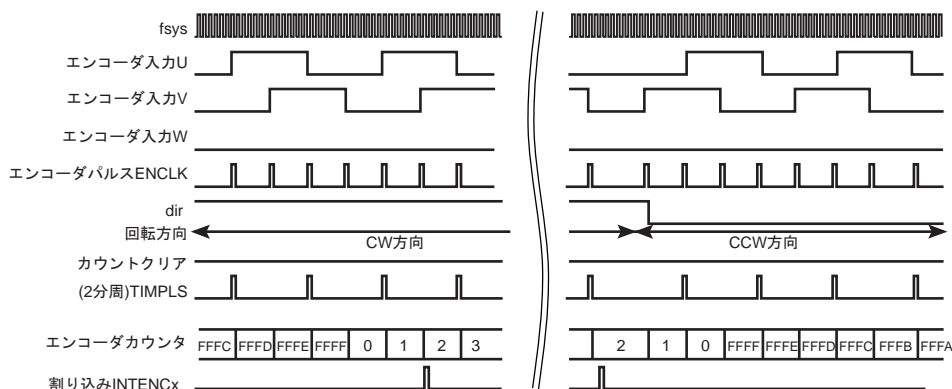
- ・ CCW 方向 (A 相が B 相に対して 90 度遅れている状態) に回転しているときは Down カウントを行い、カウンタ値が 0x0000 と等しくなったとき、次の ENCLK でカウンタに ENxRELOAD<RELOAD[15:0]> の値がセットされます。
- ・ さらに、ENxTNCR<ZEN> = 1 の場合は、CW 方向に回転しているときは Z 相の立ち上がりエッジでカウンタが 0 クリアされます。CCW 方向に回転しているときは Z 相の立ち下がりエッジでカウンタが 0 クリアされます。ENCLK と Z 相検出のタイミングが同時になったときは、カウント動作を行わず、0 クリアされます。
- ・ ENxTNCR<ENCLR> に "1" が書き込まれると、カウンタは 0 クリアされます。
- ・ ENxTNCR<UD> は CW 方向に回転していることを検出しているときは "1"、CCW 方向のときは "0" がセットされます。
- ・ ENCLK を分周した信号 (TIMPLS) を取り出すことができます。
- ・ ENxTNCR<CMPEN> = 1 のとき、ENxINT<INT[15:0]> の値とエンコーダカウンタ値が等しくなったときに割り込みを発生させることができます。ただし、ENxTNCR<ZEN> = 1 の場合、ENxTNCR<ZDET> = 0 の期間の一致では割り込みを発生しません。
- ・ <ZDET>、<UD> は、ENxTNCR<ENRUN> = 0 のときは 0 クリアされます。

16.6.1.2 センサモード (イベントカウント)

1. ENxTNCR<P3EN> = 1 のとき (ENxINT<INT[15:0]> = 0x0002)



2. ENxTNCR<P3EN> = 0 のとき (ENxINT<INT[15:0]> = 0x0002)

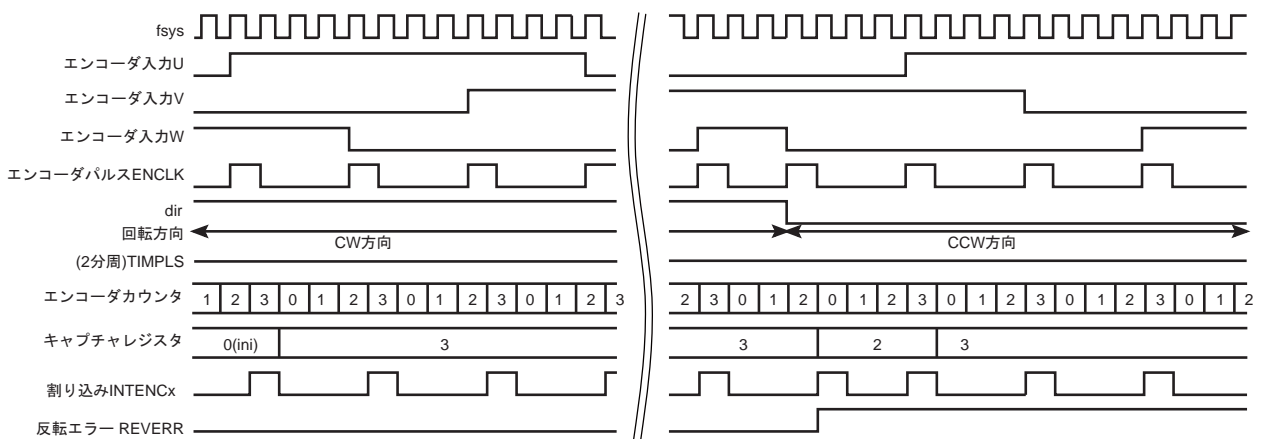


- ・ ホールセンサ入力を U、V、W 相に接続します。ENxTNCR<P3EN> = 0 の場合は U、V 信号を 4 通倍、ENxTNCR<P3EN> = 1 の場合は U、V、W 信号を 6 通倍して、ホールセンサパルス数のカウントを行います。

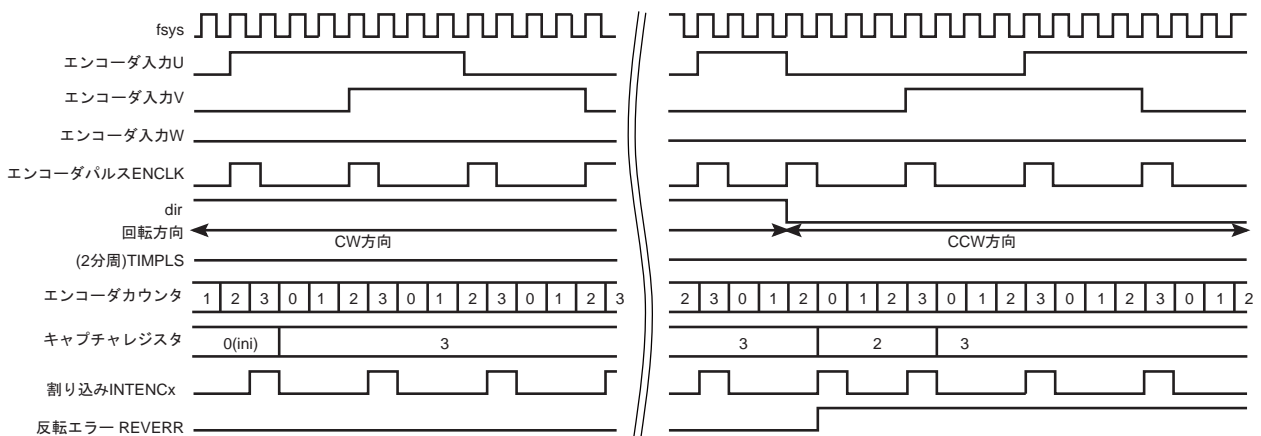
- ・ CW 方向 (U 相が V 相、V 相が W 相に対して 90 度進んでいる状態) に回転しているときは Up カウントを行い、カウンタ値が 0xFFFF と等しくなったとき、次の ENCLK でカウンタが 0 クリアされます。
- ・ CCW 方向 (U 相が V 相、V 相が W 相に対して 90 度遅れている状態) に回転しているときは Down カウントを行い、カウンタ値が 0x0000 と等しくなったとき、次の ENCLK でカウンタに 0xFFFF がセットされます。
- ・ ENxTNCR<ENCLR> に "1" が書き込まれると、カウンタは 0 クリアされます。
- ・ ENxTNCR<UD> は CW 方向に回転していることを検出しているときは "1"、CCW 方向のときは "0" がセットされます。
- ・ ENCLK を分周した信号 (TIMPLS) を取り出すことができます。
- ・ ENxTNCR<CMPEN> = 1 のとき、ENxINT<INT[15:0]> の値とカウンタ値が等しくなったときに割り込みを発生させることができます。
- ・ ENxTNCR<UD> は ENxTNCR<ENRUN> = 0 のときは 0 クリアされます。

16.6.1.3 センサモード (タイマカウント)

1. ENxTNCR<P3EN> = 1 のとき (ENxINT<INT[23:0]> = 0x000002)



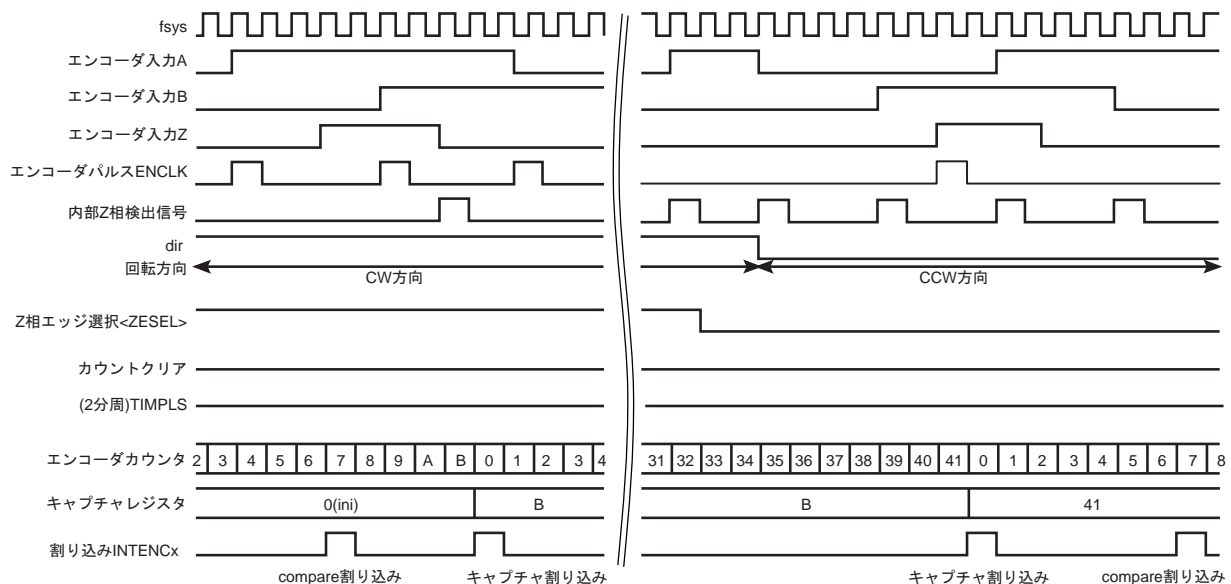
2. ENxTNCR<P3EN> = 0 のとき (ENxINT<INT[23:0]> = 0x000002)



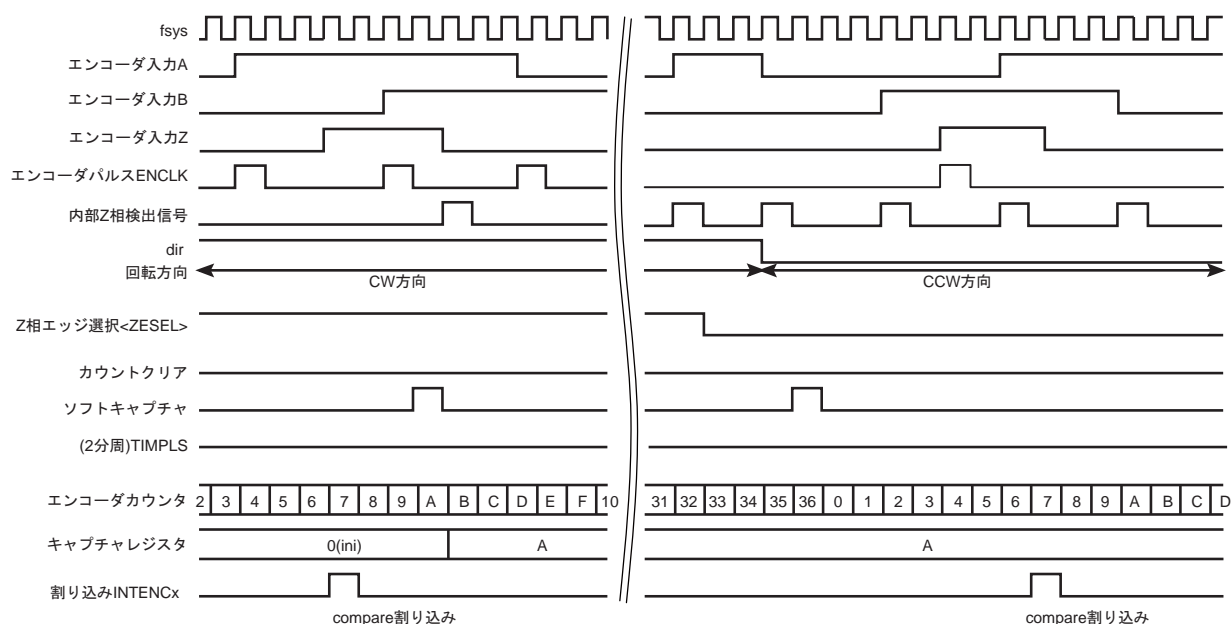
- ・ ホールセンサ入力を U、V、W 相に接続します。ENxTNCR<P3EN>=0 の場合は U、V 信号を 4 週倍、ENxTNCR<P3EN>=1 の場合は U、V、W 信号を 6 週倍して、ホールセンサパルス幅のカウントを行います。
- ・ カウンタは常に Up カウントを行い、ENCLK でカウンタが 0 クリアされます。また、カウンタ値が 0xFFFFF と等しくなったとき、カウンタが 0 クリアされます。
- ・ ENxTNCR<ENCLR> に "1" が書き込まれると、カウンタは 0 クリアされます。
- ・ ENCLK により、発生時のカウンタ値がキャプチャされます。キャプチャした値は ENxCNT から読み出すことができます。
- ・ ENxTNCR<SFTCAP> に "1" が書き込まれると、発生時のカウンタ値がキャプチャされます。キャプチャは任意のタイミングで行うことができます。キャプチャした値は ENxCNT から読み出すことができます。
- ・ ENxTNCR<UD> は CW 方向に回転していることを検出しているときは "1"、CCW 方向のときは "0" がセットされます。
- ・ ENxTNCR<CMPEN>=1 のとき、ENxINT<INT[23:0]> の値とカウンタ値が等しくなったときに割り込みを発生させることができます。
- ・ ENxTNCR<UD> は ENxTNCR<ENRUN>=0 のときは 0 クリアされます。
- ・ 回転方向が変化した場合は ENxTNCR<REVERR>=1 にセットされます。フラグは読み出すことでクリアされます。
- ・ ENxCNT の値 (キャプチャ値) は、ENxTNCR<ENRUN> の値にかかわらず保持されます。ENxCNT のクリア要因はリセットのみです。

16.6.1.4 タイマモード

1. ENxTNCR<ZEN>=1 のとき (ENxINT<INT[23:0]>=0x000006)



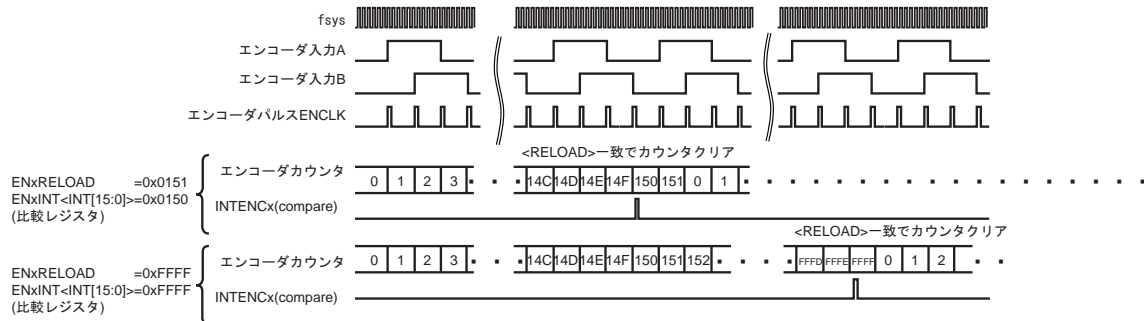
2. ENxTNCR<ZEN>=0 のとき (ENxINT<INT[23:0]>=0x000006)



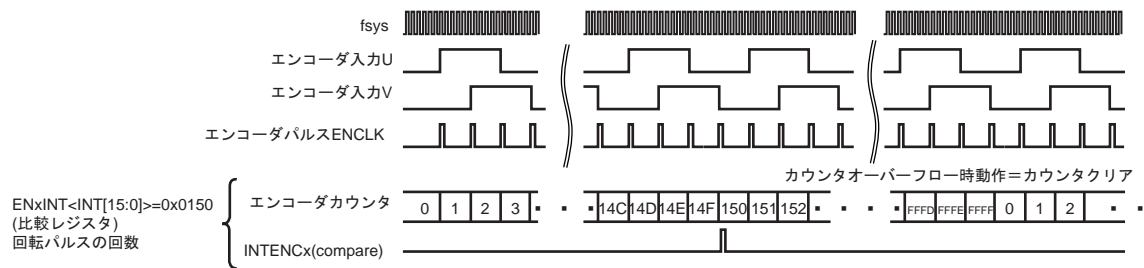
- $ENxTNCr<ZEN>=1$ のとき、Z 入力端子を外部トリガとして使います。 $ENxTNCr<ZEN>=0$ のとき、外部入力を使用しません。
- カウンタは常に Up カウントを行います。 $ENxTNCr<ZEN>=1$ の場合、 $ENxTNCr<ZESEL>=0$ のときは Z 相の立ち上がりエッジでカウンタが 0 クリアされ、 $ENxTNCr<ZESEL>=1$ のときは Z 相の立ち下がりエッジでカウンタが 0 クリアされます。また、エンコーダカウンタ値が $0xFFFFFFFF$ と等しくなったとき、カウンタが 0 クリアされます。
- $ENxTNCr<ENCLR>$ に "1" が書き込まれると、カウンタは 0 クリアされます。
- Z 相検出により、発生時のカウンタ値がキャプチャされます。キャプチャした値は $ENxCNT$ から読み出すことができます。
- $ENxTNCr<SFTCAP>$ に "1" が書き込まれると、発生時のエンコーダカウンタ値がキャプチャされます。キャプチャは任意のタイミングで行うことができます。キャプチャした値は $ENxCNT$ から読み出すことができます。
- $ENxTNCr<UD>$ は CW 方向に回転していることを検出しているときは "1"、CCW 方向のときは "0" がセットされます。
- $ENxTNCr<CMPEN>="1"$ のとき、 $ENxINT<INT[23:0]>$ の値とエンコーダカウンタ値が等しくなったときに割り込みを発生させることができます。
- $ENxTNCr<UD>$ は $ENxTNCr<ENRUN>="0"$ のときは 0 クリアされます。
- $ENxCNT$ の値 (キャプチャ値) は、 $ENxTNCr<ENRUN>$ の値にかかわらず保持されます。 $ENxCNT$ のクリア要因はリセットのみです。

16.6.2 カウンタおよび割り込み発生動作 ENxTNCR<CMPEN> = 1 のとき

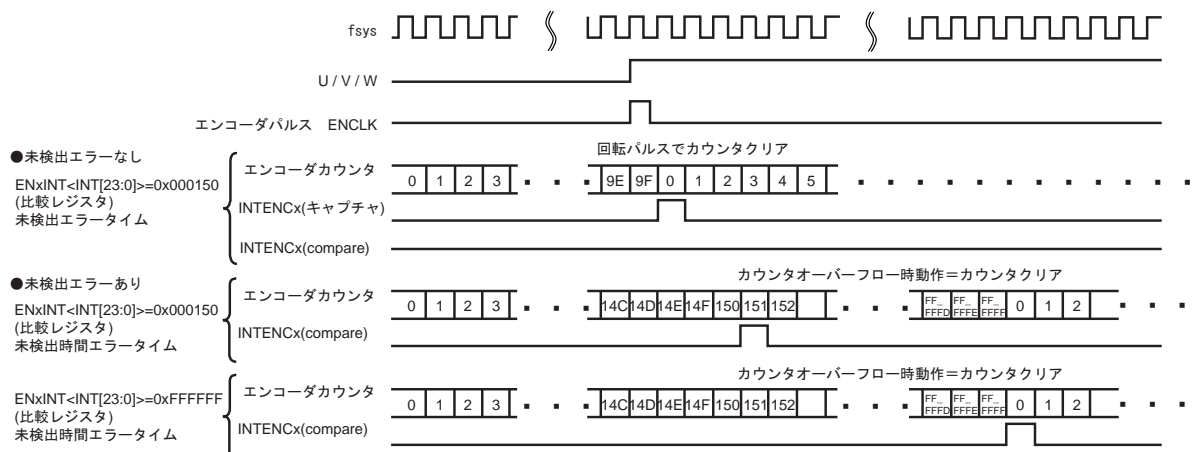
16.6.2.1 エンコーダモード



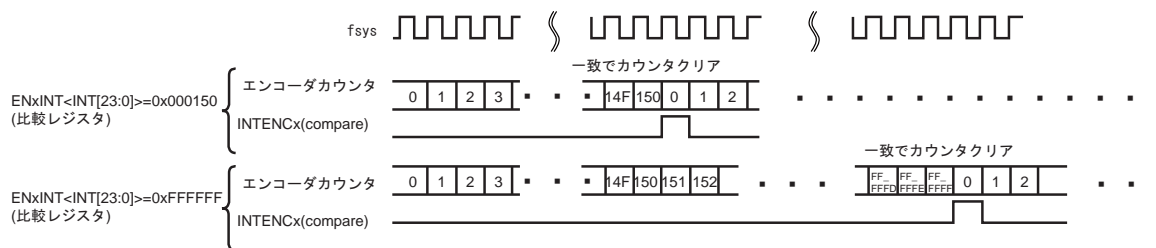
16.6.2.2 センサモード (イベントカウント)



16.6.2.3 センサモード (タイマカウント)



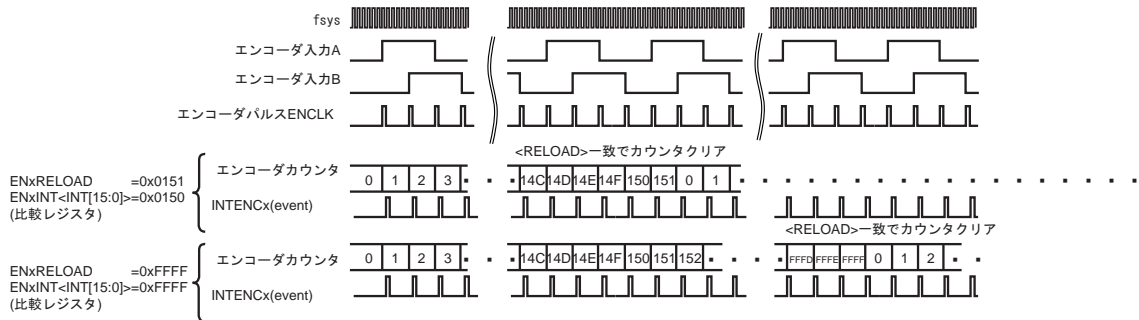
16.6.2.4 タイマモード



16.6.3 カウンタおよび割り込み発生動作 ENxTNCR<CMPEN> = 0 のとき

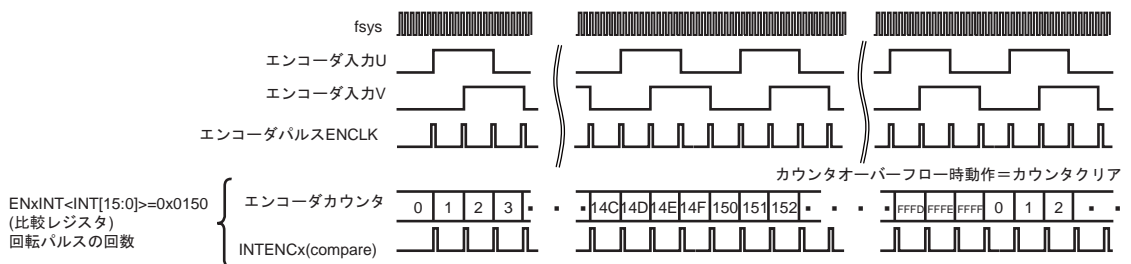
16.6.3.1 エンコーダモード

ENxTNCR<ENDEV[2:0]>="000"

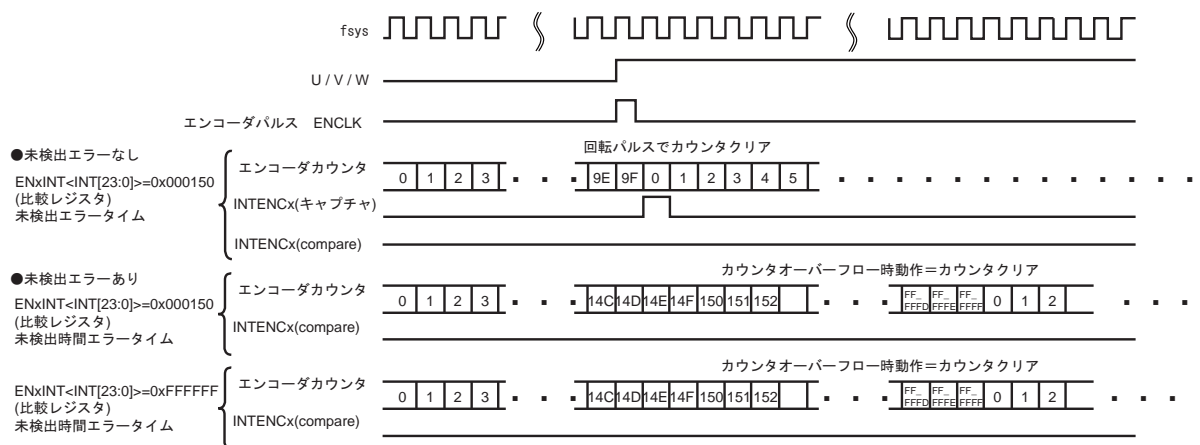


16.6.3.2 センサモード (イベントカウント)

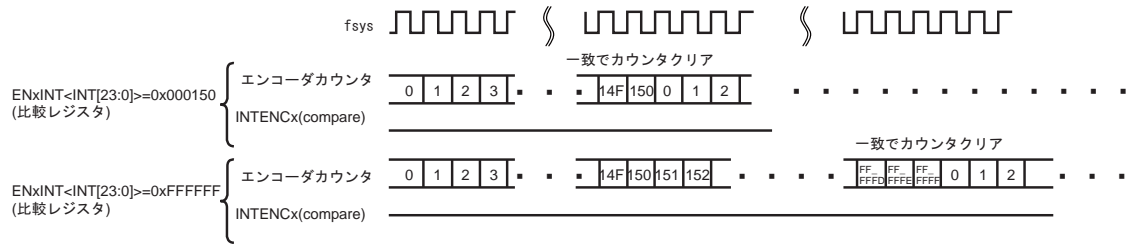
ENxTNCR<ENDEV[2:0]>="000"



16.6.3.3 センサモード (タイマカウント)



16.6.3.4 タイマモード



16.6.4 エンコーダ回転方向

A,B,Z 相の位相を判定します。

この回路は 2 相 (A,B) / 3 相 (A,B,Z) 入力兼用で使用します。3 相入力時は $ENxTNCR<P3EN> = 1$ に設定します。

	2 相入力時	3 相入力時
CW 方向	<p>A 0 1 1 0 0 1 B 0 0 1 1 0 0</p>	<p>A 0 1 1 1 0 0 0 1 1 B 0 0 0 1 1 1 0 0 0 Z 1 1 0 0 0 1 1 1 0</p>
CCW 方向	<p>A 0 0 1 1 0 0 B 0 1 1 0 0 1</p>	<p>A 1 1 0 0 0 1 1 1 0 B 0 0 0 1 1 1 0 0 0 Z 0 1 1 1 0 0 0 1 1</p>

16.6.5 カウンタ回路

カウンタ回路は、24bit のアップダウンカウンタを内蔵し、カウンタの制御を行います。

16.6.5.1 動作概要

動作モードにより、カウント動作、クリア、リロードを制御します。カウンタの制御を表 16-2 に示します。

表 16-2 カウンタの制御

モード <MODE[1:0]>	<ZEN>	<P3EN>	入力端子	カウント	動作	カウンタ クリア条件	カウンタ リロード条件	カウンタ動作 可能範囲 (リロード値)
エンコーダモード 00	0	0	A,B	エンコーダ パルス (ENCLK)	UP	[1]<ENCLR> = 1 WR [2]<RELOAD>と一致	-	0x0000~<REL OAD>
					DOWN	[1]<ENCLR> = 1 WR	[1]0x0000 と一致	
	1		A,B,Z		UP	[1]<ENCLR> = 1 WR [2]<RELOAD>と一致 [3]Z トリガ	-	
					DOWN	[1]<ENCLR> = 1 WR	[1]0x0000 と一致	
センサモード (イベントカウント) 01	0	0	U,V		UP	[1]<ENCLR> = 1 WR [2]0xFFFF と一致	-	0x0000~0xFFFF F
					DOWN	[1]<ENCLR> = 1 WR	[1]0x0000 と一致	
	1		U,V,W		UP	[1]<ENCLR> = 1 WR [2]0xFFFF と一致	-	
					DOWN	[1]<ENCLR> = 1 WR	[1]0x0000 と一致	
センサモード (タイマカウント) 10	0	0	U,V	fsys	UP	[1]<ENCLR> = 1 WR [2]0xFFFFF 0x0000 と一致	-	0x000000~0xF FFFF
					UP	[3] エンコーダパルス (ENCLK)	-	
1	U,V,W		UP		[1]<ENCLR> = 1 WR [2] 0xFFFFF と一致 [3]<INT[23:0]>と一致	-		
			UP		[1]<ENCLR> = 1 WR [2] 0xFFFFF と一致 [3] <INT[23:0]>と一致 [4]Z トリガ	-		
タイマモード 11	1	×	-		UP	[1]<ENCLR> = 1 WR [2] 0xFFFFF と一致 [3]<INT[23:0]>と一致	-	0x000000 ~ 0xFFFFF
					UP	[1]<ENCLR> = 1 WR [2] 0xFFFFF と一致 [3] <INT[23:0]>と一致 [4]Z トリガ	-	

注) カウンタの値は、ENxTNCR<ENRUN> = 0 を書き込んでもクリアされません。また、再度<ENRUN> = 1 とすると、停止時のカウンタ値からカウントを再開します。カウンタ値をクリアする場合は、<ENCLR> = 1 を書き込むことでソフトクリアしてください。

16.6.6 割り込み

割り込みには、イベント (分周パルス、キャプチャ) 割り込み、未検出時間異常割り込み、タイマコンペア割り込み、キャプチャ割り込みがあります。

16.6.6.1 動作概要

ENxTNCR<INTEN> = 1 のとき、カウンタ値およびエンコーダパルスにより割り込みを発生します。

割り込みの要因は、動作モードおよび ENxTNCR<CMPEN>、<ZEN> の設定により以下の 6 種類があります。表 16-3 に割り込み要因を示します。

表 16-3 割り込み要因

	割り込み要因	説明	モード	割り込み出力	Status フラグ
1	イベントカウント割り込み	<CMPEN> = 1 のとき、イベント (回転パルス) の発生をカウントするカウンタを使用し、設定回数 (= <INT[15:0]>) カウントされたことを通知します。	エンコーダモード および センサモード (イベントカウント)	<INTEN> = 1 かつ <CMPEN> = 1 時	あり <CMP>
2	イベント割り込み (分周パルス)	イベント (エンコーダパルス) の発生を、<ENDEV> の設定により 1 分周 ~ 128 分周して、通知します。		<INTEN> = 1 時	なし
3	イベント割り込み (キャプチャ割り込み)	イベント (エンコーダパルス) の発生およびイベント (回転パルス) でキャプチャが行われたことを通知します。		<INTEN> = 1 時	なし
4	未検出時間異常割り込み	<CMPEN> = 1 のとき、fsys でカウントしイベント (エンコーダパルス) でクリアするカウンタを使用し、イベントがある一定時間 (= <INT[23:0]>) 以上発生しないことを通知します。	センサモード (タイマカウント)	<INTEN> = 1 かつ <CMPEN> = 1 時	あり <CMP>
5	タイマコンペア割り込み	<CMPEN> = 1 のとき、タイマで設定時間 (= <INT[23:0]>) カウントしたことを通知します。	タイマモード	<INTEN> = 1 かつ <CMPEN> = 1 時	あり <CMP>
6	キャプチャ割り込み	外部トリガ (ENCZ 入力) でキャプチャが行われたことを通知します。		<INTEN> = 1 時	なし

センサモード (タイマカウント) およびタイマモード時は、エンコーダカウンタのキャプチャ動作が可能です。

キャプチャした値は、ENxCNT から読み出すことができます。

センサモード (タイマカウント) 時は、イベント発生 (エンコーダパルス) により、カウンタの値がキャプチャされます。ENxTNCR<SFTCAP> に "1" を書き込むことにより、ソフトキャプチャも可能です。

タイマモード時は、ENxTNCR<SFTCAP> に "1" を書き込むことにより、ソフトキャプチャが可能です。ENxTNCR<ZEN> = 1 設定時は、ENCZ 入力を使用して、ENxTNCR<ZESEL> に従ったエッジでの外部トリガキャプチャも可能です。

第 17 章 リアルタイムクロック(RTC)

17.1 RTC の機能概略

1. 時計機能(時間, 分, 秒)
2. カレンダー機能(月日, 週, うるう年)
3. 24 時間計と 12 時間計(AM/PM)のいずれかを選択可能
4. +/-30 秒補正機能(ソフトウェアによる補正)
5. アラーム機能(アラーム出力)
6. アラーム割り込み

17.2 ブロック図

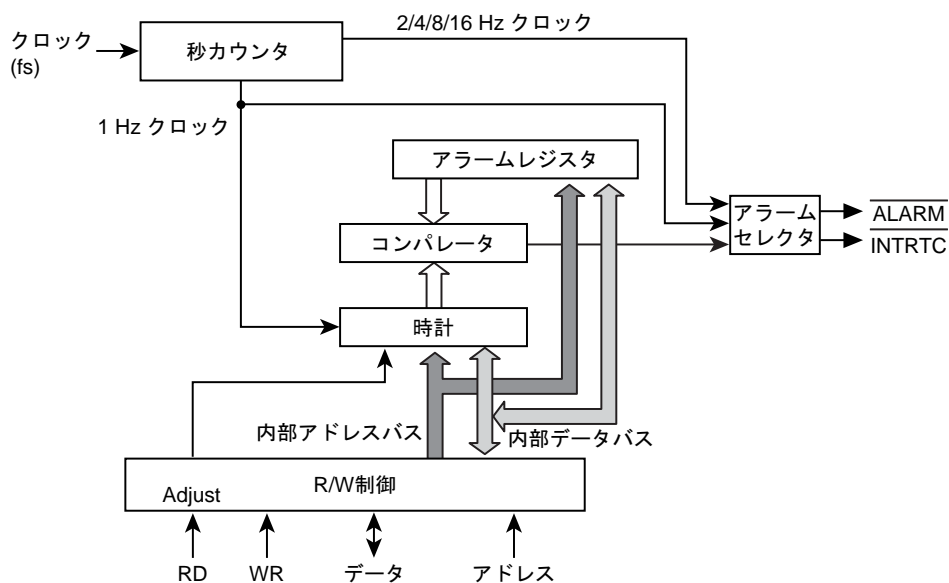


図 17-1 RTC ブロック図

注 1) 西暦年桁について

本製品は、年桁を下 2 桁しか持っていません。そのため 99 年の翌年は 00 年として動作します。使用するシステムにおいて、西暦で年桁を取り扱う場合にはシステム側にて上 2 桁を管理してください。

注 2) うるう年について

うるう年は、4 で割り切れる年ですが、例外があり 100 で割り切れる年はうるう年ではありません。ただし、400 で割り切れる年はうるう年です。しかし、本製品は上記例外に対応していません。4 で割り切れる年のみをうるう年としていませのでこの点が問題であればシステム側にてあらかじめ対策してください。

17.3 レジスタ説明

17.3.1 レジスタ一覧

RTC 関連のレジスタとアドレスを以下に示します。

RTC には PAGE0(時計機能)と PAGE1(アラーム機能)の 2 つの機能があり、一部のレジスタを共用しています。PAGE の選択は、RTCPAGER<PAGE>で行います。

Base Address = 0x4004_0100

レジスタ名		Address(Base+)
秒桁レジスタ(PAGE0のみ)	RTCSECR	0x0000
分析レジスタ	RTCMINR	0x0001
時間桁レジスタ	RTCHOURR	0x0002
- (注 1)	-	0x0003
曜日桁レジスタ	RTCDAYR	0x0004
日桁レジスタ	RTCDATER	0x0005
月桁レジスタ(PAGE0)	RTCMONTHR	0x0006
24 時間時計、12 時間時計の選択レジスタ(PAGE1)		
年桁レジスタ(PAGE0)	RTCYEARR	0x0007
うるう年レジスタ(PAGE1)		
PAGE レジスタ	RTCPAGER	0x0008
- (注 1)	-	0x0009
- (注 1)	-	0x000A
- (注 1)	-	0x000B
リセットレジスタ	RTCRESTR	0x000C
Reserved	-	0x000D
- (注 1)	-	0x000E
- (注 1)	-	0x000F

注 1) リードすると"0"が読めます。また、書き込みは無視されます。

注 2) "Reserved"表記のアドレスにはアクセスしないでください。

17.3.2 コントロールレジスタ

リセット動作により下記レジスタが初期化されます。

- ・ RTCPAGER<PAGE>, <ADJUST>, <INTENA>
- ・ RTCRESTR<RSTALM>, <RSTTMR>, <DIS16HZ>, <DIS1HZ>, <DIS2HZ>, <DIS4HZ>, <DIS8HZ>

これ以外の時計機能に関するレジスタはリセット動作が行なわれても初期化されません。

RTC を使用する際には各レジスタに時刻/月日曜日年うるう年を設定後、動作を開始します。

時計データの設定、秒補正、時計リセットを行う場合注意が必要です。後述の「17.4.3 低消費電力モードへ遷移する場合」を参照してください。

注) 本製品は、外部低速発振子接続端子(XT1/XT2)が汎用ポートと兼用になります。外部低速発振子接続端子として使用する場合は「クロック/モード制御」の章をご参照ください。

表 17-1 PAGE0 (時計機能)レジスタ

Symbol	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	設定内容
RTCSECR	-	40 秒	20 秒	10 秒	8 秒	4 秒	2 秒	1 秒	秒桁
RTCMINR	-	40 分	20 分	10 分	8 分	4 分	2 分	1 分	分桁
RTCHOURR	-	-	20 時/ PM/AM	10 時	8 時	4 時	2 時	1 時	時間桁
RTCDAYR	-	-	-	-	-	曜日設定			曜日桁
RTCDATER	-	-	20 日	10 日	8 日	4 日	2 日	1 日	日桁
RTCMONTHR	-	-	-	10 月	8 月	4 月	2 月	1 月	月桁
RTCYEARR	80 年	40 年	20 年	10 年	8 年	4 年	2 年	1 年	年桁(西暦下 2 桁)
RTCPAGER	割り込み 許可	-	-	秒補正 設定	時計許可	アラーム 許可	-	PAGE 設定	PAGE レジスタ
RTCRESTR	1 Hz 許可	16 Hz 許可	時計 リセット	アラーム リセット	-	2 Hz 許可	4 Hz 許可	8 Hz 許可	リセット レジスタ

注) PAGE0 の RTCSECR, RTCMINR, RTCHOURR, RTCDAYR, RTCMONTHR, RTCYEARR はリードすると現在の状態がリードされます。

表 17-2 PAGE1 (アラーム機能)レジスタ

Symbol	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	設定内容
RTCSECR	-	-	-	-	-	-	-	-	-
RTCMINR	-	40 分	20 分	10 分	8 分	4 分	2 分	1 分	アラーム分桁
RTCHOURR	-	-	20 時/ PM/AM	10 時	8 時	4 時	2 時	1 時	アラーム時間桁
RTCDAYR	-	-	-	-	-	曜日設定			アラーム曜日桁
RTCDATER	-	-	20 日	10 日	8 日	4 日	2 日	1 日	アラーム日桁
RTCMONTHR	-	-	-	-	-	-	-	24/12	24 時間クロックモード
RTCYEARR	-	-	-	-	-	-	うるう年設定		うるう年モード
RTCPAGER	割り込み 許可	-	-	秒補正 設定	時計許可	アラーム 許可	-	PAGE 設定	PAGE レジスタ
RTCRESTR	1 Hz 許可	16 Hz 許可	時計 リセット	アラーム リセット	-	2 Hz 許可	4 Hz 許可	8 Hz 許可	リセット レジスタ

注 1) PAGE1 の RTCMINR, RTCHOURR, RTCDAYR, RTCMONTHR, RTCYEARR はリードすると現在の状態がリードされます。

注 2) PAGE0 の RTCSECR, RTCMINR, RTCHOURR, RTCDAYR, RTCDATER, RTCMONTHR, RTCYEARR および PAGE1 の RTCYEARR(うるう年)レジスタのリード動作は 2 回行い、比較処理を行ってください。

17.3.3 レジスタ詳細

17.3.3.1 RTCSECR(秒桁レジスタ(PAGE0のみ))

	7	6	5	4	3	2	1	0
bit symbol	-	SE						
リセット後	0	不定	不定	不定	不定	不定	不定	不定

Bit	Bit Symbol	Type	機能
7	-	R	リードすると"0"が読めます。
6-0	SE	R/W	秒桁設定 000_0000 : 00 秒 001_0000 : 10 秒 010_0000 : 20 秒 000_0001 : 01 秒 001_0001 : 11 秒 . 000_0010 : 02 秒 001_0010 : 12 秒 011_0000 : 30 秒 000_0011 : 03 秒 001_0011 : 13 秒 . 000_0100 : 04 秒 001_0100 : 14 秒 100_0000 : 40 秒 000_0101 : 05 秒 001_0101 : 15 秒 . 000_0110 : 06 秒 001_0110 : 16 秒 101_0000 : 50 秒 000_0111 : 07 秒 001_0111 : 17 秒 . 000_1000 : 08 秒 001_1000 : 18 秒 . 000_1001 : 09 秒 001_1001 : 19 秒 101_1001 : 59 秒

注) 上記以外の設定はしないでください。

17.3.3.2 RTCMINR(分桁レジスタ(PAGE0/1))

	7	6	5	4	3	2	1	0
bit symbol	-	MI						
リセット後	0	不定	不定	不定	不定	不定	不定	不定

Bit	Bit Symbol	Type	機能
7	-	R	リードすると"0"が読めます。
6-0	MI	R/W	分桁設定 000_0000 : 00 分 001_0000 : 10 分 010_0000 : 20 分 111_1111 : don't care 000_0001 : 01 分 001_0001 : 11 分 . (PAGE1のみ) 000_0010 : 02 分 001_0010 : 12 分 011_0000 : 30 分 000_0011 : 03 分 001_0011 : 13 分 . 000_0100 : 04 分 001_0100 : 14 分 100_0000 : 40 分 000_0101 : 05 分 001_0101 : 15 分 . 000_0110 : 06 分 001_0110 : 16 分 101_0000 : 50 分 000_0111 : 07 分 001_0111 : 17 分 . 000_1000 : 08 分 001_1000 : 18 分 . 000_1001 : 09 分 001_1001 : 19 分 101_1001 : 59 分

注) 上記以外の設定はしないでください。

17.3.3.3 RTCHOURR(時間桁レジスタ(PAGE0/1))

(1) 24 時間クロックモード(RTCMONTHR<MO0> = "1")の場合

	7	6	5	4	3	2	1	0
bit symbol	-	-	HO					
リセット後	0	0	不定	不定	不定	不定	不定	不定

Bit	Bit Symbol	Type	機能
7-6	-	R	リードすると"0"が読めます。
5-0	HO	R/W	時間桁設定 00_0000 : 00 時 01_0000 : 10 時 10_0000 : 20 時 00_0001 : 01 時 01_0001 : 11 時 10_0001 : 21 時 00_0010 : 02 時 01_0010 : 12 時 10_0010 : 22 時 00_0011 : 03 時 01_0011 : 13 時 10_0011 : 23 時 00_0100 : 04 時 01_0100 : 14 時 00_0101 : 05 時 01_0101 : 15 時 11_1111 : don't care 00_0110 : 06 時 01_0110 : 16 時 (PAGE1 のみ) 00_0111 : 07 時 01_0111 : 17 時 00_1000 : 08 時 01_1000 : 18 時 00_1001 : 09 時 01_1001 : 19 時

注) 上記以外の設定はしないでください。

(2) 12 時間クロックモード(RTCMONTHR<MO0> = "0")の場合

	7	6	5	4	3	2	1	0
bit symbol	-	-	HO					
リセット後	0	0	不定	不定	不定	不定	不定	不定

Bit	Bit Symbol	Type	機能
7-6	-	R	リードすると"0"が読めます。
5-0	HO	R/W	時間桁設定 (AM) (PM) 00_0000 : 00 時 10_0000 : 00 時 11_1111 : don't care 00_0001 : 01 時 10_0001 : 01 時 (PAGE1 のみ) 00_0010 : 02 時 10_0010 : 02 時 00_0011 : 03 時 10_0011 : 03 時 00_0100 : 04 時 10_0100 : 04 時 00_0101 : 05 時 10_0101 : 05 時 00_0110 : 06 時 10_0110 : 06 時 00_0111 : 07 時 10_0111 : 07 時 00_1000 : 08 時 10_1000 : 08 時 00_1001 : 09 時 10_1001 : 09 時 01_0000 : 10 時 11_0000 : 10 時 01_0001 : 11 時 11_0001 : 11 時

注) 上記以外の設定はしないでください。

17.3.3.4 RTCDAYR(曜日桁レジスタ(PAGE0/1))

	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	WE		
リセット後	0	0	0	0	0	不定	不定	不定

Bit	Bit Symbol	Type	機能
7-3	-	R	リードすると"0"が読めます。
2-0	WE	R/W	曜日桁設定 000 : 日曜日 111 : don't care 001 : 月曜日 (PAGE1 のみ) 010 : 火曜日 011 : 水曜日 100 : 木曜日 101 : 金曜日 110 : 土曜日

注) 上記以外の設定はしないでください。

17.3.3.5 RTCDATER(日桁レジスタ(PAGE0/1))

	7	6	5	4	3	2	1	0
bit symbol	-	-	DA					
リセット後	0	0	不定	不定	不定	不定	不定	不定

Bit	Bit Symbol	Type	機能
7-6	-	R	リードすると"0"が読めます。
5-0	DA	R/W	日桁設定 01_0000 : 10 日 10_0000 : 20 日 11_0000 : 30 日 00_0001 : 01 日 01_0001 : 11 日 10_0001 : 21 日 11_0001 : 31 日 00_0010 : 02 日 01_0010 : 12 日 10_0010 : 22 日 00_0011 : 03 日 01_0011 : 13 日 10_0011 : 23 日 11_1111 : don't care 00_0100 : 04 日 01_0100 : 14 日 10_0100 : 24 日 (PAGE1 のみ) 00_0101 : 05 日 01_0101 : 15 日 10_0101 : 25 日 00_0110 : 06 日 01_0110 : 16 日 10_0110 : 26 日 00_0111 : 07 日 01_0111 : 17 日 10_0111 : 27 日 00_1000 : 08 日 01_1000 : 18 日 10_1000 : 28 日 00_1001 : 09 日 01_1001 : 19 日 10_1001 : 29 日

注 1) 上記以外の設定はしないでください。

注 2) 2月30日など、存在しない日は設定しないでください。

17.3.3.6 RTCMONTHR(月桁レジスタ(PAGE0のみ))

	7	6	5	4	3	2	1	0
bit symbol	-	-	-	MO				
リセット後	0	0	0	不定	不定	不定	不定	不定

Bit	Bit Symbol	Type	機能
7-5	-	R	リードすると"0"が読めます。
4-0	MO	R/W	月桁設定 0_0001 : 1月 0_0111 : 7月 0_0010 : 2月 0_1000 : 8月 0_0011 : 3月 0_1001 : 9月 0_0100 : 4月 1_0000 : 10月 0_0101 : 5月 1_0001 : 11月 0_0110 : 6月 1_0010 : 12月

注) 上記以外の設定はしないでください。

17.3.3.7 RTCMONTHR(24 時間時計, 12 時間時計の選択レジスタ(PAGE1のみ))

	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	MO0
リセット後	0	0	0	0	0	0	0	不定

Bit	Bit Symbol	Type	機能
7-1	-	R	リードすると"0"が読めます。
0	MO0	R/W	0 : 12 時間 1 : 24 時間

注) RTC 動作時(RTCPAGER<ENATMR> = "1")には、RTCMONTHR<MO0>を操作しないでください。

17.3.3.8 RTCYEARR(年桁レジスタ(PAGE0 のみ))

	7	6	5	4	3	2	1	0
bit symbol	YE							
リセット後	不定	不定	不定	不定	不定	不定	不定	不定

Bit	Bit Symbol	Type	機能		
7-0	YE	R/W	年桁設定		
			0000_0000 : 00 年	0001_0000 : 10 年	0110_0000 : 60 年
			0000_0001 : 01 年	.	.
			0000_0010 : 02 年	0010_0000 : 20 年	0111_0000 : 70 年
			0000_0011 : 03 年	.	.
			0000_0100 : 04 年	0011_0000 : 30 年	1000_0000 : 80 年
			0000_0101 : 05 年	.	.
			0000_0110 : 06 年	0100_0000 : 40 年	1001_0000 : 90 年
			0000_0111 : 07 年	.	.
			0000_1000 : 08 年	01001_0000 : 50 年	.
			0000_1001 : 09 年	.	1001_1001 : 99 年

注) 上記以外の設定はしないでください。

17.3.3.9 RTCYEARR(うるう年レジスタ(PAGE1 のみ))

	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	LEAP	
リセット後	0	0	0	0	0	0	不定	不定

Bit	Bit Symbol	Type	機能
7-2	-	R	リードすると"0"が読めます。
1-0	LEAP	R/W	00 : 現在の年(今年)がうるう年 01 : 現在がうるう年から 1 年目 10 : 現在がうるう年から 2 年目 11 : 現在がうるう年から 3 年目

17.3.3.10 RTCPAGER(PAGE レジスタ(PAGE0/1))

	7	6	5	4	3	2	1	0
bit symbol	INTENA	-	-	ADJUST	ENATMR	ENAALM	-	PAGE
リセット後	0	0	0	0	不定	不定	0	0

Bit	Bit Symbol	Type	機能
7	INTENA	R/W	INTRTC 0: 禁止 1: 許可
6-5	-	R	リードすると"0"が読めます。
4	ADJUST	R/W	[ライト] 0: Don't care 1: ADJUST 要求セット 秒を補正します。要求は秒カウンタのカウントアップ時にサンプリングされ、秒が 0~29 秒の場合秒桁のみ "0" になります。また、30~59 秒のときは分を桁上げて秒を"0"にします。 [リード] 0: ADJUST 要求なし 1: ADJUST 要求あり "1"の場合 ADJUST 実行中を示し、"0"で処理が終了したことを示します。
3	ENATMR	R/W	時計 0: 禁止 1: 許可
2	ENAALM	R/W	ALARM 0: 禁止 1: 許可
1	-	R	リードすると"0"が読めます。
0	PAGE	R/W	PAGE 設定 0:Page0 が選択されます。 1:Page1 が選択されます。

- 注 1) このレジスタはリードモディファイライトできません。
- 注 2) <ENATMR>割り込み許可ビットと、<INTENA>の割り込み許可ビットは下記の設定順番を守り、同時に設定しないようにしてください。(時計許可と割り込み許可の設定間に時間差を設ける。) また、<ENATMR><ENAALM>の設定を変更する際には、<INTENA>を禁止してから行ってください。

(例)現時刻、アラーム設定

		7	6	5	4	3	2	1	0	
RTCPAGER	←	0	0	0	0	1	1	0	0	時計、アラーム許可
RTCPAGER	←	1	0	0	0	1	1	0	0	割り込み許可

17.3.3.11 RTCRESTR(リセットレジスタ(PAGE0/1))

	7	6	5	4	3	2	1	0
bit symbol	DIS1HZ	DIS16HZ	RSTTMR	RSTALM	-	DIS2HZ	DIS4HZ	DIS8HZ
リセット後	1	1	0	0	0	1	1	1

Bit	Bit Symbol	Type	機能
7	DIS1HZ	R/W	1 Hz 割り込み 0: 許可 1: 禁止
6	DIS16HZ	R/W	16 Hz 割り込み 0: 許可 1: 禁止
5	RSTTMR	R/W	[ライト] 0: Don't care 1: 秒カウンタリセット 秒カウンタをリセットします。要求は低速クロックでサンプリングされます。 [リード] 0: リセット要求なし 1: リセット要求あり "1"の場合リセット実行中を示し、"0"で処理が終了したことを示します。
4	RSTALM	R/W	0: Don't care 1: アラームリセット アラームレジスタ(分, 時, 日, 週桁レジスタ)を初期化します。 初期化後は、00 分, 00 時, 01 日, 日曜日になります。
3	-	R	リードすると"0"が読めます。
2	DIS2HZ	R/W	2 Hz 割り込み 0: 許可 1: 禁止
1	DIS4HZ	R/W	4 Hz 割り込み 0: 許可 1: 禁止
0	DIS8HZ	R/W	8 Hz 割り込み 0: 許可 1: 禁止

注) このレジスタはリードモディファイライトできません。

アラーム、1Hz 割り込み、2Hz 割り込み、4Hz 割り込み、8Hz 割り込み、16Hz 割り込み、で使用する場合の<DIS1HZ>,<DIS2HZ>,<DIS4HZ>,<DIS8HZ>,<DIS16HZ>,RTCPAGER<ENAALM>の設定を以下に示します。

表 17-3 割り込みソース信号の選択

<DIS1HZ>	<DIS2HZ>	<DIS4HZ>	<DIS8HZ>	<DIS16HZ>	RTCPAGER <ENAALM>	割り込みソース信号
1	1	1	1	1	1	アラーム
0	1	1	1	1	0	1 Hz
1	0	1	1	1	0	2 Hz
1	1	0	1	1	0	4Hz
1	1	1	0	1	0	8Hz
1	1	1	1	0	0	16 Hz
その他						割り込みは発生しません。

17.4 動作説明

RTC 内部には 32.768 kHz の信号から 1 Hz の信号を発生する秒カウンタが内蔵されており、このカウンタの動作を考慮して使用する必要があります。

注) リセット後、低速クロックの発振は停止します。また、XT1/XT2 端子はポート(PP0,PP1)に初期化されます。RTC のレジスタを再度セットアップして下さい。

17.4.1 時計データをリードする場合

1. 1 Hz 割り込みを利用する

秒カウンタのカウントアップに同期して 1 Hz の割り込みが発生しますので、1 Hz 割り込みを待って、データをリードすれば、正常にデータリードできます。

2. 2 度読みを利用する

時計データのリード動作の途中で内部カウンタの桁上げが起こると誤ったデータをリードする場合があります。従って、データを正しく読み込むために、下記の方法で 2 度以上リードしてください。

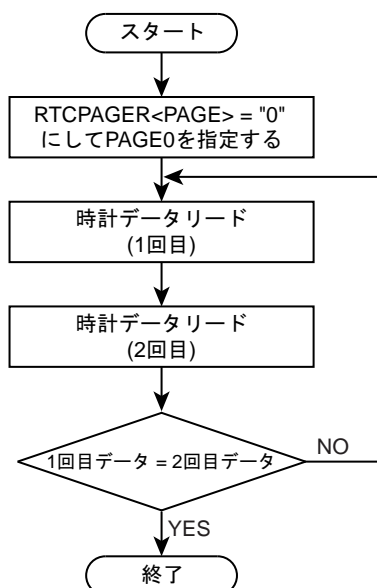


図 17-2 時計データのリードフロー

17.4.2 時計データをライトする場合

一連のデータライト動作の途中で桁上げ信号が入ってくると、期待するデータはライトできません。従って、データを正しくライトするためには次の方法があります。

1. 1 Hz 割り込みを利用する

秒カウンタのカウントアップに同期して 1 Hz の割り込みが発生しますので、1Hz 割り込みを待って、次の 1 s カウントアップまでの間にデータをライトすれば、正常にデータライトできます。

2. カウンタをリセットする

秒カウンタをリセットした後にデータをライトします。

カウンタリセット後に 1 Hz 割り込みを許可した場合、1 秒後に 1 Hz 割り込みが発生しますので、1 秒以内に時間設定を行うようにしてください。

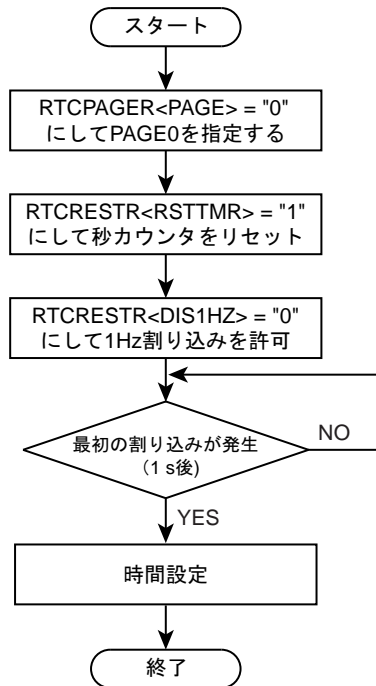


図 17-3 データライトのフロー

3. 時計を禁止する

RTCPAGER<ENATMR>に"0"をライトすると、時計は禁止となって桁上げは禁止されま

す。1 Hz 割り込み発生後に時計を停止し(このとき秒カウンタは動作を継続)、次の 1 Hz 割り込みが発生する前(1 s 以内)に再度時計データを設定し時計を許可してください。

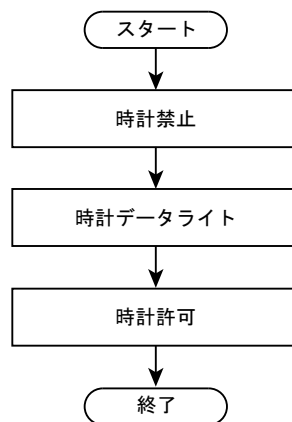


図 17-4 時計を禁止するフローチャート

17.4.3 低消費電力モードへ遷移する場合

時計データの設定, 秒補正, 時計リセット後にシステムクロックが停止するモード(SLEEP モード)へ遷移する場合、必ず以下のどちらかの手順で行ってください。

1. 時計データの変更または<ADJUST>, <RSTTMR>操作後に 1 秒割り込みの発生を待つ。
2. 時計データの変更または<ADJUST>, <RSTTMR>操作後、時計レジスタ値<ADJUST>/<RSTTMR>の値を Read し、反映を確認する。

17.5 アラーム機能の説明

RTCPAGER<PAGE>に"1"をライトすることにより、PAGE1 のレジスタ群でアラーム機能が使用できます。 $\overline{\text{ALARM}}$ 端子からは以下 2 つの信号のいずれかを出力できます。

1. アラームレジスタと時計の一致時、"Low"パルスを出力
2. 1Hz, 2Hz, 4Hz, 8Hz, 16Hz 周期の"Low"パルスを出力

いずれの場合も、低速クロック 1 周期分のパルスを出力します。また、同時に INTRTC 割り込みの要求を出力します。INTRTC 割り込み信号は、立ち下がりエッジが有効ですので、CG 割り込みモードコントロールレジスタのアクティブ状態の設定は、"立ち下がりエッジ"に設定してください。

17.5.1 アラームレジスタと時計の一致時、 $\overline{\text{ALARM}}$ 端子からパルスを出力

PAGE1 のアラームレジスタと PAGE0 の時計の内容が一致したときに $\overline{\text{ALARM}}$ 端子に"Low"パルスを出力するとともに、INTRTC 割り込みを発生し、その時刻になったことを知らせます。

アラームを使用する方法を下記に説明します。

まずアラーム禁止状態で、初期化を行います。アラームの初期化は RTCRESTR<RSTALM>に"1"をライトすることにより行われ、アラーム分析、アラーム時桁、アラーム日桁、アラーム曜日桁は 00 分, 00 時, 01 日, 日曜日になります。

PAGE1 のアラーム分析、アラーム時桁、アラーム日桁、アラーム曜日桁の設定を行い、RTCPAGER<ENAALM>でアラームを許可します。

最後に RTCPAGER<INTENA>で割り込みを許可します。

例えば、月曜日 5 日正午(12:00)にアラームを出力させる場合のプログラムを下記に示します。

	7	6	5	4	3	2	1	0	
RTCPAGER ←	0	0	0	0	1	0	0	1	アラーム禁止, PAGE1 設定
RTCRESTR ←	1	1	0	1	0	0	0	0	アラーム初期化
RTCDAYR ←	0	0	0	0	0	0	0	1	月曜日
RTCDATER ←	0	0	0	0	0	1	0	1	5 日
RTCHOURR ←	0	0	0	1	0	0	1	0	12 時設定
RTCMINR ←	0	0	0	0	0	0	0	0	00 分設定
RTCPAGER ←	0	0	0	0	1	1	0	0	アラーム許可
RTCPAGER ←	1	0	0	0	1	1	0	0	割り込み許可

アラーム設定は、低速クロックに同期して動作していますので、CPU が高周波で動作している場合、レジスタ設定してから有効になるまでに最大 fs の 1 クロック分(約 30 μs)の遅れが生じることがあります。

17.5.2 1 Hz, 2 Hz, 4 Hz, 8 Hz, 16 Hz のパルスを出力する場合

RTCPAGER<ENAALM>, RTCRESTR を表 17-3 のように設定後、RTCPAGER<INTENA> = "1"を設定すると ALARM 端子に 1 Hz, 2 Hz, 4 Hz, 8 Hz, 16 Hz 周期の低速クロック 1 周期分の "Low" パルスを出力します。また、同時に INTRTC 割り込みを出力します。

第 18 章 パワーオンリセット回路(POR)

パワーオンリセット回路(POR)は、電源投入時にパワーオンリセット信号を発生します。

電源電圧とは、DVDD5 を指しています。

18.1 構成

パワーオンリセット回路は、基準電圧発生回路、コンパレータおよびパワーオンカウンタから構成されます。

電源電圧をラダー抵抗によって分圧した電圧それぞれを基準電圧発生回路が発生した基準電圧とコンパレータで比較します。

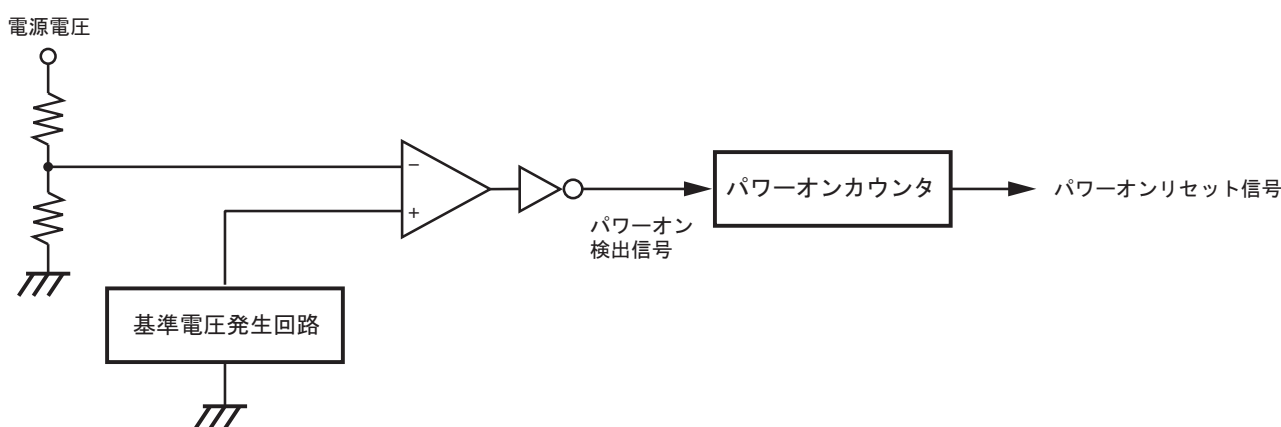


図 18-1 パワーオンリセット回路

18.2 機能

電源投入時、電源電圧が解除電圧以下の間、パワーオン検出信号が発生されます。パワーオン検出信号が解除されるのは、DVDD5 が 2.8V を超えるタイミングです。

パワーオン検出信号が解除されるとパワーオンカウンタ回路が動作し約 0.8ms 後にパワーオンリセット信号が解除されます。

パワーオンリセット信号が発生している間、CPU および周辺機能はリセットされます。

リセット端子入力を使用しない場合、パワーオンリセット信号解除までに電源電圧を推奨動作範囲まで上昇させてください。電源電圧が推奨動作範囲に到達しない場合、TMPM380DFDG は正常に動作することができません。

注) 電源電圧の変動によりパワーオンリセット回路が完全な動作をしないことがあります。機器設計的には電気的特性を参照の上十分な考慮をしてください。

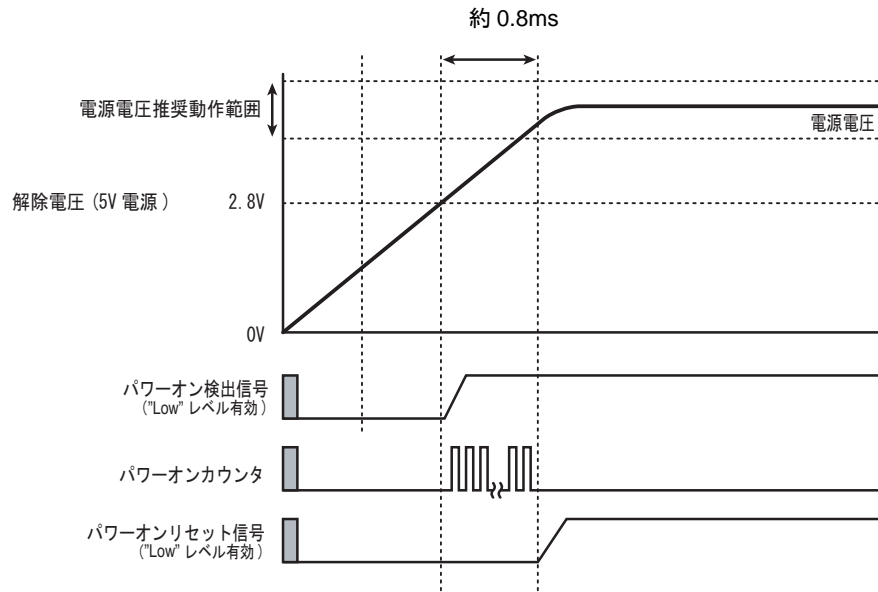


図 18-2 パワーオンリセット動作タイミング

第 19 章 電圧検出回路(VLTD)

電圧検出回路は、電源電圧の低下を検出し NMI を発生します。

電源電圧とは、DVDD5 を指しています。

注) 電源電圧の変動によっては電圧検出回路が完全な動作をしないことがありますので、機器設計時には電気的特性を参照の上、十分な考慮が必要です。

19.1 構成

電圧検出回路は、基準電圧発生回路、検出電圧選択回路、コンパレータ、制御レジスタから構成されます。

電源電圧はラダー抵抗で分圧され、検出電圧選択回路に入力されます。検出電圧選択回路で検出電圧に応じた電圧が選択され、コンパレータで基準電圧と比較されます。電源電圧が検出電圧を下回ると NMI を発生します。

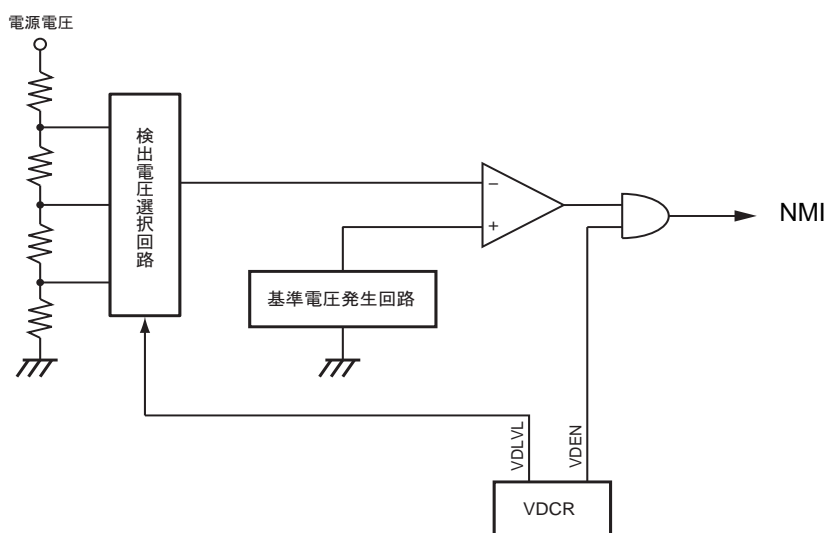


図 19-1 VLTD ブロック図

19.2 レジスタ説明

19.2.1 レジスタ一覧

Base Address = 0x4004_0900

レジスタ名		Address(Base+)
制御レジスタ	VDCR	0x0000
ステータスレジスタ	VDSR	0x0004

19.2.2 VDCR (制御レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	VDLVL		VDEN
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31 - 3	-	R	リードすると"0"が読めます。
2 - 1	VDLVL[1:0]	R/W	検出電圧 00: Reserved 01: 4.1 ± 0.2V 10: 4.4 ± 0.2V 11: 4.6 ± 0.2V
0	VDEN	R/W	電圧検出動作 0: 禁止 1: 許可

注) VDCR はパワーオンリセット、リセット端子によるリセットで初期化されます。

19.2.3 VDSR (ステータスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	VDSR
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31 - 1	-	R	リードすると"0"が読めます。
0	VDSR	R	電圧検出ステータス 0: 電源電圧は検出電圧以上 1: 電源電圧は検出電圧以下

19.3 動作説明

19.3.1 検出電圧の選択と電圧検出動作の許可

VDCR で検出電圧の選択と検出動作の許可を設定します。VDCR はパワーオンリセットとリセット端子によるリセットで初期化されます。

VDCR<VDLVL[1:0]>で検出電圧を選択し、VDCR<VDEN>を"1"にセットすると電圧検出動作が許可されます。

注) 電源電圧が検出電圧より低い状態で電圧検出動作を許可した場合、その時点で NMI が発生します。

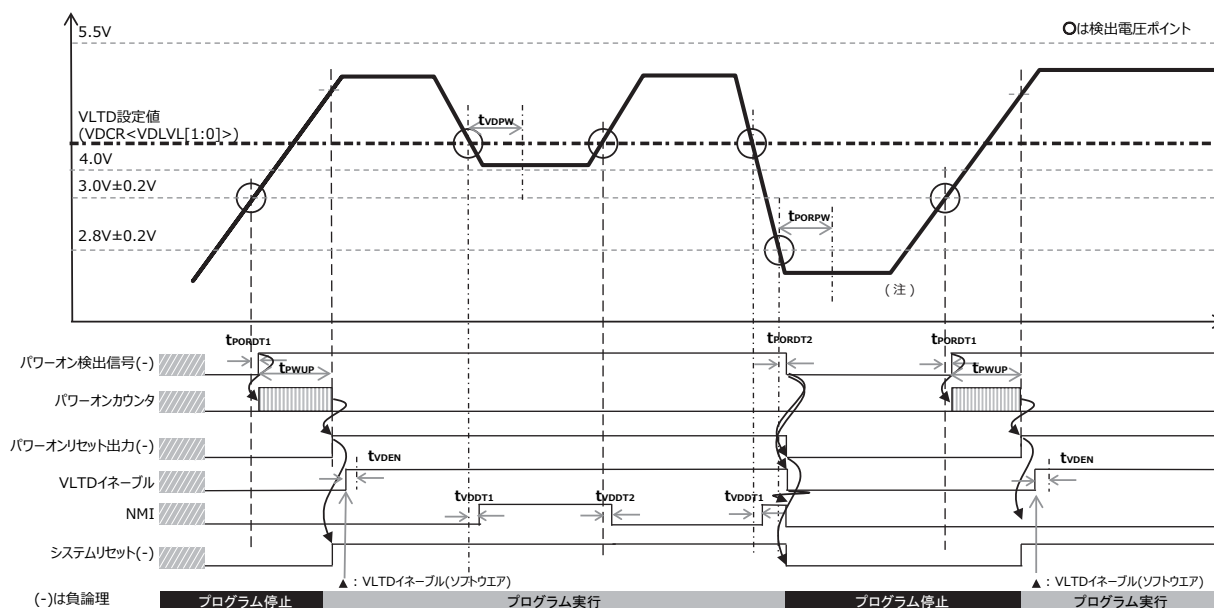
19.3.2 電圧低下の検出

電源電圧が設定された検出電圧レベルを下回ると、NMI を発生し、電源電圧が設定された検出電圧より低い間、NMI は発生し続けます。

電圧低下が検出され NMI が検出されるためにはある程度の時間が必要です。電源電圧が検出電圧を下回る期間が短いと NMI が発生しない場合があります。

電源電圧が 4.0V より下がった場合の動作は保証できません。電源電圧を一度 0V まで下げてから電源投入を行ってください。

19.3.3 パワーオンリセットと VLTD の動作例



注) 電源電圧が 4.0V より下がった場合の動作は保証できません。電源電圧を一度 0V まで下げてから電源投入を行ってください。

図 19-2 パワーオンリセットと VLTD の動作例

19.3.3.1 POR

項目	記号	Min	Typ.	Max	単位
POR 解除応答時間	t _{PORDT1}	-	30	-	μs
POR 検出応答時間	t _{PORDT2}	-	30	-	
POR 検出パルス幅	t _{PORPW}	45	-	-	
パワーオンカウント時間	t _{PWUP}	-	2 ¹³ f _{Osc2} (注)	-	ms

注) f_{Osc2}=9.0MHz ± 15%

19.3.3.2 VLTD

項目	記号	Min	Typ.	Max	単位
VLTD 検出応答時間	t _{VDDT1}	-	40	-	μs
VLTD 解除応答時間	t _{VDDT2}	-	40	-	
VLTD 検出パルス幅	t _{VDPW}	45	-	-	
VLTD イネーブル後の回路動作有効までの時間	t _{VEDN}	-	40	-	

第 20 章 周波数検知回路(OFD)

周波数検知回路(OFD)はクロック周波数の異常を検出する回路です。OFD を使用することで、高調波、低調波、停止といったクロックの異常を検出することができます。

OFD は、基準となるクロックを用いて対象のクロックを観測し、異常を検出するとリセットを発生します。また、基準クロックが停止した場合もリセットを発生します。

TMPM380FDFG では、基準クロックは内蔵高速発振器クロック、検出対象クロックは外部高速発振器クロックです。

注) いかなる異常も検知できるわけではありません。また、クロックの誤差を測定するための回路ではありません。

20.1 構成

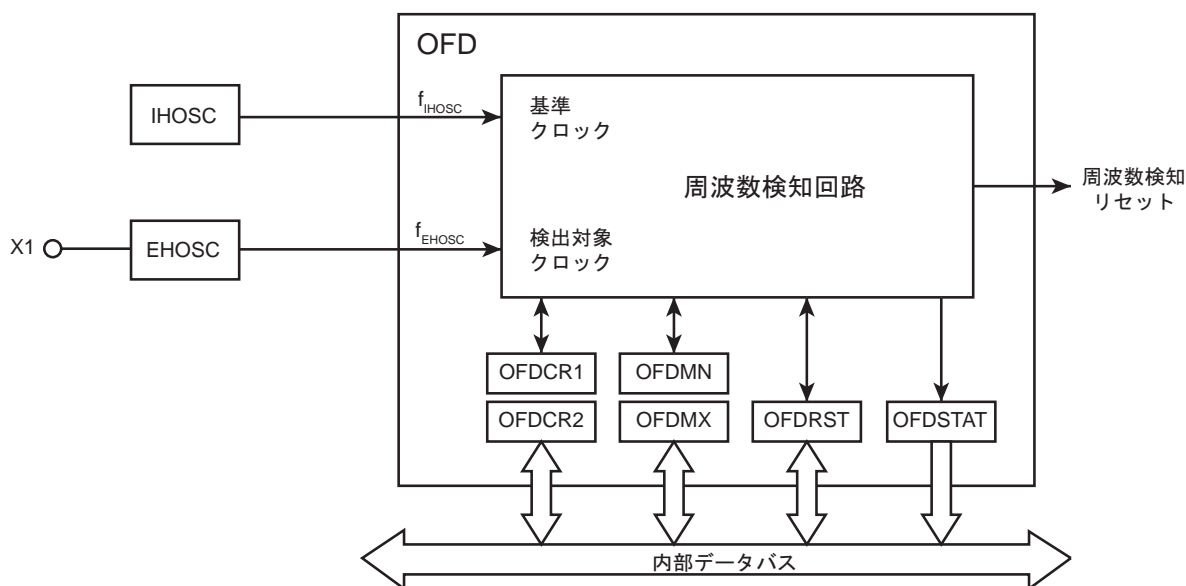


図 20-1 周波数検知回路ブロック図

20.2 レジスタ説明

20.2.1 レジスタ一覧

Base Address = 0x4004_0800

レジスタ名		Address(Base+)
制御レジスタ 1	OFDCR1	0x0000
制御レジスタ 2	OFDCR2	0x0004
検知周波数下限値レジスタ	OFDMN	0x0008
Reserved	-	0x000C
検知周波数上限値レジスタ	OFDMX	0x0010
Reserved	-	0x0014
リセット制御レジスタ	OFDRST	0x0018
ステータスレジスタ	OFDSTAT	0x001C

注) "Reserved"表記のアドレスにはアクセスしないでください。

20.2.1.1 OFDCR1(制御レジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	OFDWEN							
リセット後	0	0	0	0	0	1	1	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-0	OFDWEN[7:0]	R/W	レジスタ書き込み制御 0x06: 禁止 0xF9: 許可 0xF9 を設定すると、OFDCR1 以外のレジスタへの書き込みができるようになります。 0x06、0xF9 以外の値を書いた場合、0x06 が書かれます。 書き込みが禁止されていても、各レジスタを読み出すことは可能です。

20.2.1.2 OFDCR2(制御レジスタ 2)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	OFDEN							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-0	OFDEN[7:0]	R/W	周波数検知動作制御 0x00: 禁止 0xE4: 許可 0x00、0xE4 以外の値の書き込みは無効で値は変化しません。

20.2.1.3 OFDMN(検知周波数下限値レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	OFDMN							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-0	OFDMN[7:0]	R/W	検知周波数の下限値を設定します

注) 本レジスタは、周波数検知動作が許可されているときは書き込みできません。

20.2.1.4 OFDMX(検知周波数上限値レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	OFDMX							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-0	OFDMX[7:0]	R/W	検知周波数の上限値を設定します

注) 本レジスタは、周波数検知動作が許可されているときは書き込みできません。

20.2.1.5 OFDRST(リセット制御レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	OFDRSTEN
リセット後	0	0	0	0	0	0	0	1

Bit	Bit Symbol	Type	機能
31-1	-	R	リードすると"0"が読めます。
0	OFDRSTEN	R/W	リセット発生制御 0: 禁止 1: 許可

注) 本レジスタは、周波数検知動作が許可されているときは書き込みできません。

20.2.1.6 OFDSTAT(ステータスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	OFDBUSY	FRQERR
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	-	R	リードすると"0"が読めます。
1	OFDBUSY	R	OFD 動作状態 0: 停止中 1: 動作中
0	FRQERR	R	異常検知フラグ 0: 異常でない 1: 異常

20.3 動作説明

20.3.1 設定

リセットにより、OFDCR1 以外のレジスタには書き込みができない状態になります。OFDCR1 に"0xF9"を書き込むことにより、OFDCR1 以外のレジスタに書き込みができるようになります。

検知する周波数の範囲は OFDMX と OFDMN で設定します。OFDRST でリセット発生の許可/禁止を設定し、OFDCR2 に"0xE4"を書き込むと動作を開始します。

誤書き込み防止のため、すべてのレジスタの設定後、OFDCR1 に"0x06"を設定し書き込み禁止にしてください。また、設定の変更は動作が停止した状態で行ってください。

20.3.2 動作

動作開始から検知開始まで検知周期 2 周期分の時間が必要です。検知動作中かどうかは、OFDSTAT<OFDBSY>で確認することができます。検知周期は基準クロック周波数/2⁸MHz です。

リセットの発生が許可されている場合、以下の条件でリセットを発生します。

- ・ 検出対象クロックが OFDMN,OFDMN で設定した周波数範囲を超えた場合
- ・ 基準クロックが停止した場合

周波数検知リセットはウォームリセットと同じ動作で、周波数検知回路自身もリセットされます。

リセットの発生を禁止している場合は OFDSTAT<FRQERR>で状態を確認することができます。

注) リセットの要因は複数あります。クロックジェネレータレジスタの CGRSTFLG で要因を確認することができます。CGRSTFLG については例外の章を参照してください。

20.3.3 検知周波数

検知周波数には、発振精度の関係上、検出範囲と非検出範囲が存在します。検出範囲と非検出範囲の間の周波数では、検出されるかどうかは未確定です。

図 20-2 に、検出対象クロックの誤差を±10%、基準クロックの誤差を±5%の場合の検出範囲/非検出範囲を示します。

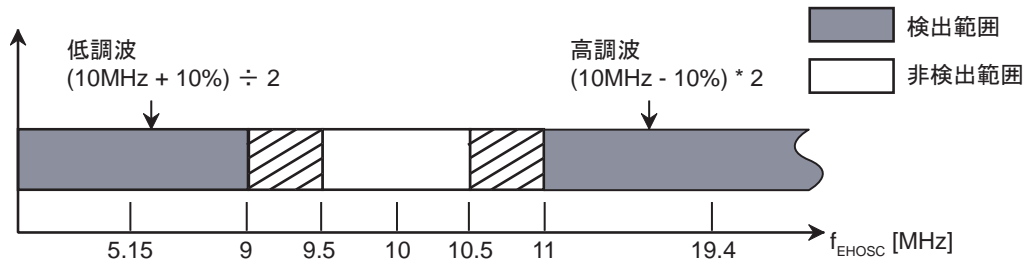


図 20-2 検出周波数範囲例(10MHz の場合)

検知周波数上限値、下限値は、検出対象クロックと基準クロックの最大誤差より計算します。

検出対象クロック誤差を±10%、基準クロック誤差を±5%の場合の OFDMN/OFDMX の設定値の算出方法を以下に示します。

検出対象クロック	10MHz ± 10%	Max 11MHz	----- ①
		Min 9MHz	----- ②
基準クロック	10MHz ± 5%	Max 10.5MHz	----- ③
		Min 9.5MHz	----- ④

$$\text{検知周波数上限値} = 1 \div \{((④) \div 2^8) \div (① \div 4)\}$$

$$\text{検知周波数下限値} = 1 \div \{((③) \div 2^8) \div (② \div 4)\}$$

$$\text{検知周波数上限値} = 1 \div \{(9.5 \times 10^6 \div 2^8) \div (11 \times 10^6 \div 4)\} = 74.10 = 74(\text{小数点以下切捨て}) = 0x4a$$

$$\text{検知周波数下限値} = 1 \div \{(10.5 \times 10^6 \div 2^8) \div (9 \times 10^6 \div 4)\} = 54.85 = 55(\text{小数点以下切上げ}) = 0x37$$

よって、レジスタ OFDMX に 0x4a、OFDMN に 0x37 を設定すると、11MHz 以上と 9MHz 以下の外部発振を検知した場合、周波数検知リセットを発生します。

20.3.4 使用可能な動作モード

周波数検知回路は NORMAL モードと IDLE モードのときのみ使用可能です。他のモードに遷移する際は、周波数検知回路を停止させてください。

20.3.5 動作手順例

周波数検知回路を使用する場合の動作手順例を示します。

リセット発生後、CGRSTFLG でリセットの要因を確認します。要因が周波数検知リセットでなければ、外部発振を有効にし、周波数検知回路を使用するためのレジスタ設定を行い、動作を許可します。このときリセット出力は禁止しておきます。

検知開始を待って、OFDSTAT で異常検知フラグを確認し、異常がなければ外部発振クロックに切り替えます。

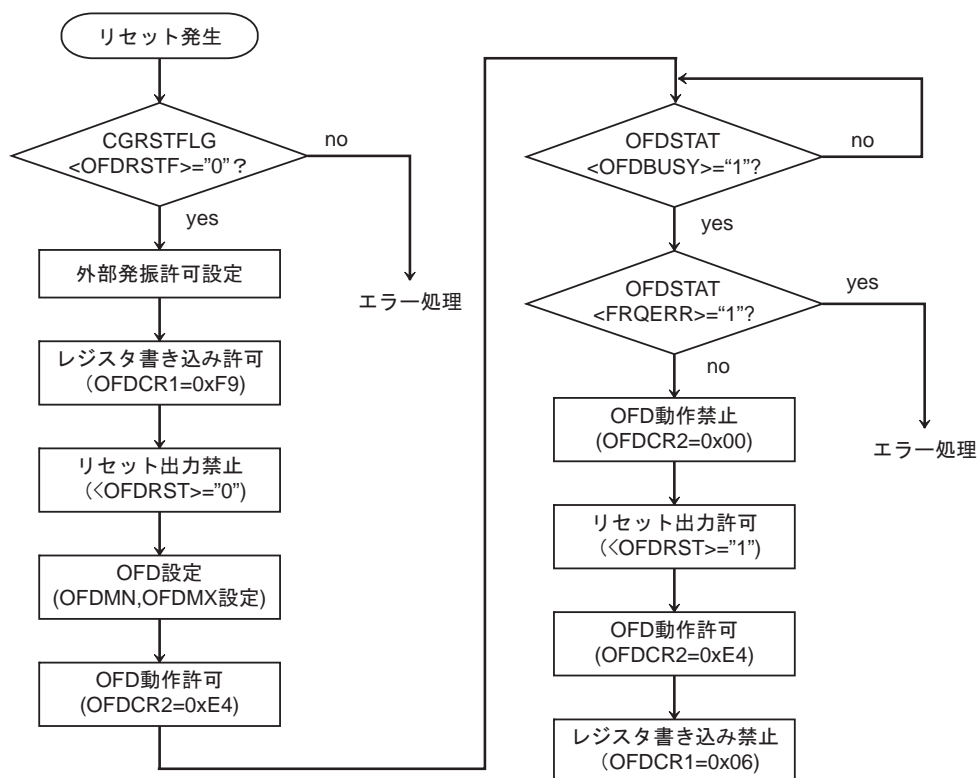


図 20-3 動作手順例

第 21 章 ウォッチドッグタイマ(WDT)

ウォッチドッグタイマは、ノイズなどの原因により CPU が誤動作(暴走)を始めた場合、これを検出し正常な状態に戻すことを目的としています。

暴走を検出した場合、INTWDT 割り込みを発生またはマイコンをリセットします。

注) INTWDT 割り込みはマスク不能割り込み(NMI)要因のひとつです。

また、外部周辺装置に対しては、ウォッチドッグタイマアウト端子(WDTOUT)より"Low"を出力して暴走の検出を知らせます。

注) 本製品にはウォッチドッグタイマアウト端子(WDTOUT)はありません。

21.1 構成

図 21-1 にウォッチドッグタイマのブロック図を示します。

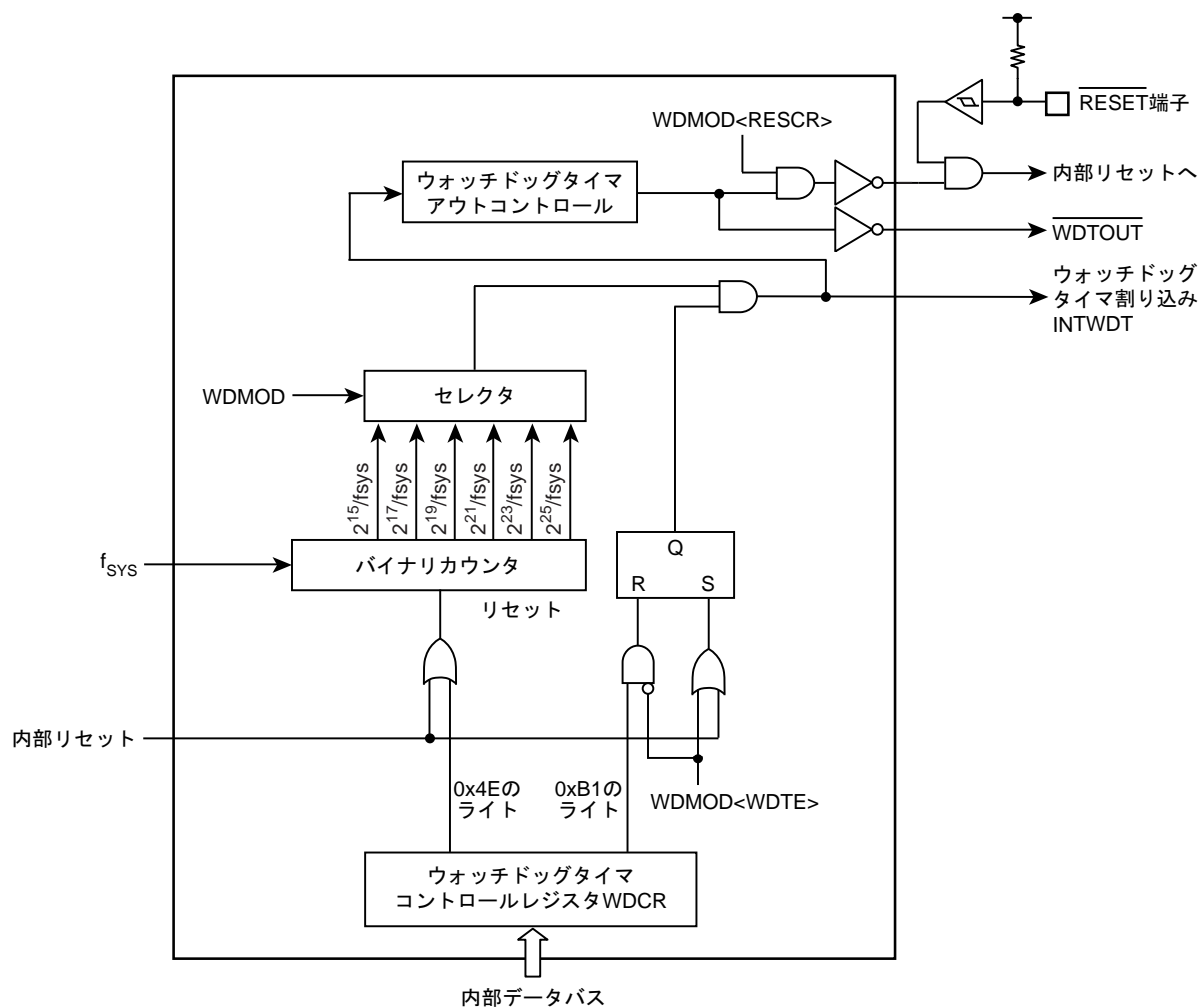


図 21-1 ウォッチドッグタイマのブロック図

21.2 レジスタ一覧

ウォッチドッグタイマの制御レジスタとアドレスは以下の通りです。

Base Address = 0x4004_0000

レジスタ名		Address(Base+)
ウォッチドッグタイマモードレジスタ	WDMOD	0x0000
ウォッチドッグタイマコントロールレジスタ	WDCR	0x0004

21.2.1 WDMOD(ウォッチドッグタイマモードレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	WDTE	WDTP			-	I2WDT	RESCR	-
リセット後	1	0	0	0	0	0	1	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	WDTE	R/W	許可/禁止制御 0: 禁止 1: 許可
6-4	WDTP[2:0]	R/W	検出時間の選択(表 21-1 を参照) 000: $2^{15}/f_{SYS}$ 100: $2^{23}/f_{SYS}$ 001: $2^{17}/f_{SYS}$ 101: $2^{25}/f_{SYS}$ 010: $2^{19}/f_{SYS}$ 110: 設定禁止 011: $2^{21}/f_{SYS}$ 111: 設定禁止
3	-	R	リードすると"0"が読めます。
2	I2WDT	R/W	IDLE 時の動作 0: 停止 1: 動作
1	RESCR	R/W	暴走検出後の動作 0: INTWDT 割り込み要求を発生します。(注) 1: マイコンをリセットします。
0	-	R/W	"0"をライトしてください。

注) INTWDT 割り込みはマスク不能割り込み(NMI)要因のひとつです。

表 21-1 ウォッチドッグタイマの検出時間 (fc = 40MHz)

クロックギア値 CGSYSCR<GEAR[2:0]>	WDMOD<WDTP[2:0]>					
	000	001	010	011	100	101
000 (fc)	0.82 ms	3.28 ms	13.11 ms	52.43 ms	209.72 ms	838.86 ms
100 (fc/2)	1.63 ms	6.55 ms	26.21 ms	104.86 ms	419.43 ms	1.68 s
101 (fc/4)	3.28 ms	13.11 ms	52.43 ms	209.72 ms	838.86 ms	3.36 s
110 (fc/8)	6.55 ms	26.21 ms	104.86 ms	419.43 ms	1.68 s	6.71 s
111 (fc/16)	13.12 ms	52.43 ms	209.72 ms	838.86 ms	3.36 s	13.42 s

21.2.2 WDCR(ウォッチドッグタイマコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	WDCR							
リセット後	-	-	-	-	-	-	-	-

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-0	WDCR	W	ディセーブル/クリアコード 0xB1: ディセーブルコード 0x4E: クリアコード 上記以外:Reserved

21.3 動作説明

21.3.1 基本動作

ウォッチドッグタイマは、システムクロック f_{sys} を入力クロックとするバイナリカウンタで構成されています。検出時間は $\text{WDMOD}<\text{WDTP}[2:0]>$ によって $2^{15}, 2^{17}, 2^{19}, 2^{21}, 2^{23}$ および 2^{25} から選択します。検出時間経過後にウォッチドッグタイマ割り込み(INTWDT)が発生し、ウォッチドッグタイマアウト端子(WDTOUT)より"Low"が出力されます。

ノイズなどの原因による CPU の暴走を検出するために、ソフトウェア(命令)でウォッチドッグタイマ用のバイナリカウンタを INTWDT 割り込みが発生する前にクリアするように設定しておきます。クリアが行われなかった場合、INTWDT によってマスク不能割り込みが発生しますので、CPU は暴走を検知し、暴走対策プログラムにより正常な状態に戻すことができます。

また、ウォッチドッグタイマアウト端子を外部周辺装置のリセットなどへ接続することにより、CPU の誤動作(暴走)に対処することができます。

注) 本製品にはウォッチドッグタイマアウト端子(WDTOUT)はありません。

21.3.2 動作モードと動作状態

ウォッチドッグタイマは、リセット解除後ただちに動作を開始します。使用しない場合はディセーブルの処理を行ってください。

ウォッチドッグタイマは高速クロックが停止するモードでは使用できません。以下に示すモードに遷移する前にディセーブルしてください。IDLE モード中は $\text{WDMOD}<\text{I2WDT}>$ の設定に従います。

- STOP mode
- SLEEP mode
- SLOW mode

また、デバッグモード中は自動的にバイナリカウンタが停止します。

21.4 暴走検出時の動作

21.4.1 INTWDT 割り込み発生の場合

図 21-2 に INTWDT 割り込み発生(WDMOD<RESCR>="0")の場合の動作を示します。

バイナリカウンタのオーバーフローにより INTWDT 割り込みが発生します。INTWDT 割り込みはマスク不能割り込み(NMI)の要因であるため、CPU はマスク不能割り込みを検出し処理を行います。

マスク不能割り込み要因は複数あり、CGNMIFLG レジスタでマスク不能割り込み要因を識別できます。INTWDT 割り込みの場合、CGNMIFLG<NMIFLG0>がセットされます。

INTWDT 割り込み発生と同時にウォッチドッグタイマアウト(WDTOUT)より"Low"を出力します。WDTOUT は、ウォッチドッグタイマのクリア(WDCR レジスタにクリアコード 0x4E をライト)により"High"に戻ります。

注) 本製品にはウォッチドッグタイマアウトの外部出力端子はありません。

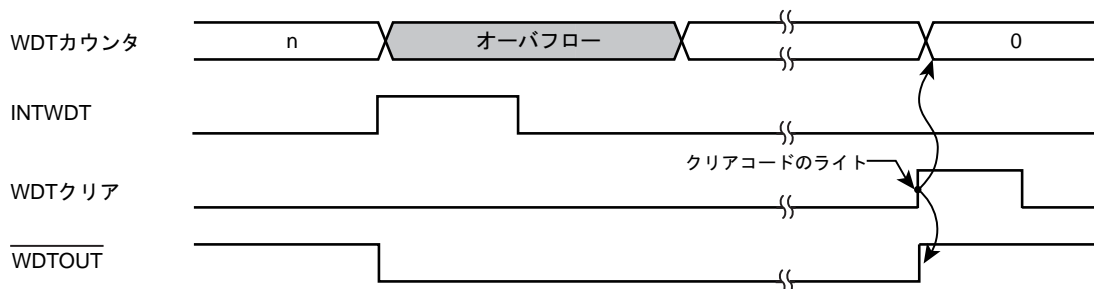
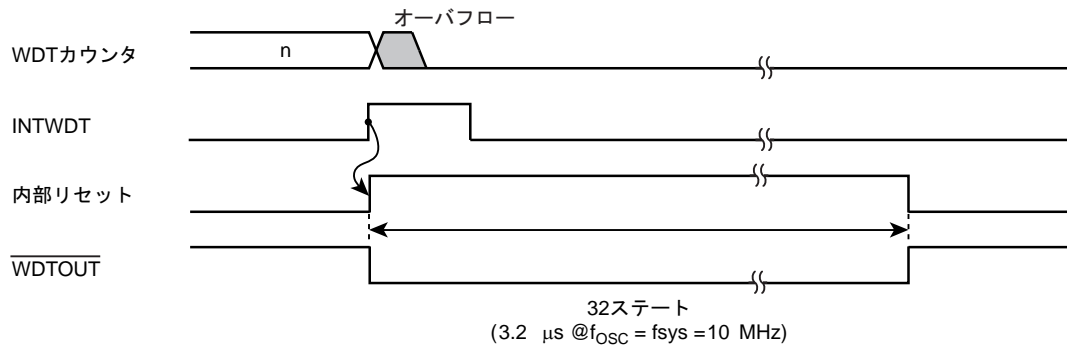


図 21-2 INTWDT 割り込み発生

21.4.2 内部リセット発生の場合

図 21-3 に内部リセット発生(WDMOD<RESCR>="1")の場合の動作を示します。

バイナリカウンタのオーバーフローによりマイコンをリセットします。この場合、32 ステートの期間、リセットを行います。クロックの設定も初期化され、入力クロック f_{SYS} と高速発振器のクロック f_{OSC} の関係は、 $f_{SYS} = f_{OSC}$ となります。



21.5 コントロールレジスタ

ウォッチドッグタイマ(WDT)は、2つのコントロールレジスタ(WDMOD, WDCR)によって制御されています。

21.5.1 ウォッチドッグタイマモードレジスタ(WDMOD)

1. ウォッチドッグタイマ検出時間の設定<WDTP[2:0]>

ウォッチドッグタイマ検出時間を設定します。リセット時 WDMOD<WDTP[2:0]> = "000" に初期化されます。

2. ウォッチドッグタイマのイネーブル/ディセーブル制御<WDTE>

リセット時 WDMOD<WDTE> = "1" に初期化されますので、ウォッチドッグタイマはイネーブルになっています。

暴走による誤書き込みを防止するため、ディセーブルにするには、このビットを"0"にした後で、WDCR にディセーブルコード(0xB1)を書き込む必要があります。

ディセーブル状態からイネーブル状態に戻す場合は、WDMOD<WDTE>を"1"に設定します。

3. ウォッチドッグタイマアウトのリセット接続<RESCR>

WDTOUT を内部リセットとして使用するか割り込みとして使用するかを設定するレジスタです。リセット時 WDMOD<RESCR> = "1" に初期化されますので、バイナリカウンタのオーバーフローにより内部リセットが発生します。

21.5.2 ウォッチドッグタイマコントロールレジスタ(WDCR)

ウォッチドッグタイマ機能のディセーブルおよびバイナリカウンタのクリアを制御するレジスタです。

21.5.3 設定例

21.5.3.1 ディセーブル制御

WDMOD<WDTE>に"0"を設定したあと、WDCR レジスタにディセーブルコード(0xB1)を書き込むとウォッチドッグタイマはディセーブルになり、バイナリカウンタはクリアされます。

		7	6	5	4	3	2	1	0	
WDMOD	←	0	-	-	-	-	-	-	-	<WDTE>に"0"を設定します。
WDCR	←	1	0	1	1	0	0	0	1	ディセーブルコード(0xB1)を書き込みます。

21.5.3.2 イネーブル制御

WDMOD<WDTE>に"1"を設定します。

		7	6	5	4	3	2	1	0	
WDMOD	←	1	-	-	-	-	-	-	-	<WDTE>に"1"を設定します。

21.5.3.3 ウォッチドッグタイマのクリア制御

WDCR レジスタにクリア コード (0x4E) を書き込むと、バイナリカウンタはクリアされ、再カウントします。

		7	6	5	4	3	2	1	0	
WDCR	←	0	1	0	0	1	1	1	0	クリアコード(0x4E)を書き込みます。

21.5.3.4 ウォッチドッグタイマ検出時間の設定

検出時間を $2^21/f_{SYS}$ に設定する場合、WDMOD<WDTP[2:0]>に"011"を設定します。

		7	6	5	4	3	2	1	0	
WDMOD	←	1	0	1	1	-	-	-	-	

第 22 章 Flash 動作説明

Flash 機能について、ハードウェアの構成およびその動作を説明します。

22.1 フラッシュメモリ

22.1.1 特長

1. メモリ容量

TMPM380DFDG はフラッシュメモリを搭載しています。メモリ容量と構成は下記の表のとおりです。

各ブロック個別に書き込みを行うことができます。CPU から内蔵フラッシュメモリをアクセスする場合、データバス幅は 32 ビットとなります。

2. 書き込み/消去時間

書き込みはページ単位で行います。1 ページは 128 ワードです。

1 ページあたりの書き込み時間は、ワード数にかかわらず 1.25ms (Typ.)です。

消去時間は 1 ブロックあたり 0.1 s (Typ.)です。

1 チップあたりの書き込み時間、消去時間は以下のようになります。

メモリ容量	ブロック構成				ワード数	書き込み時間	消去時間
	128 KB	64 KB	32 KB	16 KB			
512 KB	3	1	2	-	128	1.28 s	0.4 s

注) 上記の値は理論時間を表しており、データ転送時間などは含まれていません。チップ当たりの時間はユーザーの書き替え方法により異なります。

3. プログラミング方法

ユーザーのボード上で書き替えが可能なオンボードプログラミングモードには以下の 2 種類のモードがあります。

a. ユーザーブートモード

ユーザー独自の書き替え方法をサポート

b. シングルブートモード

シリアル転送(当社オリジナル)での書き替え方法をサポート

4. 書き替え方式

本製品に内蔵されているフラッシュメモリは、一部の機能を除き JEDEC 標準機能に準拠しています。このため、外部メモリとしてフラッシュメモリをご使用になられている場合でも、本 LSI への移行が容易です。また、フラッシュメモリ内に書き込み、チップ消去など自動で行う回路を内蔵していますので、書き込み、消去動作自身に係わる複雑なフローをユーザーがプログラムで組む必要がありません。

JEDEC 準拠の機能	変更, 追加, 削除した機能
<ul style="list-style-type: none"> ・自動プログラム ・自動チップ消去 ・自動ブロック消去 ・データボーリング/トグルビット 	<p><変更>ブロック単位でのライト/消去プロテクト(ソフトウェアプロテクトのみサポート)</p> <p><削除>消去レジューム/サスペンド機能</p>

5. プロテクト/セキュリティ機能

本製品では、ライターでのフラッシュデータの読み出しを禁止する、セキュリティ機能を追加しています。一方、書き替え禁止を設定するライト/消去プロテクトは、コマンド(ソフトウェア)による対応のみで 12 V 電圧を印加して設定する方式(ハードウェア)には対応できません。プロテクト、セキュリティ機能の詳細については、「プロテクト/セキュリティ機能」の章を参照してください。

- 注) パスワードが消去データ(0xFF)の場合、容易にパスワードの照合が可能になり、セキュリティの確保が難しくなります。シングルブートモードを使用しない場合も固有の値を置くことを推奨します。

22.1.2 フラッシュ部ブロック図

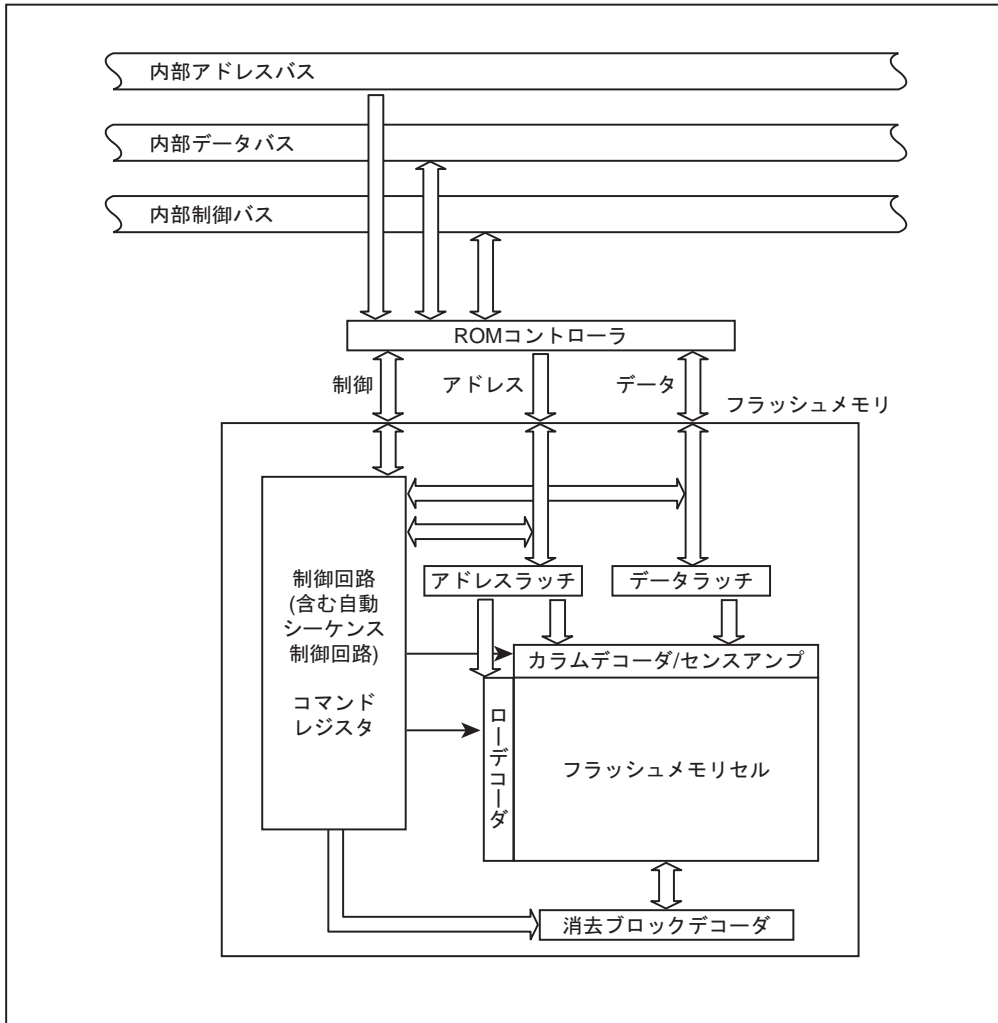


図 22-1 フラッシュ部ブロック図

22.2 動作モード

本製品は内蔵フラッシュメモリを使用しない場合を含めて、3通りの動作状態(モード)が存在します。

表 22-1 動作モード説明

動作モード名	動作の内容
シングルチップモード	リセット解除後、内蔵のフラッシュメモリから起動します。
ノーマルモード	本動作モードの中で、ユーザーのアプリケーションプログラムを実行するモードと、ユーザーのセット上でフラッシュメモリの書き替えを実行するモードとに分けて定義します。前者を「ノーマルモード」、後者を「ユーザーブートモード」と呼びます。
ユーザーブートモード	この両者の切り替えはユーザーが独自に設定できます。 例えばポート A0 が "1" のときノーマルモード、"0" のときにユーザーブートモードというように自由に設計することが可能です。 ユーザーはアプリケーションプログラムの一部に切り替えを判定するためのルーチンを準備してください。
シングルブートモード	リセット解除後、内蔵する BOOT ROM (Mask ROM) から起動します。BOOT ROM には、本製品のシリアルポートを経由してユーザーのセット上で書き替えを行うことができるアルゴリズムがプログラムされています。シリアルポートにより外部ホストと接続し、規定されたプロトコルでデータの転送を行うことで内蔵フラッシュの書き替えが実行できます。

上記表 22-1 でプログラムが可能なフラッシュメモリの動作モードはユーザーブートモード、シングルブートモードの 2 つです。ユーザーのセット上で内蔵フラッシュメモリの書き替えが可能なモードは、ユーザーブートモードとシングルブートモードで、この 2 つをオンボードプログラミングモードと定義します。

シングルチップ、シングルブートの各動作モードは、リセット状態で $\overline{\text{BOOT}}$ 端子のレベルを外部で設定することにより決定されます。

表 22-2 動作モード設定表

動作モード	端子	
	RESET	$\overline{\text{BOOT}}$
シングルチップモード	0 → 1	1
シングルブートモード	0 → 1	0

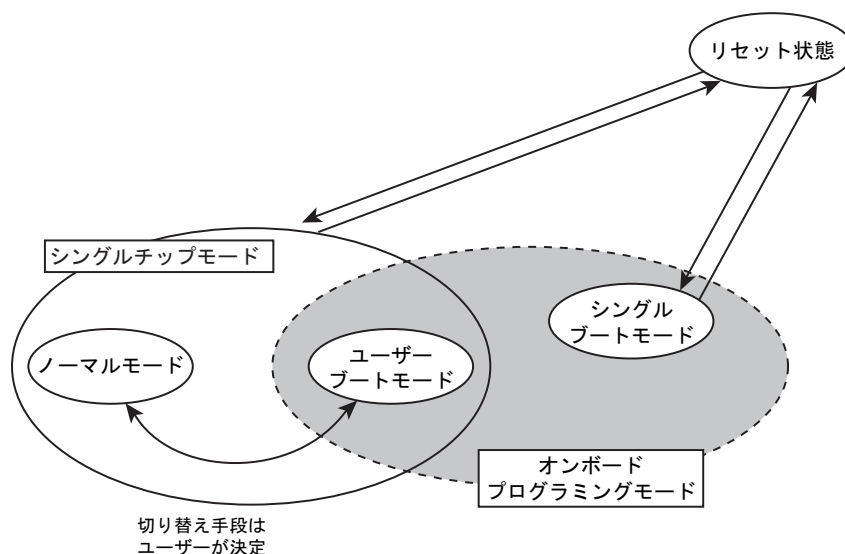


図 22-2 モード遷移図

22.2.1 リセット動作

本製品にリセットをかけるには、電源電圧が動作電圧範囲内で、かつ内部発振器の発振が安定した状態で、少なくとも 12 システムクロック間(40 MHz 動作で 0.3 μ s (リセット後は、クロックギア 1/1 モード)) RESET 入力を"0"にしてください。

注 1) 電源投入後は、電源電圧が安定した状態から 300 μ s 以上経過してからリセット解除させてください。

注 2) 内蔵フラッシュの自動プログラム/消去動作中にハードウェアリセットを行う場合は、システムクロックによらず 0.5 μ s 以上のリセット期間が必要となります。またこの場合、リセット解除後読み出しが可能になるまで 2 ms 程度の時間がかかります。

22.2.2 ユーザーブートモード(シングルチップモード)

ユーザーブートモードは、ユーザー独自のフラッシュメモリ書き替えルーチンを使う方法です。ユーザーアプリケーション上で用意されているフラッシュメモリ書き替え用のプログラムで用いる、データ転送バスがシリアル I/O と異なる場合に使用します。動作はシングルチップモード上で行います。このため、シングルチップモードにおいて通常のユーザーアプリケーションプログラムが動作しているノーマルモードから、フラッシュを書き替えるためのユーザーブートモードに移行する必要があります。従って、条件判定を行うプログラムをユーザーアプリケーションの中で、リセット処理プログラムの中に組み込んでください。

このモード切り替えの条件設定は、本製品の I/O を使用してユーザーのシステムセット条件に合わせて独自に構築してください。また、ユーザーブートモード移行後に使用するユーザー独自のフラッシュメモリ書き替えルーチンも同様にユーザーアプリケーションの中にあらかじめ組み込んでおき、ユーザーブートモード移行後にこれらのルーチンを使用して書き替えを行ってください。なお、内蔵フラッシュメモリは消去/書き込み動作モード中はフラッシュのデータを読み出せません。このため、書き替えルーチンはフラッシュメモリエリア外に格納して実行させる必要があります。また、シングルチップモード（通常動作モード）中に誤ってフラッシュの内容を書き替えないよう、書き替え処理が完了した後、必要なブロックにライト/消去プロテクトをかけておくことを推奨します。あわせて、ユーザーブートモード中は、ノンマスカブルを含めたすべての割り込み発生を禁止してください。

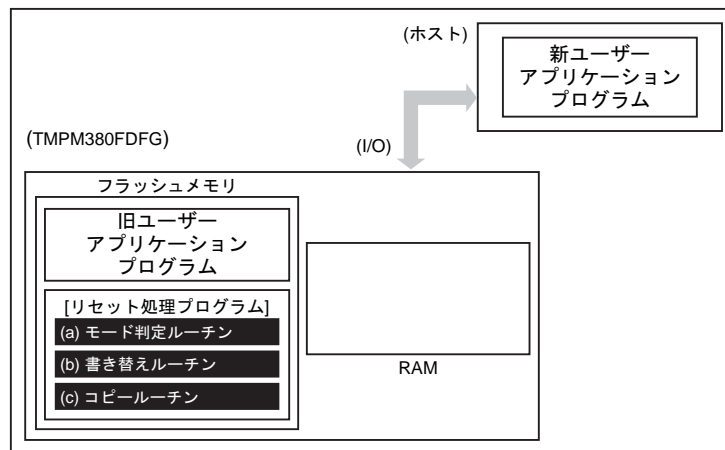
書き替えルーチンを内蔵フラッシュメモリに置く場合と、外部から転送する場合の 2 ケースを例に、以下 (1-A), (1-B)にその手順を説明します。フラッシュメモリへの書き込み/消去 方法の詳細は、「22.3 オンボードプログラミングでのフラッシュメモリ書き込み/消去」を参照してください。

22.2.2.1 (1-A)書き替えルーチンをフラッシュメモリに内蔵する場合の手順例

(1) Step-1

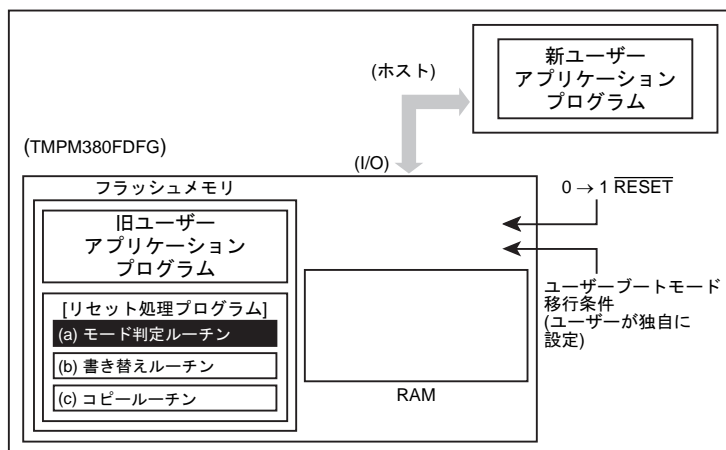
ユーザーは、あらかじめどのような条件 (例えば端子状態) に設定されたらユーザーブートモードに移行するか、どの I/O バスを使用してデータ転送を行うかを決め、それに合った回路の設計、プログラムの作成を行います。ユーザーは本製品をボードに組み込む前に、あらかじめフラッシュメモリ上の任意のブロックにライターなどを使用して以下に示す 3 つのプログラムを書き込んでおきます。

- | | |
|--------------------|---|
| (a) モード判定ルーチン: | 書き替え動作に移るためのプログラム |
| (b) フラッシュ書き替えルーチン: | 書き替えデータを外部から取り込み、フラッシュメモリを書き替えるためのプログラム |
| (c) コピールーチン: | 上記(b)を内蔵 RAM または外部メモリにコピーするためのプログラム |



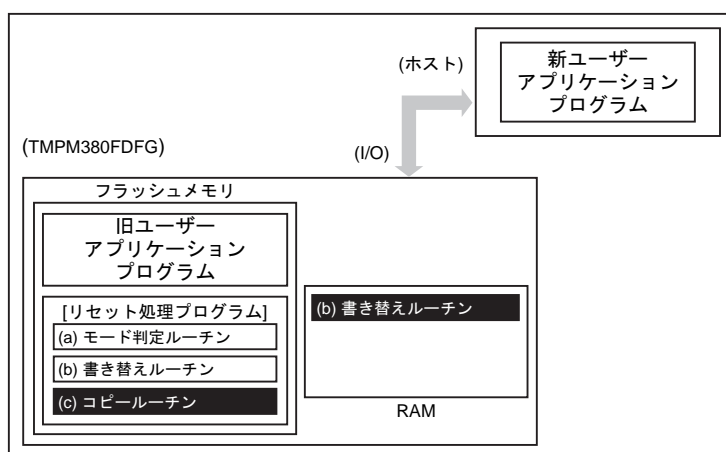
(2) Step-2

以下リセット処理プログラム内にこれらのルーチンを組み込んだ場合について説明します。まず、リセット解除後のリセット処理プログラムにおいてユーザーブートモードへの移行を判定します。このとき、移行条件が整っていれば、プログラムは書き替えのためのユーザーブートモードに移ります。(ユーザーブートモードに移行した場合は、これ以降割り込みを使わないでください。)



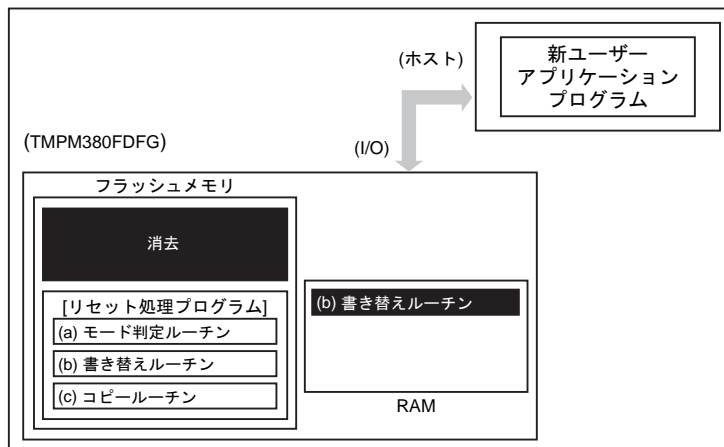
(3) Step-3

ユーザーブートモードに移ると、(c)コピールーチンを使用して、(b)書き替えルーチンを内部RAMにコピーします。



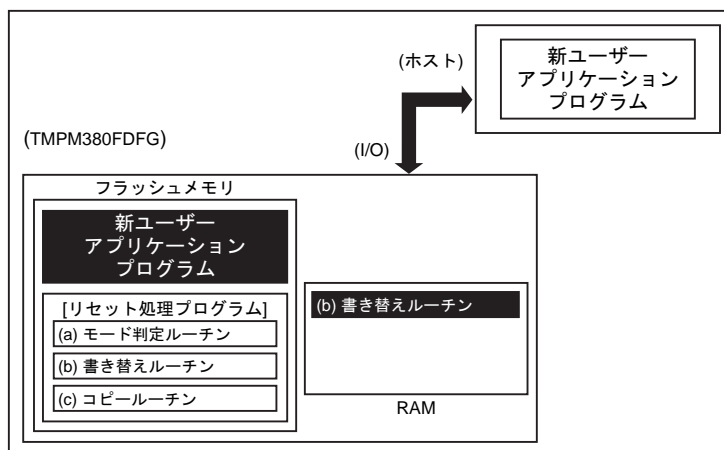
(4) Step-4

RAM 上の書き替えルーチンへジャンプし、旧ユーザープログラムエリアのライト/消去プロテクトを解除して、消去(ブロック単位)を行います。



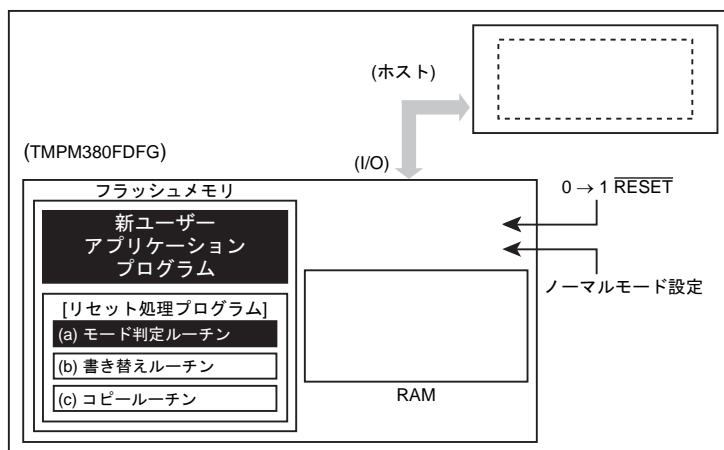
(5) Step-5

さらに、RAM 上の書き替えルーチンを実行して、転送元 (ホスト) より新ユーザーアプリケーションプログラムのデータをロードし、フラッシュメモリの消去したエリアに書き込みを行います。書き込みが完了したら、ユーザープログラムエリアのライト/消去プロテクトをオンにします。



(6) Step-6

$\overline{\text{RESET}}$ 入力端子を"0"にしてリセットを行い、設定条件をノーマルモードの設定にします。リセット解除後、新ユーザーアプリケーションプログラムで動作を開始します。



22.2.2.2 (1-B)書き替えルーチンを外部から転送する手順例

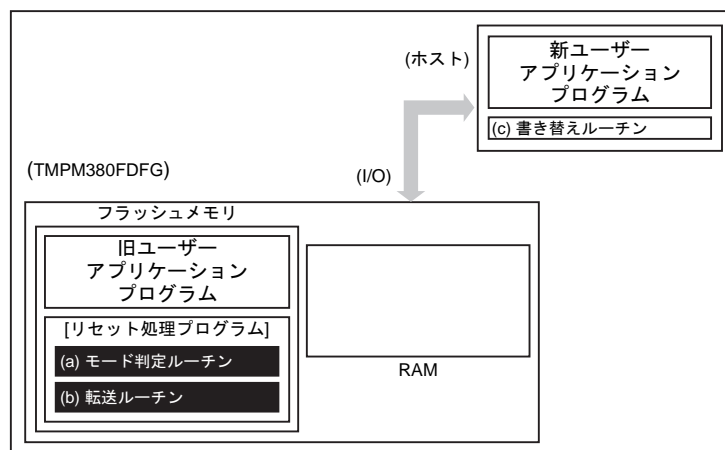
(1) Step-1

ユーザーは、あらかじめどのような条件(例えば端子状態)に設定されたらユーザーブートモードに移行するか、どの I/O バスを使用してデータ転送を行うかを決め、それに合った回路の設計、プログラムの作成を行います。ユーザーは本製品をボードに組み込む前に、あらかじめフラッシュメモリ上の任意のブロックにライタなどを使用して以下に示す 2 つのプログラムを書き込んでおきます。

- (a) モード判定ルーチン: 書き替え動作に移るためのプログラム
- (b) 転送ルーチン: 書き替えプログラムを外部から取り込むためのプログラム

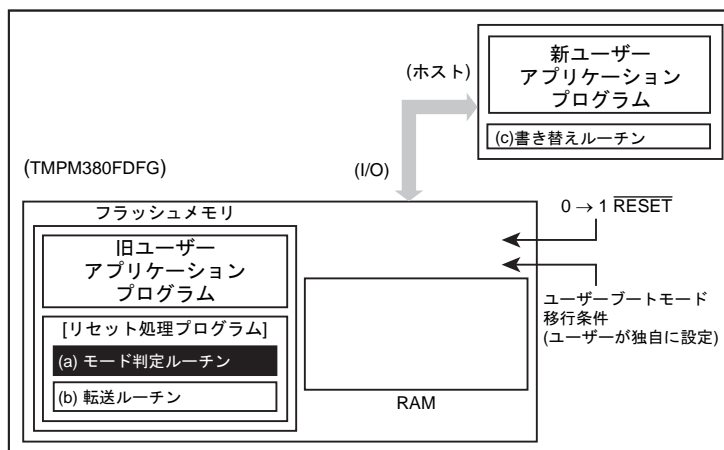
また、下記に示すプログラムはホスト上に用意します。

- (c) 書き替えルーチン: 書き替えを行うためのプログラム



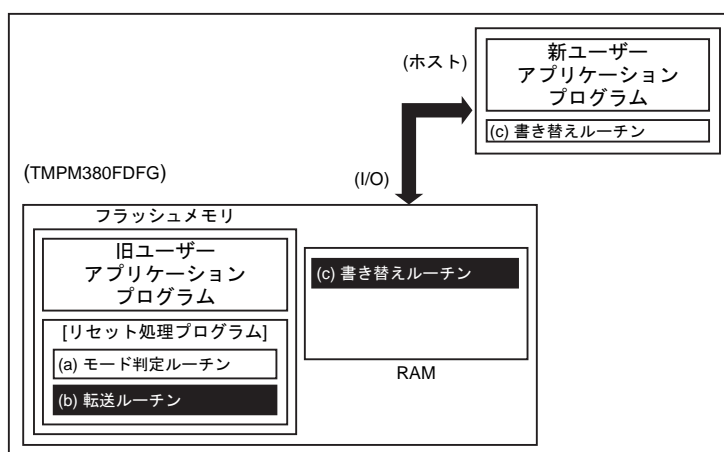
(2) Step-2

以下、リセット処理プログラム内にこれらのルーチンを組み込んだ場合について説明します。まず、リセット解除後のリセット処理プログラムにおいてユーザーブートモードへの移行を判定します。このとき、移行条件が整っていれば、プログラムは書き替えのためのユーザーブートモードに移ります。(ユーザーブートモードに移行した場合は、これ以降割り込みを使わないでください。)



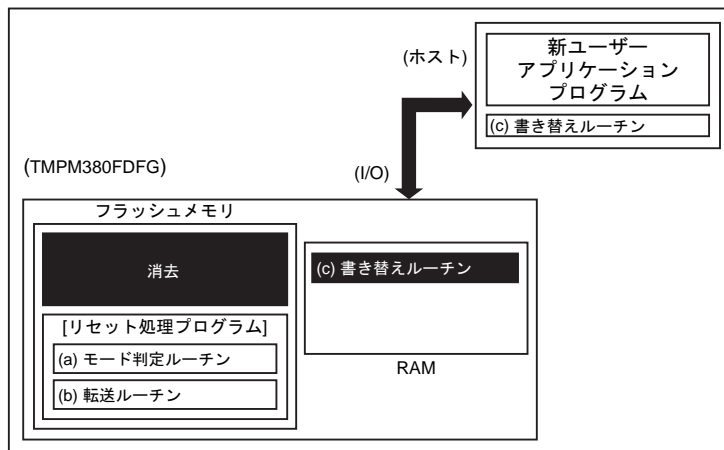
(3) Step-3

ユーザーブートモードに移ると、(b)転送ルーチンを使用して、転送元(ホスト)より(c)書き替えルーチンを内部RAMにロードします。



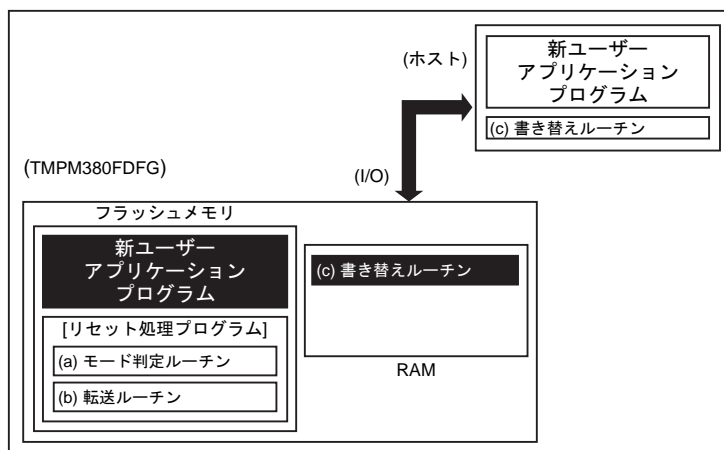
(4) Step-4

RAM 上の書き替えルーチンへジャンプし、旧ユーザープログラムエリアのライト/消去プロテクトを解除して、消去(ブロック単位)を行います。



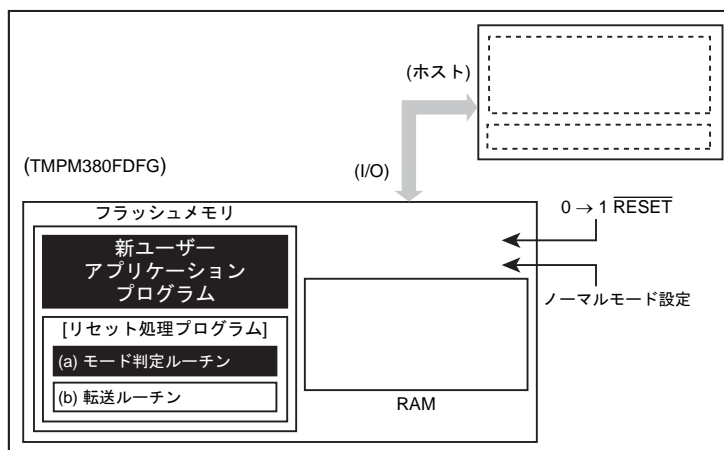
(5) Step-5

さらに、RAM 上の(c)書き替えルーチンを実行して、転送元(ホスト)より新ユーザーアプリケーションプログラムのデータをロードし、消去したエリアに書き込みを行います。書き込みが完了したら、ユーザープログラムエリアのライト/消去プロテクトをオンにします。



(6) Step-6

$\overline{\text{RESET}}$ 入力端子を"0"にしてリセットを行い、設定条件をノーマルモードに設定します。
リセット解除後、新ユーザーアプリケーションプログラムで動作を開始します。



22.2.3 シングルブートモード

内蔵 BOOT ROM (マスク ROM) を起動して、BOOT ROM のプログラムを利用してフラッシュメモリを書き替える方法です。このモードでは、内蔵 BOOT ROM が割り込みベクタテーブルを含む領域にマッピングされ、BOOT ROM プログラムが実行されます。また、フラッシュメモリは BOOT ROM 領域とは別のアドレス空間にマッピングされます。

ブートモードでは、コマンドおよびデータをシリアル転送してフラッシュメモリの書き替えを行います。本製品の SIO (SIO0) と外部ホストを接続し、外部ホスト側から本製品の内蔵 RAM へ書き替えプログラムをコピーし、RAM 上の書き替えルーチンを実行してフラッシュメモリの書き替えを行います。書き替えルーチンは、ホスト側からコマンドおよび書き替えデータを送出することにより実行します。ホスト側との通信の詳細は後述のプロトコルに従ってください。

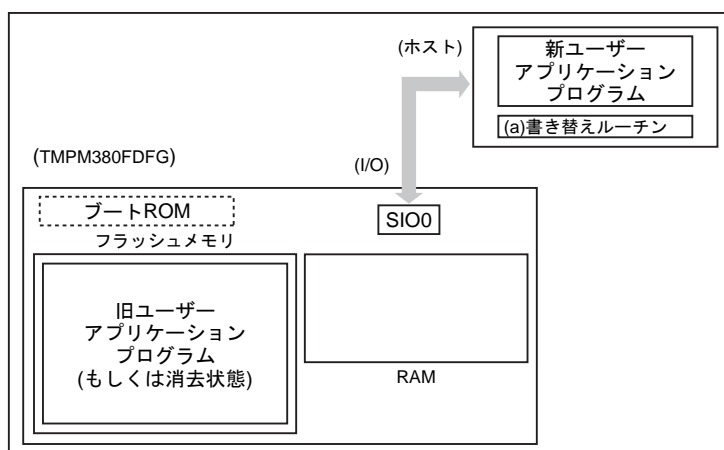
RAM へのプログラム転送は、ユーザーの ROM データ、セキュリティ確保のため、コマンドの実行に先立ちユーザーパスワードの照合を行います。パスワードが一致しない場合は、RAM 転送そのものが実行されません。なお、シングルブートモードでもユーザーブートモードと同様、割り込み禁止状態で行います。シングルブートモード時、BOOT ROM プログラムは NORMAL モードで動作します。

シングルチップモード (通常動作モード) 中に誤ってフラッシュメモリの内容を書き替えないよう、書き替え処理が完了したら必要なブロックにライト/消去プロテクトをかけておくことを推奨します。

22.2.3.1 (2-A)内蔵 BOOT ROM の書き替えアルゴリズムを利用する場合

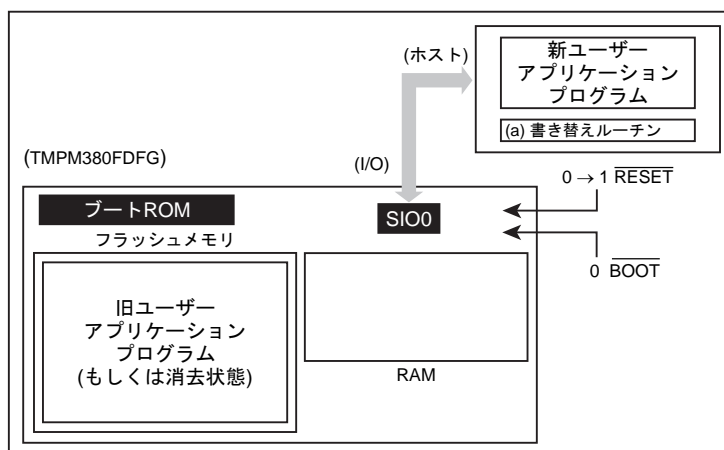
(1) Step-1

フラッシュメモリの状態は旧バージョンのユーザープログラムが書かれた状態でも、消去されている状態でも構いません。書き替えルーチン、書き替えデータなどの転送は SIO (SIO0) を経由して行いますので、ボード上で本製品の SIO (SIO0) と外部ホストとをつなげます。書き替えを行うための(a)書き替えルーチンはホスト上に用意します。



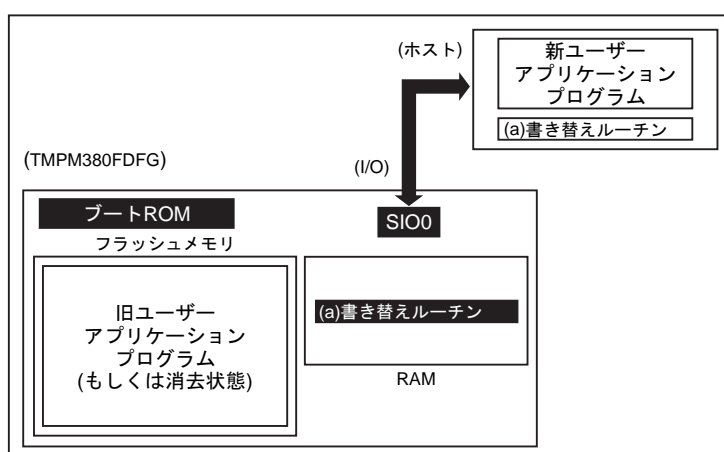
(2) Step-2

ブートモードの端子条件設定でリセットを解除し、BOOT ROM で起動します。ブートモードの手順に従い、SIO0 を経由して転送元(ホスト)より(a)書き替えルーチンの転送を行います。最初にユーザーアプリケーションプログラム上に記録されているパスワードとの照合を行います。(フラッシュメモリが消去されている状態でも、消去データ(0xFF)をパスワードとして照合を行います。)



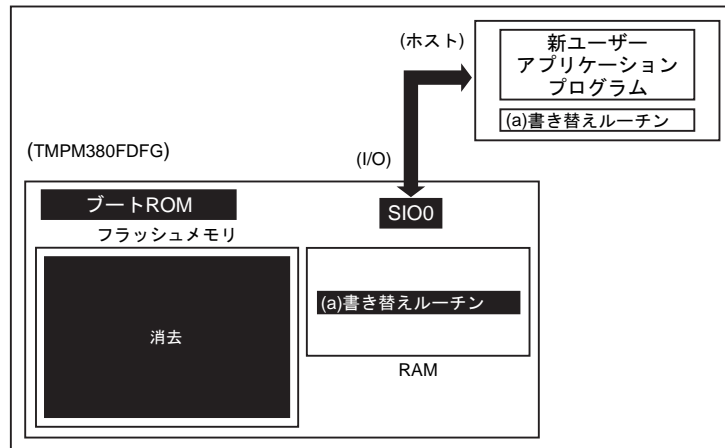
(3) Step-3

パスワードの照合が終了すると、転送元(ホスト)から(a)書き替えルーチンを転送します。BOOT ROM はそのルーチンを内部 RAM にロードします。ただし、RAM 上のアドレス 0x2000_0400 から RAM の最終番地の範囲に格納してください。



(4) Step-4

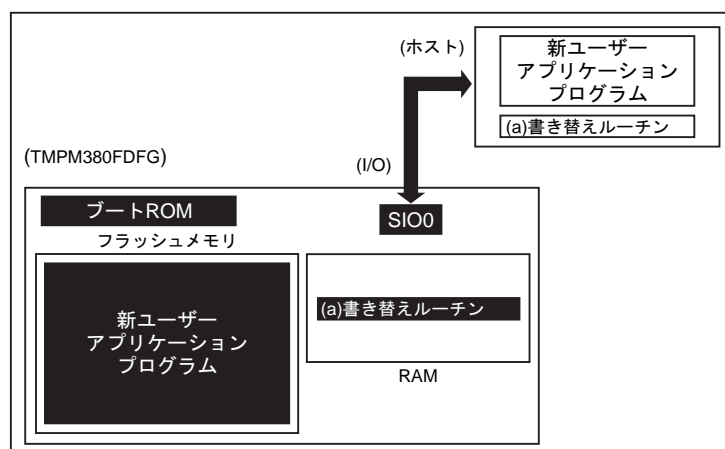
RAM 上の(a)書き替えルーチンへジャンプし、旧ユーザーアプリケーションプログラムエリアの消去を行います。(ブロック単位もしくは一括)



(5) Step-5

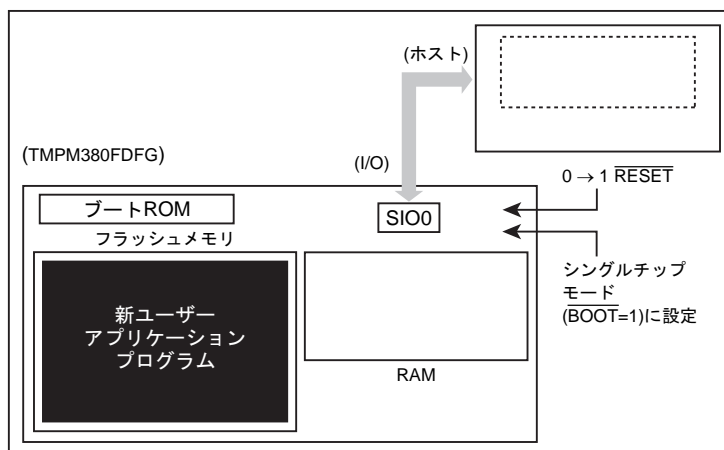
さらに、RAM 上の(a)書き替えルーチンを実行して、転送元(ホスト)より新ユーザーアプリケーションプログラムのデータをロードし、フラッシュメモリの消去したエリアに書き込みを行います。書き込みが完了したら、ユーザープログラムエリアのライト/消去プロテクトをオンにします。

下の例の場合、書き替えルーチンを転送したときと同じホストおよび SIO0 経由で書き替えデータも転送されていますが、RAM 上で動作を開始した以降では、ユーザー独自にデータバスおよび転送元を設定することもできます。方法に応じて、ボードのハードおよび書き替えルーチンを組み立ててください。



(6) Step-6

書き込みが完了したら、一度ボードの電源を落とし、ホストと接続していたケーブルをはずします。この後、再度電源を入れ直し、シングルチップモード(ノーマルモード)起動し、新しいユーザーアプリケーションプログラムを実行します。



22.2.4 モード設定

オンボードプログラミングを実行するためには、本製品をシングルブートモードで立ち上げます。シングルブートモードで立ち上がるための設定を以下に示します。

$\overline{\text{BOOT}} = 0$
 $\overline{\text{RESET}} = 0 \rightarrow 1$

$\overline{\text{RESET}}$ 入力端子を"0"の状態にして、 $\overline{\text{BOOT}}$ 端子をあらかじめ上記条件に設定します。その後リセット解除を行うとシングルブートモードで起動します。

22.2.5 メモリマップ

下図にシングルチップモードとシングルブートモードのメモリマップの比較を示します。図のように、シングルブートモードでは、内蔵フラッシュメモリは 0x3F80_0000 番地からマッピングされます。また、0x0000_0000 番地から 0x0000_0FFF 番地には BOOTROM(マスク ROM)がマッピングされます。

内蔵フラッシュメモリと RAM のマッピングは以下のとおりです。

Flash サイズ	RAM サイズ	Flash アドレス (シングルチップ/シングルブートモード)	RAM アドレス
512 KB	32 KB	0x0000_0000 ~ 0x0007_FFFF / 0x3F80_0000 ~ 0x3F87_FFFF	0x2000_0000 ~ 0x2000_7FFF

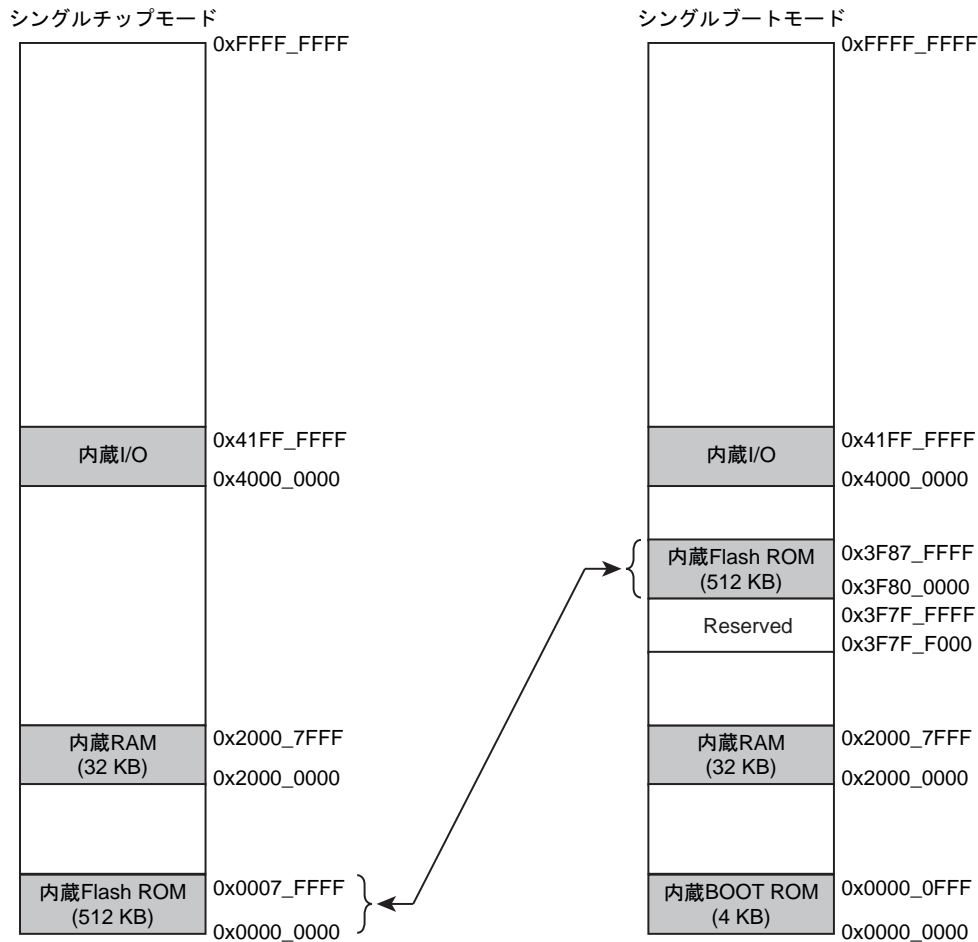


図 22-3 メモリマップの比較 (TMPM380DFDG)

22.2.6 インタフェース仕様

シングルブートモードでの SIO 通信フォーマットを以下に示します。シリアル動作のモードは、UART (非同期通信) と I/O インタフェースモード両方に対応しています。オンボードプログラミングを実行するためには、書き込みコントローラ側の通信フォーマットも同様に設定する必要があります。

- ・ UART で通信する場合
 - 通信チャンネル: SIO チャンネル 0
 - シリアル転送モード: UART (非同期通信) モード, 半二重通信, LSB ファスト
 - データ長: 8 ビット
 - パリティビット: なし
 - STOP ビット: 1 ビット
 - ボーレート: 任意のボーレート
- ・ I/O インタフェースモードで通信する場合
 - 通信チャンネル: SIO チャンネル 0
 - シリアル転送モード: I/O インタフェースモード, 全二重通信, LSB ファスト
 - 同期信号 (SCLK0): 入力モード
 - ハンドシェイク端子: 出力モード PE4
 - ボーレート: 任意のボーレート

表 22-3 端子の接続

端子		インタフェース	
		UART	I/O インタフェースモード
電源系端子	DVDD5	o	o
	REGVDD5	o	o
	AVDD	o	o
	VOUT3	o	o
	DVSS	o	o
	AVSS	o	o
	CVSS	o	o
モード設定端子	$\overline{\text{BOOT}}$	o	o
リセット端子	$\overline{\text{RESET}}$	o	o
通信端子	TXD0 (PE0)	o	o
	RXD0 (PE1)	o	o
	SCLK0 (PE2)	x	o (入力モード)
	PE4	x	o (出力モード)

22.2.7 データ転送フォーマット

動作コマンド、および各動作モード時のデータ転送フォーマットをそれぞれ表 22-4, 表 22-6 ~ 表 22-7 に示します。「22.2.10 ブートプログラム動作説明」とあわせてお読みください。

表 22-4 動作コマンドデータ

動作コマンドデータ	動作モード
0x10	RAM 転送
0x40	フラッシュメモリチップ消去およびプロテクトビット消去

22.2.8 メモリの制約について

シングルブートモードでは、内蔵 RAM, 内蔵 Flash ROM に対して表 22-5 のように制約がつけます。

表 22-5 シングルブート時のメモリの制約

メモリ	制約内容
内蔵 RAM	0x2000_0000 ~ 0x2000_03FF 番地は BOOT ROM のワークエリアになります。 RAM 転送のプログラムは 0x2000_0400 から RAM の最終番地に格納してください。
内蔵 ROM	以下の番地はソフトなどの ID 情報や password の格納エリアとなりますので、なるべくプログラムエリアとしての使用はさけてください。 0x3F87_FFF0 ~ 0x3F87_FFFF

22.2.9 ブートプログラムの転送フォーマット

各コマンドのブートプログラムの転送フォーマットを示します。「22.2.10 ブートプログラム動作説明」とあわせて参照してください。

22.2.9.1 RAM 転送

表 22-6 ブートプログラムの転送フォーマット[RAM 転送の場合]

	転送バイト数	コントローラ → 本製品の転送データ	ボーレート	本製品 → コントローラへの転送データ	
BOOT ROM	1 バイト目	シリアル動作モード & ボーレート設定 UART の場合: 0x86 I/O インタフェースの場合: 0x30	指定されたボーレート (注 1)	-	
	2 バイト目	-		シリアル動作モードに対する ACK 応答 ・ UART の場合 正常(設定可能)の場合: 0x86 (ボーレートの設定が不可能と判断した場合は動作停止) ・ I/O インタフェースの場合 正常の場合: 0x30	
	3 バイト目	動作コマンドデータ(0x10)		-	
	4 バイト目	-		動作コマンドに対する ACK 応答(注 2) 正常の場合: 0x10 異常の場合: 0xX1 通信異常の場合: 0xX8	
	5 バイト目 ~ 16 バイト目	PASS WORD データ(12 バイト) 0x3F87_FFF4 ~ 0x3F87_FFFF		-	
	17 バイト目	5 ~ 16 バイト目の CHECK SUM 値		-	
	18 バイト目	-		CHECK SUM 値に対する ACK 応答 (注 2) 正常の場合: 0x10 異常の場合: 0xX1 通信異常の場合: 0xX8	
	19 バイト目	RAM 格納開始アドレス 31 ~ 24		-	
	20 バイト目	RAM 格納開始アドレス 23 ~ 16		-	
	21 バイト目	RAM 格納開始アドレス 15 ~ 8		-	
	22 バイト目	RAM 格納開始アドレス 7 ~ 0		-	
	23 バイト目	RAM 格納バイト数 15 ~ 8		-	
	24 バイト目	RAM 格納バイト数 7 ~ 0		-	
	25 バイト目	19 ~ 24 バイト目の CHECK SUM 値		-	
	26 バイト目	-		CHECK SUM 値に対する ACK 応答 (注 2) 正常の場合: 0x10 異常の場合: 0xX1 通信異常の場合: 0xX8	
	27 バイト目 ~ m バイト目	RAM 格納データ		-	
	m + 1 バイト目	27 ~ m バイト値の CHECK SUM 値		-	
	m + 2 バイト目	-		CHECK SUM 値に対する ACK 応答 (注 2) 正常の場合: 0x10 異常の場合: 0xX1 通信異常の場合: 0xX8	
	RAM	m + 3 バイト目		-	JUMP RAM 格納開始アドレス

注 1) I/O インタフェースモードの場合、1 バイト目と 2 バイト目のボーレートは、指定されたボーレート ÷ 16 で行ってください。

注 2) 異常応答後は、動作コマンド(3 バイト目)待ちになります。I/O インタフェースモードの場合は、通信異常の場合は発生しません。

注 3) 19 バイト目~25 バイト目のデータは、RAM 上のアドレス 0x2000_0400 から RAM の最終番地の領域内に納まるようにプログラムしてください。

22.2.9.2 フラッシュメモリチップ消去およびプロテクトビット消去

表 22-7 ブートプログラムの転送フォーマット

[フラッシュメモリチップ消去およびプロテクトビット消去の場合]

	転送バイト数	コントローラ → 本製品の転送データ	ボーレート	本製品 → コントローラへの転送データ
BOOT ROM	1 バイト目	シリアル動作モード & ボーレート設定 UART の場合: 0x86 I/O インタフェースの場合: 0x30	指定されたボーレート (注 1)	-
	2 バイト目	-		シリアル動作モードに対する ACK 応答 正常(設定可能)の場合 ・ UART の場合: 0x86 ・ I/O インタフェースの場合: 0x30 (ボーレートの設定が不可能と判断した場合は動作停止)
	3 バイト目	動作コマンドデータ(0x40)		-
	4 バイト目	-		動作コマンドに対する ACK 応答(注 2) 正常の場合: 0x40 異常の場合: 0xX1 通信異常の場合: 0xX8
	5 バイト目	消去イネーブルコマンドデータ(0x54)		-
	6 バイト目	-		動作コマンドに対する ACK 応答(注 2) 正常の場合: 0x54 異常の場合: 0xX1 通信異常の場合: 0xX8
	7 バイト目	-		消去コマンドに対する ACK 応答 正常の場合: 0x4F 異常の場合: 0x4C
	8 バイト目	(次の動作コマンドデータ待ち)		-

注 1) I/O インタフェースモードの場合、1 バイト目と 2 バイト目のボーレートは、指定されたボーレート ÷ 16 で行ってください。

注 2) 異常応答後は、動作コマンド(3 バイト目)待ちになります。I/O インタフェースモードの場合は、通信異常の場合は発生しません。

22.2.10 ブートプログラム動作説明

シングルブートモードで立ち上げるとブートプログラムが起動し、以下の機能を提供します。詳細は、「22.2.10.1 RAM 転送コマンド」「22.2.10.2 フラッシュメモリチップ消去およびプロテクトビット消去コマンド」に記載してありますので、参照してください。

1. RAM 転送コマンド

RAM 転送は、コントローラから送られてくるデータを内蔵 RAM へ格納します。転送が正常に終了するとユーザープログラムの実行を開始します。ユーザープログラム領域として、ブートプログラムで使用する領域(0x2000_0000~0x2000_03FF)を除く、0x2000_0400 以降を使用可能です。実行開始アドレスは、RAM 格納開始アドレスになります。

この RAM 転送機能により、ユーザー独自のオンボードプログラミング制御を行うことができます。ユーザープログラムでオンボードプログラミングを実行するためには、22.3 で説明するフラッシュメモリコマンドシーケンスを使う必要があります。RAM 転送コマンドは、実行に先立ちパスワードの照合結果をチェックします。パスワードが一致していない場合、実行されません。

2. フラッシュメモリチップ消去およびプロテクトビット消去

このコマンドはすべてのブロックのフラッシュメモリを消去します。ライト/消去プロテクトおよび、セキュリティ状態にかかわらず、メモリセルのすべてのブロックを消去し、すべてのブロックのライト/消去プロテクトを消去します。このコマンドは、パスワードを忘れた場合のブートプログラムの操作を回復する機能も兼用しているため、パスワード比較は行っていません。

注) パスワードが消去データ(0xFF)の場合、容易にパスワードの照合が可能になり、セキュリティの確保が難しくなります。シングルブートモードを使用しない場合も固有の値を置くことを推奨します。

22.2.10.1 RAM 転送コマンド

データ転送フォーマットは表 22-6 を参照してください。

1. 1 バイト目のデータは、シリアル動作モードを判定するデータになります。シリアルの動作モードを認める方法は、後述の「シリアル動作モード判定」を参照してください。シリアルの動作モードで UART と判定した場合は、ボーレートの設定が可能かどうかを判定します。1 バイト目のデータは、受信を禁止した状態 ($SC0MOD0<RXE> = "0"$) にしています。

- ・ UART で通信を行いたい場合

コントローラからターゲットボードへは、UART の設定で、所望のボーレートでデータを $0x86$ にして送信してください。シリアルの動作モードの判定で UART と判定した場合、ボーレートの設定が可能かどうかを判定します。設定が不可能と判断した場合は動作を停止するため、通信が行えなくなります。ボーレートの設定が可能かどうかを判定する方法については、後述の「ボーレートの設定方法」を参照してください。

- ・ I/O インタフェースで通信を行いたい場合

コントローラからターゲットボードへは、同期式の設定で、所望のボーレート $\div 16$ でデータを $0x30$ にして送信してください。2 バイト目も同様に、所望のボーレート $\div 16$ にしてください。所望のボーレートで転送するのは、3 バイト目(動作コマンドデータ)からにしてください。

I/O インタフェースの場合、CPU が受信端子を入力ポートとして見ており、その入力ポートのレベルの変化をモニタしています。従って、ボーレートが早い場合や動作周波数が多い場合は、CPU はレベルの変化を判別できないことがあります。これを防ぐために I/O インタフェースの場合、ボーレートは所望のボーレート $\div 16$ で指定します。I/O インタフェースと判定した場合、SCLK 入力モードになります。コントローラは、AC タイミングを満足するボーレートで送信を行ってください。I/O インタフェースの場合、受信エラーフラグのチェックは行いません。従って、ACK 応答データの通信異常 ACK (bit 3) ($0xX8$) はありません。

2. 2 バイト目の送信データは、1 バイト目のシリアル動作モード設定データに対する ACK 応答データになります。1 バイト目のデータが、UART と判定されボーレートの設定が可能な場合 0x86 を I/O インタフェースと判定された場合 0x30 を送信します。

- UART と判定された場合

ボーレートの設定が可能かどうかを判定します。設定が可能と判定した場合、SC0BCRCR の値を書き替え、0x86 を送信し、設定が不可能と判定した場合、動作を停止するため何も送信しません。コントローラは、1 バイト目のデータの送信が終了した後、タイムアウト時間(5 秒)を設けます。タイムアウト時間内に、データ(0x86)を正常受信できなければ、通信不能と判断してください。受信を許可(SC0MOD0<RXE>=1)するタイミングは、送信バッファにデータ(0x86)を書き込む前に行っています。

- I/O インタフェースと判定された場合

I/O インタフェースの設定になるように SC0MOD0, SC0CR の値を書き替え、SC0BUF に 0x30 を書き込み、SCLK0 クロックを待ちます。コントローラは、1 バイト目のデータ送信が終了した後、アイドル時間(数 ms)後、SCLK クロックを出力してください。このときのボーレートは、所望のボーレート ÷ 16 で行き、受信データが 0x30 なら、通信可能と判断してください。3 バイト目からは所望のボーレートで行ってください。受信を許可(SC0MOD0<RXE>=1)するタイミングは、送信バッファにデータ(0x30)を書き込む前に行っています。

3. 3 バイト目の受信データは、動作コマンドデータになります。この場合は、RAM 転送コマンドデータ(0x10)になります。

4. 4 バイト目の送信データは、3 バイト目の動作コマンドデータに対する ACK 応答データになります。最初に、3 バイト目の受信データに受信エラーがあるかをチェックします。受信エラーがある場合、通信異常の ACK 応答データ(bit 3) 0xX8 を送信して、次の動作コマンド(3 バイト目)データ待ちになります。送信データの上位 4 ビットは、不定値になります。(直前の動作コマンドデータの上位 4 ビットになります。)なお、I/O インタフェースの場合、受信エラーのチェックは行いません。

次に、3 バイト目の受信データが、表 22-4 の動作コマンドデータのいずれかに該当する場合は、受信データをエコーバック送信(正常 ACK 応答データ)します。この場合、0x10 をエコーバック送信して RAM 転送処理ルーチンに分岐します。このルーチンに分岐後、パスワードエリアのデータをチェックします。パスワードエリアのデータのチェック方法は、後述の「パスワードについて」を参照してください。該当しない場合は、動作コマンドエラーの ACK 応答データ(bit 0) 0xX1 を送信して、次の動作コマンド(3 バイト目)データ待ちになります。送信データの上位 4 ビットは、不定値になります。(直前の動作コマンドデータの上位 4 ビットになります。)

5. 5 バイト目 ~ 16 バイト目の受信データは、パスワードデータ(12 バイト)になります。5 バイト目の受信データから順に、フラッシュメモリの以下の表のアドレスと照合します。一致していない場合、パスワードエラーフラグをセットします。

製品	パスワード領域
TMPM380DFDG	0x3F87_FFF4 ~ 0x3F87_FFFF

6. 17 バイト目の受信データは、CHECK SUM データになります。5 バイト目から 16 バイト目の送信データを符号なしの 8 ビット加算(オーバーフローを無視)して得られた下位 8 ビット値の 2 の補数をコントローラから送信してください。CHECK SUM データの計算方法は、後述の「CHECK SUM の計算方法」を参照してください。

7. 18 バイト目の送信データは、5 バイト目 ~ 17 バイト目のデータに対する ACK 応答データ(CHECK SUM 値に対する ACK 応答)になります。最初に、5 バイト目 ~ 17 バイト目

の受信データに受信エラーがあるかをチェックします。受信エラーがある場合、通信異常の ACK 応答データ(bit 3) 0x18 を送信して、次の動作コマンド(3 バイト目)データ待ちになります。送信データの上位 4 ビットは、直前の動作コマンドデータの上位 4 ビットになるので、"1" になります。なお、I/O インタフェースの場合、受信エラーのチェックは行いません。

次に、17 バイト目の CHECK SUM データをチェックします。CHECK SUM データのチェック方法は、5 バイト目～16 バイト目までの受信データを符号なし 8 ビット加算(オーバーフローを無視)して得られた値の下位 8 ビットが、0x00 かどうかをチェックしています。0x00 以外の場合、CHECK SUM エラーの ACK 応答データ(bit 0) 0x11 を送信して、次の動作コマンド(3 バイト目)データ待ちになります。

最後に、パスワードの照合結果をチェックします。次の場合、パスワードエラーの ACK 応答データ(bit 0) 0x11 を送信して、次の動作コマンド(3 バイト目)データ待ちになります。

- ・ 5 バイト目～16 バイト目のパスワードデータの照合結果に関わらず、パスワードエリアの 12 バイトのデータが、0xFF 以外の同一データの場合。
- ・ 5 バイト目～16 バイト目のパスワードデータの照合がすべて一致しない場合。

上記のチェックを終えて、すべて正常なら、正常 ACK 応答データ 0x10 を送信します。

8. 19 バイト目～22 バイト目までの受信データは、ブロック転送における格納先の RAM の開始アドレスを表します。19 バイト目がアドレスの 31 ビット～24 ビットに対応し、22 バイト目が 7 ビット～0 ビットに対応します。格納先の RAM の開始アドレスは偶数アドレスでなければいけません。
9. 23 バイト目, 24 バイト目の受信データは、ブロック転送するバイト数を表します。23 バイト目が転送バイト数の 15 ビット～8 ビット目に対応し、24 バイト目が 7 ビット～0 ビット目に対応します。
10. 25 バイト目の受信データは、CHECK SUM データになります。19 バイト目から 24 バイト目の送信データを符号なし 8 ビット加算(オーバーフローを無視)して得られた下位 8 ビット値の 2 の補数値をコントローラから送信してください。CHECK SUM データ計算方法は、後述の「CHECK SUM の計算方法」を参照してください。

11. 26 バイト目の送信データは、19 バイト目～25 バイト目のデータに対する ACK 応答データ(CHECK SUM 値に対する ACK 応答)になります。最初に、19 バイト目～25 バイト目の受信データに受信エラーがあるかどうかをチェックします。受信エラーがある場合、通信異常の ACK 応答データ(bit 3) 0x18 を送信して、次の動作コマンド(3 バイト目)データ待ちになります。送信データの上位 4 ビットは、直前の動作コマンドデータの上位 4 ビットになるので"1"になります。なお、I/O インタフェースの場合、受信エラーのチェックは行いません。

次に、25 バイト目の CHECK SUM データをチェックします。CHECK SUM データのチェック方法は、19 バイト目～24 バイト目までの受信データを符号なし 8 ビット加算(オーバフローを無視)して得られた値の下位 8 ビットが、0x00 かどうかをチェックしています。0x00 以外の場合、CHECK SUM エラーの ACK 応答データ(bit 0) 0x11 を送信して、次の動作コマンド(3 バイト目)データ待ちになります。

- ・ 19 バイト目～25 バイト目のデータは RAM 上のアドレス 0x2000_0400 から RAM の最終番地の領域に納まるようにプログラムしてください。

上記のチェックを終えてすべて正常なら、正常 ACK 応答データ 0x10 を送信します。

12. 27 バイト目～m バイト目の受信データは、RAM へ格納するデータになります。RAM に格納するデータを、19 バイト目から 22 バイト目で指定されたアドレスから書き込み、23 バイト目から 24 バイト目に指定されたバイト数分だけ書き込みます。

13. m+1 バイト目の受信データは、CHECK SUM データになります。27 バイト目～m バイト目の送信データを符号なし 8 ビット加算(オーバフローを無視)して得られた下位 8 ビット値の 2 の補数をコントローラから送信してください。CHECK SUM データの計算方法は、後述の「CHECK SUM の計算方法」を参照してください。

14. m+2 バイト目の送信データは、27 バイト目～m+1 バイト目のデータに対する ACK 応答データ(CHECK SUM に対する ACK 応答)になります。最初に 27 バイト目～m+1 バイト目の受信データに受信エラーがあるかどうかをチェックします。受信エラーがある場合、通信異常の ACK 応答データ(bit 3) 0x18 を送信して、次の動作コマンド(3 バイト目)データ待ちになります。送信データの上位 4 ビットは、直前の動作コマンドデータの上位 4 ビットになるので"1"になります。なお、I/O インタフェースの場合、受信エラーのチェックは行いません。

次に、m+1 バイト目の CHECK SUM データをチェックします。CHECK SUM データのチェック方法は、27 バイト目～m バイト目までの受信データを符号なし 8 ビット加算(オーバフローを無視)して得られた値の下位 8 ビットが、0x00 かどうかをチェックしています。0x00 以外の場合、CHECK SUM エラーの ACK 応答データ(bit 0) 0x11 を送信して、次の動作コマンド(3 バイト目)データ待ちになります。上記のチェックを終えてすべて正常なら、正常 ACK 応答データ 0x10 を送信します。

15. m+2 バイト目の ACK 応答データが正常 ACK 応答データの場合、正常 ACK 応答データ 0x10 を送信後、19 バイト目～22 バイト目で指定されたアドレスに分岐します。

22.2.10.2 フラッシュメモリチップ消去およびプロテクトビット消去コマンド

データ転送フォーマットは表 22-7 を参照してください。

1. 1 バイト目 ~ 2 バイト目までの送受信データは RAM 転送コマンドの場合と同一になります。
ます。
2. コントローラ → TMPM380FDFG
3 バイト目の受信データは動作コマンドデータになります。この場合は、フラッシュメモリチップ消去コマンドデータ(0x40)になります。
3. TMPM380FDFG → コントローラ
4 バイト目の送信データは、3 バイト目の動作コマンドデータに対する ACK 応答データになります。
最初に、3 バイト目の受信データに受信エラーがあるかどうかをチェックします。受信エラーがある場合、通信異常の ACK 応答データ(bit 3) 0xX8 を送信して、次の動作コマンド(3 バイト目)データ待ちになります。送信データの上位 4 ビットは不定値になります(直前の動作コマンドデータの上位 4 ビットになります)。
次に、3 バイト目の受信データが、表 22-4 の動作コマンドデータのいずれかに該当する場合は、受信データをエコーバック送信(正常 ACK 応答データ)します。この場合、0x40 をエコーバック送信します。該当しない場合は、動作コマンドエラーの ACK 応答データ(bit 0) 0xX1 を送信して、次の動作コマンド(3 バイト目)データ待ちになります。送信データの上位 4 ビットは不定値になります(直前の動作コマンドデータの上位 4 ビットになります)。
4. コントローラ → TMPM380FDFG
5 バイト目の受信データは消去イネーブルコマンドデータ(0x54)になります。
5. TMPM380FDFG → コントローラ
6 バイト目の送信データは、5 バイト目の消去イネーブルコマンドデータに対する ACK 応答データになります。
最初に、5 バイト目の受信データに受信エラーがあるかどうかをチェックします。受信エラーがある場合、通信異常の ACK 応答データ(bit 3) 0xX8 を送信して、次の動作コマンド(3 バイト目)データ待ちになります。送信データの上位 4 ビットは不定値になります(直前の動作コマンドデータの上位 4 ビットになります)。
次に、5 バイト目の受信データが、消去イネーブルコマンドデータに該当する場合は、受信データをエコーバック送信(正常 ACK 応答データ)します。この場合、0x54 をエコーバック送信して、フラッシュメモリチップ消去処理ルーチンに分岐します。該当しない場合は、動作コマンドエラーの ACK 応答データ(bit 0) 0xX1 を送信して、次の動作コマンド(3 バイト目)データ待ちになります。送信データの上位 4 ビットは不定値になります(直前の動作コマンドデータの上位 4 ビットになります)。

6. TMPM380FDFG → コントローラ

7 バイト目の送信データが正常に終了したかどうかを示します。

正常に終了した時は、終了コード(0x4F)を返します。

消去 Error が起きた場合は、エラーコード(0x4C)を返します。

7. 8 バイト目の受信データは、次の動作コマンドデータになります。

22.2.10.3 ACK 応答データ

ブートプログラムは処理状況を各種コードによってコントローラに送信します。表 22-8 から表 22-11 に各受信データに対する ACK 応答データを示します。ACK 応答データの上位 4 ビットは、動作コマンドデータの上位 4 ビットになります。また 3 ビット目は受信エラーを表し、0 ビット目は動作コマンドエラー、CHECK SUM エラー、パスワードエラーの状態を表します。1 ビット目と 2 ビット目は常に 0 になります。なお、I/O インタフェースの場合、受信エラーのチェックは行いません。

表 22-8 シリアル動作判定データに対する ACK 応答データ

送信データ	送信データの意味
0x86	UART での通信が可能と判定した。(注)
0x30	I/O インタフェースでの通信が可能と判定した。

注) UART の場合、ボーレートの設定が不可能と判定したら、何も送信しないで動作を停止します。

表 22-9 動作コマンドデータに対する ACK 応答データ

送信データ	送信データの意味
0xN8 (注)	動作コマンドデータに受信エラーが発生した。
0xN1 (注)	未定義の動作コマンドデータを正常受信した。
0x10	RAM 転送コマンドと判定した。
0x40	フラッシュメモリチップ消去コマンドと判定した。

注) 上位 4 ビットは、直前の動作コマンドデータの上位 4 ビットになります。

表 22-10 CHECK SUM データに対する ACK 応答データ

送信データ	送信データの意味
0xN8 (注)	受信エラーが発生していた。
0xN1 (注)	CHECK SUM エラーが発生した。あるいは、パスワードエラーが発生した。
0xN0 (注)	CHECK SUM 値は正常な値と判定した。

注) 上位 4 ビットは動作コマンドデータの上位 4 ビットになります。例えば、パスワードエラー発生時は 1 (N = RAM 転送コマンドデータ[7:4])となります。

表 22-11 フラッシュメモリチップ消去およびプロテクトビット消去動作に対する ACK 対応データ

送信データ	送信データの意味
0x54	消去イネーブルコマンドと判定した。
0x4F	消去コマンド終了
0x4C	消去コマンドが不正に終了した。

22.2.10.4 シリアル動作モード判定

コントローラは、UART で通信したい場合、所望のボーレートで 1 バイト目を 0x86 にし、I/O インタフェースで通信したい場合、所望のボーレート ÷ 16 で 1 バイト目を 0x30 にして送信してください。図 22-4 にそれぞれの場合の波形を示します。

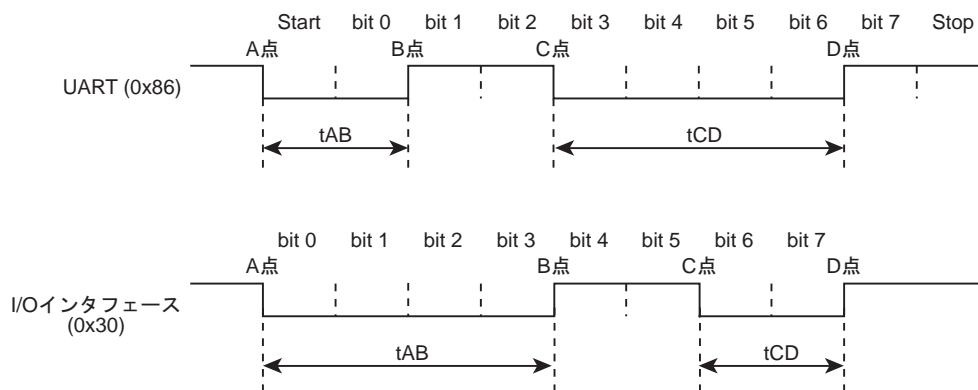


図 22-4 シリアル動作モード判定データ

ブートプログラムは、リセット解除後の 1 バイト目のシリアル動作モード判定データ(0x86, 0x30)を受信禁止状態にして、図 22-5 に示すフローチャートで、図 22-4 の t_{AB} , t_{AC} と、 t_{AD} の時間を求めています。図 22-5 のフローチャートに示すように、CPU が受信端子のレベルをモニタしてレベルの変化があると、そのときのタイマ値を取り込みます。このため、 t_{AB} , t_{AC} と、 t_{AD} のタイマ値には誤差が生じます。また、ボーレートが速いときには、CPU は受信端子のレベルの変化を判断できない場合がありますので注意してください。特に、I/O インタフェースは UART に比べボーレートが速いため、このような場合が発生しやすくなります。このようなことが起こらないようにするために、I/O インタフェースの場合、コントローラのボーレートは所望ボーレート $\div 16$ にして送信してください。

図 22-5 のフローチャートに示すように、シリアル動作モードの判定は、受信端子が"L"レベルのときの時間幅の大小関係で判定しています。 $t_{AB} \leq t_{CD}$ の場合 UART と判定し、ボーレートの自動設定が可能かどうかを t_{AD} の時間から判定します。 $t_{AB} > t_{CD}$ の場合、I/O インタフェースと判定します。なお、先に述べたように、 t_{AB} , t_{AC} , t_{AD} のタイマ値には誤差が生じているため、ボーレートが速く、動作周波数が低い場合、各タイマ値が小さくなり、意図しない判断を行うことがありますので注意してください(書き換えルーチン内で UART の再設定を行ってください)。

例えば、コントローラは UART で通信したいのに、I/O インタフェースと判定してしまうことがあります。このようなことを考慮して、コントローラは UART で通信したい場合、1 バイト目のデータを送信後、タイムアウト時間内にデータ 0x86 を正常受信できなければ通信不可能と判断してください。I/O インタフェースで通信したい場合は 1 バイト目のデータを送信後、アイドル時間後に SCLK クロックを出力してデータを受信し、受信データが 0x30 でなければ通信不可能と判断してください。

I/O インタフェースで通信したい場合は上記のとおり、 $t_{AB} > t_{CD}$ であれば 1 バイト目のデータは 0x30 でなくても構いません。A 点と C 点の立ち下がり、B 点と D 点の立ち上りを判定できるように 0x91, 0xA1 あるいは 0xB1 を 1 バイト目のデータとして送信できます。 $t_{AB} > t_{CD}$ が成立しており、動作モード判定結果 SIO が選択された場合、(1 バイト目の送信データが 0x30 でない場合でも) 2 バイト目のデータは 0x30 となります(以下、I/O インタフェース判定用の 1 バイト目のデータは 0x30 を表記しています)。

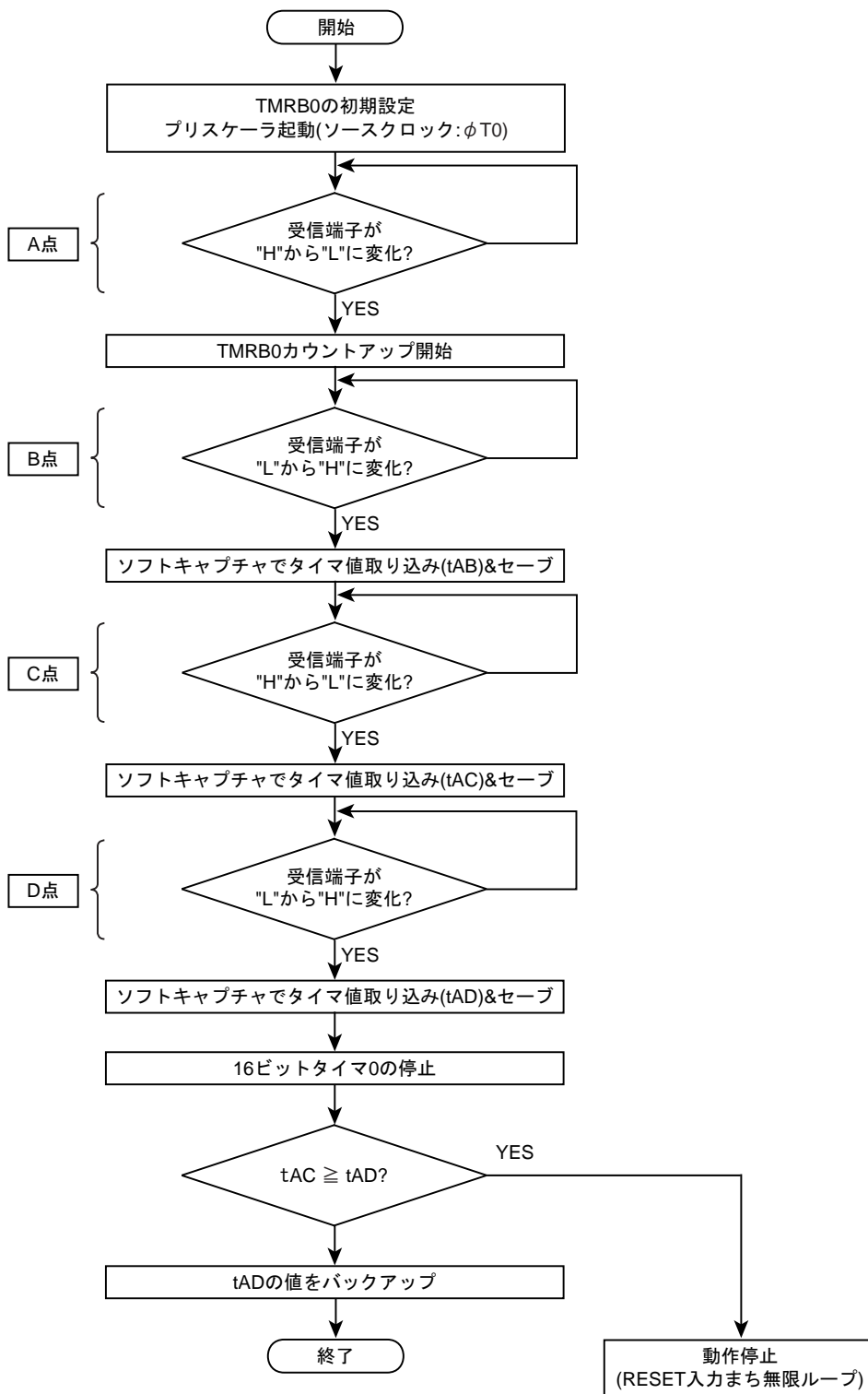


図 22-5 シリアル動作モード受信フローチャート

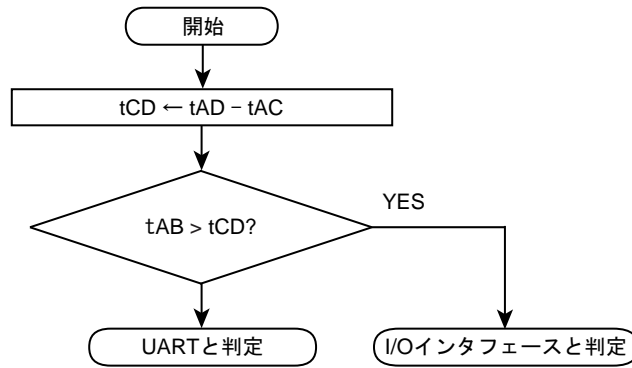


図 22-6 シリアル動作モード判定フローチャート

22.2.10.5 パスワードについて

動作コマンドデータが RAM 転送コマンド(0x10)の場合、パスワードチェックを行います。まず、動作コマンドデータをエコーバック送信(0x10)後、パスワードエリアのデータ(12 バイト)をチェックします。パスワードエリアは以下のとおりです。

製品	パスワード領域
TMPM380DFDG	0x3F87_FFF4 ~ 0x3F87_FFFF

注) パスワードが消去データ(0xFF)の場合、容易にパスワードの照合が可能になり、セキュリティの確保が難しくなります。シングルブートモードを使用しない場合も固有の値を置くことを推奨します。

図 22-7 に示すようにパスワードエリアのデータが、0xFF 以外の同一データになっていた場合、パスワードエリアエラーと判定します。パスワードエリアエラーと判定された場合、パスワードデータの照合結果に関わらず、17 バイト目の CHECK SUM 値に対する ACK 対応は 0x11 を送信します。

次に、5 バイト目～16 バイト目の受信データ(パスワードデータ)の照合を行います。12 バイト分すべてが一致しないと、パスワードエラーになります。パスワードエラーと判定された場合、17 バイト目の CHECK SUM 値に対する ACK 応答は、パスワードエラーとなります。

セキュリティ機能が有効な状態でもパスワードの参照は行います。

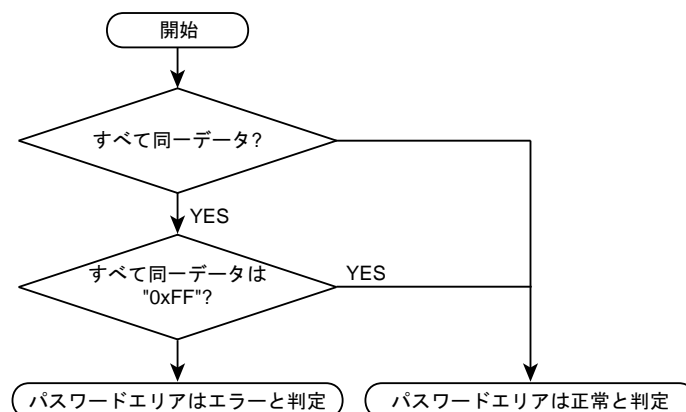


図 22-7 パスワードチェックフローチャート

22.2.10.6 CHECK SUM の計算方法

CHECK SUM の計算方法は、送信データを符号なし 8 ビット加算(オーバーフローを無視)して得られた下位 8 ビット値の 2 の補数値を求めています。コントローラは CHECK SUM 値を送信するときは、本計算方法を使用してください。

例)CHECK SUM 計算例

2 バイトのデータ 0xE5、0xF6 の CHECK SUM 値を求める場合、まず符号なし 8 ビット加算を行います。

$$0xE5 + 0xF6 = 0x1DB$$

この値の下位 8 ビットに対しての 2 の補数をとると以下のようになり、この値が CHECK SUM 値になります。従って、コントローラには 0x25 を送信します。

$$0 - 0xDB = 0x25$$

22.2.11 ブートプログラム全体フローチャート

ブートプログラム全体フローチャートを示します。

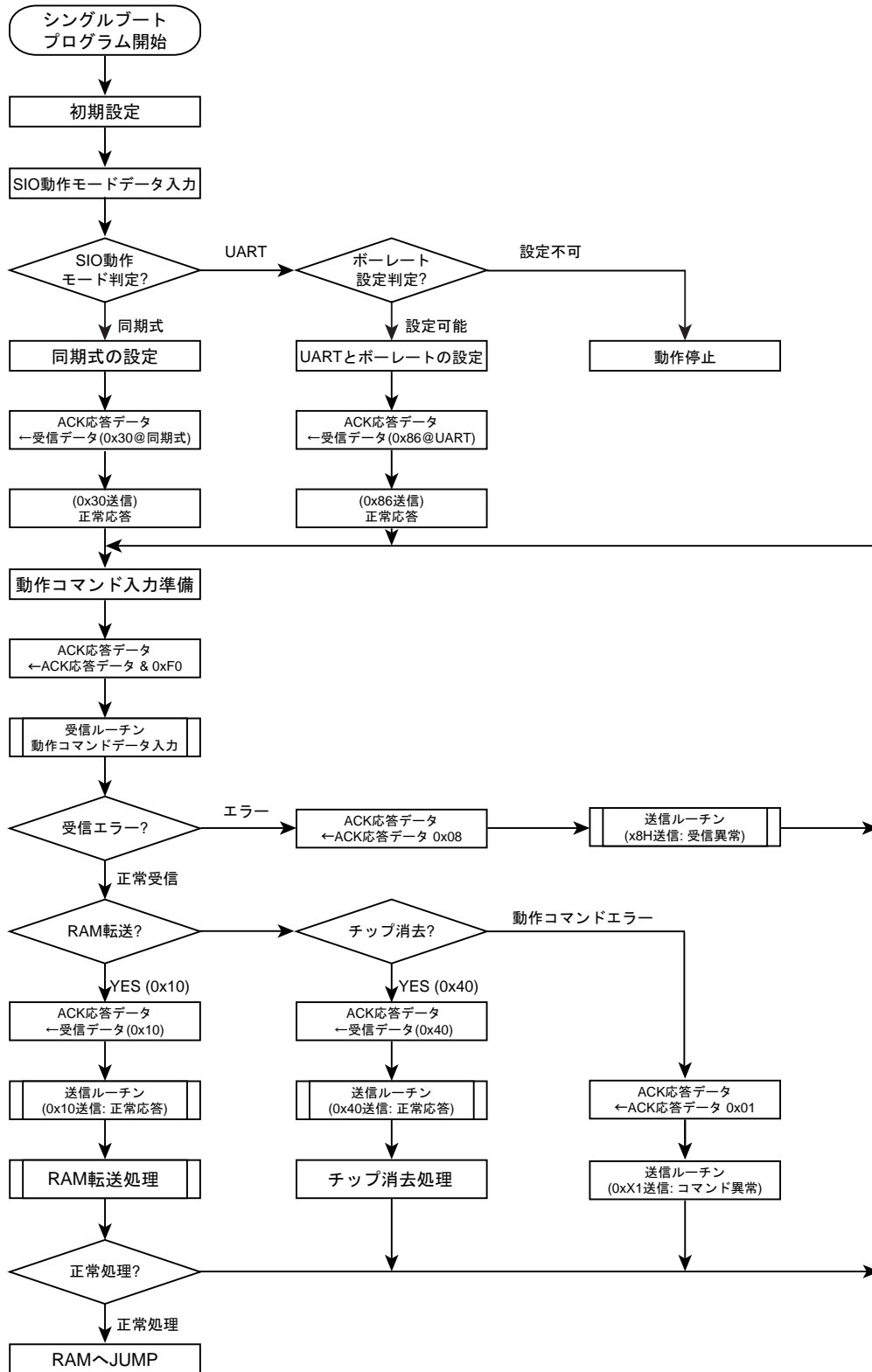


図 22-8 ブートプログラム全体フローチャート

22.3 オンボードプログラミングでのフラッシュメモリ書き込み/消去

オンボードプログラミングでは、CPUによりソフトウェア的にコマンドを実行することで、フラッシュメモリの書き込み/消去を行います。この書き込み/消去の制御プログラムはユーザーがあらかじめ用意しておきます。フラッシュメモリの書き込み/消去を行っている間は、フラッシュメモリ自身の読み出しはできませんので、ユーザーブートモードに移行後、書き込み/消去制御プログラムは内蔵 RAM 上で実行してください。

22.3.1 フラッシュメモリ

一部の機能を除き、フラッシュメモリの書き込みおよび消去などは JEDEC 標準コマンドに準拠しています。CPU とのインタフェースの関係上、動作コマンドのアドレス指定が標準コマンドとは異なります。

書き込み、消去を行う場合、32 ビット(ワード)のデータ転送命令を用いてフラッシュメモリへコマンドを入力します。コマンド入力後、書き込みおよび消去は内部で自動的に行われます。

表 22-12 フラッシュメモリの機能

主な機能	説明
自動ページプログラム	データ書き込みを自動で行います。
自動チップ消去	フラッシュメモリの全エリアの一括消去を自動で行います。
自動ブロック消去	ブロック単位での消去を自動で行います。
ライト/消去プロテクト	ブロック単位ごとに書き込みおよび消去を禁止することができます。

22.3.1.1 ブロック構成

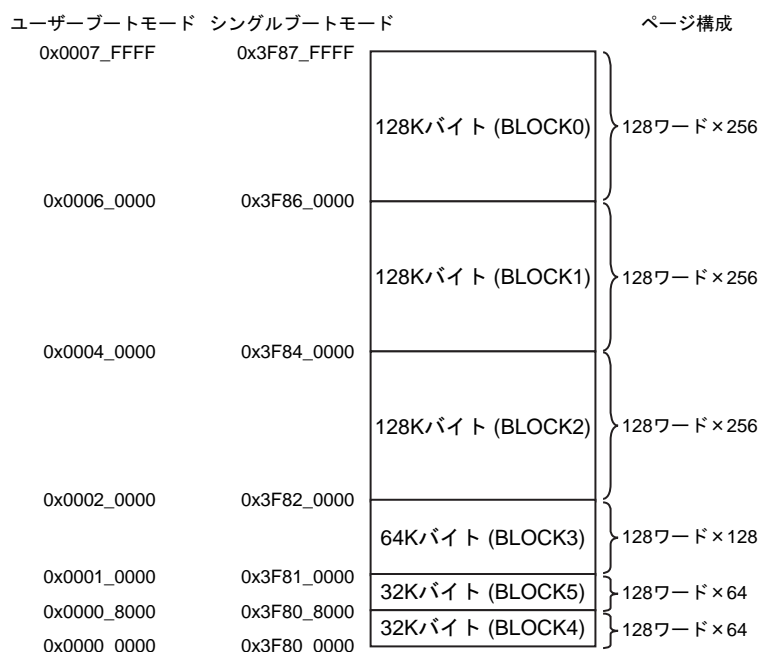


図 22-9 ブロック構成 (TMPM380DFDG)

22.3.1.2 基本動作

このフラッシュメモリには、大きく分けて以下の 2 種類の動作モードがあります。

- ・ メモリデータを読み出すモード(リードモード)
- ・ メモリデータを自動的に消去/書き替えるモード(自動動作)

リードモード中にコマンドシーケンスを実行することで、自動動作に移ることができます。自動動作中は、フラッシュメモリデータの読み出しとフラッシュメモリ上の命令の実行ができません。自動動作中はハードウェアリセットを除いて例外が発生した場合、リードモードに移りません。自動動作中はデバッグポート接続時のデバッグ例外とリセットを除いて、すべての例外を発生させないでください。ハードウェアリセットを除いて例外が発生した場合、リードモードに移行しません。

(1) リード

データを読み出す場合、フラッシュメモリをリードモードにします。電源投入直後、CPU リセット解除後および自動動作の正常終了時に、フラッシュメモリはリードモードになります。自動動作の異常終了時や、他のモードからリードモードに復帰させるには、後述する Read/リセットコマンド(ソフトウェアリセット)もしくはハードウェアリセットを用います。フラッシュメモリに書かれた命令を実行する場合もリードモードでなければなりません。

- ・ Read/リセットコマンドおよび Read コマンド(ソフトウェアリセット)

ID-Read コマンドを実行した場合、マクロは自動的に Read モードに復帰せず、その状態で停止します。このような状態から Read モードに復帰させるために、Read/リセットコマンドを使用します。また、途中まで入力したコマンドをキャンセルしたい場合にも、Read/リセットコマンドを使用します。Read コマンドは、フラッシュメモリの任意のアドレスに 0x0000_00F0 データを 32 ビット (ワード) のデータ転送命令を実行してリードモードに復帰するコマンドです。

Read/リセットコマンドは第 3 バスライトサイクル終了後にリードモードになります。

(2) コマンドライト

このフラッシュメモリは、コマンドコントロール方式を用いています。コマンド実行は、フラッシュメモリに対してコマンドシーケンスを実行することで行います。フラッシュメモリは、入力されたアドレスとデータの組み合わせによって各自動動作コマンドを実行します(コマンドシーケンス参照)。

コマンドシーケンスの途中でコマンドライトをキャンセルしたい場合や、間違ったコマンドシーケンスを入力した場合は、Read/リセットコマンドを実行します。フラッシュメモリはコマンド実行を中止してリードモードになります。

フラッシュメモリに対する 32 ビット(ワード)のデータ転送命令を"バスライトサイクル"と呼びます。各コマンドはいくつかのバスサイクルで構成されています。各バスライトサイクルには順番があり、フラッシュメモリはバスライトサイクルのアドレスとデータが規定の順番でコマンドライトされた時は自動動作を実施します。規定の順番でコマンドライトされなかったバスライトサイクルがあった場合にフラッシュメモリはコマンドの実行を中止してリードモードになります。

注 1) 各コマンドシーケンスは、フラッシュメモリ外のエリアから実施します。

注 2) 各バスライトサイクルは連続して、32 ビット(ワード)のデータ転送命令で行って下さい。各コマンドシーケンスの実行中に、フラッシュメモリへのアクセスは実施しないで下さい。また、すべての割り込み(デバッグポート接続時は、デバッグ例外を除く)を発生させないでください。

各バスライトサイクルおよび、各コマンドシーケンスの実行中にフラッシュメモリに対して予期せぬリードアクセスが生じることになり、コマンドシーケンスがコマンドを正常に認識できない恐れがあります。各コマンドシーケンスは正常終了しない恐れがあると同時に、誤ったコマンドライトとして認識してしまう可能性があります。

注 3) コマンドシーケンスがコマンドを認識するために、コマンド開始前の状態がリードモードである必要があります。各コマンドシーケンスの第 1 バスライトサイクル前に FCFLCS<RDY/BSY> = 1 であることを確認してください。続いて Read コマンドを実行することを推奨します。

注 4) コマンド発行時、誤ったアドレスやデータをライトした場合は、必ずソフトウェアリセットを発行して、一度リードモードに戻して下さい。

22.3.1.3 リセット (ハードウェアリセット)

ハードウェアリセットは、自動プログラム/消去動作の強制的な実行中止や、自動動作が異常終了したとき、コマンドライトにより設定した動作モードの解除に使用します。

本フラッシュメモリはメモリブロックとしてリセット入力を持ち、この入力は CPU のリセット信号とつながっています。このため、本製品の **RESET** 入力端子が "Low" となるか、ウォッチドッグタイマのオーバフローなどにより CPU のリセットがかかると、フラッシュメモリは自動動作の実行中であってもその動作を中止し、リードモードに戻ります。なお、自動動作の実行中にハードウェアリセットが入った場合は、データの書き替えが正常に行えませんが注意が必要です。再度、書き替えを行う処置をしてください。

CPU のリセット動作については、「22.2.1 リセット動作」を参照してください。所定のリセット入力後、CPU はフラッシュメモリよりリセットベクタデータをリードし、リセット解除後の動作を開始します。

22.3.1.4 コマンド説明

(1) 自動ページプログラム

フラッシュメモリへの書き込みは、"1" データセルを "0" データにすることです。"0" データセルを "1" データにすることはできません。"0" データセルを "1" データにするには消去動作を行う必要があります。

本製品の自動ページプログラムは、ページごとの書き込みとなります。1 ページは、128 ワードで、アドレス[31:9]が同じで、先頭アドレス[8:0]=0、最後のアドレス[8:0]=0x1FF のグループです。以降はページプログラムの単位をページと呼びます。

データセルへの書き込みは、内部シーケンサで自動的に行われ、CPU による外部からの制御を必要としません。自動ページプログラムの状態(書き込み動作中であるか)は FCFLCS<RDY/BSY>にて確認できます。

また、自動ページプログラム中は、新たにコマンドシーケンスを受け付けません。自動ページプログラム動作を中止したい場合は、ハードウェアリセットを用います。これにより動作を中止させた場合、該当のページに対するデータの書き込みは正常に行われていないため、消去動作後に改めて自動ページプログラムを実行する必要があります。

自動ページプログラムは消去後のページに対して 1 回のみ可能で、"1" データセルであっても "0" データセルであってもページに対して 2 回以上の実行はできません。一度書き込み動作を行ったページに対して再度書き込みを行う場合は、自動ブロック消去または自動チップ消去コマンドを行った後に自動ページプログラムを実行しなおす必要がありますのでご注意ください。消去動作を伴わない同一ページへの 2 回以上ページプログラム実施は本製品破損の可能性がありま

す。本製品内部で自動的なベリファイ動作は行いません。正常に書き込みができたか、実行後に読み出しをして確認してください。

自動ページプログラムは、コマンドサイクルの第 3 バスライトサイクル終了から開始します。第 5 バスライトサイクル以降は、第 4 バスライトサイクルで指定した次のアドレス(第 4 バスライトサイクルではページの先頭アドレスをコマンドライトします)から順番に書き込みを行います(データ入力は 32 ビット単位で行います)。第 4 バスライトサイクル以降のコマンドライトは必ず 32 ビット(ワード)のデータ転送命令を使用してください。このとき 32 ビット(ワード)のデータ転送命令はワード境界をまたいだ位置へ実施しないでください。第 5 バスライトサイクル以降は同一ページエリアに対してデータをコマンドライトします。また、ページの一部に書き込みをしたい場合でもページ単位で自動ページプログラムする必要があります。この場合も第 4 バスライトサイクルのアドレス入力はページの先頭アドレスにしてください。この時 "0" データセルにしたくない箇所は入力データを "1" にしてコマンドライトします。例えば、あるページの先頭アドレスの書き込みをしない場合、第 4 バスライトサイクルのデータ入力を 0xFFFFFFFF としてコマンドライトします。

第 3 バスライトサイクルを実行すると自動プログラム動作中となります。このことは FCFLCS<RDY/BSY>をモニタすることで確認できます。自動プログラム動作中は、新たなコマンドシーケンスを受け付けません。動作を中止する場合は、ハードウェアリセットを用います。動作を中止させた場合は、データの書き込みは正常に行えませんが注意してください。1 ページのデータをコマンドライト後、ページ自動書き込みが正常終了した時に FCFLCS<RDY/BSY>="1" となり、リードモードに復帰します。

複数のページに対してデータの書き込みを行うときは、ページごとにページプログラムコマンドを実行する必要があります(1 回の自動ページプログラムコマンドで書き込めるサイズは 1 ページです)。ページを跨ったデータ入力の自動ページプログラムはできません。

ライト/消去プロテクトされたブロックへの書き込みはできません。自動プログラムが正常終了すると、自動的にリードモードに復帰します。このことは FCFLCS<RDY/BSY>をモニタすることで確認できます。自動プログラム動作が不良となった場合は、フラッシュメモリはこのモードのままロックされ、リードモードには復帰しません。リード状態に復帰させる

にはハードウェアリセットで本製品をリセットする必要があります。この場合、このアドレスへの書き込みが不良になっていますので、本製品の使用を停止するか、以後このアドレスを含むブロックを使用しないことを推奨します。

注) 自動ページプログラム第4バスライトサイクル以降のバスライトサイクルでは、ソフトウェアリセットが無効になります。

(2) 自動チップ消去

自動チップ消去動作は、コマンドサイクルの第6バスライトサイクル終了から開始します。

自動チップ消去動作は、FCFLCS<RDY/BSY>をモニタすることで確認できます。本製品内部で自動的なベリファイ動作は行いませんので、正常に消去ができたか、実行後に読み出しをして確認してください。自動チップ消去動作中は、新たなコマンドシーケンスを受け付けません。動作を中止する場合は、ハードウェアリセットを用います。動作を中止した場合、データの消去は正常に行えないので、再度自動チップ消去を行う必要があります。

また、ライト/消去プロテクトされているブロックがある場合、そのブロックの消去は行いません。すべてのブロックがライト/消去プロテクトされている場合は、自動チップ消去を実行せず、コマンドシーケンスの第6バスライトサイクルの完了後にリードモードになります。自動チップ消去が正常終了すると、自動的にリードモードに復帰します。自動チップ消去動作が不良となった場合は、フラッシュメモリはこのモードのままロックされ、リードモードには復帰しません。

リードモードに復帰させるにはハードウェアリセットで本製品をリセットする必要があります。この場合は、不良が発生したブロックの検知はできません。本製品の使用を停止するか、ブロック消去機能を利用して不良ブロックを特定し、以降不良ブロックを使用しないことを推奨します。

(3) 自動ブロック消去(Block 単位)

自動ブロック消去は、コマンドサイクルの第6バスライトサイクル終了から開始します。

自動ブロック消去動作の状態は、FCFLCS<RDY/BSY>をモニタすることで確認できます。本製品内部で自動的なベリファイ動作は行いませんので、正常に消去ができたか、実行後に読み出しをして確認してください。自動ブロック消去中は新たなコマンドシーケンスを受け付けません。動作を中止する場合は、ハードウェアリセットを用います。この場合、データの消去は正常に行えませんので、再度自動ブロック消去を行う必要があります。

また、ライト/消去プロテクトされているブロックがある場合、そのブロックの消去を行いません。自動ブロック消去動作が不良になった場合、フラッシュメモリはこのモードのままロックされ、リードモードには復帰しません。ハードウェアリセットを用いて本製品をリセットしてください。

(4) 自動プロテクトビットプログラム(Block 単位)

本製品はプロテクトビットを内蔵し Block 単位で設定することができます。Block とプロテクトビットの関係は表 22-15 にあります。自動プロテクトビットプログラムは 1 ビット単位で実行します。ビットの指定は第 7 バスライトサイクルの PBA で行います。自動プロテクトビットプログラムにより、ブロックごとに書き込みと消去の動作を禁止(プロテクト)することができます。各ブロックのプロテクトの状態は FCFLCS<BLPRO>で確認できます。自動プロテクトビットプログラム動作の状態は、FCFLCS<RDY/BSY>をモニタすることで確認できます。自動プロテクトビットプログラム動作中は新たなコマンドシーケンスを受け付けません。動作を中止する場合は、ハードウェアリセットを用います。この場合、プロテクトの設定は正常に行えない可能性がありますので、再度ブロックプロテクトの動作をやり直す必要があります。すべてのプロテクトビットをプログラムした後は、FCFLCS レジスタのすべての<BLPRO>ビットが"1"になっています。これ以降はすべての Block に対し、ライト/消去はできません。

注) 自動プロテクトビットプログラム第 7 バスライトサイクルでは、ソフトウェアリセットが無効になります。FCFLCS<RDY/BSY> は、第 7 バスライトサイクル入力後から、FCFLCS<RDY/BSY> = "0"となります。

(5) 自動プロテクトビット消去

セキュリティビットとプロテクトビットの状態によって、自動プロテクトビット消去コマンドの実行結果が異なります。FCSECBIT<SECBIT> = 0x1 の場合、FCFLCS レジスタのすべての<BLPRO>が"1"か、それ以外の値かで動作が決まります。自動プロテクトビット消去コマンド実施前に必ず FCFLCS<BLPRO>の値を確認してください。セキュリティの詳細については「プロテクト/セキュリティ機能」の章を参照してください。

- FCFLCS<BLPRO> = all "1" (すべてのプロテクトビットがプログラムされている) の場合

自動プロテクトビット消去コマンドをコマンドライトすると、自動的に本製品内部でフラッシュメモリの初期化を行います。第 7 バスライトサイクル終了後、フラッシュメモリ全エリアのデータセルの消去を行い、引き続いてプロテクトビットの消去を行います。この動作に関しては FCFLCS<RDY/BSY>をモニタすることで確認できます。自動プロテクトビット消去動作が正常に終了した場合 FCFLCS = 0x00000001 となります。本製品内部で自動的にベリファイ動作は行いませんので、正常に消去ができたか、実行後に読み出しをして確認してください。第 7 バスサイクル以降の自動動作中にリードモードに復帰させるにはハードウェアリセットで本製品をリセットする必要があります。この場合リードモードに復帰後、FCFLCS<BLPRO>にてプロテクトビットの状態を確認して、必要に応じて再度自動プロテクトビット消去または、自動チップ消去あるいは自動ブロック消去を実行する必要があります。

- FCFLCS<BLPRO> ≠ all "1" (すべてのプロテクトビットがプログラムされていない) の場合

プロテクトビットを消去することで、プロテクトの状態を解除することができます。本製品では、表 22-15 のように Block 単位でプロテクトビットをプログラムするのに対して消去は 4 ビットをまとめて行います。消去を行いたいプロテクトビットの指定は第 7 バスライトサイクルで行います。各ブロックのプロテクトビットの状態は後で説明する FCFLCS<BLPRO>で確認できます。自動プロテクトビットプログラム動作の状態は、FCFLCS<RDY/BSY>をモニタすることで確認できます。自動プロテクトビット消去動作が正常に終了した場合、FCFLCS<BLPRO>の消去選択したプロテクトビットの値が"0"となります。

いずれの場合も、自動プロテクトビット消去動作中は新たなコマンドシーケンスを受け付けません。動作を中止する場合はハードウェアリセットを用います。自動プロテクトビット消去動作が正常に終了した場合はリードモードに復帰します。

注) FCFLCS<RDY/BSY>ビットは自動動作中"0"、自動動作終了後"1"になります。

(6) ID-Read

ID-Read コマンドを使用すると、本製品に内蔵しているフラッシュメモリのタイプ等の情報を知ることができます。第4バスライトサイクル以降でのアドレス[15:14]の値によりロードされるデータが異なります(データ入力値は0x00推奨)。第5バスライトサイクル以降で任意のフラッシュメモリエリアの読み出しを行うとIDの値が読み出されます。ID-Read コマンド第4バスライトサイクル以降は自動的にリードモードに復帰しません。第4バスライトサイクルとIDの値の読み出しは繰り返し実行できます。リードモードへの復帰はRead/リセットコマンドまたはハードウェアリセットで行います。

22.3.1.5 フラッシュコントロール/ステータスレジスタ

Base Address = 0x41FF_F000

レジスタ名		Address(Base+)
Reserved	-	0x0000, 0x0004
セキュリティビットレジスタ	FCSECBIT	0x0010
Reserved	-	0x0014
フラッシュコントロールレジスタ	FCFLCS	0x0020
Reserved	-	0x0024, 0x0028
Reserved	-	0x0040, 0x0044
Reserved	-	0x0050, 0x0058
Reserved	-	0x0060 - 0x00B8

注) "Reserved"表記のアドレスにはアクセスしないでください。

(1) FCFLCS(フラッシュコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	BLPRO5	BLPRO4	BLPRO3	BLPRO2	BLPRO1	BLPRO0
リセット後	0	0	(注 2)	(注 2)	(注 2)	(注 2)	(注 2)	(注 2)
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	RDY/BSY
リセット後	0	0	0	0	0	0	0	1

Bit	Bit Symbol	Type	機能
31-22	-	R	リードすると"0"が読めます。
21-16	BLPRO5- BLPRO0	R	Block5 ~ 0 のプロテクト状態 0: プロテクト状態ではない 1: プロテクト状態 プロテクトビット値は各ブロックのプロテクト状態に対応します。該当ビットが"1"の時は対応するブロックがプロテクト状態であることを示します。プロテクト状態のブロックは書き換えはできません。
15-1	-	R	リードすると"0"が読めます。
0	RDY/BSY	R	Ready/Busy (注 1) 0: 自動動作中 1: 自動動作終了 自動動作の状態を認識する方法として、RDY/BSY 出力を備えています。本ビットはこの機能を CPU からモニタするための機能ビットです。フラッシュメモリが自動動作中は "0" を出力し、ビジー状態であることを示します。自動動作が終了するとレディ状態となり "1" を出力し、次のコマンドを受け付けます。自動動作の結果が不良であった場合、本ビットは "0" 出力を継続します。ハードウェアリセットにより "1" に復帰します。

注 1) コマンド発行は、必ずレディ状態であることを確認してから発行してください。ビジー中にコマンド発行を行なった場合、正常なコマンドが送られないだけでなく、それ以降のコマンドを入力できなくなる可能性があります。その際は、ハードウェアリセットで復帰してください。ハードウェアリセットを行う場合は、システムクロックによらず 0.5 μ s 以上のリセット期間が必要となります。またこの場合、リセット解除後読み出しが可能になるまで 2 ms 程度の時間がかかります。

注 2) プロテクト状態に対応した値になります。

(2) FCSECBIT(セキュリティビットレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	SECBIT
リセット後	0	0	0	0	0	0	0	1

Bit	Bit Symbol	Type	機能
31-1	-	R	リードすると"0"が読めます。
0	SECBIT	R/W	セキュリティビット 0:セキュリティ機能設定不可 1:セキュリティビット設定可能

注) 本レジスタは、パワーオンリセットで初期化されます。

22.3.1.6 コマンドシーケンス一覧

各コマンドの、アドレスとデータを表 22-13 に示します。

Read コマンドの第 2 バスサイクル, Read/リセットコマンドの第 4 バスサイクル, ID-Read コマンドの第 5 バスサイクル以外はすべて"バスライトサイクル"です。バスライトサイクルは 32 ビット(ワード)のデータ転送命令で実施します。(表では、データの下位 8 ビットのデータのみ示しています。)

アドレスの詳細は、表 22-14 を参照してください。「コマンド」と記載された、Addr[15:8]に下記の値を使用します。

注) 全バスサイクル, アドレスビット[1:0]へは常に"0"を設定して下さい。

表 22-13 内部 CPU によるフラッシュメモリアクセス

コマンド シーケンス	第 1 バス サイクル	第 2 バス サイクル	第 3 バス サイクル	第 4 バス サイクル	第 5 バス サイクル	第 6 バス サイクル	第 7 バス サイクル
	Addr.	Addr.	Addr.	Addr.	Addr.	Addr.	Addr.
	Data	Data	Data	Data	Data	Data	Data
Read	0xXX	-	-	-	-	-	-
	0xF0	-	-	-	-	-	-
Read/リセット	0x54XX	0xAAXX	0x54XX	RA	-	-	-
	0xAA	0x55	0xF0	RD	-	-	-
ID-Read	0x54XX	0xAAXX	0x54XX	IA	0xXX	-	-
	0xAA	0x55	0x90	0x00	ID	-	-
自動ページ プログラム	0x54XX	0xAAXX	0x54XX	PA	PA	PA	PA
	0xAA	0x55	0xA0	PD0	PD1	PD2	PD3
自動チップ消去	0x54XX	0xAAXX	0x54XX	0x54XX	0xAAXX	0x54XX	-
	0xAA	0x55	0x80	0xAA	0x55	0x10	-
自動 ブロック消去	0x54XX	0xAAXX	0x54XX	0x54XX	0xAAXX	BA	-
	0xAA	0x55	0x80	0xAA	0x55	0x30	-
自動プロテクトビット プログラム	0x54XX	0xAAXX	0x54XX	0x54XX	0xAAXX	0x54XX	PBA
	0xAA	0x55	0x9A	0xAA	0x55	0x9A	0x9A
自動プロテクトビット 消去	0x54XX	0xAAXX	0x54XX	0x54XX	0xAAXX	0x54XX	PBA
	0xAA	0x55	0x6A	0xAA	0x55	0x6A	0x6A

補足説明

- ・ RA: リードアドレス
- ・ RD: リードデータ
- ・ IA: ID アドレス
- ・ ID: ID データ
- ・ PA: プログラム ページアドレス
- PD: プログラムデータ(32 ビットデータ)

第 4 バスサイクル以降 1 ページ分をアドレス順にデータ入力

- ・ BA: ブロックアドレス
- ・ PBA: プロテクトビットアドレス

22.3.1.7 バスライトサイクル時のアドレスビット構成

表 22-14 は「表 22-13 内部 CPU によるフラッシュメモリアクセス」と併せてご使用願います。

第 1 バスサイクルから「通常のバスライトサイクルアドレス設定」に従い、アドレス設定を行ってください。「0」推奨」は適宜変更可能です。

表 22-14 バスライトサイクル時のアドレスビット構成

アドレス	Addr [31:19]	Addr [18]	Addr [17]	Addr [16]	Addr [15]	Addr [14]	Addr [13:11]	Addr [10]	Addr [9]	Addr [8]	Addr [7:0]
通常 コマンド	通常のバスライトサイクルアドレス設定										
	フラッシュ領域	"0"推奨			コマンド				Addr[1:0] = "0"固定、 他ビットは"0"推奨		
ID-READ	IA: ID アドレス(ID-READ の第 4 バスライトサイクルアドレス設定)										
	フラッシュ領域	"0"推奨		ID アドレス	Addr[1:0] = "0"固定、他ビットは"0"推奨						
ブロック 消去	BA: ブロックアドレス(ブロック消去の第 6 バスライトサイクルアドレス設定)										
	ブロックアドレス(表 22-15)				Addr[1:0] = "0"固定、他ビットは"0"推奨						
Auto ページ プログラム	PA: プログラムページアドレス(ページプログラムの第 4 バスライトサイクルアドレス設定)										
	ページアドレス								Addr[1:0] = "0"固定、 他ビットは"0"推奨		
プロテクト ビットプログラ ム	PBA: プロテクトビットアドレス(プロテクトビットプログラムの第 7 バスライトサイクルアドレス設定)										
	フラッシュ領域	プロテクトビ ット選択 (表 22-16)	"0"固定				プロテクトビ ット選択 (表 22-16)	Addr[1:0] = "0"固定、 他ビットは"0"推奨			
プロテクト ビット消去	PBA: プロテクトビットアドレス(プロテクトビット消去の第 7 バスライトサイクルアドレス設定)										
	フラッシュ領域	プロテクトビ ット選択 (表 22-17)	"0"固定				Addr[1:0] = "0"固定、 他ビットは"0"推奨				

ブロックアドレスには、消去するブロックに含まれる任意のアドレスを指定します。

表 22-15 ブロックアドレス表 (TMPM380DFDG)

Block	アドレス (ユーザーブートモード)	アドレス (シングルブートモード)	サイズ (Kbyte)
4	0x0000_0000 ~ 0x0000_7FFF	0x3F80_0000 ~ 0x3F80_7FFF	32
5	0x0000_8000 ~ 0x0000_FFFF	0x3F80_8000 ~ 0x3F80_FFFF	32
3	0x0001_0000 ~ 0x0001_FFFF	0x3F81_0000 ~ 0x3F81_FFFF	64
2	0x0002_0000 ~ 0x0003_FFFF	0x3F82_0000 ~ 0x3F83_FFFF	128
1	0x0004_0000 ~ 0x0005_FFFF	0x3F84_0000 ~ 0x3F85_FFFF	128
0	0x0006_0000 ~ 0x0007_FFFF	0x3F86_0000 ~ 0x3F87_FFFF	128

注) 第 1 バスサイクルから第 5 バスサイクルまで上位側のアドレスは消去するブロックのアドレスを指定してください。

表 22-16 プロテクトビットプログラムアドレス表 (TMPM380DFDG)

Block	プロテクトビット	第7バスライトサイクルのアドレス					
		アドレス [18]	アドレス [17]	アドレス [16:11]	アドレス [10]	アドレス [9]	アドレス [8]
Block0	<BLPRO[0]>	0	0	"0"固定	0	0	"0"推奨
Block1	<BLPRO[1]>	0	0		0	1	
Block2	<BLPRO[2]>	0	0		1	0	
Block3	<BLPRO[3]>	0	0		1	1	
Block4	<BLPRO[4]>	0	1		0	0	
Block5	<BLPRO[5]>	0	1		0	1	

表 22-17 プロテクトビット消去アドレス表

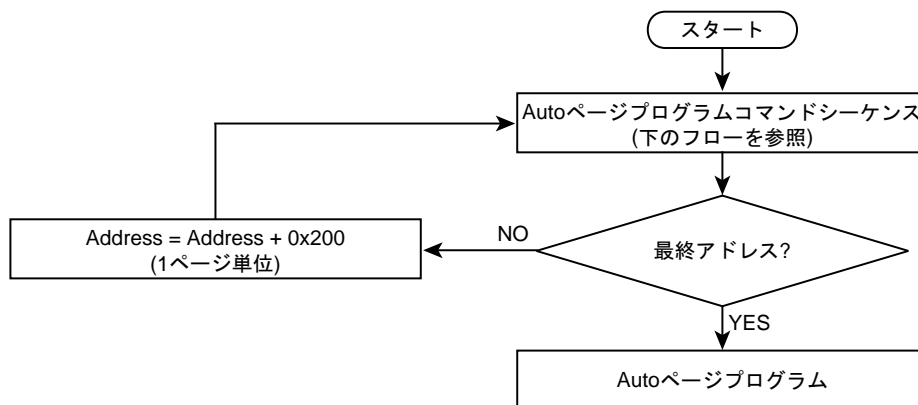
Block	プロテクトビット	第7バスライトサイクルのアドレス [18:17]	
		アドレス[18]	アドレス[17]
Block0 ~ 3	<BLPRO[0:3]>	0	0
Block4 ~ 5	<BLPRO[4:5]>	0	1

注) プロテクトビット消去コマンドは、プロテクトビット単位での消去はできません。

表 22-18 ID-Read コマンド第4バスライトサイクルのID アドレス(IA)とその後の32ビット転送命令で読み出せるデータ

IA[15:14]	ID[7:0]	Code
00	0x98	メーカーコード
01	0x5A	デバイスコード
10	Reserved	-
11	0x12	マクロコード

22.3.1.8 フローチャート



Autoページプログラムコマンドシーケンス(アドレス/コマンド)

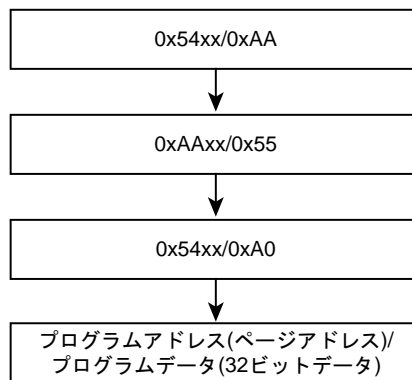


図 22-10 自動プログラム

注) 0x54xx は 0x55xx でもコマンドシーケンスを実行します。

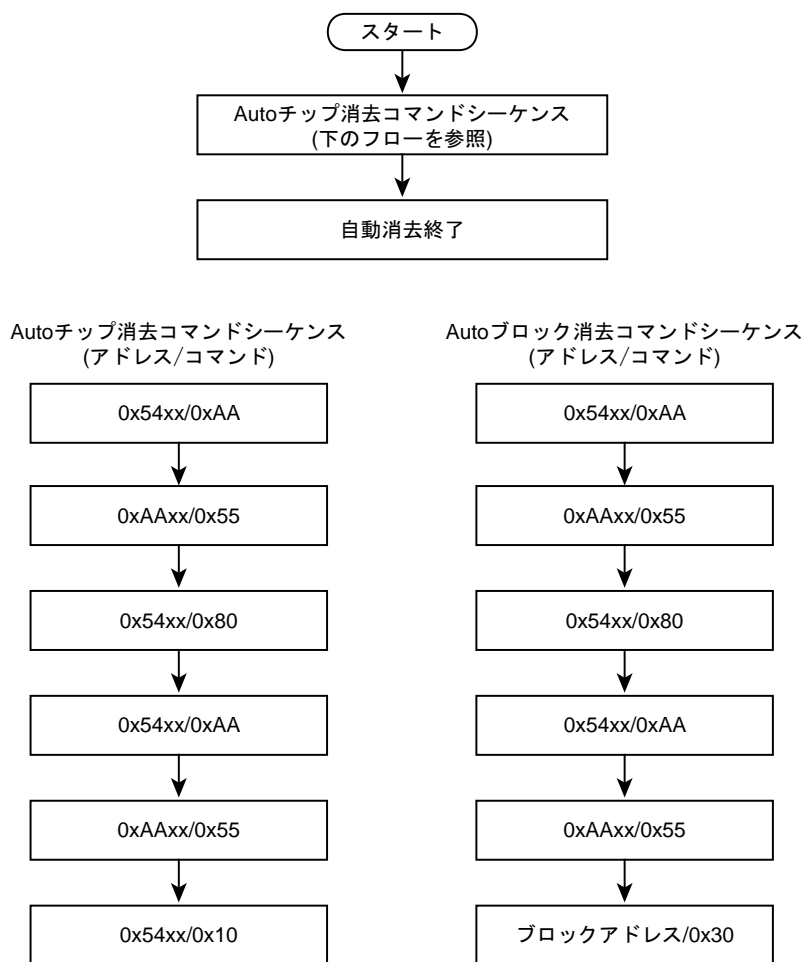


図 22-11 自動消去

注) 0x54xx は 0x55xx でもコマンドシーケンスを実行します。

第 23 章 プロテクト/セキュリティ機能

23.1 概要

本製品は内蔵 ROM (Flash)のライト/消去をプロテクトする機能、およびライターでの内蔵 ROM (Flash)領域を読み出し禁止に設定できるセキュリティ機能を内蔵しています。セキュリティ機能はデバッグ機能の使用制限も行います。プロテクト/セキュリティ機能として、次の 2 つの機能をもっています。

- ・ 内蔵 ROM (Flash)のライト/消去プロテクト
- ・ セキュリティ機能

23.2 特長

23.2.1 内蔵 ROM (Flash)のライト/消去プロテクト

内蔵フラッシュは、ブロック単位で書き込みと消去の動作を禁止することができます。この機能をライト/消去プロテクトと呼びます。

ライト/消去プロテクト機能を有効にするためには、プロテクトをかけたいブロックに対応するプロテクトビットを"1"にします。プロテクトビットを"0"にすることによりブロックプロテクトを解除することができます。(プログラム方法については、「Flash 動作説明」の章をご覧ください。)

プロテクトビットは、FCFLCS<BLPRO[5:0]>でモニタすることができます。

23.2.2 セキュリティ機能

内蔵フラッシュに対してのデータの読み出しの制限および、デバッグ機能を制限することができます。この機能をセキュリティ機能と呼びます。

セキュリティ機能が有効になる条件を、以下に示します。

1. FCSECBIT<SECBIT>が"1"にセットされている。
2. ライト/消去プロテクト用のすべてのプロテクトビット(FCFLCS<BLPRO>)が"1"にセットされている。

注) FCSECBIT<SECBIT>はコールドリセットで"1"にセットされます。

セキュリティ機能が有効な状態の制限内容を、表 23-1 に示します。

表 23-1 セキュリティ機能有効時の制限内容

項目	内容
1) ROM 領域のデータの読み出し	CPU からの読み出しは可能です。
2) デバッグポート	JTAG/シリアルワイヤ、トレースの通信ができなくなります。
3) フラッシュに対するコマンドの実行	フラッシュに対してのコマンドライトが受け付けられません。また、ライト/消去プロテクト用のプロテクトビットを消去しようとすると、チップ消去が行われ、すべてのプロテクトビットも消去されます。

23.3 レジスタ

23.3.1 レジスタ一覧

Base Address = 0x41FF_F000

レジスタ名		Address(Base+)
Reserved	-	0x0000,0x0004
セキュリティビットレジスタ	FCSECBIT	0x0010
Reserved	-	0x0014
フラッシュコントロールレジスタ	FCFLCS	0x0020
Reserved	-	0x0024,0x0028
Reserved	-	0x0040,0x0044
Reserved	-	0x0050,0x0058
Reserved	-	0x0060 – 0x00B8

注) "Reserved"表記のアドレスにはアクセスしないでください。

23.3.2 FCFLCS(フラッシュコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	BLPRO5	BLPRO4	BLPRO3	BLPRO2	BLPRO1	BLPRO0
リセット後	0	0	(注 2)	(注 2)	(注 2)	(注 2)	(注 2)	(注 2)
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	RDY/BSY
リセット後	0	0	0	0	0	0	0	1

Bit	Bit Symbol	Type	機能
31-22	-	R	リードすると"0"が読めます。
21-16	BLPRO5- BLPRO0	R	Block5 ~ 0 のプロテクト状態 0: プロテクト状態ではない 1: プロテクト状態 プロテクトビット値は各ブロックのプロテクト状態に対応します。該当ビットが"1"の時は対応するブロックがプロテクト状態であることを示します。プロテクト状態のブロックは書き換えはできません。
15-1	-	R	リードすると"0"が読めます。
0	RDY/BSY	R	Ready/Busy (注 1) 0: 自動動作中 1: 自動動作終了 自動動作の状態を認識する方法として、RDY/BSY 出力を備えています。本ビットはこの機能を CPU からモニタするための機能ビットです。フラッシュメモリが自動動作中は "0" を出力し、ビジー状態であることを示します。自動動作が終了するとレディ状態となり "1" を出力し、次のコマンドを受け付けます。自動動作の結果が不良であった場合、本ビットは "0" 出力を継続します。ハードウェアリセットにより "1" に復帰します。

注 1) コマンド発行は、必ずレディ状態であることを確認してから発行してください。ビジー中にコマンド発行を行なった場合、正常なコマンドが送られないだけでなく、それ以降のコマンドを入力できなくなる可能性があります。その際は、ハードウェアリセットで復帰してください。ハードウェアリセットを行う場合は、システムクロックによらず 0.5 μ s 以上のリセット期間が必要となります。またこの場合、リセット解除後読み出しが可能になるまで 2 ms 程度の時間がかかります。

注 2) プロテクト状態に対応した値が読めます。

23.3.3 FCSECBIT(セキュリティビットレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	SECBIT
リセット後	0	0	0	0	0	0	0	1

Bit	Bit Symbol	Type	機能
31-1	-	R	リードすると"0"が読めます。
0	SECBIT	R/W	セキュリティビット 0: セキュリティ機能設定不可 1: セキュリティ機能設定可能

注) 本レジスタは、コールドリセットで初期化されます。

23.4 設定/解除方法

23.4.1 内蔵 ROM (Flash)のライト/消去プロテクト

プロテクトビットの書き込みと消去はコマンドシーケンスを用いて行います。

プロテクトビットの書き込みはプロテクトビットプログラムコマンドを使用して1ビット単位、消去はプロテクトビット消去コマンドを使用して4ビット単位で行います。

すべてのプロテクトビットが"1"でかつ、FCSECBIT<SECBIT>が"1"の場合、セキュリティ機能が有効になっているので注意が必要です。この状態でプロテクトビットの消去を行うと、チップ消去を行った上でプロテクトビットすべてを消去します。このため、FCSECBIT<SECBIT>を"0"にしてからプロテクトビットの消去を行う必要があります。

コマンドシーケンスの詳細は「Flash 動作説明」の章を参照してください。

23.4.2 セキュリティビット

セキュリティ機能を有効にする FCSECBIT<SECBIT>は電源投入時のリセットで"1"にセットされません。FCSECBIT<SECBIT>の書き替えは以下の手順で行います。

1. FCSECBIT に対して特定のコード(0xa74a9d23)を書き込む。
2. 1.の書き込みから 16 クロック以内にデータを書き込む。

注) 上記 1., 2.の書き込みは 32bit 転送命令で行ってください。

第 24 章 デバッグインタフェース

24.1 仕様概要

TMPM380FDFG はデバッグツールと接続するためのデバッグインタフェースとして SWJ-DP (Serial Wire JTAG Debug Port)ユニット、ならびに内部プログラムをトレース出力するための ETM (Embedded Trace Macrocell™)ユニットを搭載しています。トレース出力はマイコン内部の TPIU (Trace Port Interface Unit)を通じてデバッグ用端子(TRACE DATA[1:0], SWV)に出力されます。

SWJ-DP, ETM, TPIU の詳細につきましては ARM 社からリリースされる "Cortex-M3 テクニカルリファレンスマニュアル"を参照してください。

24.2 SWJ-DP

シリアルワイヤデバッグポート(SWCLK, SWDIO)と、JTAG デバッグポート(TDI, TDO, TMS, TCK, $\overline{\text{TRST}}$)をサポートしています。

24.3 ETM

データ信号 2pin (TRACE DATA[1:0])と クロック信号 1pin (TRACECLK)および、1pin(SWV)によるトレース出力をサポートしています。

24.4 端子情報

デバッグインタフェース端子は汎用ポートと兼用です。

デバッグインタフェース端子と兼用される汎用ポートのうち、PB3/PB4 端子は JTAG デバッグポート機能とシリアルワイヤデバッグポート機能で、PB5 端子は JTAG デバッグポート機能と SWV トレース出力機能となります。

表 24-1 SWJ-DP,ETM デバッグ機能

SWJ-DP 端子名	汎用 ポート名	JTAG デバッグ機能		SW デバッグ機能	
		I/O	説明	I/O	説明
TMS / SWDIO	PB3	Input	JTAG Test Mode Selection	I/O	Serial Wire Data Input/Output
TCK / SWCLK	PB4	Input	JTAG Test Check	Input	Serial Wire Clock
TDO / SWV	PB5	Output	JTAG Test Data Output	(Output)(注)	(Serial Wire Viewer Output)
TDI	PB6	Input	JTAG Test Data Input	-	-
$\overline{\text{TRST}}$	PB7	Input	JTAG Test RESET	-	-
TRACECLK	PB0	Output	TRACE Clock Output		
TRACEDATA0	PB1	Output	TRACE DATA Output0		
TRACEDATA1	PB2	Output	TRACE DATA Output1		

注) SWV 機能を許可した場合

リセット解除後、PB3/ PB4/ PB5/ PB6/ PB7 はデバッグポート端子となりますが、その他のデバッグインタフェース端子は汎用ポートです。必要に応じてデバッグ端子を使用する設定を行ってください。

低消費電力モードを使用する場合には以下の注意事項に留意してください。

- 注 1) PB3 と PB5 が機能設定(PB3:TMS/SWDIO,PB5:TDO/SWV)の場合、CGSTBYCR<DRVE>ビットの状態によらず、STOP モード中も出力が有効な状態で保持されます。
- 注 2) PB4 がデバッグ機能設定の場合、STOP/SLEEP モードで十分な低消費電力効果が得られません。デバッグ機能を使用しないときは、PB4 をポート設定にしてください。

表 24-2 にデバッグインタフェースの端子情報とリセット解除後のポートの設定をまとめます。

表 24-2 デバッグインタフェース端子とリセット解除後のポート設定

ポート名 (ビット名)	デバッグ機能	リセット解除後のポートの設定値				
		機能 (PxFR)	入力 (PxIE)	出力 (PxCR)	プルアップ (PxPUP)	プルダウン (PxPDN)
PB3	TMS/SWDIO	1	1	1	1	0
PB4	TCK/SWCLK	1	1	0	0	1
PB5	TDO/SWV	1	0	1	0	0
PB6	TDI	1	1	0	1	0
PB7	$\overline{\text{TRST}}$	1	1	0	1	0
PB0	TRACECLK	0	0	0	0	0
PB1	TRACEDATA0	0	0	0	0	0
PB2	TRACEDATA1	0	0	0	0	0

- : Don't care

24.5 ホールトモード中の周辺機能

Cortex-M3 コアがホールトモードに入ると、ウォッチドッグタイマ(WDT)が自動的に停止します。その他の周辺機能は動作を続けます。

24.6 デバッグツールとの接続

24.6.1 接続方法

デバッグツールとの接続方法については、お使いになるツールメーカーが推奨する接続方法を参照してください。また、デバッグインタフェース端子はプルアップ/プルダウン抵抗を内蔵した端子です。外部にプルアップ/プルダウン抵抗を接続する際は注意してください。

24.6.2 デバッグインタフェース端子を汎用ポートとして使用する際の注意

リセット解除後ユーザプログラムでデバッグインタフェース端子を汎用ポートに設定すると、それ以降はデバッグツールからの制御ができなくなります。再度デバックツールを接続するためには何らかの方法で汎用ポートをデバッグインタフェース機能に変更する仕組みを準備しておく必要がありますので注意してください。

表 24-3 デバッグインタフェース端子の使用例

	使用するデバッグインタフェース端子						
	$\overline{\text{TRST}}$	TDI	TDO / SWV	TCK / SWCLK	TMS / SWDIO	TRACE DATA[1:0]	TRACE CLK
JTAG+SW (リセット解除時)	o	o	o	o	o	x	x
JTAG+SW (TRST なし)	(注)	o	o	o	o	x	x
JTAG+TRACE	o	o	o	o	o	o	o
SW	x	x	x	o	o	x	x
SW+SWV	x	x	o	o	o	x	x
デバッグ機能ディセーブル	x	x	x	x	x	x	x

o : イネーブル x : ディセーブル(汎用ポートとして使用可能)

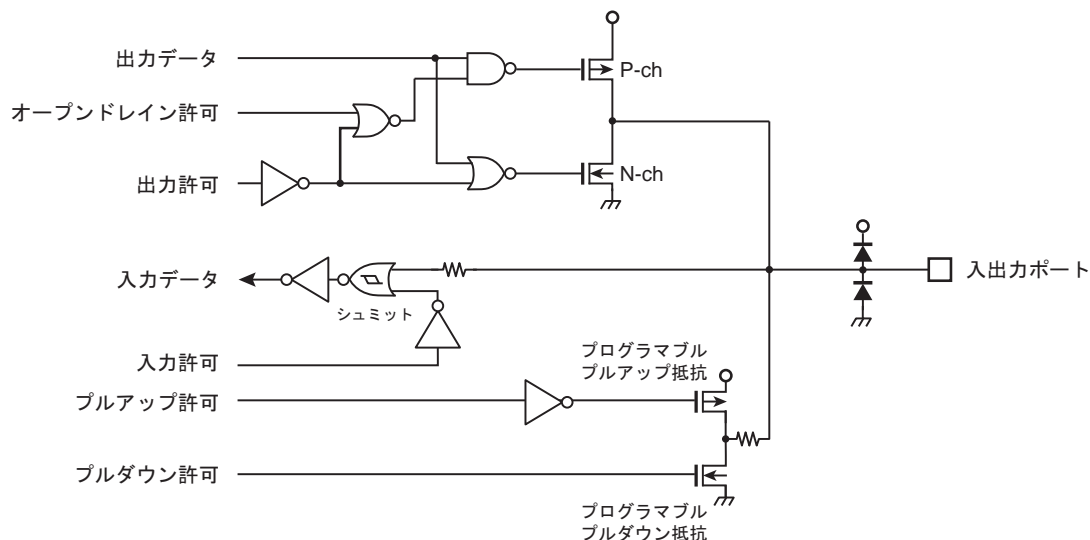
注) $\overline{\text{TRST}}$ が割り当てられている端子は、 $\overline{\text{TRST}}$ を選択して、オープンにするか"High"レベルを入力してください。

第 25 章 ポート部等価回路図

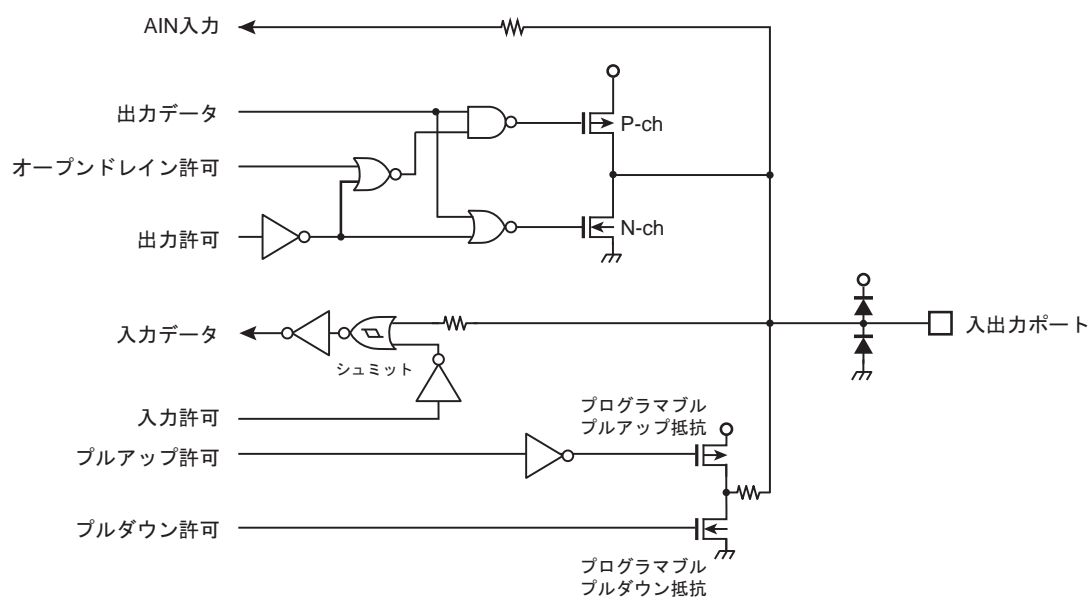
基本的に標準 CMOS ロジック IC 「74HCxx」 シリーズと同じゲート記号を使って書かれています。

入力保護抵抗は、数十 Ω ~ 数百 Ω 程度です。X2, XT2 のダンピング抵抗値は、図中に typ. 値を記入しています。

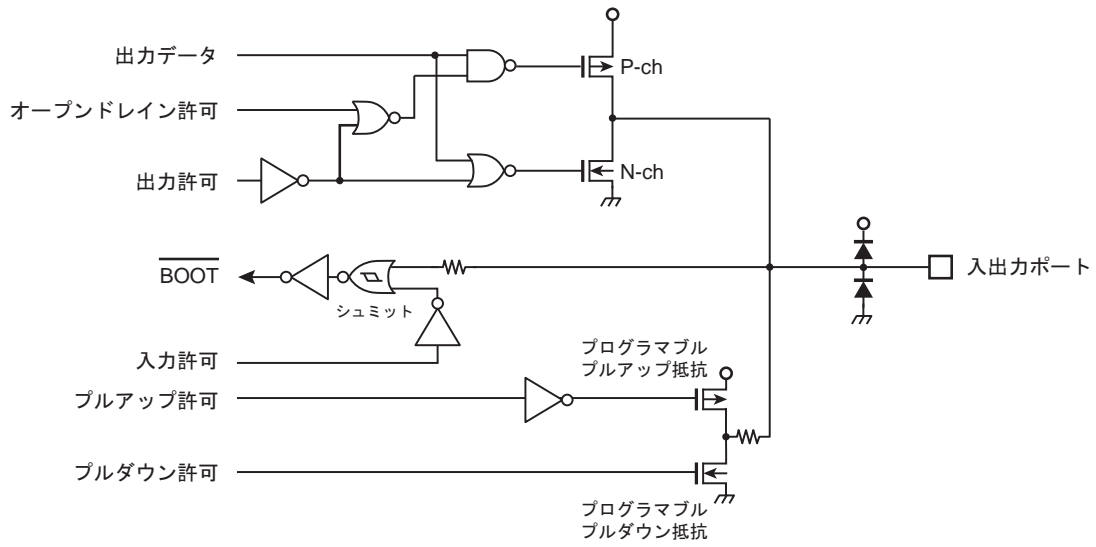
25.1 PA0~7, PB0~7, PC0~7, PD0~6, PE0~7, PF0~4, PG0~7, PL2, PN0~7



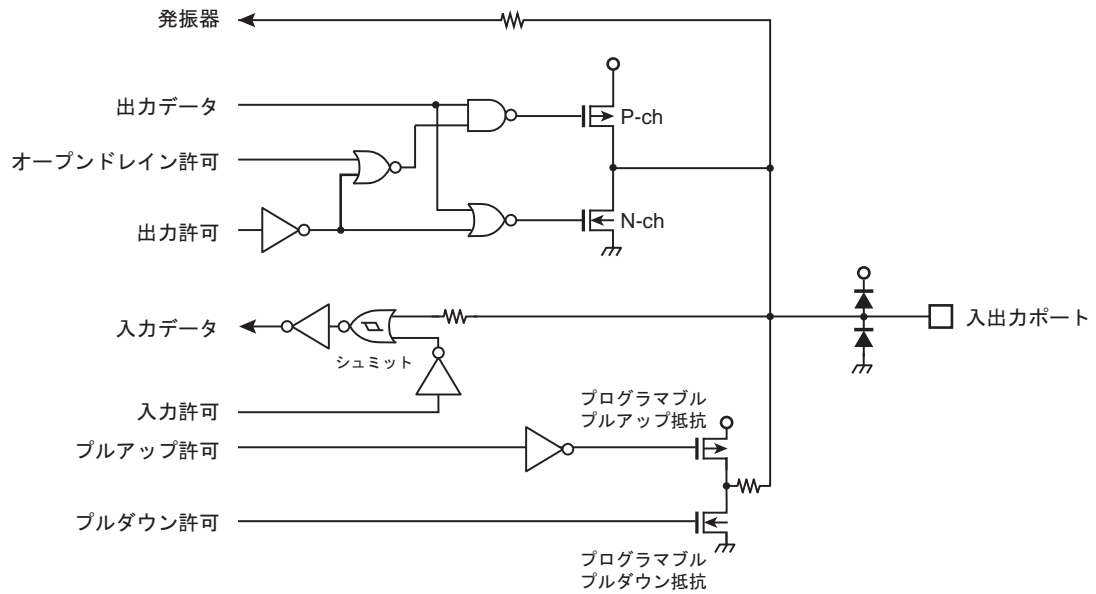
25.2 PH0~7, PI0~1, PJ0~7



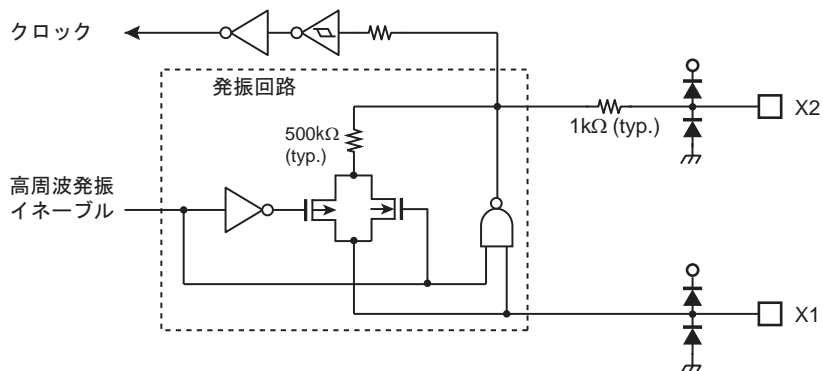
25.3 PL0



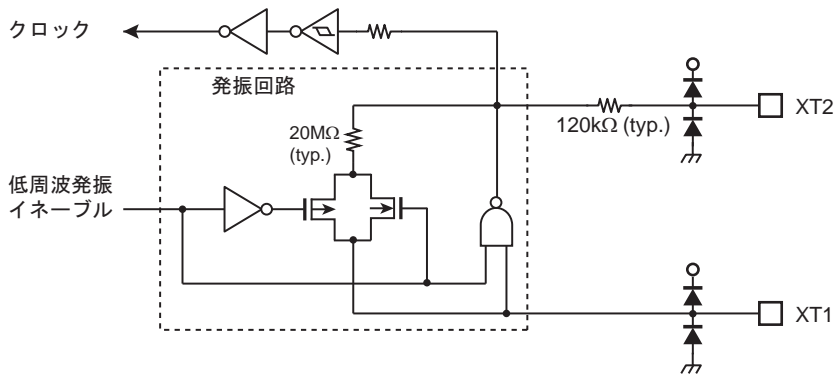
25.4 PM0~1, PP0~1



25.5 X1,X2



25.6 XT1,XT2



25.7 $\overline{\text{RESET}}$

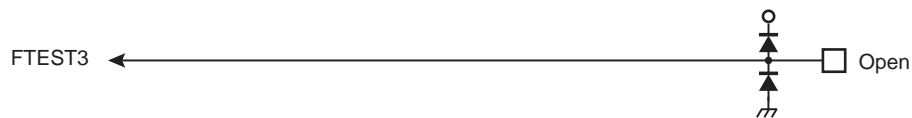


25.8 MODE



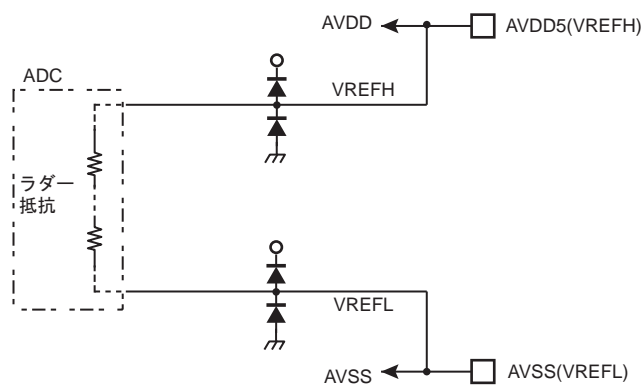
(注)本端子は必ずGNDへ接続してください。

25.9 FTEST3



(注)本端子は必ずOpenにしてください。

25.10 VREFH,VREFL



第 26 章 電気的特性

26.1 絶対最大定格

項目		記号	定格	単位
電源電圧		DVDD5	-0.3 ~ 6.0	V
		RVDD5	-0.3 ~ 6.0	
		AVDD5	-0.3 ~ 6.0	
入力電圧		V_{IN}	-0.3 ~ VDD + 0.3	V
低レベル 出力電流	1 端子	I_{OL}	5	mA
	合計	ΣI_{OL}	50	
高レベル 出力電流	1 端子	I_{OH}	-5	
	合計	ΣI_{OH}	-50	
消費電力 (Ta = 85 °C)		PD	600	mW
はんだ付け温度(10 s)		T_{SOLDER}	260	°C
保存温度		T_{STG}	-55 ~ 125	°C
動作温度	Flash W/E 時及びデバッグ時以外	T_{OPR}	-40 ~ 85	°C
	Flash W/E 及びデバッグ時		0 ~ 70	

注) 絶対最大定格とは、瞬時たりとも超えてはならない規格であり、どの1つの項目も超えることができない規格です。絶対最大定格(電流, 電圧, 消費電力, 温度)を超えると破壊や劣化の原因となり、破裂・燃焼による障害を負うことがあります。従って必ず絶対最大定格を超えないように、応用機器の設計を行ってください。

26.2 DC 電気的特性 (1/3)

DVDD5 = RVDD5 = AVDD5 = 4.0V ~ 5.5V, DVSS = AVSS = 0V, Ta = -40 ~ 85 °C

項目		記号	条件	Min	Typ. (注 1)	Max	単位
電源電圧(注 2)		DVDD5 AVDD5 RVDD5	f _{OSC} = 8 ~ 10 MHz f _{sys} = 1 ~ 40 MHz f _s = 30 ~ 34 kHz	4.0	-	5.5	V
電圧保持用キャパシタ(注 3)		C _{out}	DVDD5 = 4.0 ~ 5.5V	3.3	-	4.7	μF
低レベル 入力電圧	PORT A,B,C,D,E,F,G,L,M,N,P	V _{IL1}	4.0 V ≤ DVDD5 ≤ 5.5 V	-0.3	-	0.25 DVDD5	V
	PORT H,I,J	V _{IL2}	4.0 V ≤ AVDD5 ≤ 5.5 V	-0.3	-	0.25 AVDD5	
高レベル 入力電圧	PORT A,B,C,D,E,F,G,L,M,N,P	V _{IH1}	4.0 V ≤ DVDD5 ≤ 5.5 V	0.75 DVDD5	-	DVDD5 + 0.3	V
	PORT H,I,J	V _{IH2}	4.0 V ≤ AVDD5 ≤ 5.5 V	0.75 AVDD5	-	AVDD5 + 0.3	
低レベル 出力電圧	PORT A,B,C,D,E,F,G,L,M,N,P	V _{OL1}	DVDD5 ≥ 4.0V I _{OL} = 1.6 mA	-	-	0.4	V
	PORT H,I,J	V _{OL2}	AVDD5 ≥ 4.0V I _{OL} = 1.6 mA	-	-	0.4	
高レベル 出力電圧	PORT A,B,C,D,E,F,G,L,M,N,P	V _{OH1}	DVDD5 ≥ 4.0V I _{OH} = -1.6 mA	DVDD5 - 0.4	-	-	V
	PORT H,I,J	V _{OH2}	AVDD5 ≥ 4.0V I _{OH} = -1.6 mA	AVDD5 - 0.4	-	-	
入力リーク電流		I _{LI}	0.0 V ≤ V _{IN} ≤ DVDD5 0.0 V ≤ V _{IN} ≤ AVDD5	-	0.02	±5	μA
出力リーク電流		I _{LO}	0.2 V ≤ V _{IN} ≤ DVDD5 - 0.2 V 0.2 V ≤ V _{IN} ≤ AVDD5 - 0.2 V	-	0.05	±10	
リセットプルアップ抵抗		R _{RST}	4.0 V ≤ DVDD5 ≤ 5.5 V	38.5	50	71.4	kΩ
シュミット入力幅		V _{TH}	4.0 V ≤ DVDD5 ≤ 5.5 V 4.0 V ≤ AVDD5 ≤ 5.5 V	0.3	0.6	-	V
プログラマブルプルアップ/ダウン抵抗		P _{KH}	4.0 V ≤ DVDD5 ≤ 5.5 V 4.0 V ≤ AVDD5 ≤ 5.5 V	38.5	50	71.4	kΩ
Pin 容量(電源端子を除く)		C _{IO}	f _c = 1 MHz	-	-	10	pF

注 1) Typ 値は特に指定のない限り Ta = 25 °C, DVDD5 = AVDD5 = RVDD5 = 5 V の値です。

注 2) DVDD5, RVDD5, AVDD5 は同電位で使用してください。

注 3) 保持用キャパシタは VOUT3 端子-GND 間に接続してください。

26.3 DC 電気的特性 (2/3)

DVDD5 = RVDD5 = AVDD5 = 4.0V ~ 5.5V, DVSS = AVSS = 0V, Ta = -40 ~ 85 °C

項目	記号	条件	Min	Typ. (注 1)	Max	単位
低レベル出力電流	I_{OL}	1 端子ごと	-	-	2	mA
	ΣI_{OL1}	グループ単位 4.0 V ≤ DVDD5 ≤ 5.5 V GrL1 = <PA0-7/PE0-5/PG0-7> GrL2 = <PB0-7/PD0-6/PF0-4/PL0> GrL3 = <PC0-7/PM0-1/PP0-1> GrL4 = <PE6-7/PL2/PN0-7>	-	-	20	mA
	ΣI_{OL2}	グループ単位 4.0 V ≤ AVDD5 ≤ 5.5 V GrL5 = <PH0-7/PI0-1/PJ0-7>	-	-	9	mA
	ΣI_{OL}	全端子(全ポート)	-	-	30	mA
高レベル出力電流	I_{OH}	1 端子ごと	-	-	-2	mA
	ΣI_{OH1}	グループ単位 4.0 V ≤ DVDD5 ≤ 5.5 V GrH1 = <PA0-7/PE0-3/PG0-7/PM0-1/PP0-1> GrH2 = <PB0-7/PC0-7/PD0-6/PF0-4/PL0> GrH3 = <PE4-7/PL2/PN0-7>	-	-	-20	mA
	ΣI_{OH2}	グループ単位 4.0 V ≤ AVDD5 ≤ 5.5 V GrH4 = <PH0-7/PI0-1/PJ0-7>	-	-	-9	mA
	ΣI_{OH}	全端子(全ポート)	-	-	-30	mA

26.4 DC 電気的特性 (3/3)

DVDD5 = RVDD5 = AVDD5 = 4.0V ~ 5.5V, DVSS = AVSS = 0V, Ta = -40 ~ 85 °C

項目	記号	条件	Min	Typ. (注1)	Max	単位
NORMAL (注 2)	I _{DD}	fsys = fc = 40 MHz (fosc = 10MHz)	-	26	35	mA
IDLE (注 3)			-	20	28	mA
SLOW		fsys = fs = 32.768 kHz	-	440	4500	μA
SLEEP(注 4)			-	130	1720	μA
STOP			-	100	1700	μA

注 1) Typ 値は特に指定のない限り Ta = 25 °C, DVDD5 = RVDD5 = AVDD5 = 5 V の値です。

注 2) I_{DD} NORMAL の測定条件:

実行プログラム: ドライストン V2.1 (内蔵 FLASH 動作)

AD コンバータを除く内蔵周辺機能は動作

注 3) I_{DD} IDLE の測定条件:

CPU は停止、内蔵周辺回路は動作

注 4) I_{DD} SLEEP の測定条件:

周辺機能はすべて停止

CPU は停止、内蔵周辺回路は RTC、リモコン判定のみ動作

26.5 12/10ビットADコンバータ変換特性

DVDD5 = RVDD5 = 4.5V ~ 5.5V, DVSS = AVSS = 0V, Ta = -40 ~ 85 °C

項目	記号	条件	Min	Typ.	Max	単位
アナログ電源電圧(+)(注1)	AVDD5	AVDD5 = V _{REFH}	DVDD5 - 0.2	-	DVDD5	V
アナログ基準電圧	AVSS	AVSS = V _{REFL}	0	-	0	V
アナログ入力電圧	V _{AIN}	-	AVSS	-	AVDD5	V
アナログ基準電圧電源電流(注4)	I _{REF}	I _{REF} ON 時(AD変換時)	-	7.5	10.0	mA
		I _{REF} ON 時(AD変換停止時)	-	3.5	5	mA
		I _{REF} OFF 時(STOP時)	-	3	70	μA
積分非直線性誤差	-	12bit モード AIN 負荷抵抗 ≤ 600 Ω AIN 負荷容量 ≥ 0.1 μF 変換時間 ≥ 1.85 μs	-	-	± 9	LSB (注2)
微分非直線性誤差			-	-	+ 6 ~ -1	
オフセット誤差			-	-	± 5	
フルスケール誤差			-	-	+ 8 ~ -2	
総合誤差			-	-	+ 12 ~ -8	
積分非直線性誤差	-	10bit モード AIN 負荷抵抗 ≤ 600 Ω AIN 負荷容量 ≥ 0.1 μF 変換時間 ≥ 1.70 μs	-	-	± 3	LSB (注3)
微分非直線性誤差			-	-	± 2	
オフセット誤差			-	-	± 3	
フルスケール誤差			-	-	± 3	
総合誤差			-	-	± 4	

注1) A/Dコンバータ用に別電源をご使用の際は、本条件を守る必要があります。

注2) 1LSB = (AVDD5 - AVSS) / 4096 [V]

注3) 1LSB = (AVDD5 - AVSS) / 1024 [V]

注4) I_{REF}の該当端子はAVDD5であり、AVDD5に流れる電流はAVDD5 + I_{REF}になります。

注5) ADコンバータ単体動作の時の特性です。

26.6 AC 電気的特性

26.6.1 AC 測定条件

本章に記載されている AC 特性は、特に指定のない限り以下の条件での測定結果です。

- ・ 出力レベル: High = $0.8 \times DVDD5$, Low = $0.2 \times DVDD5$
- ・ 入力レベル: DC 電気的特性の、低レベル入力電圧/高レベル入力電圧参照
- ・ 負荷容量: CL = 30pF

26.6.2 シリアルチャネル (SIO/UART)

26.6.2.1 I/O インタフェースモード

表中の x は SIO の動作クロックの周期を表します。SIO の動作クロックは、システムクロック fsys と同じ周期です。この周期は、クロックギアの設定に依存します。

(1) SCLK 入力モード

[入力]

項目	記号	計算式		40 MHz		単位
		Min	Max	Min	Max	
SCLK クロック High 幅(入力)	t _{SCH}	4x	-	100	-	ns
SCLK クロック Low 幅(入力)	t _{SCL}	4x	-	100	-	
SCLK 周期	t _{SCY}	t _{SCH} + t _{SCL}	-	200	-	
有効 Data 入力 ← SCLK 立ち上がり/立ち下がり (注 1)	t _{SRD}	30	-	30	-	
SCLK 立ち上がり/立ち下がり → 入力 Data 保持(注 1)	t _{HSR}	x + 30	-	55	-	

[出力]

項目	記号	計算式		40 MHz		単位
		Min	Max	Min	Max	
SCLK クロック High 幅(入力)	t _{SCH}	4x	-	120 (注 3)	-	ns
SCLK クロック Low 幅(入力)	t _{SCL}	4x	-	120 (注 3)	-	
SCLK 周期	t _{SCY}	t _{SCH} + t _{SCL}	-	240	-	
Output Data ← SCLK 立ち上がり/立ち下がり (注 1)	t _{OSS}	t _{SCY} /2 - 3x - 45	-	0 (注 2)	-	
SCLK 立ち上がり/立ち下がり → Output Data 保持(注 1)	t _{OHS}	t _{SCY} /2	-	120	-	

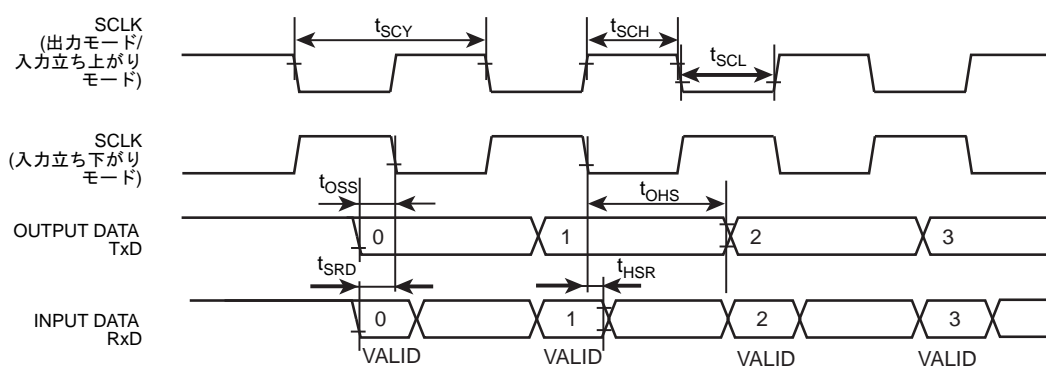
注 1) SCLK 立ち上がり/立ち下がり...SCLK 立ち上がりモードの場合は SCLK 立ち上がり、SCLK 立ち下がりモードの場合は SCLK 立ち下がりのタイミングです。

注 2) 計算値がマイナスにならない範囲の SCLK 周期で使用してください。

注 3) t_{OSS} がマイナスにならない最小値を示しています。

(2) SCLK 出力モード

項目	記号	計算式		40 MHz		単位
		Min	Max	Min	Max	
SCLK 周期 (プログラマブル)	t_{SCY}	4x	-	100	-	ns
Output Data ← SCLK 立ち上がり	t_{OSS}	$t_{SCY}/2 - 20$	-	30	-	
SCLK 立ち上がり → Output Data 保持	t_{OHS}	$t_{SCY}/2 - 20$	-	30	-	
有効 Data 入力 ← SCLK 立ち上がり	t_{SRD}	45	-	45	-	
SCLK 立ち上がり → Input Data 保持	t_{HSR}	0	-	0	-	



26.6.3 シリアルバスインタフェース (I2C/SIO)

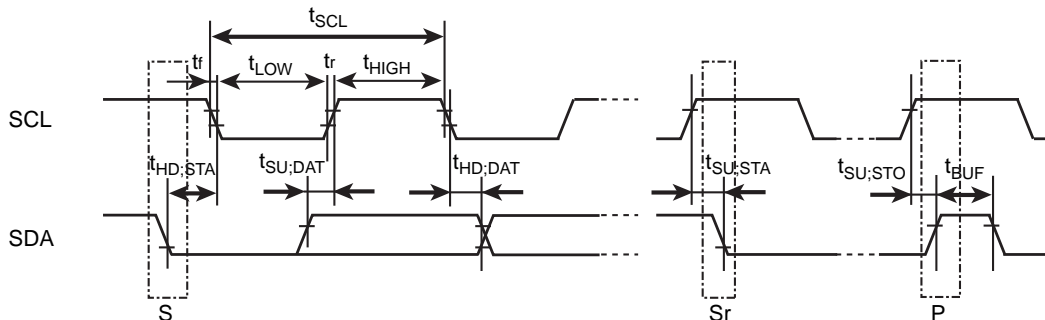
26.6.3.1 I2C モード

x は I2C/SIO の動作クロックの周期を表します。I2C/SIO の動作クロックは、システムクロック fsys と同じ周期です。この周期は、クロックギアの設定に依存します。

n は SBIxCR<SCK>で指定した SCL 出力クロックの周波数選択値です。

項目	記号	計算式		標準モード		ファーストモード		単位
		Min	Max	Min	Max	Min	Max	
SCL クロック周波数	t _{SCL}	0	-	0	100	0	400	kHz
スタートコンディション保持	t _{HD; STA}	-	-	4.0	-	0.6	-	μs
SCL クロック Low 幅(入力) (注 1)	t _{LOW}	-	-	4.7	-	1.3	-	μs
SCL クロック High 幅(入力) (注 2)	t _{HIGH}	-	-	4.0	-	0.6	-	μs
再スタートコンディション セットアップ時間	t _{SU; STA}	(注 5)	-	4.7	-	0.6	-	μs
データ保持時間(入力) (注 3, 4)	t _{HD; DAT}	-	-	0.0	-	0.0	-	μs
データセットアップ時間	t _{SU; DAT}	-	-	250	-	100	-	ns
ストップコンディションセットアップ時間	t _{SU; STO}	-	-	4.0	-	0.6	-	μs
ストップコンディションとスタート コンディション間のパスフリー時間	t _{BUF}	(注 5)	-	4.7	-	1.3	-	μs

- 注 1) SCL クロック LOW 幅(出力): $(2^{n-1} + 58)/x$
- 注 2) SCL クロック HIGH 幅(出力): $(2^{n-1} + 14)/x$
通信規格上、標準モード/高速モードの最高速は 100 kHz/400 kHz です。内部 SCL クロックの周波数の設定は、使用される fsys と上記注 1,注 2 の計算式にて設定されますのでご注意ください。
- 注 3) データ保持時間(出力)は内部 SCL から 4x の時間です。
- 注 4) 通信規格では内部で、SDA 入力時にデータホールド300nsec を確保して SCL 立ち下がり時の不安定状態を回避することになっていますが、本製品では対応していません。また SCL のエッジスロープコントロール機能を持っていません。従って、SCL/SDA の tr/tf を含めて BUS 上で上表のデータ保持時間(入力)を守るように設計してください。
- 注 5) ソフトウェアに依存します。
- 注 6) 通信規格では、ファーストモードデバイスへの電源供給が切れた場合、バスラインを妨げることがないように SDA および SCL 信号の I/O ピンと電源との接続が外れるようにする必要がありますが、本製品では対応していません。



S: スタートコンディション
 Sr: 再スタートコンディション
 P: ストップコンディション

26.6.3.2 クロック同期式 8 ビット SIO モード

x は I2C/SIO の動作クロックの周期を表します。I2C/SIO の動作クロックは、システムクロック f_{sys} と同じ周期です。この周期は、クロックギアの設定に依存します。

(1) SCK 入力モード(SCK デューティ 50%の場合)

[入力]

項目	記号	計算式		40 MHz		単位
		Min	Max	Min	Max	
SCK クロック High 幅(入力)	t_{SCH}	$4x$	-	100	-	ns
SCK クロック Low 幅(入力)	t_{SCL}	$4x$	-	100	-	
SCK 周期	t_{SCY}	$8x$	-	200	-	
有効 Data 入力 ← SCK 立ち上がり	t_{SRD}	$30 - x$	-	5	-	
SCK 立ち上がり → Input Data 保持	t_{HSR}	$2x + 30$	-	80	-	

[出力]

項目	記号	計算式		40 MHz		単位
		Min	Max	Min	Max	
SCK クロック High 幅(入力)	t_{SCH}	$4x$	-	120 (注 2)	-	ns
SCK クロック Low 幅(入力)	t_{SCL}	$4x$	-	120 (注 2)	-	
SCK 周期	t_{SCY}	$8x$	-	240	-	
Output Data ← SCK 立ち上がり	t_{OSS}	$t_{SCY}/2 - 3x - 45$	-	0 (注 1)	-	
SCK 立ち上がり → Output Data 保持	t_{OHS}	$t_{SCY}/2 + x$	-	145	-	

注 1) 計算値がマイナスにならない範囲の SCK 周期で使用してください。

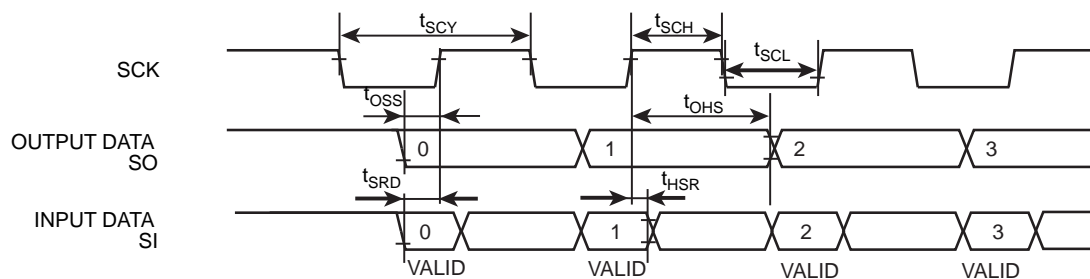
注 2) t_{OSS} がマイナスにならない最小値を示しています。

(2) SCK 出力モード(SCK デューティ 50%の場合)

項目	記号	計算式		40 MHz		単位
		Min	Max	Min	Max	
SCK 周期(プログラマブル)	t_{SCY}	16x (注 1)	-	400	-	ns
Output Data ← SCK 立ち上がり	t_{OSS}	$t_{SCY}/2 - 20$ (注 2)	-	180	-	
SCK 立ち上がり → Output Data 保持	t_{OHS}	$t_{SCY}/2 - 20$	-	180	-	
有効 Data 入力 ← SCK 立ち上がり	t_{SRD}	$x + 45$	-	70	-	
SCK 立ち上がり → Input Data 保持	t_{HSR}	0	-	0	-	

注 1) 自動ウェイト後の SCK 周期は 14x になります。

注 2) 自動ウェイト後の Output Data のセットアップタイムが $t_{SCY}/2 - x - 20$ になることがあります。



26.6.4 同期式シリアルインタフェース (SSP)

26.6.4.1 AC 測定条件

表中の計算式に使われる"T"は内部プリスケアラ入力クロック f_{PCLK} 周期を示します。

- ・ 出力レベル: High = $0.7 \times DVDD5$, Low = $0.3 \times DVDD5$
- ・ 入力レベル: High = $0.9 \times DVDD5$, Low = $0.1 \times DVDD5$
- ・ 負荷容量: CL=30pF
- ・ Ta = -40 ~ 85°C

注) 表中の "計算式" は DVDD5 = 4.0V ~ 5.5V の範囲での規定を示します。

項目	記号	計算式		fsys=40MHz (m=4,n=12)	単位
		Min	Max		
SPCLK 周期 (マスタ)	T_m	(m)T ただし、100ns 以上	-	100 (10MHz)	ns
SPCLK 周期 (スレーブ)	T_s	(n)T	-	300 (3.3MHz)	
SPCLK 立ち上がり時間	t_r	-	15	15	
SPCLK 立ち下がり時間	t_f	-	15	15	
マスタモード時 SPCLK 低レベルパルス幅	t_{WLM}	(m)T/2 - 20.0	-	30	
マスタモード時 SPCLK 高レベルパルス幅	t_{WHM}	(m)T/2 - 20.0	-	30	
スレーブモード時 SPCLK 低レベルパルス幅	t_{WLS}	(n)T/2 - 10.0	-	140	
スレーブモード時 SPCLK 高レベルパルス幅	t_{WHS}	(n)T/2 - 10.0	-	140	
マスタモード時 SPCLK 立ち上がり/立ち下がり → 出力データ有効	t_{ODSM}	-	15	15	
マスタモード時 SPCLK 立ち上がり/立ち下がり → 出力データ保持	t_{ODHM}	(m)T/2 - 15	-	35	
マスタモード時 SPCLK 立ち上がり/立ち下がり → 入力データ有効 遅延時間	t_{IDSM}	35	-	35	
マスタモード時 SPCLK 立ち上がり/立ち下がり → 入力データ保持	t_{IDHM}	5	-	5	
マスタモード時 SPFSS 有効 → SPCLK 立ち上がり/立ち下がり	t_{OFSM}	(m)T - 15	(m)T + 15	85 ~ 115	
スレーブモード時 SPCLK 立ち上がり/立ち下がり → 出力データ有効 遅延時間	t_{ODSS}	-	(3T) + 35	110	
スレーブモード時 SPCLK 立ち上がり/立ち下がり → 出力データ保持	t_{ODHS}	(n)T/2 + (2T)	-	200	
スレーブモード時 SPCLK 立ち上がり/立ち下がり → 入力データ有効 遅延時間	t_{IDSS}	10	-	10	
スレーブモード時 SPCLK 立ち上がり/立ち下がり → 入力データ保持	t_{IDHS}	(3T) + 15	-	90	
スレーブモード時 SPFSS 有効 → SPCLK 立ち上がり/立ち下がり	t_{OFSS}	(n)T - 20	-	280	

注) 通信ポーレートクロックは以下の条件範囲で設定する必要があります。

- ・ マスタモード時

$$m = (\langle \text{CPSDVSR} \rangle \times (1 + \langle \text{SCR} \rangle)) = f_{\text{sys}} / \text{SPCLK}$$

$\langle \text{CPSDVSR} \rangle$ は偶数のみが設定可能です。また m の範囲は $65024 \geq m \geq 2$ となります。

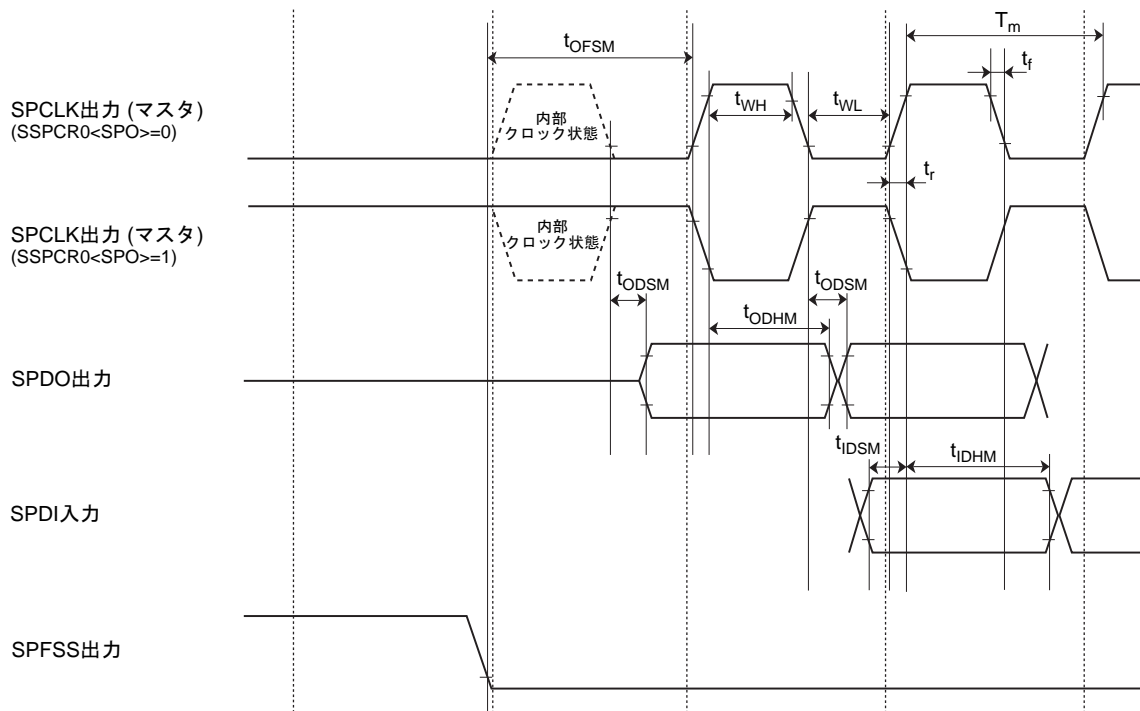
- ・ スレーブモード時

$$n = f_{\text{sys}} / \text{SPCLK} \quad (65024 \geq n \geq 12)$$

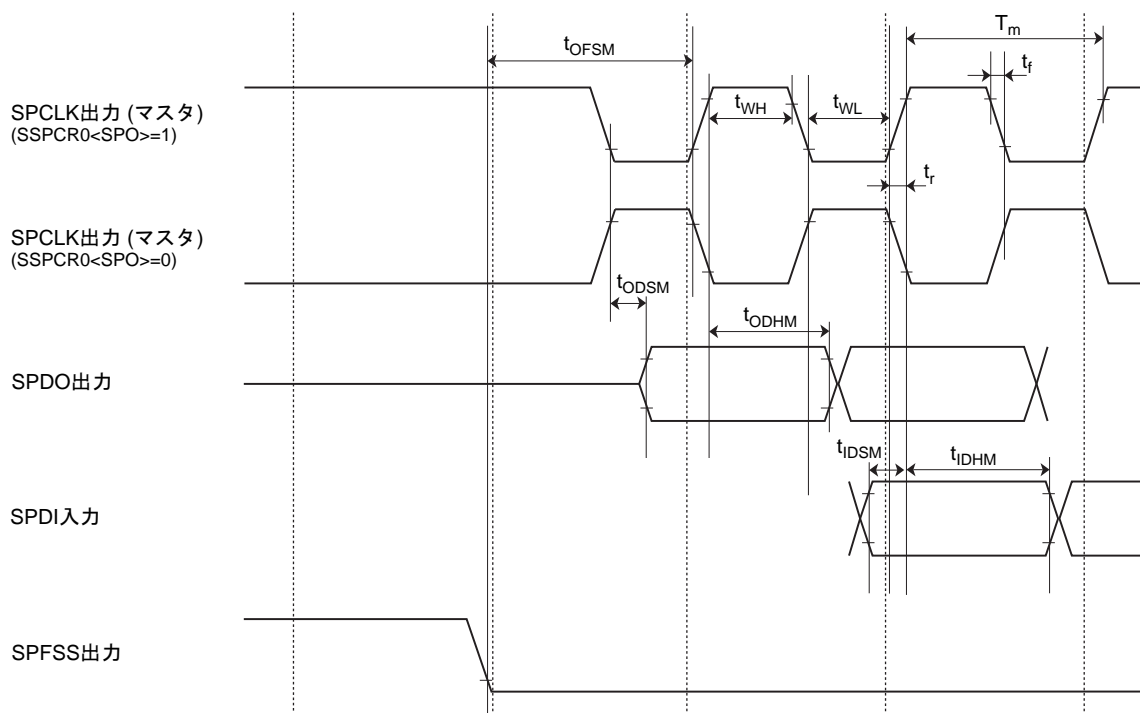
26.6.4.2 SSP の SPI モード (マスタ)

- $f_{sys} \geq 2 \times SPxCLK$ (最大)
- $f_{sys} \geq 65024 \times SPxCLK$ (最小)

(1) マスタ SSPCR0<SPH>="0" (1st エッジでデータをラッチ)



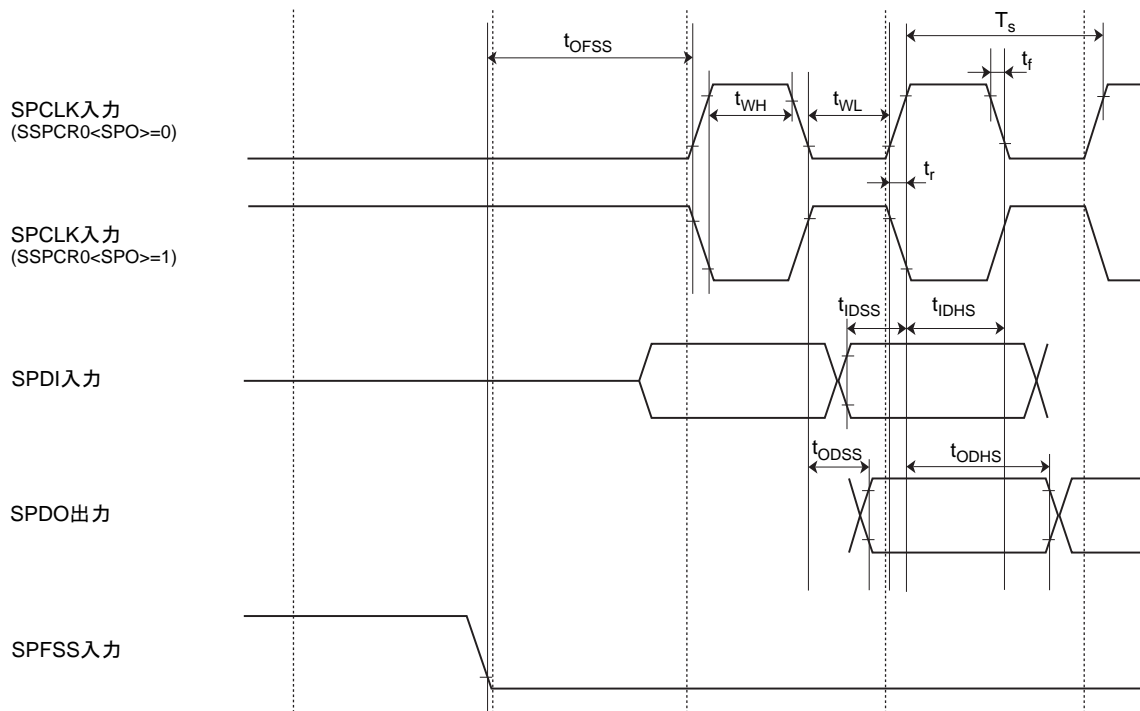
(2) マスタ SSPCR0<SPH>="1" (2nd エッジでデータをラッチ)



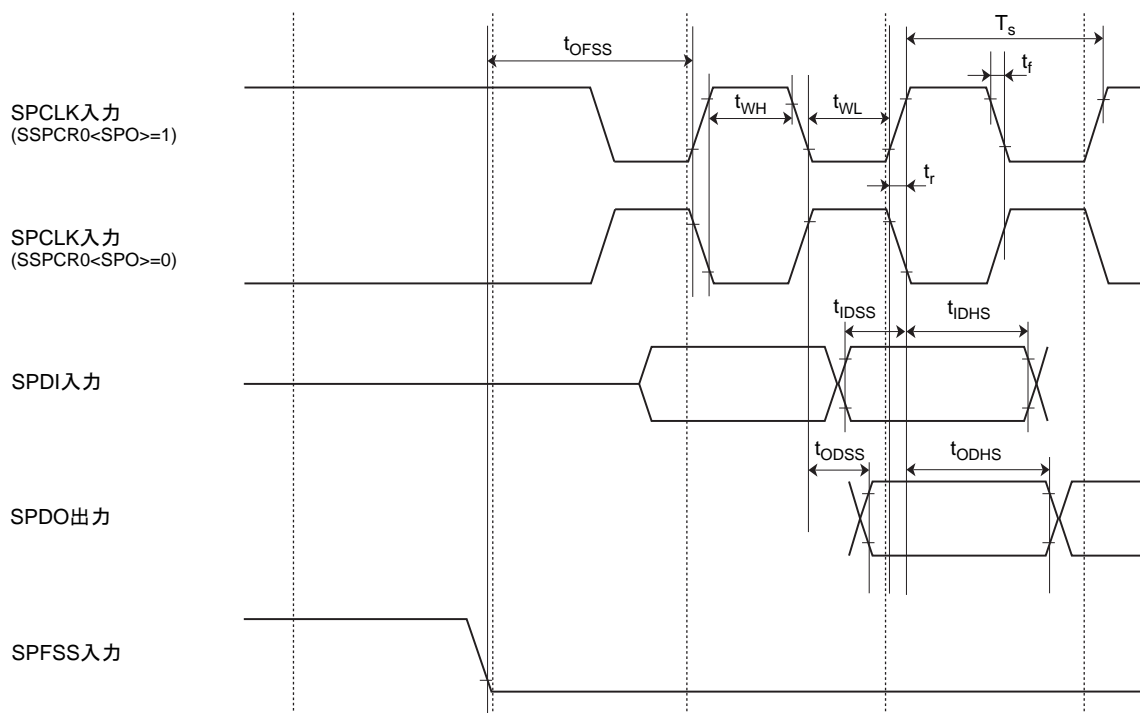
26.6.4.3 SSP の SPI モード (スレーブ)

- ・ $f_{sys} \geq 12 \times SPCLK$ (最大)
- ・ $f_{sys} \geq 65024 \times SPCLK$ (最小)

(3) スレーブ SSPCR0<SPH>="0" (1st エッジでデータをラッチ)



(4) スレーブ SSPCR0<SPH>="1" (2nd エッジでデータをラッチ)



26.6.5 イベントカウンタ

x は TMRB の動作クロックの周期を表します。TMRB の動作クロックは、システムクロック f_{sys} と同じ周期です。この周期は、クロックギアの設定に依存します。

項目	記号	計算式		40 MHz		単位
		Min	Max	Min	Max	
クロック低レベルパルス幅	t_{VCKL}	$2x + 100$	-	150	-	ns
クロック高レベルパルス幅	t_{VCKH}	$2x + 100$	-	150	-	ns

26.6.6 キャプチャ

x は TMRB の動作クロックの周期を表します。TMRB の動作クロックは、システムクロック f_{sys} と同じ周期です。この周期は、クロックギアの設定に依存します。

項目	記号	計算式		40 MHz		単位
		Min	Max	Min	Max	
低レベルパルス幅	t_{CPL}	$2x + 100$	-	150	-	ns
高レベルパルス幅	t_{CPH}	$2x + 100$	-	150	-	ns

26.6.7 外部割り込み

表中の x はシステムクロック f_{sys} の周期を表します。

1. STOP 解除割り込み以外

項目	記号	計算式		40 MHz		単位
		Min	Max	Min	Max	
INT0 ~ F 低レベルパルス幅	t_{INTAL}	$x + 100$	-	125	-	ns
INT0 ~ F 高レベルパルス幅	t_{INTAH}	$x + 100$	-	125	-	ns

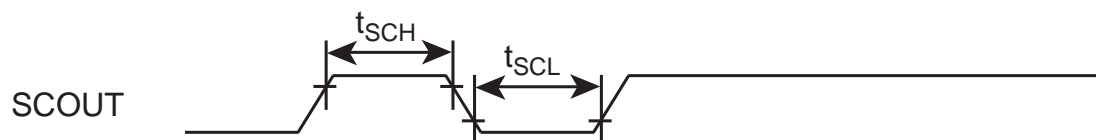
2. STOP 解除割り込み

項目	記号	計算式		40 MHz		単位
		Min	Max	Min	Max	
INT0 ~ F 低レベルパルス幅	t_{INTBL}	100	-	100	-	ns
INT0 ~ F 高レベルパルス幅	t_{INTBH}	100	-	100	-	ns

26.6.8 SCOUT 端子 AC 特性

項目	記号	計算式		40 MHz		単位
		Min	Max	Min	Max	
高レベルパルス幅	t_{SCH}	$0.5T - 5$	-	7.5	-	ns
低レベルパルス幅	t_{SCL}	$0.5T - 5$	-	7.5	-	ns

注) 表中の T は SCOUT 出力波形の周期を示します。



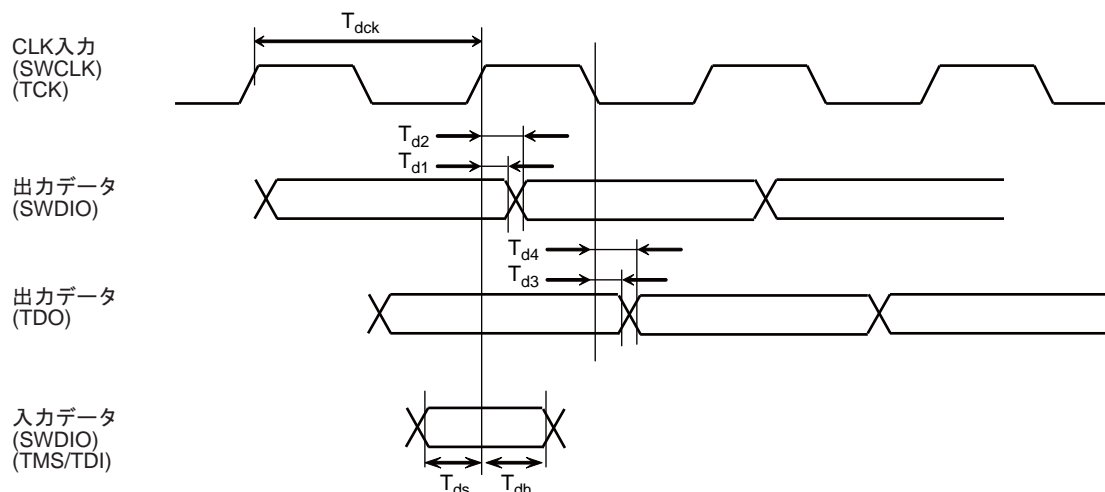
26.6.9 デバッグ通信

26.6.9.1 SWD インタフェース

項目	記号	Min	Max	単位
CLK 周期	T_{dck}	100	-	ns
CLK 立ち上がり → 出力データ保持	T_{d1}	4	-	
CLK 立ち上がり → 出力データ有効	T_{d2}	-	37	
入力データ有効 ← CLK 立ち上がり	T_{ds}	20	-	
CLK 立ち上がり → 入力データ保持	T_{dh}	15	-	

26.6.9.2 JTAG インタフェース

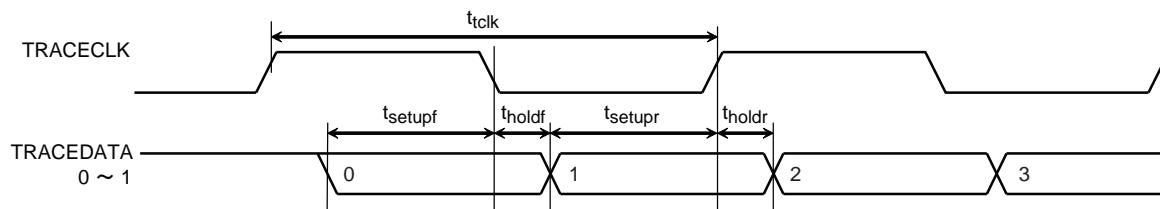
項目	記号	Min	Max	単位
CLK 周期	T_{dck}	100	-	ns
CLK 立ち下がり → 出力データ保持	T_{d3}	4	-	
CLK 立ち下がり → 出力データ有効	T_{d4}	-	37	
入力データ有効 ← CLK 立ち上がり	T_{ds}	20	-	
CLK 立ち上がり → 入力データ保持	T_{dh}	15	-	



26.6.10 ETM トレース

- 出力レベル: High = $0.7 \times DVDD5$, Low = $0.3 \times DVDD5$
- 負荷容量: TRACECLK = 25pF, TRACEDATA = 20pF

項目	記号	Min	Max	単位
TRACECLK 周期	t_{clk}	50	-	ns
TRACEDATA 有効 ← TRACECLK 立ち上がり	t_{setupr}	2	-	
TRACECLK 立ち上がり → TRACEDATA 保持	t_{holdr}	1	-	
TRACEDATA 有効 ← TRACECLK 立ち下がり	t_{setupf}	2	-	
TRACECLK 立ち下がり → TRACEDATA 保持	t_{holdf}	1	-	



26.6.11 内蔵発振回路特性

項目	記号	条件	Min	Typ.	Max	単位
発振周波数	IHOSC	$T_a = 25^\circ\text{C}$	-	9.0	-	MHz
発振精度	-	$T_a = -40 \sim 85^\circ\text{C}$	- 15	-	+15	%

注) 発振周波数精度を要求するシステムクロック(f_{sys})としては使用しないでください。

26.6.12 フラッシュ特性

項目	条件	Min	Typ.	Max	単位
フラッシュメモリ書き換え保証回数	$T_a = 0 \sim 70^\circ\text{C}$	-	-	100	回

26.7 発振回路

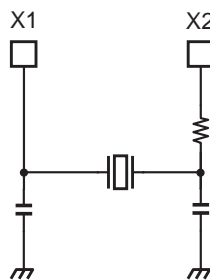


図 26-1 高周波発振回路例

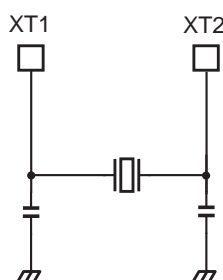


図 26-2 低周波発振回路例

注) 発振の安定には、発振子の位置、負荷容量を適切にする必要があります。これらは基板パターンにより大きな影響を受けます。安定した発振を得るため、ご使用される基板での評価をされるようお願いいたします。

本製品は、下記のメーカーの発振子を用いて評価しています。発振回路設計時に発振子の選択に活用願います。

26.7.1 セラミック発振子

本製品は(株)村田製作所製セラミック発振子を用いて評価しています。

(株)村田製作所の製品詳細につきましては、下記 URL の同社ホームページを参照してください。

<http://www.murata.co.jp>

26.7.2 水晶発振子

本製品は京セラクリスタルデバイス(株)製水晶発振子を用いて評価しています。

京セラクリスタルデバイス(株)の製品詳細につきましては、下記 URL の同社ホームページを参照してください。

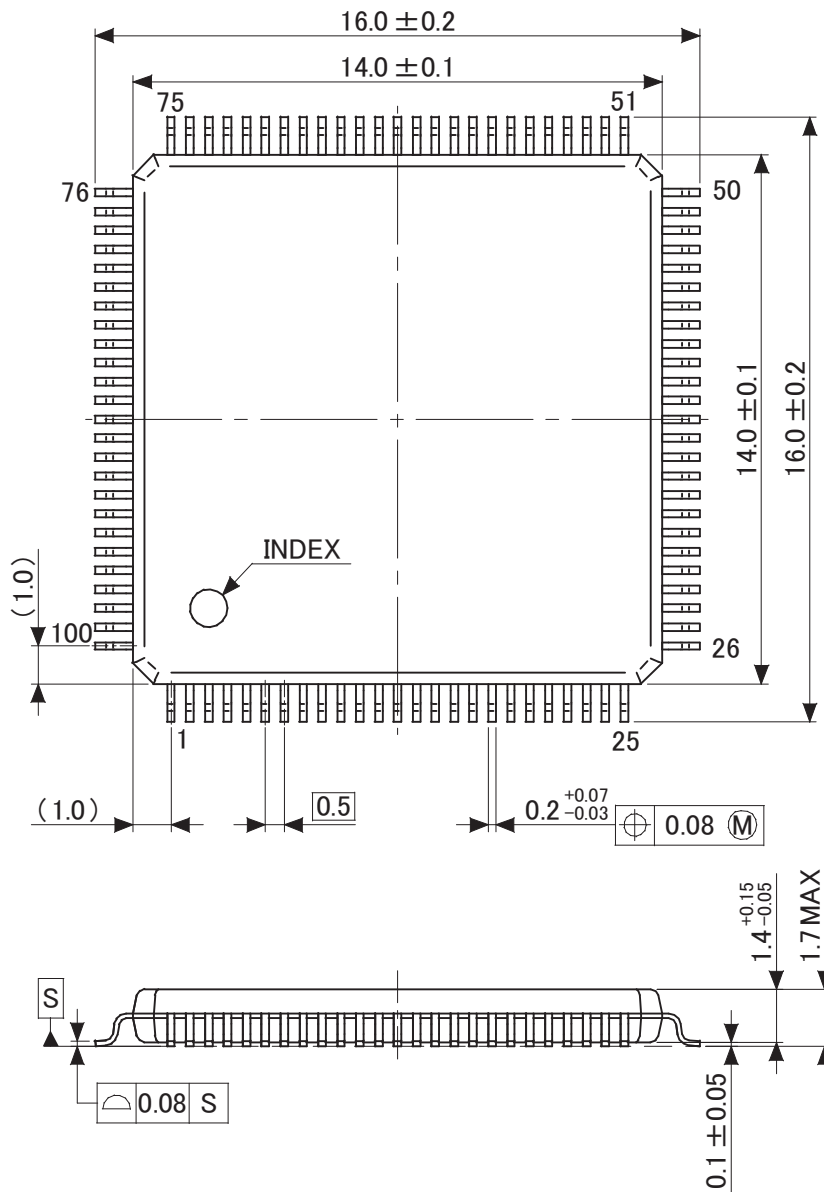
<http://www.kyocera-crystal.jp>

第 27 章 パッケージ寸法図

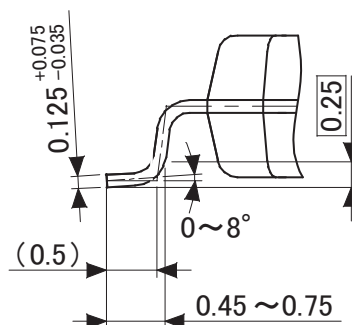
パッケージ型名 : LQFP100-P-1414-0.50H

Unit: mm

外形寸法図



端子先端形状詳細図



製品取り扱い上のお願い

株式会社東芝およびその子会社ならびに関係会社を以下「当社」といいます。
本資料に掲載されているハードウェア、ソフトウェアおよびシステムを以下「本製品」といいます。

- 本製品に関する情報等、本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。また、文書による当社の事前の承諾を得て本資料を転載複製する場合でも、記載内容に一切変更を加えたり、削除したりしないでください。
- 当社は品質、信頼性の向上に努めていますが、半導体・ストレージ製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により生命・身体・財産が侵害されることのないように、お客様の責任において、お客様のハードウェア・ソフトウェア・システムに必要な安全設計を行うことをお願いします。なお、設計および使用に際しては、本製品に関する最新の情報（本資料、仕様書、データシート、アプリケーションノート、半導体信頼性ハンドブックなど）および本製品が使用される機器の取扱説明書、操作説明書などをご確認の上、これに従ってください。また、上記資料などに記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を使用する場合は、お客様の製品単独およびシステム全体で十分に評価し、お客様の責任において適用可否を判断してください。
- 本製品は、特別に高い品質・信頼性が要求され、またはその故障や誤作動が生命・身体に危害を及ぼす恐れ、膨大な財産損害を引き起こす恐れ、もしくは社会に深刻な影響を及ぼす恐れのある機器（以下“特定用途”という）に使用されることは意図されていませんし、保証もされていません。特定用途には原子力関連機器、航空・宇宙機器、医療機器（ヘルスケア除く）、車載・輸送機器、列車・船舶機器、交通信号機器、燃焼・爆発制御機器、各種安全関連機器、昇降機器、発電関連機器などが含まれますが、本資料に個別に記載する用途は除きます。特定用途に使用された場合には、当社は一切の責任を負いません。なお、詳細は当社営業窓口まで、または当社Webサイトのお問い合わせフォームからお問い合わせください。
- 本製品を分解、解析、リバースエンジニアリング、改造、変更、翻案、複製等しないでください。
- 本製品を、国内外の法令、規則及び命令により、製造、使用、販売を禁止されている製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 別途、書面による契約またはお客様と当社が合意した仕様書がない限り、当社は、本製品および技術情報に関して、明示的にも黙示的にも一切の保証（機能動作の保証、商品性の保証、特定目的への合致の保証、情報の正確性の保証、第三者の権利の非侵害保証を含むがこれに限らない。）をしておりません。
- 本製品、または本資料に掲載されている技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」、「米国輸出管理規則」等、適用ある輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
- 本製品のRoHS適合性など、詳細につきましては製品個別に必ず当社営業窓口までお問い合わせください。本製品のご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用ある環境関連法令を十分調査の上、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。