

**TOSHIBA**

32 ビット RISC マイクロコントローラ  
TX03 シリーズ

TMPM381/383

株式会社 **東芝**

セミコンダクター & ストレージ社

お客様各位

2021-9-1

東芝デバイス&ストレージ株式会社  
東芝デバイスソリューション株式会社

〒212-8520 神奈川県川崎市幸区堀川町 580-1

Tel: 044-548-2200

Fax: 044-548-8965

## 非同期シリアル通信機能に関する誤記について

平素より東芝マイクロコントローラーをご使用頂き、誠にありがとうございます。

弊社マイコンに内蔵されております非同期シリアル通信機能(UART、またはFUART)、50%デューティモード付き非同期シリアル通信回路(UART)の送信割り込み発生タイミングで、データシート、リファレンスマニュアルの記載に誤記が発見されました。

大変ご迷惑をおかけ致しますが、本文章をご確認頂きますようお願い申し上げます。

本件のご不明な点につきましては、弊社営業担当までお問い合わせいただきますようお願い申し上げます。

—記—

## 1. 対象製品

TMPM342FYXBG	TMPM440FEXBG	TMPA900CMXBG
TMPM343F10XBG	TMPM440F10XBG	TMPA901CMXBG
TMPM343FDXBG	TMPM461F10FG	TMPA910CRAXBG
TMPM366F20AFG	TMPM461F15FG	TMPA910CRBXXBG
TMPM366FWFG	TMPM462F10FG	TMPA911CRXBG
TMPM366FYFG	TMPM462F15FG	TMPA912CMXBG
TMPM366FDFG	TMPM46BF10FG	TMPA913CHXBG
TMPM366FWXBG	TMPM4G6FDFG	
TMPM366FYXBG	TMPM4G6FEFG	
TMPM366FDXBG	TMPM4G6F10FG	
TMPM367FDFG	TMPM4G7FDFG	
TMPM367FDXBG	TMPM4G7FEFG	
TMPM368FDFG	TMPM4G7F10FG	
TMPM368FDXBG	TMPM4G8FDFG	
TMPM369FDFG	TMPM4G8FDXBG	
TMPM369FDXBG	TMPM4G8FEFG	
TMPM36BF10FG	TMPM4G8FEXBG	
TMPM36BFYFG	TMPM4G8F10FG	
TMPM381FWDFG	TMPM4G8F10XBG	
TMPM381FWFG	TMPM4G8F15FG	
TMPM383FSEFG	TMPM4G8F15XBG	
TMPM383FSUG	TMPM4G9FDFG	
TMPM383FWEFG	TMPM4G9FDXBG	
TMPM383FWUG	TMPM4G9FEFG	
TMPM3V4FSEFG	TMPM4G9FEXBG	
TMPM3V4FSUG	TMPM4G9F10FG	
TMPM3V4FWEFG	TMPM4G9F10XBG	
TMPM3V4FWUG	TMPM4G9F15FG	
TMPM3V6FWDFG	TMPM4G9F15XBG	
TMPM3V6FWFG		

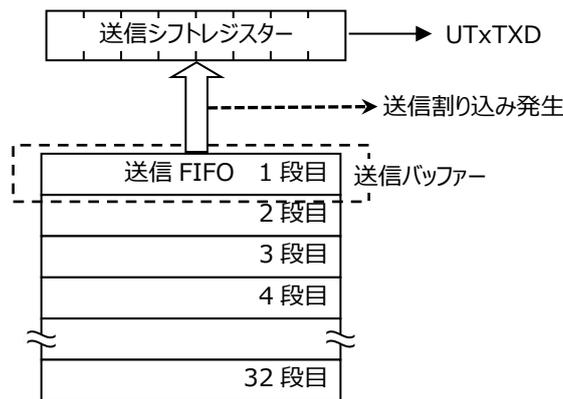
## 2. 詳細

送信割り込みの発生タイミングは以下となります。

なお、送信割り込み発生タイミング誤記につきましては"送信 FIFO 未使用時"に限られ、"送信 FIFO 使用時"ではデータシートの記載のとおりとなります。

### 2.1. 送信 FIFO 未使用時

送信バッファ(送信 FIFO 1 段目)から送信シフトレジスタにデータが転送されたときに(送信バッファに空きができたとき)送信割り込みが発生します。



#### 2.1.1. 送信割り込み発生タイミング

送信 FIFO 未使用時の送信割り込みは、次データに対する送信バッファへの書き込みタイミングを通知するため、送信バッファが空になったタイミングで発生します。送信割り込みは送信バッファに次のデータが書き込まれると自動的にクリアされるため、連続的にデータを送信し続ける場合はソフトウェアによる送信割り込みのクリアは必要ありません(UARTxICR<TXIC> = "1"設定)。

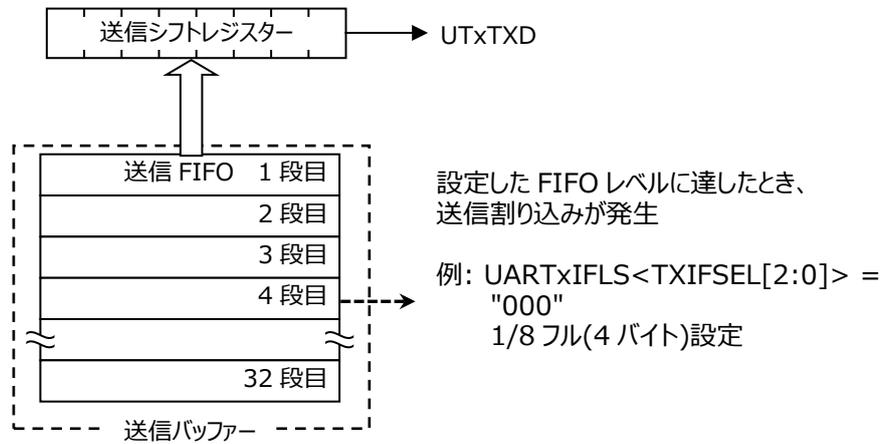
また、送信を終了する場合は、最終送信データがシフトレジスタに転送され、送信バッファが空になった際に最後の送信割り込みが発生します。送信バッファに次のデータを書き込まない場合は、割り込みハンドラー内でソフトウェアによる割り込みクリア(UARTxICR<TXIC> = "1"設定)を実行することで送信割り込みを意図的にクリアすることができます。

なお、データ送信中にソフトウェアで送信割り込みクリア(UARTxICR<TXIC> = "1"設定)を実行した場合、送信完了時の STOP ビット発生と同時のタイミングで送信バッファにデータの書き込みを行うと、送信割り込みは発生しません。確実に送信割り込みを発生させる場合は、データ送信中にソフトウェアで送信割り込みをクリアしないで送信バッファにデータを書き込むか、送信が停止している状態(UARTxFR<BUSY> = "0"のとき)で送信バッファにデータを書き込んでください。

連続してデータを送信する場合は、次項の送信 FIFO を利用したデータ転送を推奨致します。

## 2.2. 送信 FIFO 使用時

送信動作により送信 FIFO の格納段数が UARTxIFLS<TXIFSEL[2:0]>であらかじめ設定した FIFO レベルに達すると送信割り込みが発生します。



### 2.2.1. 送信割り込み発生タイミング

送信 FIFO 使用時は、設定した FIFO レベルに達したときに送信割り込み発生します。

例えば、UARTxIFLS<TXIFSEL[2:0]> = "000" (1/8 フル 4 バイト設定)の場合、送信 FIFO に格納されたデータが 4 段目に達したときに送信割り込みが発生します。

送信割り込みは設定した FIFO レベルを超えるデータが送信 FIFO に格納されるとクリアされ、設定した FIFO レベルに達すると再度発生します。

## 3. 誤記内容

製品により送信割り込み発生タイミングの記載内容が異なり、各製品に対する誤記掲載箇所の章番号を以下表に示します。なお、送信割り込み発生タイミング誤記につきましては"送信 FIFO 未使用時"に限られ、"送信 FIFO 使用時"ではデータシートの記載のとおりとなります。

誤記に対する修正、追記内容は、以降の「4. 誤記修正・追記内容」で説明し、全ての対象製品で共通の記載内容となります。

### 3.1. 記載タイプ A

#### 3.1.1. 対象製品と対象箇所の章番号

製品名	記載箇所章番号
TMPM342FYXBG	16.4.7
TMPM366F20AFG(注)	15.4.7
TMPM366FWFG、TMPM366FYFG、TMPM366FDFG、TMPM366FWXBG、 TMPM366FYXBG、TMPM366FDXBG	16.4.7
TMPM367FDFG、TMPM367FDXBG、TMPM368FDFG、TMPM368FDXBG、 TMPM369FDFG、TMPM369FDXBG	13.4.7
TMPM36BFYFG、TMPM36BF10FG	13.4.7
TMPA900CMXBG、TMPA901CMXBG、TMPA910CRAXBG、TMPA910CRBxBG、 TMPA911CRXBG、TMPA912CMXBG、TMPA913CHXBG	3.13.1.1 (7)

注) 非同期シリアル通信機能(UART)章です。

#### タイプ A

修正が必要な記載箇所(赤枠)

割り込み種類	割り込み発生タイミング
オーバーランエラー発生	過剰データの STOP ビット受信後
ブ레이크エラー 割り込み	STOP ビット受信後
パリティエラー発生	パリティデータ受信後
フレーミングエラー発生	フレームオーバーとなる Bit データを受信した後
受信タイムアウト割り込み	受信 FIFO にデータを取り込んでから、Baud16 の 511 クロック後
送信割り込み	最終 DATA (MSB データ)を送信した後
受信割り込み	STOP ビット受信後

## 3.2. 記載タイプ B(1)

### 3.2.1. 対象製品と対象箇所の章番号

製品名	記載箇所章番号
TMPM461F10FG、TMPM461F15FG、TMPM462F10FG、TMPM462F15FG	14.4.6.2

#### タイプ B(1)

修正が必要な記載箇所(赤枠)

割り込み種類	割り込み発生タイミング
オーバランエラー割り込み	FIFO がフルになったときの STOP ビット受信後
ブレークエラー割り込み	STOP ビット受信後
パリティエラー割り込み	パリティデータ受信後
フレーミングエラー割り込み	フレームオーバとなる Bit データを受信した後
受信タイムアウト割り込み	受信 FIFO にデータを取り込んでから、Baud16 の 511 クロック後
送信割り込み	FIFO 未使用時： 送信許可後、1 バイト目は START ビット送信開始時と STOP ビット送信開始時、2 バイト目以降は、STOP ビット送信開始時 (それぞれの割り込み発生でデータ書き込みを行い割り込みクリアした場合)
	FIFO 使用時： STOP ビット送信開始時(MSB データ転送後) に FIFO 内が設定された FIFO レベルのデータ数となったとき
受信割り込み	FIFO 未使用時： STOP ビット受信後
	FIFO 使用時： 設定した FIFO がフルとなるで一たの STOP ビット受信後

## 3.3. 記載タイプ B(2)

### 3.3.1. 対象製品と対象箇所の章番号

製品名	記載箇所章番号
TMPM343FDXBG、TMPM343F10XBG、TMPM366F20AFG(注)	16.4.6.2
TMPM381FWFG、TMPM381FWDFG、 TMPM383FSUG、TMPM383FSEFG、TMPM383FWUG、TMPM383FWEFG、 TMPM3V4FSUG、TMPM3V4FSEFG、TMPM3V4FWUG、TMPM3V4FWEFG、 TMPM3V6FWFG、TMPM3V6FWDFG	11.4.6.2
TMPM440FEXBG、TMPM440F10XBG	26.4.6.2

注) 50%デューティモード付き非同期シリアル通信回路(UART)章です。

### タイプ B(2)

修正が必要な記載箇所(赤枠)

割り込み種類	割り込み発生タイミング
オーバーランエラー発生	FIFO がフルになった時の STOP ビット受信後
ブレークエラー 割り込み	STOP ビット受信後
パリティエラー 発生	パリティデータ受信後
フレーミングエラー発生	フレームオーバーとなる Bit データを受信した後
受信タイムアウト割り込み	受信 FIFO にデータを取り込んでから、Baud16 の 511 クロック後
送信割り込み	FIFO 未使用時: 送信許可設定後、1 バイト目は START ビット送信開始時と STOP ビット送信開始時、2 バイト目以降は、STOP ビット送信開始時 (それぞれの割り込み発生でデータ書き込みを行い割り込みクリアした場合)
	FIFO 使用時: STOP ビット送信開始時(MSB データ転送後)に FIFO 内が設定された FIFO レベルのデータ数となった時
受信割り込み	FIFO 未使用時: STOP ビット受信後
	FIFO 使用時: 設定した FIFO レベルがフルとなるデータの STOP ビット受信後

## 3.4. 記載タイプ B(3)

### 3.4.1. 対象製品と対象箇所の章番号

製品名	記載箇所章番号
TMPM4G6FDFG、TMPM4G6FEFG、TMPM4G6F10FG、TMPM4G7FDFG、 TMPM4G7FEFG、TMPM4G7F10FG、TMPM4G8FDFG、TMPM4G8FDXBG、 TMPM4G8FEFG、TMPM4G8FEXBG、TMPM4G8F10FG、TMPM4G8F10XBG、 TMPM4G8F15FG、TMPM4G8F15XBG、TMPM4G9FDFG、TMPM4G9FDXBG、 TMPM4G9FEFG、TMPM4G9FEXBG、TMPM4G9F10FG、TMPM4G9F10XBG、 TMPM4G9F15FG、TMPM4G9F15XB	リファレンスマニュアル(注) 高精度非同期シリアル通信 回路(FUART-B) 3.8.2

注) 本文章の UARTxIFLS を **[FURTxIFLS]** に、UARTxICR を **[FURTxICR]** に、UARTxFR を **[FURTxFR]** に読み替えてください。

#### タイプ B(3)

修正が必要な記載箇所(赤枠)

割り込み種類	割り込み発生タイミング
オーバランエラー発生	FIFO がフルになったときの STOP ビット受信後
ブレークエラー割り込み	STOP ビット受信後
パリティエラー発生	パリティデータ受信後
フレーミングエラー発生	フレームオーバとなる Bit データを受信した後
受信タイムアウト割り込み	受信 FIFO にデータを取り込んでから、転送クロックの 511 クロック後
送信割り込み	1 バイト保持レジスタ時(FIFO 未使用時) 送信許可設定後、1 バイト目は START ビット送信開始時と STOP ビット送信開始時、2 バイト目以降は、STOP ビット送信開始時(それぞれの割り込み発生でデータ書き込みを行い割り込みクリアした場合)
	FIFO 使用時 STOP ビット送信開始時(MSB データ転送後)に FIFO 内が設定された FIFO レベルのデータ数となったとき
受信割り込み	1 バイト保持レジスタ時(FIFO 未使用時) STOP ビット受信後
	FIFO 使用時 設定した FIFO レベルがフルとなるデータの STOP ビット受信後

## 3.5. 記載タイプ C

### 3.5.1. 対象製品と対象箇所の章番号

製品名	TD 記載箇所章番号
TMPM46BF10FG	19.4.6.2

#### タイプ C

修正が必要な記載箇所(赤枠)

割り込み種類	割り込み発生タイミング
オーバーランエラー割り込み	FIFO がフルになった時の STOP ビット受信後
ブ레이크エラー割り込み	STOP ビット受信後
パリティエラー割り込み	パリティデータ受信後
フレーミングエラー割り込み	フレームオーバーとなる Bit データを受信した後
受信タイムアウト割り込み	受信 FIFO にデータを取り込んでから、Baud16 の 511 クロック後
送信割り込み	最終 DATA の MSB データを送信した後
受信割り込み	STOP ビット受信後

## 4. 誤記修正・追記内容

製品により送信割り込みの割り込み発生タイミングの記載が異なりますが、共通して正しい記載内容は以下となります。

### 4.1. 送信割り込み発生タイミング

送信 FIFO 未使用時の送信割り込みは、次データに対する送信バッファへの書き込みタイミングを通知するため、送信バッファが空になったタイミングで発生します。送信割り込みは送信バッファに次のデータが書き込まれると自動的にクリアされるため、連続的にデータを送信し続ける場合はソフトウェアによる送信割り込みのクリアは必要ありません(UARTxICR<TXIC> = "1"設定)。

また、送信を終了する場合は、最終送信データがシフトレジスタに転送され、送信バッファが空になった際に最後の送信割り込みが発生します。送信バッファに次のデータを書き込まない場合は、割り込みハンドラー内でソフトウェアによる割り込みクリア(UARTxICR<TXIC> = "1"設定)を実行することで送信割り込みを意図的にクリアすることができます。

なお、データ送信中にソフトウェアで送信割り込みクリア(UARTxICR<TXIC> = "1"設定)を実行した場合、送信完了時の STOP ビット発生と同時のタイミングで送信バッファにデータの書き込みを行うと、送信割り込みは発生しません。確実に送信割り込みを発生させる場合は、データ送信中にソフトウェアで送信割り込みをクリアしないで送信バッファにデータを書き込むか、送信が停止している状態(UARTxFR<BUSY> = "0"のとき)で送信バッファにデータを書き込んでください。

以上



\*\*\*\*\*  
ARM, Cortex および Thumb はARM Limited(またはその子会社)のEUまたはその他の国における  
登録商標です。All rights reserved.  
\*\*\*\*\*

**ARM**<sup>®</sup>

---

### 製品ご使用上の注意点について

本資料に掲載されている製品について、使用上の注意点を説明します。

なお、本項目と本資料での記述について、異なる場合は、本資料の記述が優先されます。

#### 1. 電源投入時の動作について

電源投入時、本資料に掲載されている製品の内部は不定状態となります。

このため、リセットが有効となるまで、端子の状態は不定となります。

外部リセット端子を使用してリセットする製品の場合、電源投入後外部から入力するリセットが有効になるまでの間、端子の状態は不定となります。

また、内蔵パワーオンリセットを使用してリセットする製品の場合、電源電圧が電源投入から内蔵パワーオンリセットが有効となる電圧に上昇するまでの間、端子の状態は不定となります。

#### 2. 未使用端子の処置について

本資料に掲載されている製品では、未使用の入出力ポートは、入出力禁止となり、端子はハイインピーダンスです。一般にハイインピーダンスの端子を開放状態で製品を動作させると、外部からのノイズを受け誘起電圧が発生して LSI 内部で静電破壊やラッチアップが発生することがあります。

未使用端子については、1 本ずつ、抵抗を通して電源端子または GND 端子に固定することを推奨します。

#### 3. クロック発振の安定について

リセットはクロック発振が安定してから解除してください。プログラム動作中にクロックを切り替える場合、切り替える先のクロック発振が安定している状態で切り替えてください。

## はじめに(本仕様書での SFR 表記に関する注意点)

各周辺機能回路(IP)には、SFR(Special Function Register)と呼ばれる制御レジスタが準備されています。

メモリマップの章に各 IP の SFR アドレス一覧を記載しており、各 IP の章では SFR の詳細を説明しています。

本仕様書では、SFR に関して以下のルールに従って表現しています。

### a. IP 別 SFR の一覧表(一例)

- 各 IP の章における SFR の一覧表では、レジスタ名称、アドレス、簡単な説明が表現されています。
- すべてのレジスタには、32bit で表現されるユニークなアドレスが割り振られており、各レジスタのアドレスは「Base Address + (固有)アドレス」で表現されています。(一部例外有)

Base Address = 0x0000\_0000

レジスタ名		Address(Base+)
コントロールレジスタ	SAMCR	0x0004
		0x000C

注) SAMCR レジスタのアドレスは 0x0000\_0004 番地「Base Address(0x00000000 番地)+固有アドレス(0x0004 番地)」から 32 ビット分となります。

注) 本レジスタは記述説明用のサンプルです。本マイコンには存在しません。

## b. 各 SFR(レジスタ)の説明

- 各レジスタは、基本的にすべて 32bit のレジスタで構成されています(一部例外有)。
- 各レジスタの説明では、対象ビット、ビットシンボル、タイプ、リセット後の初期値、機能説明が表現されています。

## 1.2.2 SAMCR(コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	MODE	
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	MODE	TDATA						
リセット後	0	0	0	1	0	0	0	0

Bit	Bit Symbol	Type	機能
31-10	-	R	リードすると"0"が読めます。
9-7	MODE[2:0]	R/W	動作モード設定 000 : サンプルモード 0 に設定 001 : サンプルモード 1 に設定 010 : サンプルモード 2 に設定 011 : サンプルモード 3 に設定 上記以外 : Reserved
6-0	TDATA[6:0]	W	送信データ

注) Type は基本的に下記 3 種類となります。

R / W :	READ WRITE	読み出し/書き込み可能
R :	READ	読み出しのみ可能
W :	WRITE	書き込みのみ可能

## c. データ表記について

SFR の説明において使用しているシンボルには以下のようなものがあります。

- x:チャンネル番号/ポート
- n,m:ビット番号

## d. レジスタの表現

説明文においてレジスタを以下のように表現しています。

- レジスタ名<Bit Symbol>

例: SAMCR<MODE>="000"または SAMCR<MODE[2:0]>="000"

<MODE[2:0]>はビットシンボル MODE(3 ビット幅)の 2~0 ビット目を意味します。

- レジスタ名[Bit]

例: SAMCR[9:7]="000"

レジスタ SAMCR(32 ビット幅)の 9~7 ビット目を意味します。



## 改訂履歴

日付	版	改訂理由
2015/12/22	1	First Release
2016/02/03	2	Contents Revised
2022/05/27	3	Contents Revised



# 目次

---

---

## 製品ご使用上の注意点について

---

---

### TMPM381/383

---

1.1	機能概要	1
1.2	ブロック図	5
1.3	ピン配置図(Top view)	6
1.3.1	TMPM381FWFG	6
1.3.2	TMPM381FWDFG	6
1.3.3	TMPM383FWUG, TMPM383FSUG	7
1.3.4	TMPM383FWEFG, MPM383FSEFG	7
1.4	ピン名称と機能	8
1.4.1	機能端子名称と機能	8
1.4.1.1	周辺機能端子名称	
1.4.1.2	デバッグ端子名称	
1.4.1.3	制御端子名称	
1.4.1.4	電源端子名称	
1.4.1.5	電源間コンデンサ	
1.4.2	ピン名称と機能	12
1.4.2.1	表の見方	
1.4.2.2	PORT / デバッグ端子	
1.4.2.3	制御端子	
1.4.2.4	電源端子	

---

---

## 第2章 製品情報

---

2.1	M381 と M383 の搭載機能	20
2.2	各周辺機能の情報	21
2.2.1	例外	21
2.2.1.1	割り込み要因の相違点	
2.2.2	16ビットタイマ/イベントカウンタ(TMRB)	22
2.2.3	シリアルチャネル(SIO/UART)	24
2.2.4	非同期シリアル通信回路(UART)	24
2.2.5	I2C バス(I2C/SIO)	25
2.2.6	同期式シリアルインタフェース(SSP)	25
2.2.7	アナログ/デジタルコンバータ(ADC)	25
2.2.8	デバッグインタフェース	26

---

---

## 第3章 プロセッサコア

---

3.1	コアに関する情報	27
3.2	構成可能なオプション	27
3.3	例外/割り込み	28
3.3.1	割り込み本数	28
3.3.2	割り込み優先度ビット数	28
3.3.3	SysTick	28
3.3.4	SYSRESETREQ	28
3.3.5	LOCKUP	28

3.3.6	補助フォールトステータスレジスタ	28
3.4	イベント	29
3.5	電力管理	29
3.6	排他アクセス	29

## 第4章 メモリマップ

4.1	メモリマップ	31
4.2	バスマトリクス	34
4.2.1	構成	35
4.2.1.1	シングルチップモード	
4.2.1.2	シングルブートモード	
4.2.2	接続表	37
4.2.2.1	Code 領域/ SRAM 領域	
4.2.2.2	Peripheral 領域/ 外部バス領域	
4.3	周辺機能ベースアドレス一覧	40

## 第5章 リセット動作

5.1	コールドリセット時	42
5.1.1	VLTD 回路によるリセット (RESET 端子を使用しない場合)	42
5.1.2	RESET 端子によるリセット	43
5.2	ウォームリセット時	44
5.2.1	リセット期間	44
5.3	リセット解除後	44

## 第6章 クロック/モード制御

6.1	特長	45
6.2	レジスタ説明	46
6.2.1	レジスタ一覧	46
6.2.2	CGSYSCR (システムコントロールレジスタ)	47
6.2.3	CGOSCCR (発振コントロールレジスタ)	49
6.2.4	CGSTBYCR (スタンバイコントロールレジスタ)	51
6.2.5	CGPLLSEL (PLL セレクトレジスタ)	52
6.2.6	CGCKSEL (システムクロックセレクトレジスタ)	53
6.3	クロック制御	54
6.3.1	クロックの種類	54
6.3.2	リセット動作による初期値	54
6.3.3	クロック系統図	55
6.3.4	ウォーミングアップ機能	56
6.3.5	クロック通倍回路(PLL)	58
6.3.5.1	動作開始	
6.3.5.2	PLL 動作開始手順	
6.3.6	システムクロック	60
6.3.6.1	システムクロックの設定方法	
6.3.7	プリスケアラック	62
6.3.8	クロックの端子出力機能	62
6.4	動作モードとモード遷移	63
6.4.1	モード状態遷移	63
6.5	動作モード	64
6.5.1	NORMAL モード	64
6.5.2	SLOW モード	64
6.6	低消費電力モード	65
6.6.1	IDLE モード	65

6.6.2	SLEEP モード	65
6.6.3	STOP モード	66
6.6.4	低消費電力モードの選択	67
6.6.5	各モードにおける動作状態	68
6.6.6	低消費電力モードの解除	69
6.6.7	ウォーミングアップ	71
6.6.8	モード遷移によるクロック動作	72
6.6.8.1	NORMAL → STOP → NORMAL 動作モード遷移	
6.6.8.2	NORMAL → SLEEP → NORMAL 動作モード遷移	
6.6.8.3	SLOW → STOP → SLOW 動作モード遷移	
6.6.8.4	SLOW → SLEEP → SLOW 動作モード遷移	
6.6.9	低消費電力モード遷移時の注意事項	75
6.6.9.1	IDLE、SLEEP、STOP モードへ遷移する場合	

## 第7章 例外

7.1	概要	77
7.1.1	種類	77
7.1.2	処理の流れ	78
7.1.2.1	例外要求と検出	
7.1.2.2	例外の処理と割り込み処理ルーチンへの分岐(横取り)	
7.1.2.3	割り込み処理ルーチンの発行	
7.1.2.4	例外からの復帰	
7.2	リセット例外	84
7.3	マスク不能割り込み(NMI)	84
7.4	SysTick	85
7.5	割り込み	86
7.5.1	要因	86
7.5.1.1	経路	
7.5.1.2	割り込み要因の発生	
7.5.1.3	割り込み要因の伝達	
7.5.1.4	外部割り込み端子を使用する際の注意	
7.5.1.5	要因一覧	
7.5.1.6	アクティブレベル	
7.5.2	処理詳細	91
7.5.2.1	処理の流れ	
7.5.2.2	準備	
7.5.2.3	検出(クロックジェネレータ)	
7.5.2.4	検出(CPU)	
7.5.2.5	CPUの処理	
7.5.2.6	割り込み処理ルーチンでの処理(要因の取り下げ)	
7.6	例外/割り込み関連レジスタ	97
7.6.1	レジスタ一覧	97
7.6.2	NVIC レジスタ	98
7.6.2.1	SysTick 制御およびステータスレジスタ	
7.6.2.2	SysTick リロード値レジスタ	
7.6.2.3	SysTick 現在値レジスタ	
7.6.2.4	SysTick 較正值レジスタ	
7.6.2.5	割り込み制御用レジスタ	
7.6.2.6	割り込み優先度レジスタ	
7.6.2.7	ベクタテーブルオフセットレジスタ	
7.6.2.8	アプリケーション割り込みおよびリセット制御レジスタ	
7.6.2.9	システムハンドラ優先度レジスタ	
7.6.2.10	システムハンドラ制御および状態レジスタ	
7.6.3	クロックジェネレータレジスタ	121
7.6.3.1	CG 割り込みモードコントロールレジスタ	
7.6.3.2	CGICRCG(CG 割り込み要求クリアレジスタ)	
7.6.3.3	CGNMIFLG(NMI フラグレジスタ)	
7.6.3.4	CGRSTFLG(リセットフラグレジスタ)	

## 第8章 デジタルノイズフィルタ回路(DNF)

8.1	構成	129
-----	----	-----

<b>8.2 レジスタ説明</b> .....	130
8.2.1 レジスタ一覧.....	130
8.2.1.1 NFCKCR(ノイズフィルタ制御レジスタ)	
8.2.1.2 NFENCR(ノイズフィルタ許可レジスタ)	
<b>8.3 動作説明</b> .....	134
8.3.1 構成.....	134
8.3.2 動作.....	134
8.3.3 使用可能な動作モード.....	134
8.3.4 STOP モードを使用する場合の注意点.....	134
8.3.5 最小ノイズ除去時間.....	134

---

## 第9章 入出力ポート

---

<b>9.1 レジスタ説明</b> .....	135
9.1.1 レジスタ一覧.....	135
9.1.2 ポート機能と設定一覧.....	137
9.1.2.1 PORT A	
9.1.2.2 PORT B	
9.1.2.3 PORT C	
9.1.2.4 PORT D	
9.1.2.5 PORT E	
9.1.2.6 PORT F	
9.1.2.7 PORT G	
9.1.2.8 PORT H	
9.1.2.9 PORT I	
9.1.2.10 PORT J	
9.1.2.11 PORT L	
9.1.2.12 PORT M	
9.1.2.13 PORT N	
9.1.2.14 PORT P	
<b>9.2 ポート回路図</b> .....	152
9.2.1 タイプ FT1.....	152
9.2.2 タイプ FT2.....	153
9.2.3 タイプ FT3.....	154
9.2.4 タイプ FT4.....	155
9.2.5 タイプ FT5.....	156
9.2.6 タイプ FT6.....	157

---

## 第10章 16ビットタイマ/イベントカウンタ(TMRB)

---

<b>10.1 概要</b> .....	159
<b>10.2 チャンネル別仕様相違点</b> .....	160
<b>10.3 構成</b> .....	161
<b>10.4 レジスタ説明</b> .....	162
10.4.1 チャンネル別レジスタ一覧.....	162
10.4.2 TBxEN(イネーブルレジスタ).....	163
10.4.3 TBxRUN(RUN レジスタ).....	164
10.4.4 TBxCR(コントロールレジスタ).....	165
10.4.5 TBxMOD(モードレジスタ).....	166
10.4.6 TBxFFCR(フリップフロップコントロールレジスタ).....	167
10.4.7 TBxST(ステータスレジスタ).....	168
10.4.8 TBxIM(割り込みマスクレジスタ).....	169
10.4.9 TBxUC(アップカウンタキャプチャレジスタ).....	170
10.4.10 TBxRG0(タイマレジスタ 0).....	171
10.4.11 TBxRG1(タイマレジスタ 1).....	171
10.4.12 TBxCP0(キャプチャレジスタ 0).....	172
10.4.13 TBxCP1(キャプチャレジスタ 1).....	172
<b>10.5 回路別の動作説明</b> .....	173
10.5.1 ブリスケラ.....	173
10.5.2 アップカウンタ(UC).....	175
10.5.3 タイマレジスタ(TBxRG0, TBxRG1).....	175

10.5.4	キャプチャ制御.....	175
10.5.5	キャプチャレジスタ(TBxCP0, TBxCP1).....	176
10.5.6	アップカウンタキャプチャレジスタ(TBxUC).....	176
10.5.7	コンパレータ(CP0, CP1).....	176
10.5.8	タイマフリップフロップ(TBxFF0).....	176
10.5.9	キャプチャ割り込み(INTCAPx0, INTCAPx1).....	176
<b>10.6</b>	<b>機能別の動作説明.....</b>	<b>177</b>
10.6.1	16ビットインタバルタイマモード.....	177
10.6.2	16ビットイベントカウンタモード.....	177
10.6.3	16ビットPPG(プログラマブル矩形波)出力モード.....	178
10.6.4	外部トリガPPG(プログラマブル矩形波)出力モード.....	180
10.6.5	タイマ同期モード.....	181
<b>10.7</b>	<b>キャプチャ機能を利用した応用例.....</b>	<b>182</b>
10.7.1	外部トリガパルスからのワンショットパルス出力.....	182
10.7.2	周波数測定.....	184
10.7.3	パルス幅測定.....	184

---

## 第11章 非同期シリアル通信回路(UART)

---

<b>11.1</b>	<b>概要.....</b>	<b>187</b>
<b>11.2</b>	<b>構成.....</b>	<b>188</b>
<b>11.3</b>	<b>レジスタ説明.....</b>	<b>189</b>
11.3.1	レジスタ一覧.....	189
11.3.2	UARTxDR(Dataレジスタ).....	190
11.3.3	UARTxRSR(Receive statusレジスタ).....	191
11.3.4	UARTxECR(Error clearレジスタ).....	192
11.3.5	UARTxFR(UART Flagレジスタ).....	193
11.3.6	UARTxIBRD(UART 整数ボーレートレジスタ).....	195
11.3.7	UARTxFB RD(UART 小数ボーレートレジスタ).....	196
11.3.8	UARTxL CR_H(UART ライン制御レジスタ).....	197
11.3.9	UARTxCR(UART 制御レジスタ).....	199
11.3.10	UARTxIFLS(UART 割り込みFIFO レベル選択レジスタ).....	200
11.3.11	UARTxIMSC(UART 割り込み禁止/許可レジスタ).....	201
11.3.12	UARTxRIS(UART 原割り込みステータスレジスタ).....	202
11.3.13	UARTxMIS(UART マスク割り込みステータスレジスタ).....	203
11.3.14	UARTxICR(UART 割り込みクリアレジスタ).....	204
11.3.15	UARTxHCCR(50%デューティ制御レジスタ).....	205
<b>11.4</b>	<b>動作説明.....</b>	<b>206</b>
11.4.1	送信FIFOと受信FIFO.....	206
11.4.1.1	送信FIFO.....	
11.4.1.2	受信FIFO.....	
11.4.2	送信データと受信データ.....	206
11.4.3	ボーレートジェネレータ.....	207
11.4.3.1	ボーレート除数の求め方.....	
11.4.4	送信ロジック.....	207
11.4.5	受信ロジック.....	207
11.4.6	割り込み生成ロジック.....	208
11.4.6.1	UART 割り込み発生回路.....	
11.4.6.2	割り込み発生タイミング.....	
11.4.7	50%デューティモード.....	210
11.4.7.1	概要.....	
11.4.7.2	制御.....	
11.4.7.3	動作説明.....	

---

## 第12章 4バイトFIFO付きシリアルチャネル(SIO/UART)

---

<b>12.1</b>	<b>概要.....</b>	<b>213</b>
<b>12.2</b>	<b>構成.....</b>	<b>214</b>
<b>12.3</b>	<b>レジスタ説明.....</b>	<b>215</b>

12.3.1	レジスタ一覧.....	215
12.3.2	SCxEN (イネーブルレジスタ).....	216
12.3.3	SCxBUF (バッファレジスタ).....	217
12.3.4	SCxCR (コントロールレジスタ).....	218
12.3.5	SCxMOD0 (モードコントロールレジスタ 0).....	220
12.3.6	SCxMOD1 (モードコントロールレジスタ 1).....	221
12.3.7	SCxMOD2 (モードコントロールレジスタ 2).....	222
12.3.8	SCxBRCR (ボーレートジェネレータコントロールレジスタ).....	224
12.3.9	SCxBRADD (ボーレートジェネレータコントロールレジスタ 2).....	225
12.3.10	SCxFCNF (FIFO コンフィグレジスタ).....	226
12.3.11	SCxRFC (受信 FIFO コンフィグレジスタ).....	228
12.3.12	SCxTFC (送信 FIFO コンフィグレジスタ).....	229
12.3.13	SCxRST (受信 FIFO ステータスレジスタ).....	230
12.3.14	SCxTST (送信 FIFO ステータスレジスタ).....	231
<b>12.4</b>	<b>動作モード.....</b>	<b>232</b>
<b>12.5</b>	<b>データフォーマット.....</b>	<b>233</b>
12.5.1	データフォーマット一覧.....	233
12.5.2	パリティ制御.....	234
12.5.2.1	送信	
12.5.2.2	受信	
12.5.3	STOP ビット長.....	234
<b>12.6</b>	<b>クロック制御.....</b>	<b>235</b>
12.6.1	プリスケータ.....	235
12.6.2	シリアルクロック生成回路.....	235
12.6.2.1	ボーレートジェネレータ	
12.6.2.2	クロック選択回路	
12.6.3	送信/受信バッファと FIFO.....	239
12.6.3.1	構成	
12.6.3.2	送信/受信バッファ	
12.6.3.3	送信バッファの初期化	
12.6.3.4	FIFO	
<b>12.7</b>	<b>ステータスフラグ.....</b>	<b>241</b>
<b>12.8</b>	<b>エラーフラグ.....</b>	<b>241</b>
12.8.1	OERR フラグ.....	241
12.8.2	PERR フラグ.....	242
12.8.3	FERR フラグ.....	242
<b>12.9</b>	<b>受信.....</b>	<b>243</b>
12.9.1	受信カウンタ.....	243
12.9.2	受信制御部.....	243
12.9.2.1	I/O インタフェースモードの場合	
12.9.2.2	UART モードの場合	
12.9.3	受信動作.....	243
12.9.3.1	受信バッファの動作	
12.9.3.2	受信 FIFO の動作	
12.9.3.3	I/O インタフェースモード、クロック出力モードでの受信	
12.9.3.4	受信データの読み出し	
12.9.3.5	ウエイクアップ機能	
12.9.3.6	オーバランエラー	
<b>12.10</b>	<b>送信.....</b>	<b>247</b>
12.10.1	送信カウンタ.....	247
12.10.2	送信制御部.....	247
12.10.2.1	I/O インタフェースモードの場合	
12.10.2.2	UART モードの場合	
12.10.3	送信動作.....	248
12.10.3.1	送信バッファの動作	
12.10.3.2	送信 FIFO の動作	
12.10.3.3	I/O インタフェースモード、クロック出力モードでの送信	
12.10.3.4	I/O インタフェースモード時の最終ビット出力後の TXDx 端子の状態	
12.10.3.5	アンダランエラー	
12.10.3.6	I/O インタフェースモード、クロック入力モードでのデータのホールド時間	
<b>12.11</b>	<b>ハンドシェイク機能.....</b>	<b>252</b>
<b>12.12</b>	<b>割り込み/エラー発生タイミング.....</b>	<b>253</b>
12.12.1	受信割り込み.....	253
12.12.1.1	シングルバッファ/ダブルバッファ構成の場合	
12.12.1.2	FIFO 使用の場合	
12.12.2	送信割り込み.....	254

12.12.2.1	シングルバッファ/ダブルバッファ構成の場合	
12.12.2.2	FIFO 使用の場合	
12.12.3	エラー発生	255
12.12.3.1	UART モード	
12.12.3.2	I/O インタフェースモード	
<b>12.13</b>	<b>ソフトウェアリセット</b>	<b>256</b>
<b>12.14</b>	<b>モード別動作説明</b>	<b>257</b>
12.14.1	モード 0 (I/O インタフェースモード)	257
12.14.1.1	送信	
12.14.1.2	受信	
12.14.1.3	送受信(全二重)	
12.14.2	モード 1 (7 ビット UART モード)	268
12.14.3	モード 2 (8 ビット UART モード)	268
12.14.4	モード 3 (9 ビット UART モード)	269
12.14.4.1	ウェイクアップ機能	
12.14.4.2	プロトコル	

## 第 13 章 シリアルバスインタフェース(I2C/SIO)

<b>13.1</b>	<b>構成</b>	<b>272</b>
<b>13.2</b>	<b>レジスタ説明</b>	<b>273</b>
13.2.1	チャンネル別レジスタ一覧	273
<b>13.3</b>	<b>I2C バスモード時のデータフォーマット</b>	<b>274</b>
<b>13.4</b>	<b>I2C バスモード時のコントロールレジスタ</b>	<b>275</b>
13.4.1	SBICR0(コントロールレジスタ 0)	275
13.4.2	SBICR1(コントロールレジスタ 1)	276
13.4.3	SBICR2(コントロールレジスタ 2)	278
13.4.4	SBISR(ステータスレジスタ)	279
13.4.5	SBIBR0(ボーレートレジスタ 0)	280
13.4.6	SBIDBR(データバッファレジスタ)	281
13.4.7	SBII2CAR(I2C バスアドレスレジスタ)	282
<b>13.5</b>	<b>I2C バスモード時の制御</b>	<b>283</b>
13.5.1	シリアルクロック	283
13.5.1.1	クロックソース	
13.5.1.2	クロック同期化	
13.5.2	アクノリッジメントモードの指定	284
13.5.3	転送ビット数の選択	284
13.5.4	スレープアドレスとアドレス認識モードの設定	284
13.5.5	動作モード	285
13.5.6	トランスミッタ/レシーバの選択	285
13.5.7	マスタ/スレープの選択	285
13.5.8	スタート/ストップコンディションの発生	286
13.5.9	割り込みサービス要求と解除	286
13.5.10	アービトレーションロスト検出モニタ	287
13.5.11	スレープアドレス一致検出モニタ	288
13.5.12	ゼネラルコール検出モニタ	288
13.5.13	最終受信ビットモニタ	289
13.5.14	データバッファレジスタ(SBIDBR)	289
13.5.15	ボーレートレジスタ(SBIBR0)	289
13.5.16	ソフトウェアリセット	289
<b>13.6</b>	<b>I2C バスモード時のデータ転送手順</b>	<b>290</b>
13.6.1	デバイスの初期化	290
13.6.2	スタートコンディション, スレープアドレスの発生	290
13.6.2.1	マスタモードの場合	
13.6.2.2	スレープモードの場合	
13.6.3	1 ワードのデータ転送	292
13.6.3.1	マスタモードの場合(<MST>="1")	
13.6.3.2	スレープモードの場合(<MST>="0")	
13.6.4	ストップコンディションの発生	297
13.6.5	再スタートの手順	297
<b>13.7</b>	<b>SIO モード時のコントロールレジスタ</b>	<b>299</b>
13.7.1	SBICR0(コントロールレジスタ 0)	299
13.7.2	SBICR1(コントロールレジスタ 1)	300

13.7.3	SBIDBR(データバッファレジスタ)	301
13.7.4	SBICR2(コントロールレジスタ 2)	302
13.7.5	SBISR(ステータスレジスタ)	303
13.7.6	SBIBR0(ボーレートレジスタ 0)	304
<b>13.8</b>	<b>SIO モード時の制御</b>	<b>305</b>
13.8.1	シリアルクロック	305
13.8.1.1	クロックソース	
13.8.1.2	シフトエッジ	
13.8.2	転送モード	307
13.8.2.1	8ビット送信モード	
13.8.2.2	8ビット受信モード	
13.8.2.3	8ビット送受信モード	
13.8.2.4	送信終了時の最終ビット保持時間	

---

## 第14章 同期式シリアルインタフェース(SSP)

---

<b>14.1</b>	<b>概要</b>	<b>313</b>
<b>14.2</b>	<b>ブロック図</b>	<b>314</b>
<b>14.3</b>	<b>レジスタ</b>	<b>315</b>
14.3.1	レジスタ一覧	315
14.3.2	SSPCR0(制御レジスタ 0)	316
14.3.3	SSPCR1(制御レジスタ 1)	317
14.3.4	SSPDR(データレジスタ)	318
14.3.5	SSPSR(ステータスレジスタ)	319
14.3.6	SSPCPSR(クロックプリスケールレジスタ)	320
14.3.7	SSPIMSC(割り込み許可/禁止レジスタ)	321
14.3.8	SSPRIS(許可前の割り込みステータスレジスタ)	322
14.3.9	SSPMIS(許可後の割り込みステータスレジスタ)	323
14.3.10	SSPICR(割り込みクリアレジスタ)	324
<b>14.4</b>	<b>SSPの概要</b>	<b>325</b>
14.4.1	クロックプリスケラ	325
14.4.2	送信 FIFO	325
14.4.3	受信 FIFO	325
14.4.4	割り込み生成ロジック	326
<b>14.5</b>	<b>SSPの動作</b>	<b>328</b>
14.5.1	SSPの初期設定	328
14.5.2	SSPのイネーブル	328
14.5.3	クロック比	328
<b>14.6</b>	<b>フレーム形式</b>	<b>329</b>
14.6.1	SSIのフレームフォーマット	330
14.6.2	SPIのフレームフォーマット	331
14.6.3	Microwireのフレームフォーマット	333

---

## 第15章 リモコン判定機能(RMC)

---

<b>15.1</b>	<b>概要</b>	<b>335</b>
15.1.1	リモコン受信	335
<b>15.2</b>	<b>ブロック図</b>	<b>335</b>
<b>15.3</b>	<b>レジスタ説明</b>	<b>336</b>
15.3.1	レジスタ一覧	336
15.3.2	RMCxEN(イネーブルレジスタ)	337
15.3.3	RMCxREN(受信イネーブルレジスタ)	338
15.3.4	RMCxRBUF1(受信データバッファレジスタ 1)	339
15.3.5	RMCxRBUF2(受信データバッファレジスタ 2)	339
15.3.6	RMCxRBUF3(受信データバッファレジスタ 3)	340
15.3.7	RMCxRCR1(受信コントロールレジスタ 1)	341
15.3.8	RMCxRCR2(受信コントロールレジスタ 2)	342
15.3.9	RMCxRCR3(受信コントロールレジスタ 3)	343
15.3.10	RMCxRCR4(受信コントロールレジスタ 4)	344

15.3.11	RMCxRSTAT(受信ステータスレジスタ)	345
15.3.12	RMCxEND1(受信終了ビット数レジスタ 1)	346
15.3.13	RMCxEND2(受信終了ビット数レジスタ 2)	346
15.3.14	RMCxEND3(受信終了ビット数レジスタ 3)	347
15.3.15	RMCxFSSEL(ソースクロック選択レジスタ)	348
<b>15.4</b>	<b>動作説明</b>	<b>349</b>
15.4.1	リモコン受信	349
15.4.1.1	サンプリングブロック	
15.4.1.2	基本動作	
15.4.1.3	リモコン受信の準備	
15.4.1.4	受信許可	
15.4.1.5	受信の停止	
15.4.1.6	リーダ待ちの状態でのリーダなしのリモコン信号の受信	
15.4.1.7	Low 幅のみのリーダで始まるリモコン信号の受信	
15.4.1.8	周期固定の位相方式のリモコン信号の受信	

---

## 第 16 章 アナログ/デジタルコンバータ(ADC)

---

<b>16.1</b>	<b>機能と特徴</b>	<b>359</b>
<b>16.2</b>	<b>ブロック図</b>	<b>359</b>
<b>16.3</b>	<b>レジスタ一覧</b>	<b>360</b>
<b>16.4</b>	<b>レジスタ詳細</b>	<b>361</b>
16.4.1	ADCLK(変換クロック設定レジスタ)	361
16.4.2	ADM0D0(モード設定レジスタ 0)	362
16.4.3	ADM0D1(モード設定レジスタ 1)	363
16.4.4	ADM0D2(モード設定レジスタ 2)	364
16.4.5	ADM0D3(モード設定レジスタ 3)	365
16.4.6	ADCMP0(監視割り込み設定レジスタ 0)	366
16.4.7	ADCMP1(監視割り込み設定レジスタ 1)	367
16.4.8	ADCM0P(変換結果比較レジスタ 0)	368
16.4.9	ADCM1P(変換結果比較レジスタ 1)	368
16.4.10	ADREG0(変換結果格納レジスタ 0)	369
16.4.11	ADREG1(変換結果格納レジスタ 1)	370
16.4.12	ADREG2(変換結果格納レジスタ 2)	371
16.4.13	ADREG3(変換結果格納レジスタ 3)	372
16.4.14	ADREG4(変換結果格納レジスタ 4)	373
16.4.15	ADREG5(変換結果格納レジスタ 5)	374
16.4.16	ADREG6(変換結果格納レジスタ 6)	375
16.4.17	ADREG7(変換結果格納レジスタ 7)	376
16.4.18	ADREG8(変換結果格納レジスタ 8)	377
16.4.19	ADREG9(変換結果格納レジスタ 9)	378
16.4.20	ADREG10(変換結果格納レジスタ 10)	379
16.4.21	ADREG11(変換結果格納レジスタ 11)	380
16.4.22	ADTSET03 / ADTSET47 / ADTSET811(タイマトリガ用プログラムレジスタ)	381
16.4.23	ADSS0T03 / ADSS0T47 / ADSS0T811(ソフトウェアトリガ用プログラムレジスタ)	385
16.4.24	ADAS0T03 / ADAS0T47 / ADAS0T811(常時変換用プログラムレジスタ)	389
<b>16.5</b>	<b>動作説明</b>	<b>393</b>
16.5.1	アナログ基準電圧	393
16.5.2	AD 変換開始	393
16.5.3	AD 監視機能	394
<b>16.6</b>	<b>AD 変換タイミングチャート</b>	<b>395</b>
16.6.1	ソフトウェア AD 変換	395
16.6.2	常時 AD 変換	396
16.6.3	トリガによる AD 変換開始	397

---

## 第 17 章 リアルタイムクロック(RTC)

---

<b>17.1</b>	<b>RTC の機能概略</b>	<b>399</b>
<b>17.2</b>	<b>ブロック図</b>	<b>399</b>

<b>17.3 レジスタ説明</b> .....	400
17.3.1 レジスタ一覧.....	400
17.3.2 コントロールレジスタ.....	400
17.3.3 レジスタ詳細.....	402
17.3.3.1 RTCSECR(秒桁レジスタ(PAGE0のみ))	
17.3.3.2 RTCMINR(分桁レジスタ(PAGE0/1))	
17.3.3.3 RTCHOURR(時間桁レジスタ(PAGE0/1))	
17.3.3.4 RTCDAYR(曜日桁レジスタ(PAGE0/1))	
17.3.3.5 RTCDATER(日桁レジスタ(PAGE0/1))	
17.3.3.6 RTCMONTHR(月桁レジスタ(PAGE0のみ))	
17.3.3.7 RTCMONTHR(24時間時計, 12時間時計の選択レジスタ(PAGE1のみ))	
17.3.3.8 RTCYEARR(年桁レジスタ(PAGE0のみ))	
17.3.3.9 RTCYEARR(うるう年レジスタ(PAGE1のみ))	
17.3.3.10 RTPAGER(PAGEレジスタ(PAGE0/1))	
17.3.3.11 RTCRESTR(リセットレジスタ(PAGE0/1))	
<b>17.4 動作説明</b> .....	409
17.4.1 時計データをリードする場合.....	409
17.4.2 時計データをライトする場合.....	409
17.4.3 低消費電力モードへ遷移する場合.....	411
<b>17.5 アラーム機能の説明</b> .....	412
17.5.1 アラームレジスタと時計の一致時、ALARM端子からパルスを出力.....	412
17.5.2 1 Hz, 2 Hz, 4 Hz, 8 Hz, 16 Hzのパルスを出力する場合.....	413

---

## 第18章 パワーオンリセット回路(POR)

---

<b>18.1 構成</b> .....	415
<b>18.2 機能</b> .....	416

---

## 第19章 電圧検出回路(VLTD)

---

<b>19.1 構成</b> .....	417
<b>19.2 レジスタ説明</b> .....	418
19.2.1 レジスタ一覧.....	418
19.2.2 VDCR(電圧検出制御レジスタ).....	418
<b>19.3 動作説明</b> .....	419
19.3.1 制御.....	419
19.3.2 機能.....	419
19.3.2.1 電圧検出動作の許可/禁止	
19.3.2.2 検出電圧レベル	

---

## 第20章 周波数検知回路(OFD)

---

<b>20.1 構成</b> .....	421
<b>20.2 レジスタ説明</b> .....	422
20.2.1 レジスタ一覧.....	422
20.2.1.1 OFDCR1(制御レジスタ1)	
20.2.1.2 OFDCR2(制御レジスタ2)	
20.2.1.3 OFDMN(検知周波数下限値レジスタ)	
20.2.1.4 OFDMX(検知周波数上限値レジスタ)	
20.2.1.5 OFDRST(リセット制御レジスタ)	
20.2.1.6 OFDSTAT(ステータスレジスタ)	
<b>20.3 動作説明</b> .....	427
20.3.1 設定.....	427
20.3.2 動作.....	427
20.3.3 検知周波数.....	428
20.3.4 使用可能な動作モード.....	428
20.3.5 動作手順例.....	429

---

---

## 第21章 ウォッチドッグタイマ(WDT)

---

21.1	構成	431
21.2	レジスタ一覧	432
21.2.1	WDMOD(ウォッチドッグタイマモードレジスタ)	432
21.2.2	WDCR(ウォッチドッグタイマコントロールレジスタ)	433
21.3	動作説明	434
21.3.1	基本動作	434
21.3.2	動作モードと動作状態	434
21.4	暴走検出時の動作	435
21.4.1	INTWDT 割り込み発生の場合	435
21.4.2	内部リセット発生の場合	436
21.5	コントロールレジスタ	437
21.5.1	ウォッチドッグタイマモードレジスタ(WDMOD)	437
21.5.2	ウォッチドッグタイマコントロールレジスタ(WDCR)	437
21.5.3	設定例	438
21.5.3.1	ディセーブル制御	
21.5.3.2	イネーブル制御	
21.5.3.3	ウォッチドッグタイマのクリア制御	
21.5.3.4	ウォッチドッグタイマ検出時間の設定	

---

---

## 第22章 フラッシュメモリ動作説明

---

22.1	フラッシュメモリの特長	439
22.1.1	メモリ容量と構成	439
22.1.2	機能	440
22.1.3	動作モード	441
22.1.3.1	モードの説明	
22.1.3.2	モードの決定	
22.1.4	メモリマップ	443
22.1.5	プロテクト/セキュリティ機能	445
22.1.5.1	プロテクト機能	
22.1.5.2	プロテクトビットマスク機能	
22.1.5.3	セキュリティ機能	
22.1.6	レジスタ	447
22.1.6.1	レジスタ一覧	
22.1.6.2	FCSECBIT(セキュリティビットレジスタ)	
22.1.6.3	FCCR(フラッシュIFコントロールレジスタ)	
22.1.6.4	FCSR(フラッシュステータスレジスタ)	
22.1.6.5	FCPSRA(フラッシュプロテクトステータスレジスタ)	
22.1.6.6	FCPMRA(フラッシュプロテクトマスクレジスタ)	
22.2	フラッシュメモリ詳細	452
22.2.1	機能	452
22.2.2	フラッシュメモリの動作モード	452
22.2.3	ハードウェアリセット	453
22.2.4	コマンド実行方法	453
22.2.5	コマンド説明	454
22.2.5.1	自動ページプログラム	
22.2.5.2	自動チップ消去	
22.2.5.3	自動ブロック消去	
22.2.5.4	自動プロテクトビットプログラム	
22.2.5.5	自動プロテクトビット消去	
22.2.5.6	ID-Read	
22.2.5.7	Read コマンド、Read/リセットコマンド(ソフトウェアリセット)	
22.2.6	コマンドシーケンス	457
22.2.6.1	コマンドシーケンス一覧	
22.2.6.2	バスライトサイクル時のアドレスビット構成	
22.2.6.3	ブロックアドレス(BA)	
22.2.6.4	プロテクトビットの指定(PBA)	
22.2.6.5	ID-Read のコード(IA, ID)	
22.2.6.6	コマンドシーケンス例	
22.2.7	フローチャート	462

22.2.7.1	自動プログラム	
22.2.7.2	自動消去	
<b>22.3</b>	<b>シングルブートモードによる書き替え方法</b>	<b>464</b>
22.3.1	モード設定	464
22.3.2	インタフェース仕様	464
22.3.3	メモリの制約について	465
22.3.4	動作コマンド	466
22.3.4.1	RAM 転送	
22.3.4.2	フラッシュメモリチップ消去およびプロテクトビット消去	
22.3.5	コマンドによらず共通の動作	466
22.3.5.1	シリアル動作モード判定	
22.3.5.2	ACK 応答データ	
22.3.5.3	パスワード判定	
22.3.5.4	CHECK SUM の計算方法	
22.3.6	RAM 転送の転送フォーマット	473
22.3.7	フラッシュメモリチップ消去およびプロテクトビット消去の転送フォーマット	475
22.3.8	ブートプログラム全体フローチャート	477
22.3.9	内蔵 BOOT ROM の書き替えアルゴリズムを利用した書き替え手順	478
22.3.9.1	Step-1	
22.3.9.2	Step-2	
22.3.9.3	Step-3	
22.3.9.4	Step-4	
22.3.9.5	Step-5	
22.3.9.6	Step-6	
<b>22.4</b>	<b>ユーザブートモードによる書き替え方法</b>	<b>481</b>
22.4.1	(1-A)書き替えルーチンをフラッシュメモリに内蔵する場合の手順例	481
22.4.1.1	Step-1	
22.4.1.2	Step-2	
22.4.1.3	Step-3	
22.4.1.4	Step-4	
22.4.1.5	Step-5	
22.4.1.6	Step-6	
22.4.2	(1-B)書き替えルーチンを外部から転送する手順例	485
22.4.2.1	Step-1	
22.4.2.2	Step-2	
22.4.2.3	Step-3	
22.4.2.4	Step-4	
22.4.2.5	Step-5	
22.4.2.6	Step-6	

---

## 第 23 章 デバッグインタフェース

---

23.1	仕様概要	489
23.2	SWJ-DP	489
23.3	ETM	489
23.4	端子情報	490
23.5	ホールトモード中の周辺機能	491
23.6	デバッグツールとの接続	492
23.6.1	接続方法	492
23.6.2	デバッグインタフェース端子を汎用ポートとして使用する際の注意	492

---

## 第 24 章 ポート部等価回路図

---

24.1	PA0~7, PB0~7, PC0~7, PD0~6, PE0~7, PF0~4, PG0~7, PL2, PN0~7	493
24.2	PH0~7, PI0~1, PJ0~7	493
24.3	PL0	494
24.4	PM0~1, PP0~1	494
24.5	X1, X2	495
24.6	XT1, XT2	495
24.7	RESET	495

<b>24.8</b>	<b>MODE</b> .....	495
<b>24.9</b>	<b>FTEST3</b> .....	496
<b>24.10</b>	<b>VREFH,VREFL</b> .....	496

---



---

## 第 25 章 電気的特性

---

<b>25.1</b>	<b>絶対最大定格</b> .....	497
<b>25.2</b>	<b>DC 電気的特性 (1/3)</b> .....	498
<b>25.3</b>	<b>DC 電気的特性 (2/3)</b> .....	499
<b>25.4</b>	<b>DC 電気的特性 (3/3)</b> .....	500
<b>25.5</b>	<b>12/10 ビット AD コンバータ変換特性</b> .....	501
<b>25.6</b>	<b>AC 電気的特性</b> .....	502
25.6.1	AC 測定条件.....	502
25.6.2	シリアルチャネル (SIO/UART).....	502
25.6.2.1	I/O インタフェースモード	
25.6.3	シリアルバスインタフェース (I2C/SIO).....	504
25.6.3.1	I2C モード	
25.6.3.2	クロック同期式 8 ビット SIO モード	
25.6.4	同期式シリアルインタフェース (SSP).....	507
25.6.4.1	AC 測定条件	
25.6.4.2	SSP の SPI モード (マスタ)	
25.6.4.3	SSP の SPI モード (スレーブ)	
25.6.5	イベントカウンタ.....	511
25.6.6	キャプチャ.....	511
25.6.7	外部割り込み.....	511
25.6.8	SCOUT 端子 AC 特性.....	512
25.6.9	デバッグ通信.....	513
25.6.9.1	SWD インタフェース	
25.6.9.2	JTAG インタフェース	
25.6.10	ETM トレース.....	514
25.6.11	内蔵発振回路特性.....	514
25.6.12	フラッシュ特性.....	514
<b>25.7</b>	<b>発振回路</b> .....	515
25.7.1	セラミック発振子.....	515
25.7.2	水晶発振子.....	515

---



---

## 第 26 章 パッケージ寸法図

---

<b>26.1</b>	<b>TMPM381FWFG</b> .....	517
<b>26.2</b>	<b>TMPM381FWDFG</b> .....	518
<b>26.3</b>	<b>TMPM383FWFG/TMPM383FSFG</b> .....	519
<b>26.4</b>	<b>TMPM383FWEFG/TMPM383FSEFG</b> .....	520



## CMOS 32 ビット マイクロコントローラ

## TMPM381/383

TMPM381/383 は、ARM®Cortex®-M3 コアを内蔵した 32 ビット RISC マイクロプロセッサです。

製品名	ROM (FLASH)	RAM	パッケージ
TMPM381FWFG	128Kbyte	10Kbyte	LQFP100 (14x14mm, 0.5mm ピッチ)
TMPM381FWDFG	128 Kbyte	10Kbyte	QFP100 (14x20mm, 0.65mm ピッチ)
TMPM383FWUG	128 Kbyte	10Kbyte	LQFP64 (10x10mm, 0.5mm ピッチ)
TMPM383FWEFG	128 Kbyte	10Kbyte	QFP64 (14x14mm, 0.8mm ピッチ)
TMPM383FSUG	64 Kbyte	8Kbyte	LQFP64 (10x10mm, 0.5mm ピッチ)
TMPM383FSEFG	64 Kbyte	8Kbyte	QFP64 (14x14mm, 0.8mm ピッチ)

## 1.1 機能概要

### 1. ARM 社製 Cortex-M3 コアを使用

#### a. Thumb®-2 命令で、コード効率の向上を実現

- ・プログラムフロー改善のための新しい 16 ビット命令
- ・性能とコードサイズ向上のための新しい 32 ビット命令
- ・32 ビット/16 ビット混在の命令セットでコード効率を向上

#### b. 高性能化と低消費電力化を同時に実現

##### 【高性能化】

- ・32 ビット乗算( $32 \times 32 = 32$  ビット)を 1 クロックで実行
- ・除算を 2~12 クロックで実行

##### 【低消費電力化】

- ・低消費電力ライブラリを使用した最適化設計
- ・プロセッサコアの動作を停止させるスタンバイ機能

#### c. リアルタイム制御に向けた高速割り込み応答

- ・実行時間の長い命令は割り込みで中断可能
- ・スタックへの PUSH をハードウェアで自動的に実行

### 2. 内蔵プログラムメモリ/データメモリ

#### ・ 内蔵 Flash ROM

TMPM381FWFG, TMPM381FWDFG : 128Kbyte

TMPM383FWUG, TMPM383FWEFG : 128Kbyte

TMPM383FSUG, TMPM383FSEFG : 64Kbyte

#### ・ 内蔵 RAM

TMPM381FWFG, TMPM381FWDFG : 10Kbyte

TMPM383FWUG, TMPM383FWEFG : 10Kbyte

TMPM383FSUG, TMPM383FSEFG : 8Kbyte

3. クロック制御(CG)
  - ・ 内蔵発振器(高速発振周波数 9MHz)
  - ・ 外部発振器(高速発振周波数 10MHz)
  - ・ 外部発振器(低速発振周波数 32.768kHz)
  - ・ PLL を内蔵 (4 通倍)
  - ・ クロックギア機能: 高速クロックを 1/1, 1/2, 1/4, 1/8, 1/16 に分周可能
  
4. 低消費電力機能
  - ・ IDLE, SLEEP, STOP, SLOW
  
5. 外部割り込み機能
  - ・ 外部割り込み端子
    - TMPM381FWFG, TMPM381FWDFG : 16 本
    - TMPM383FWUG, TMPM383FWEFG : 8 本
    - TMPM383FSUG, TMPM383FSEFG : 8 本
  - ・ 7 レベルの優先順位設定可能
  
6. 入出力ポート(PORT)
  - 入出力端子
    - TMPM381FWFG, TMPM381FWDFG : 83 本
    - TMPM383FWUG, TMPM383FWEFG : 47 本
    - TMPM383FSUG, TMPM383FSEFG : 47 本
  - 出力端子
    - TMPM381FWFG, TMPM381FWDFG : 1 本
    - TMPM383FWUG, TMPM383FWEFG : 1 本
    - TMPM383FSUG, TMPM383FSEFG : 1 本
  
7. 16 ビットタイマ(TMRB) : 8 チャンネル
  - ・ 16 ビットインタバルタイマモード
  - ・ 16 ビットイベントカウンタモード
  - ・ 16 ビット PPG 出力
  - ・ 外部トリガプログラマブル矩形波出力(PPG)モード
  - ・ タイマ同期モード
  - ・ インพุットキャプチャ機能
  
8. リアルタイムクロック(RTC) : 1 チャンネル
  - ・ 時計機能(時間, 分, 秒)
  - ・ カレンダー機能(月日, 週, うるう年)・  
クロック補正機能
    - ・ +/-30 秒補正機能
    - ・ アラーム出力機能
    - ・ 1Hz クロック出力機能
  
9. ウォッチドッグタイマ(WDT) : 1 チャンネル
  - リセットまたはマスク不能割り込み(NMI)発生

10. シリアルチャネル(SIO/UART)
  - TMPM381FWFG, TMPM381FWDFG : 3 チャネル
  - TMPM383FWUG, TMPM383FWEFG : 2 チャネル
  - TMPM383FSUG, TMPM383FSEFG : 2 チャネル
  - ・ UART / 同期式モード選択可能(4 byte FIFO 内蔵)
  
11. 非同期式シリアル通信インタフェース(UART) : 1 チャネル
  - ・ 5,6,7,8 ビットデータ長
  - ・ 送信 FIFO : 8 ビット幅 32 段、受信 FIFO : 12 ビット幅 32 段
  - ・ 50%対応デューティモード
  
12. シリアルバスインタフェース (I2C/SIO) : 1 チャネル
  - ・ I2C バスモード/クロック同期式モード選択可能
  
13. 同期式シリアルバスインタフェース(SSP) : 1 チャネル
  - ・ SPI/SSI/Microwire の各種フォーマットに対応
  - ・ 16byte FIFO(16bit 幅 8 段)
  
14. 12 ビット AD コンバータ(ADC) : 1 ユニット
  - TMPM381FWFG, TMPM381FWDFG : 18 チャネル
  - TMPM383FWUG, TMPM383FWEFG : 10 チャネル
  - TMPM383FSUG, TMPM383FSEFG : 10 チャネル
  - ・ チャネル固定/スキャンモード
  - ・ シングル/リピートモード
  - ・ 外部トリガスタート、内部タイマトリガによるスタート可能
  - ・ リピート変換可能
  - ・ AD 監視機能
  - ・ 最小変換時間 2  $\mu$ s (ADC 変換クロック 40 MHz 時)
  
15. リモコン判定機能 : 1 チャネル
  - ・ 72bit まで一括受信
  
16. パワーオンリセット回路(POR)
  
17. 電圧検知回路(VLTD)
  
18. 周波数検知回路 (OFD)
  
19. デバッグインタフェース
  - ・ JTAG/SWD/SWV/DATA TRACE(Data 2bit)に対応
  
20. エンディアン
  - ・ リトルエンディアン

## 21. 最大動作周波数

- ・ 40MHz

## 22. 動作電圧範囲

- ・ DVDD5 = 4.5V ~ 5.5V (全機能)
- ・ DVDD5 = 3.9V ~ 4.5V (除く、12bit AD コンバータ変換精度)

## 23. 温度範囲

- ・ -40°C ~ 85°C (Flash W/E 時及びデバッグ時以外)
- ・ 0°C ~ 70°C (Flash W/E 時及びデバッグ時)

## 24. パッケージ

- TMPM381FWFG : LQFP100 (14mm x 14mm, 0.5mm ピッチ)
- TMPM381FWDFG : QFP100 (14mm x 20mm, 0.65mm ピッチ)
- TMPM383FWUG : LQFP64 (10mm x 10mm, 0.5mm ピッチ)
- TMPM383FWEFG : QFP64(14mm x 14mm, 0.65mm ピッチ)
- TMPM383FSUG : LQFP64 (10mm x 10mm, 0.5mm ピッチ)
- TMPM383FSEFG : QFP64(14mm x 14mm, 0.65mm ピッチ)

1.2 ブロック図

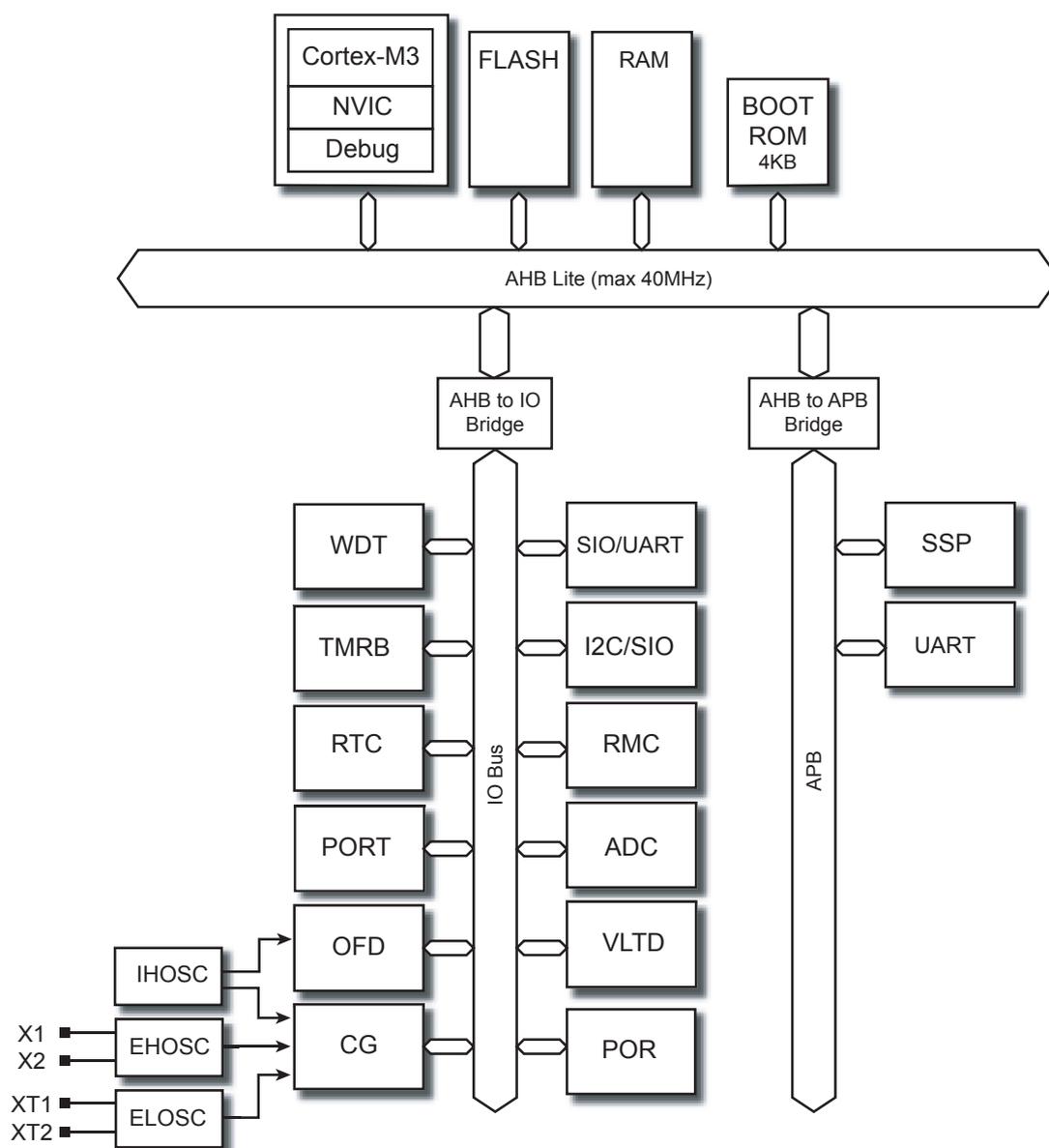


図 1-1 ブロック図

### 1.3 ピン配置図(Top view)

#### 1.3.1 TMPM381FWFG

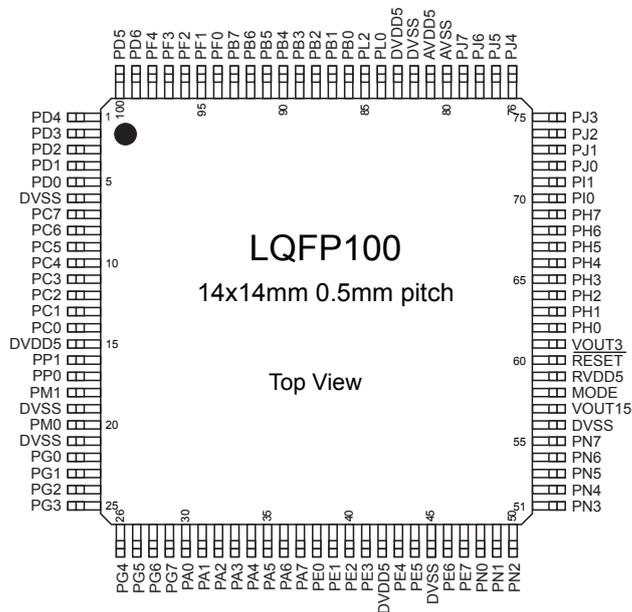


図 1-2 ピン配置図(LQFP100 14x14mm)

#### 1.3.2 TMPM381FWDFG

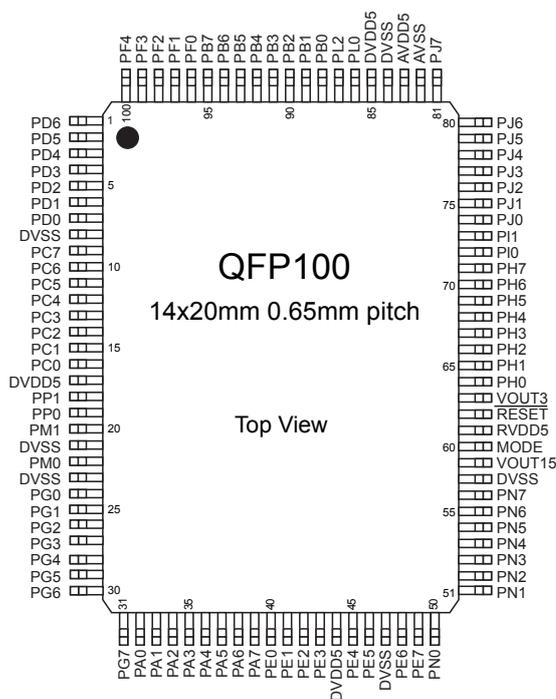


図 1-3 ピン配置図(QFP100 14x20mm)

1.3.3 TMPM383FWUG, TMPM383FSUG

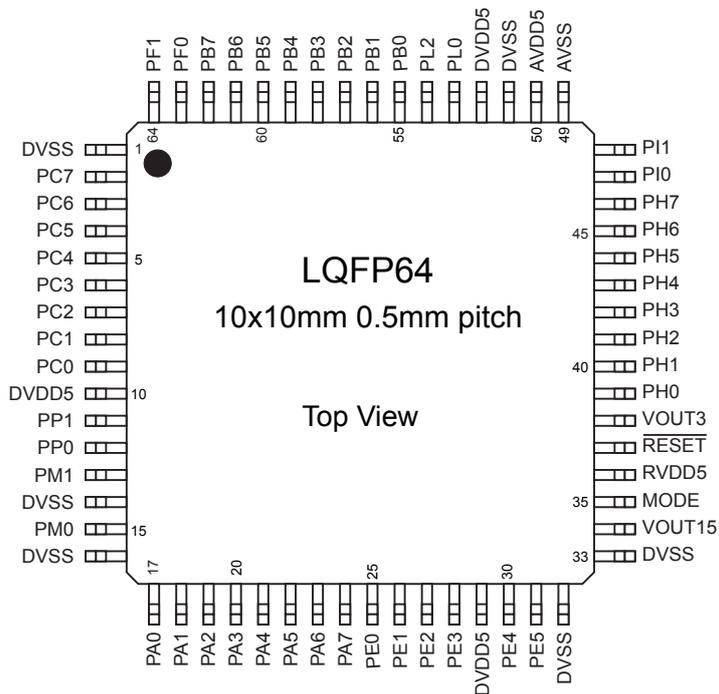


図 1-4 ピン配置図(LQFP64 10x10mm)

1.3.4 TMPM383FWEFG, MPM383FSEFG

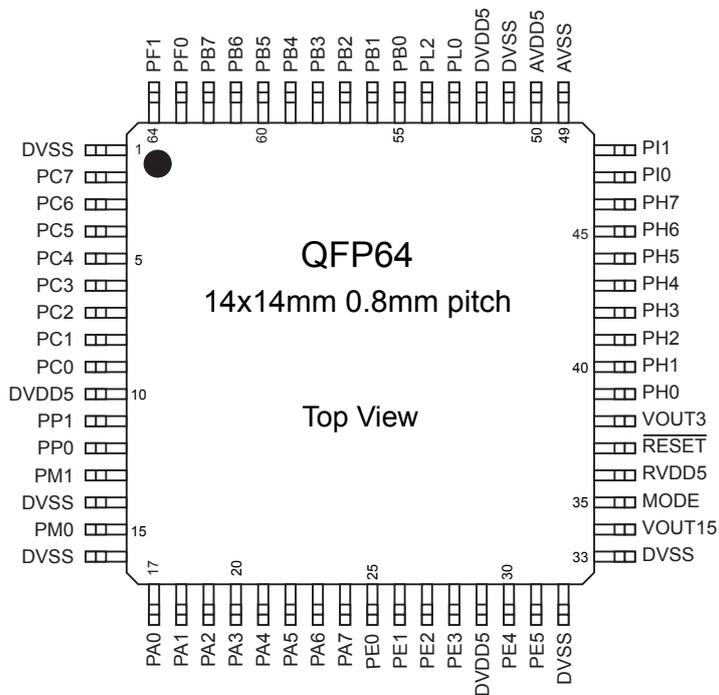


図 1-5 ピン配置図(QFP64 14x14mm)

## 1.4 ピン名称と機能

### 1.4.1 機能端子名称と機能

#### 1.4.1.1 周辺機能端子名称

表 1-1 各周辺機能と端子名称と機能

周辺機能	端子名称	Input or Output	機能
クロック/モード制御	SCOUT	Output	システムクロックの出力端子
外部割り込み	INTx	Input	外部割り込み入力端子 x 外部割り込み入力端子 x はノイズフィルタ(フィルタ幅 typ. 30ns)をもちます。
16 ビットタイマ/ イベントカウンタ	TBxIN	Input	インプットキャプチャ入力端子 0
	TBxOUT	Output	出力端子
SIO/UART	TXDx	Output	データ出力端子
	RXDx	Input	データ入力端子
	SCLKx	I/O	クロック入出力端子
	$\overline{\text{CTSx}}$	Input	ハンドシェイク入力端子
UART	UTxTXD	Output	データ出力端子
	UTxTXD50A	Output	データ出力端子
	UTxTXD50B	Output	データ出力端子
	UTxRXD	Input	データ入力端子
	UTxRXD50	Input	データ入力端子
I2C/SIO	SDAx	I/O	データ入出力端子(I2C バスモード)
	SOx	Output	データ出力端子(同期式 8 ビット SIO モード)
	SCLx	I/O	クロック入出力端子(I2C バスモード)
	Slx	Input	データ入力端子(同期式 8 ビット SIO モード)
	SCKx	I/O	クロック入出力端子(同期式 8 ビット SIO モード)
SSP	SPxDO	Output	データ出力端子
	SPxDI	Input	データ入力端子
	SPxCLK	I/O	クロック入出力端子
	SPxFSS	I/O	フレーム/スレーブ選択入出力端子
リモコン判定機能	RXINx	Input	データ入力端子
アナログデジタルコンバータ	AINx	Input	アナログ入力端子
リアルタイムクロック	$\overline{\text{ALARM}}$	Output	アラーム出力端子

注) x: チャンネル番号

## 1.4.1.2 デバッグ端子名称

表 1-2 デバッグ端子名称と機能

デバッグ端子名称	Input or Output	機能
TMS	Input	JTAG テストモード選択入力端子
TCK	Input	JTAG シリアルクロック入力端子
TDO	Output	JTAG シリアルデータ出力端子
TDI	Input	JTAG シリアルデータ入力端子
$\overline{\text{TRST}}$	Input	JTAG テストリセット入力端子
SWDIO	I/O	シリアルワイヤデータ入出力端子
SWCLK	Input	シリアルワイヤクロック入力端子
SWV	Output	シリアルワイヤビューワ出力端子
TRACECLK	Output	トレースクロック出力端子
TRACEDATA0	Output	トレースデータ出力端子 0
TRACEDATA1	Output	トレースデータ出力端子 1

## 1.4.1.3 制御端子名称

表 1-3 制御端子名称と機能

制御端子名称	Input or Output	機能
X1	Input	高速発振子接続端子
X2	Output	高速発振子接続端子
XT1	Input	低速発振子接続端子
XT2	Output	低速発振子接続端子
MODE	Input	モード端子 必ず"Low"レベルに固定してください。
$\overline{\text{RESET}}$	Input	リセット信号入力端子
$\overline{\text{BOOT}}$	Input	BOOT モード制御用端子 リセット信号入力の立ち上がりで BOOT モード制御用端子がサンプリングされます。 BOOT モード制御用端子のレベルが"Low"の場合、シングルブートモードになります。"High"の場合、シングルチップモードになります。 詳細については、"フラッシュメモリ"章を参照してください。

## 1.4.1.4 電源端子名称

表 1-4 電源端子名称と機能

電源端子名称	機能
VOUT15	レギュレータ用コンデンサ (4.7 $\mu$ F)接続端子
VOUT3	レギュレータ用コンデンサ (4.7 $\mu$ F)接続端子
RVDD5	レギュレータ用電源端子
DVDD5	デジタル用電源端子 DVDD5 は下記の端子に電源を供給しています。 PA, PB, PC, PD, PE, PF, PG, PL, PM, PN, PP, MODE, $\overline{\text{RESET}}$ , $\overline{\text{BOOT}}$ ,
DVSS	デジタル用 GND 端子
AVDD5	ADC 用電源端子 AVDD5 は下記の端子に電源を供給しています。 PH, PI, PJ
AVSS	ADC 用 GND 端子

## 1.4.1.5 電源間コンデンサ

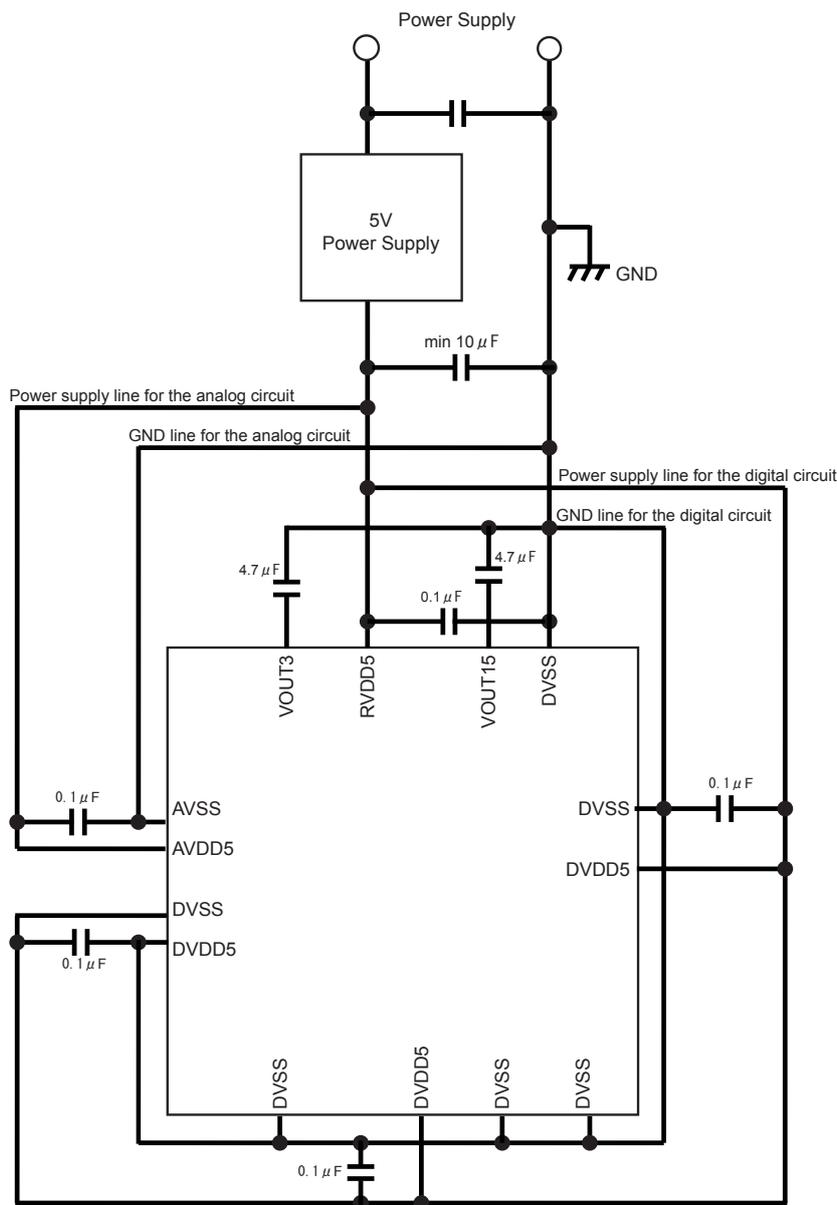


図 1-6 電源間コンデンサ接続図

- 注 1) RVDD5 と DVSS の間でできるだけ短い距離に電源の出力コンデンサ (10  $\mu\text{F}$  以上)を配置してください。
- 注 2) RVDD5、DVSS と電源の出力コンデンサ (10  $\mu\text{F}$  以上)の間において、このコンデンサの近傍で、5V 電源ラインをアナログ電源ラインとデジタル電源ラインに分離してください。分離までの距離が長くなると、共通インピーダンスのためデジタル電源変動がアナログ電源に伝わり、アナログ回路のノイズになります。
- 注 3) 電源ラインと GND ラインを近づけて配線してください。離れていると電源回路のコンデンサを介して電源ラインと GND ラインで電源ループができてしまい高周波ノイズを受けやすくなります。
- 注 4) 内蔵電源 VOUT3 と VOUT15 のレギュレータ用のコンデンサは、同じ容量とし、56 ピンの DVSS 近傍で配置してください。
- 注 5) DVDD5 と近傍の DVSS の間の各コンデンサを各端子の近傍で配置してください。
- 注 6) AVDD5 と近傍の AVSS の間の各コンデンサを各端子の近傍で配置してください。

## 1.4.2 ピン名称と機能

### 1.4.2.1 表の見方

表中の記号の意味は下記の通りです。

#### 1. 機能 A

ファンクションレジスタ設定なしにポートに割り当てられる兼用機能が記載されています。

#### 2. 機能 B

ファンクションレジスタ設定によりポートに割り当てられる兼用機能が記載されています。機能 B の番号はファンクションレジスタの番号と対応しています。

#### 3. 端子仕様

記号の意味は下記のとおりです。

- ・ SMT/CMOS : 入力ゲート
  - SMT : Schmitt 入力
  - CMOS : CMOS 入力
- ・ OD : プログラマブル Open Drain 出力対応
  - Yes : 対応
  - N/A : 非対応
- ・ PU/PD : プログラマブル Pull-Up/Pull-Down 対応
  - PU : プログラマブル Pull-Up 選択可能
  - PD : プログラマブル Pull-Down 選択可能
- ・ Pin No.
  - LQFP100 : TMPM381FWFG
  - QFP100 : TMPM381FWDFG
  - LQFP64 : TMPM383FWUG, TMPM383FSUG
  - QFP64 : TMPM383FWEFG, TMPM383FSEFG

## 1.4.2.2 PORT / デバッグ端子

表 1-5 ピン番号と端子名称&lt;PORT 順&gt; (1/5)

Pin No.			PORT	機能 A	機能 B					ポート仕様		
LQFP 100	QFP 100	LQFP64 QFP64			1	2	3	4	5	PU/ PD	OD	SMT/ CMOS
PORT A												
30	32	17	PA0		TB0IN	INT3				PU/ PD	Yes	SMT
31	33	18	PA1		TB0OUT	SCOUT				PU/ PD	Yes	SMT
32	34	19	PA2		TB1IN	INT4				PU/ PD	Yes	SMT
33	35	20	PA3		TB1OUT	RXIN0				PU/ PD	Yes	SMT
34	36	21	PA4		SCLK1	$\overline{\text{CTS1}}$				PU/ PD	Yes	SMT
35	37	22	PA5		TXD1	TB6OUT				PU/ PD	Yes	SMT
36	38	23	PA6		RXD1	TB6IN				PU/ PD	Yes	SMT
37	39	24	PA7		TB4IN	INT8				PU/ PD	Yes	SMT
PORT B												
86	88	55	PB0		TRACECLK					PU/ PD	Yes	SMT
87	89	56	PB1		TRACEDATA0					PU/ PD	Yes	SMT
88	90	57	PB2		TRACEDATA1					PU/ PD	Yes	SMT
89	91	58	PB3		TMS/SWDIO					PU/ PD	Yes	SMT
90	92	59	PB4		TCK/SWCLK					PU/ PD	Yes	SMT
91	93	60	PB5		TDO/SWV					PU/ PD	Yes	SMT
92	94	61	PB6		TDI					PU/ PD	Yes	SMT
93	95	62	PB7		$\overline{\text{TRST}}$					PU/ PD	Yes	SMT

## ピン番号と端子名称&lt;PORT 順&gt; (2/5)

Pin No.			PORT	機能 A	機能 B					ポート仕様		
LQFP 100	QFP 100	LQFP64 QFP64			1	2	3	4	5	PU/ PD	OD	SMT/ CMOS
PORT C												
14	16	9	PC0			SP0DO	SDA0/SO0			PU/ PD	Yes	SMT
13	15	8	PC1			SP0DI	SCL0/SI0			PU/ PD	Yes	SMT
12	14	7	PC2			SP0CLK	SCK0			PU/ PD	Yes	SMT
11	13	6	PC3			SP0FSS				PU/ PD	Yes	SMT
10	12	5	PC4							PU/ PD	Yes	SMT
9	11	4	PC5					UT0TXD50B		PU/ PD	Yes	SMT
8	10	3	PC6					UT0TXD	UT0TXD50A	PU/ PD	Yes	SMT
7	9	2	PC7					UT0RXD	UT0RXD50	PU/ PD	Yes	SMT
PORT D												
5	7	-	PD0			TB5IN	INTC			PU/ PD	Yes	SMT
4	6	-	PD1			TB5OUT				PU/ PD	Yes	SMT
3	5	-	PD2				INTD			PU/ PD	Yes	SMT
2	4	-	PD3		INT9					PU/ PD	Yes	SMT
1	3	-	PD4		SCLK2	$\overline{\text{CTS2}}$				PU/ PD	Yes	SMT
100	2	-	PD5		TXD2					PU/ PD	Yes	SMT
99	1	-	PD6		RXD2					PU/ PD	Yes	SMT
PORT E												
38	40	25	PE0		TXD0					PU/ PD	Yes	SMT
39	41	26	PE1		RXD0					PU/ PD	Yes	SMT
40	42	27	PE2		SCLK0	$\overline{\text{CTS0}}$				PU/ PD	Yes	SMT
41	43	28	PE3		TB4OUT					PU/ PD	Yes	SMT
43	45	30	PE4		TB2IN	INT5				PU/ PD	Yes	SMT
44	46	31	PE5		TB2OUT					PU/ PD	Yes	SMT
46	48	-	PE6		TB3IN	INT6				PU/ PD	Yes	SMT
47	49	-	PE7		TB3OUT	INT7				PU/ PD	Yes	SMT

ピン番号と端子名称<PORT 順> (3/5)

Pin No.			PORT	機能 A	機能 B					ポート仕様		
LQFP 100	QFP 100	LQFP64 QFP64			1	2	3	4	5	PU/ PD	OD	SMT/ CMOS
PORT F												
94	96	63	PF0		TB7IN					PU/ PD	Yes	SMT
95	97	64	PF1		TB7OUT	ALARM				PU/ PD	Yes	SMT
96	98	-	PF2							PU/ PD	Yes	SMT
97	99	-	PF3							PU/ PD	Yes	SMT
98	100	-	PF4							PU/ PD	Yes	SMT
PORT G												
22	24	-	PG0							PU/ PD	Yes	SMT
23	25	-	PG1							PU/ PD	Yes	SMT
24	26	-	PG2							PU/ PD	Yes	SMT
25	27	-	PG3							PU/ PD	Yes	SMT
26	28	-	PG4							PU/ PD	Yes	SMT
27	29	-	PG5							PU/ PD	Yes	SMT
28	30	-	PG6							PU/ PD	Yes	SMT
29	31	-	PG7							PU/ PD	Yes	SMT
PORT H												
62	64	39	PH0	AIN0	INT0					PU/ PD	Yes	SMT
63	65	40	PH1	AIN1	INT1					PU/ PD	Yes	SMT
64	66	41	PH2	AIN2	INT2					PU/ PD	Yes	SMT
65	67	42	PH3	AIN3						PU/ PD	Yes	SMT
66	68	43	PH4	AIN4						PU/ PD	Yes	SMT
67	69	44	PH5	AIN5						PU/ PD	Yes	SMT
68	70	45	PH6	AIN6						PU/ PD	Yes	SMT
69	71	46	PH7	AIN7						PU/ PD	Yes	SMT

## ピン番号と端子名称&lt;PORT 順&gt; (4/5)

Pin No.			PORT	機能 A	機能 B					ポート仕様		
LQFP 100	QFP 100	LQFP64 QFP64			1	2	3	4	5	PU/ PD	OD	SMT/ CMOS
PORT I												
70	72	47	PI0	AIN8						PU/ PD	Yes	SMT
71	73	48	PI1	AIN9						PU/ PD	Yes	SMT
PORT J												
72	74	-	PJ0	AIN10						PU/ PD	Yes	SMT
73	75	-	PJ1	AIN11						PU/ PD	Yes	SMT
74	76	-	PJ2	AIN12						PU/ PD	Yes	SMT
75	77	-	PJ3	AIN13						PU/ PD	Yes	SMT
76	78	-	PJ4	AIN14						PU/ PD	Yes	SMT
77	79	-	PJ5	AIN15						PU/ PD	Yes	SMT
78	80	-	PJ6	AIN16	INTA					PU/ PD	Yes	SMT
79	81	-	PJ7	AIN17	INTB					PU/ PD	Yes	SMT
PORT L												
84	86	53	PL0	$\overline{\text{BOOT}}$						PU/ PD	Yes	SMT
85	87	54	PL2		INTF					PU/ PD	Yes	SMT
PORT M												
20	22	15	PM0	X1						PU/ PD	Yes	SMT
18	20	13	PM1	X2						PU/ PD	Yes	SMT

ピン番号と端子名称<PORT 順> (5/5)

Pin No.			PORT	機能 A	機能 B					ポート仕様		
LQFP 100	QFP 100	LQFP64 QFP64			1	2	3	4	5	PU/ PD	OD	SMT/ CMOS
PORT N												
48	50	-	PN0							PU/ PD	Yes	SMT
49	51	-	PN1							PU/ PD	Yes	SMT
50	52	-	PN2							PU/ PD	Yes	SMT
51	53	-	PN3							PU/ PD	Yes	SMT
52	54	-	PN4							PU/ PD	Yes	SMT
53	55	-	PN5							PU/ PD	Yes	SMT
54	56	-	PN6							PU/ PD	Yes	SMT
55	57	-	PN7			INTE				PU/ PD	Yes	SMT
PORT P												
17	19	12	PP0	XT1						PU/ PD	Yes	SMT
16	18	11	PP1	XT2						PU/ PD	Yes	SMT

## 1.4.2.3 制御端子

表 1-6 ピン番号と端子名称

Pin No.			制御端子名称
LQFP 100	QFP 100	LQFP64 QFP64	
20	22	15	X1
18	20	13	X2
17	19	12	XT1
16	18	11	XT2
58	60	35	MODE
60	62	37	$\overline{\text{RESET}}$
84	86	53	$\overline{\text{BOOT}}$

## 1.4.2.4 電源端子

表 1-7 ピン番号と端子名称

Pin No.			電源端子名称
LQFP 100	QFP 100	LQFP64 QFP64	
59	61	36	RVDD5
57	59	34	VOUT15
61	63	38	VOUT3
15,42,83	17,44,85	10,29,52	DVDD5
6,19,21,45,56,82	8,21,23,47,58,84	1,14,16,32,33,51	DVSS
81	83	50	AVDD5
80	82	49	AVSS

## 第2章 製品情報

本章では、周辺機能に関し、チャンネルまたはユニット数、端子情報、その他の製品固有機能の情報についてまとめます。周辺機能の章と合わせてご使用ください。

- 「2.1 M381 と M383 の搭載機能」
- 「2.2 各周辺機能の情報」
  - 「2.2.1 例外」
  - 「2.2.2 16 ビットタイマ/イベントカウンタ(TMRB)」
  - 「2.2.3 シリアルチャンネル(SIO/UART)」
  - 「2.2.4 非同期シリアル通信回路(UART)」
  - 「2.2.5 I2C バス(I2C/SIO)」
  - 「2.2.6 同期式シリアルインタフェース(SSP)」
  - 「2.2.7 アナログ/デジタルコンバータ(ADC)」
  - 「2.2.8 デバッグインタフェース」

## 2.1 M381とM383の搭載機能

M381とM383の搭載機能の比較表を下記に示します。

表 2-1 機能比較

機能		TMPM381FWFG TMPM381FWDFG	TMPM383FWUG/TMPM383FSFG TMPM383FWEFG/TMPM383FSEFG
パッケージ		LQFP100-P-1414-0.5H (TMPM381FWFG) QFP100-P-1420-0.65A (TMPM381FWDFG)	LQFP64-P-1010-0.50E (TMPM383FWUG/TMPM383FSFG) QFP64-P-1414-0.80A (TMPM383FWEFG/TMPM383FSEFG)
Flash/RAM		128KB/10KB	128KB/10KB (TMPM383FWUG/TMPM383FWEFG) 64KB/8KB (TMPM383FSFG/TMPM383FSEFG)
割り込み	内部	47本	45本 (INTRX2, INTTX2がありません)
	外部	16本 (INT0,1,2,3,4,5,6,7,8,9,A,B,C,D,E,F)	8本 (INT0,1,2,3,4,5,8,F)
ポート	ポート A	8本 (PA0,1,2,3,4,5,6,7)	8本 (PA0,1,2,3,4,5,6,7)
	ポート B	8本 (PB0,1,2,3,4,5,6,7)	8本 (PB0,1,2,3,4,5,6,7)
	ポート C	8本 (PC0,1,2,3,4,5,6,7)	8本 (PC0,1,2,3,4,5,6,7)
	ポート D	8本 (PD0,1,2,3,4,5,6,7)	-
	ポート E	8本 (PE0,1,2,3,4,5,6,7)	6本 (PE0,1,2,3,4,5)
	ポート F	5本 (PF0,1,2,3,4)	2本 (PF0,1)
	ポート G	8本 (PG0,1,2,3,4,5,6,7)	-
	ポート H	8本 (PH0,1,2,3,4,5,6,7)	8本 (PH0,1,2,3,4,5,6,7)
	ポート I	8本 (PI0,1,2,3,4,5,6,7)	8本 (PI0,1,2,3,4,5,6,7)
	ポート J	8本 (PJ0,1,2,3,4,5,6,7)	-
	ポート L	8本 (PL0,1,2,3,4,5,6,7)	8本 (PL0,1,2,3,4,5,6,7)
	ポート M	8本 (PM0,1,2,3,4,5,6,7)	8本 (PM0,1,2,3,4,5,6,7)
	ポート N	8本 (PN0,1,2,3,4,5,6,7)	-
	ポート P	8本 (PP0,1,2,3,4,5,6,7)	8本 (PP0,1,2,3,4,5,6,7)
周辺回路	TMRB	8ch	8ch (ch3,ch5はインタバルタイマ機能のみ使用可)
	UART	1ch	1ch
	SIO/UART	3ch (ch0,1,2)	2ch (ch0,1)
	I2C/SIO	1ch	1ch
	SSP	1ch	1ch
	RMC	1ch	1ch
	ADC	1unit/18ch (AIN0 - 17)	1unit/10ch (AIN0 - 9)
	RTC	1ch	1ch
	POR	あり	あり
	VLTD	あり	あり
	OFD	あり	あり
	WDT	1ch	1ch
デバッグ I/F		JTAG/SWD/SWV/DATA TRACE(Data 2bit)	JTAG/SWD/SWV/DATA TRACE(Data 2bit)

## 2.2 各周辺機能の情報

### 2.2.1 例外

#### 2.2.1.1 割り込み要因の相違点

表 2-2 M381 と M383 の割り込み要因の相違箇所

要因番号	割込要因	
	M381	M383
38	INT6 外部割込み端子 6	-
39	INT7 外部割込み端子 7	-
40	INTRX2 シリアルチャネル受信割り込み (ch2)	-
41	INTTX2 シリアルチャネル送信割り込み (ch2)	-
59	INT9 外部割込み端子 9	-
60	INTA 外部割込み端子 A	-
61	INTB 外部割込み端子 B	-
74	INTC 外部割込み端子 C	-
75	INTD 外部割込み端子 D	-
76	INTE 外部割込み端子 E	-

## 2.2.2 16ビットタイマ/イベントカウンタ(TMRB)

TMPM381/383 では8チャンネルのTMRB(TMRB0~7)を内蔵しています。

M383のチャンネル3(TMRB3)とチャンネル5(TMRB5)には外部クロック入力/キャプチャトリガ入力端子(TB3IN、TB5IN)、タイマフリップフロップ出力端子(TB3OUT、TB5OUT)がありません。これらの端子によるタイマ機能(TB3IN/TB5INによるカウンタソースクロック選択とキャプチャ動作、TB3OUT/TB5OUTによるタイマフリップフロップ出力)は使用できません。

M383のTMRB3とTMRB5は内部クロックを選択することで16ビットインタバールタイマとして使用でき、キャプチャタイミングにTB2OUTを選択することでキャプチャ動作も可能です。

M383のTMRB5は外部出力端子としてTB5OUTを持ちませんが、タイマ間トリガ機能としてタイマフリップフロップ出力(TB5OUT)をTMRB6とTMRB7のキャプチャトリガ入力で使用できます。

表 2-3 TMRB のチャンネル別相違点 (M381)

チャンネル	外部端子		タイマ間トリガ機能		割り込み		内部接続	
	外部クロック /キャプチャトリガ 入力端子	タイマ フリップフロップ 出力端子	キャプチャ トリガ	同期スタート トリガチャンネル	キャプチャ 割り込み	TMRB 割り込み	ADC 変換開始	SIO/UART, RMCの転送ク ロック
TMRB0	TB0IN	TB0OUT	TB7OUT	-	INTCAP00 INTCAP01	INTTB00 INTTB01	-	-
TMRB1	TB1IN	TB1OUT	TB7OUT	TB0PRUN TB0RUN	INTCAP10 INTCAP11	INTTB10 INTTB11	-	RMC
TMRB2	TB2IN	TB2OUT	TB7OUT	TB0PRUN TB0RUN	INTCAP20 INTCAP21	INTTB20 INTTB21	-	-
TMRB3	TB3IN	TB3OUT	TB2OUT	TB0PRUN TB0RUN	INTCAP30 INTCAP31	INTTB30 INTTB31	-	-
TMRB4	TB4IN	TB4OUT	TB2OUT	-	INTCAP40 INTCAP41	INTTB40 INTTB41	-	SIO0 SIO1
TMRB5	TB5IN	TB5OUT	TB2OUT	TB4PRUN TB4RUN	INTCAP50 INTCAP51	INTTB50 INTTB51	INTTB51	-
TMRB6	TB6IN	TB6OUT	TB5OUT	TB4PRUN TB4RUN	INTCAP60 INTCAP61	INTTB60 INTTB61	-	-
TMRB7	TB7IN	TB7OUT	TB5OUT	TB4PRUN TB4RUN	INTCAP70 INTCAP71	INTTB70 INTTB71	-	SIO2

表 2-4 TMRB のチャンネル別相違点 (M383)

チャンネル	外部端子		タイム間トリガ機能		割り込み		内部接続	
	外部クロック /キャプチャトリガ 入力端子	タイマ フリップフロップ 出力端子	キャプチャ トリガ	同期スタート トリガチャンネル	キャプチャ 割り込み	TMRB 割り込み	ADC 変換開始	SIO/UART, RMCの転送ク ロック
TMRB0	TB0IN	TB0OUT	TB7OUT	-	INTCAP00 INTCAP01	INTTB00 INTTB01	-	-
TMRB1	TB1IN	TB1OUT	TB7OUT	TB0PRUN TB0RUN	INTCAP10 INTCAP11	INTTB10 INTTB11	-	RMC
TMRB2	TB2IN	TB2OUT	TB7OUT	TB0PRUN TB0RUN	INTCAP20 INTCAP21	INTTB20 INTTB21	-	-
TMRB3	-	-	TB2OUT	TB0PRUN TB0RUN	INTCAP30 INTCAP31	INTTB30 INTTB31	-	-
TMRB4	TB4IN	TB4OUT	TB2OUT	-	INTCAP40 INTCAP41	INTTB40 INTTB41	-	SIO0 SIO1
TMRB5	-	-	TB2OUT	TB4PRUN TB4RUN	INTCAP50 INTCAP51	INTTB50 INTTB51	INTTB51	-
TMRB6	TB6IN	TB6OUT	TB5OUT	TB4PRUN TB4RUN	INTCAP60 INTCAP61	INTTB60 INTTB61	-	-
TMRB7	TB7IN	TB7OUT	TB5OUT	TB4PRUN TB4RUN	INTCAP70 INTCAP71	INTTB70 INTTB71	-	-

### 2.2.3 シリアルチャネル(SIO/UART)

M381 は3チャネル(SIO0,1,2)、M383 は2チャネル(SIO0,1)の SIO/UART を内蔵しています。

表 2-5 SIO/UART 端子仕様 (M381)

チャンネル	端子仕様				割り込み		内部接続
	TXD <sub>x</sub>	RXD <sub>x</sub>	SCLK <sub>x</sub>	$\overline{\text{CTS}}_x$	受信	送信	転送クロック入力
SIO0	PE0	PE1	PE2	PE2	INTRX0	INTTX0	TB4OUT (TMRB4)
SIO1	PA5	PA6	PA4	PA4	INTRX1	INTTX1	TB4OUT (TMRB4)
SIO2	PD6	PD5	PD4	PD4	INTRX2	INTTX2	TB7OUT (TMRB7)

表 2-6 SIO/UART 端子仕様 (M383)

チャンネル	端子仕様				割り込み		内部接続
	TXD <sub>x</sub>	RXD <sub>x</sub>	SCLK <sub>x</sub>	$\overline{\text{CTS}}_x$	受信	送信	転送クロック入力
SIO0	PE0	PE1	PE2	PE2	INTRX0	INTTX0	TB4OUT (TMRB4)
SIO1	PA5	PA6	PA4	PA4	INTRX1	INTTX1	TB4OUT (TMRB4)
SIO2	-	-	-	-	-	-	-

### 2.2.4 非同期シリアル通信回路(UART)

TMPM381/383 は1チャネルの UART を内蔵しています。

通常モード(100%デューティ)と 50%デューティモードのどちらの信号を使うかは PC ポートのファンクションレジスタにて切り替えてください。

表 2-7 端子仕様

チャンネル	端子仕様				
	通常モード		50%デューティモード		
	PCFR4[7:6]=11 PCFR5[7:5]=000		PCFR4[7:6]=00 PCFR5[7:5]=111		
	UT0TXD	UT0RXD	UT0TXD50B	UT0TXD50A	UT0RXD50
UART0	PC6	PC7	PC5	PC6	PC7

## 2.2.5 I2C バス(I2C/SIO)

M381/M383 は 1 チャンネル(I2C0)の I2C/SIO を内蔵しています。

表 2-8 I2C 端子仕様

チャンネル	端子仕様		
	SDA0 SO0	SCL0 SI0	SCK
SBI0	PC0	PC1	PC2

## 2.2.6 同期式シリアルインタフェース(SSP)

M381/M383 は 1 チャンネル(SSP0)の SSP を内蔵しています。

表 2-9 SSP 端子仕様

チャンネル	端子仕様			
	SP0DO	SP0DI	SP0CLK	SP0FSS
SSP0	PC0	PC1	PC2	PC3

## 2.2.7 アナログ/デジタルコンバータ(ADC)

M381 は 1 ユニット/18 チャンネル、M383 は 1 ユニット/10 チャンネルの ADC を内蔵しています。

表 2-10 端子仕様

ユニット	製品	AIN0~7	AIN8~9	AIN10~17
ADC	M381	PH0~7	PI0~1	PJ0~7
	M383	PH0~7	PI0~1	-

## 2.2.8 デバッグインタフェース

TMPM381/383 はシリアルワイヤデバッグポート、JTAG デバッグポートおよびトレース出力をサポートしています。

なお、"デバッグインタフェース"章にある、"JTAG + SW(TRST なし)"の使用法には非対応です。

表 2-11 端子仕様

	TMS SWDIO	TCK SWCLK	TDO SWV	TDI	$\overline{\text{TRST}}$
JTAG シリアルワイヤ	PB3	PB4	PB5	PB6	PB7

	TRACECLK	TRACEDATA0	TRACEDATA1		
トレース出力	PB0	PB1	PB2		

## 第3章 プロセッサコア

TX03 シリーズには、高性能 32 ビットプロセッサコア (ARM 社 Cortex-M3 コア) が内蔵されています。プロセッサコアの動作については、ARM 社からリリースされる "Cortex-M3 テクニカルリファレンスマニュアル" を参照してください。ここでは、製品固有の情報について説明します。

### 3.1 コアに関する情報

TMPM381/383 で使用している Cortex-M3 コアのリビジョンは以下のとおりです。

CPU コア部、アーキテクチャなどの詳細は、ARM 社の下記 URL より "Cortex-M series processors" のマニュアルを参照してください。

<http://infocenter.arm.com/help/index.jsp>

製品名	コアリビジョン
TMPM381/383	r2p1

### 3.2 構成可能なオプション

Cortex-M3 コアは、一部のブロックについて実装するかどうかを選択することができます。TMPM381/383 での構成は以下のとおりです。

構成可能なオプション	実装
FPB	リテラルコンパレータ : 2 本 命令コンパレータ : 6 本
DWT	コンパレータ : 4 本
ITM	あり
MPU	なし
ETM	あり
AHB-AP	あり
AHB トレースマクロセル インターフェース	なし
TPIU	あり
WIC	なし
デバッグポート	JTAG/シリアルワイヤ
ビットバンド	あり
AHB の継続的な制御	なし

## 3.3 例外/割り込み

例外/割り込みに関連する製品固有の情報をまとめます。

### 3.3.1 割り込み本数

Cortex-M3 コアは割り込み本数を 1 ~ 240 本の間で任意に構成することができます。

TMPM381/383 の割り込み本数は 63/45 本です。割り込み本数は NVIC レジスタの割り込みコントローラタイプレジスタの<INTLINESNUM[4:0]>ビットに反映され、本製品では"0x02"が読み出されません。

### 3.3.2 割り込み優先度ビット数

Cortex-M3 コアは割り込み優先度ビット数を 3 ~ 8 ビットの間で任意に構成することができます。

TMPM381/383 の割り込み優先度は 3 ビットです。このビット数は割り込み優先度レジスタとシステムハンドラ優先度レジスタのビット構成に反映されます。

### 3.3.3 SysTick

Cortex-M3 コアには SysTick と呼ばれるシステムタイマがあり、SysTick 例外を発生させることができます。

SysTick 例外の詳細については、例外の「SysTick」の章および、「NVIC レジスタ」の SysTick 関連レジスタの章を参照してください。

### 3.3.4 SYSRESETREQ

Cortex-M3 コアは、アプリケーション割り込みおよびリセット制御レジスタの<SYSRESETREQ>ビットがセットされると SYSRESETREQ 信号を出力します。

TMPM381/383 では SYSRESETREQ 信号が出力されるとウォームリセットと同様の動作になります。

注) SLOW モードでは<SYSRESETREQ>によるリセットは使用しないでください。

### 3.3.5 LOCKUP

回復不能な例外が発生すると Cortex-M3 コアは LOCKUP 信号を出力し、ソフトウェアに重大な誤りのあることを示します。

TMPM381/383 ではこの信号は未使用です。LOCKUP 状態から復帰する際にはマスク不能割り込み(NMI)またはリセットを使用する必要があります。

### 3.3.6 補助フォールトステータスレジスタ

Cortex-M3 コアにはソフトウェアに対して追加のシステムフォールト情報を提供するための補助フォールトステータスレジスタが準備されています。

TMPM381/383 ではこのレジスタに対して機能を定義していません。リードすると常に"0x0000\_0000"が読み出されます。

### 3.4 イベント

Cortex-M3 コアにはイベント出力信号とイベント入力信号があります。イベント出力信号は、SEV 命令実行により出力されます。また、イベントが入力されると WFE 命令による低電力状態から復帰します。

TMPM381/383 では、イベント出力信号、イベント入力信号とも未使用です。SEV 命令、WFE 命令は使用しないでください。

### 3.5 電力管理

Cortex-M3 コアには電力管理のための信号として SLEEPING および SLEEPDEEP があります。SLEEPDEEP は、システム制御レジスタの<SLEEPDEEP>ビットがセットされている場合に出力されます。

これらの信号は、割り込み待ち(WFI)命令の実行、イベント待ち(WFE)命令の実行または、システム制御レジスタの<SLEEPONEXIT>ビットがセットされている場合の割り込みサービスルーチン(ISR)からの退出時に出力されます。

TMPM381/383 では、SLEEPDEEP 信号は使用していません。<SLEEPDEEP>ビットはセットしないでください。また、イベント信号も未使用のため、WFE 命令は使用しないでください。

電力管理については、「クロック／モード制御」の章を参照してください。

### 3.6 排他アクセス

Cortex-M3 コアの DCode バスおよびシステムバスは排他アクセスをサポートしていますが、TMPM381/383 ではこの機能を使用していません。



## 第4章 メモリマップ

### 4.1 メモリマップ

TMPM381/383 のメモリマップは、ARM Cortex-M3 コアのメモリマップに沿って作られており、内蔵 ROM 領域は Cortex-M3 コアメモリマップの Code 領域、内蔵 RAM 領域は SRAM 領域、特殊機能レジスタ(SFR)領域は Peripheral 領域に割り付けられています。特殊機能レジスタ(SFR : Special function register)とは、入出力ポートおよび周辺機能のコントロールレジスタを示します。

CPU 内レジスタ領域はコア内部のレジスタ領域です。

各領域の詳細については、"ARM ドキュメンテーションセット Cortex-M3 編"を参照してください。

"Fault"と記載された領域では、アクセスするとメモリフォールトが有効な場合にはメモリフォールト、無効な場合にはハードフォールトが発生します。また、ベンダ固有領域にはアクセスしないでください。

TMPM381/383 のメモリマップを以下に示します。

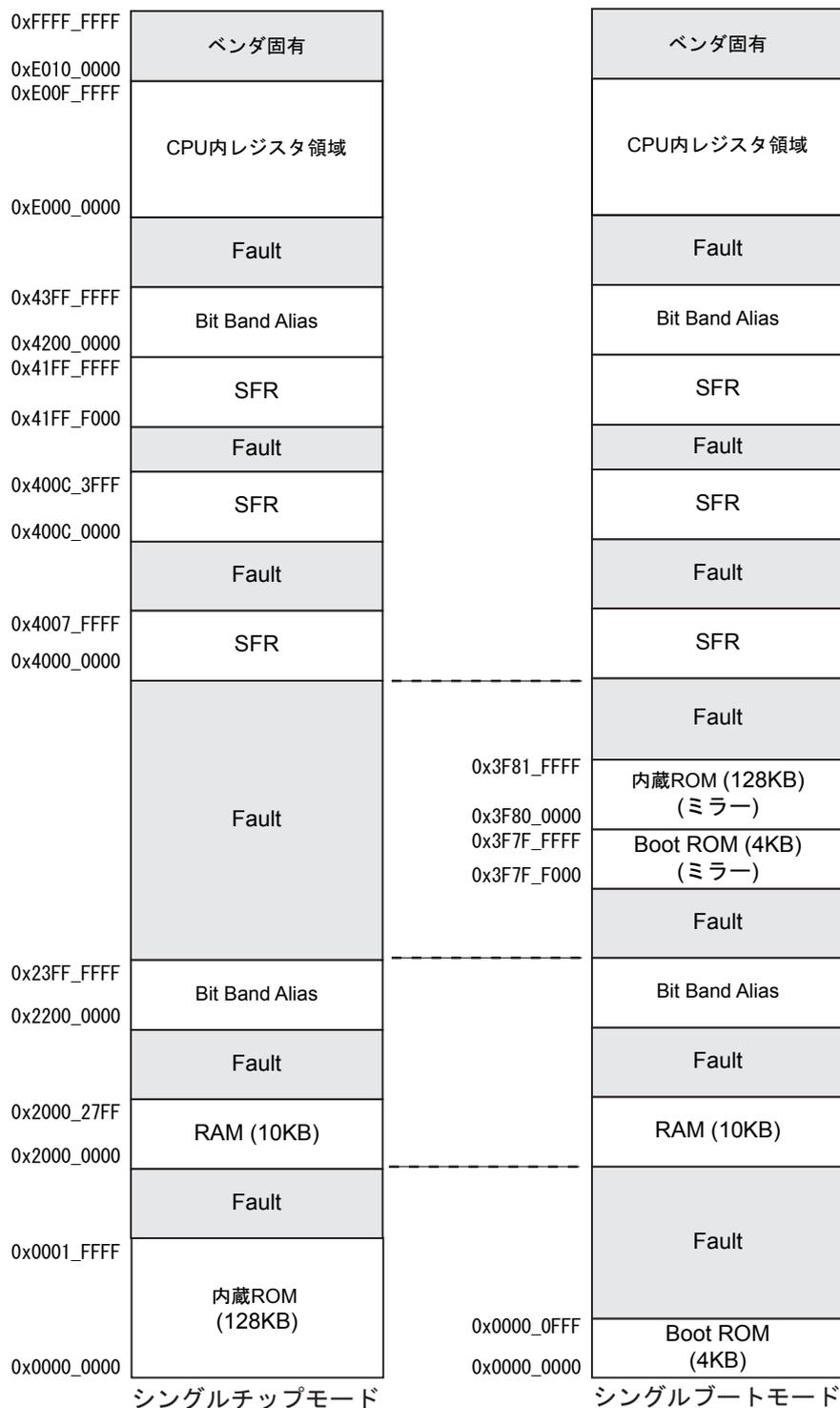


図 4-1 メモリマップ(FLASH 128KB)

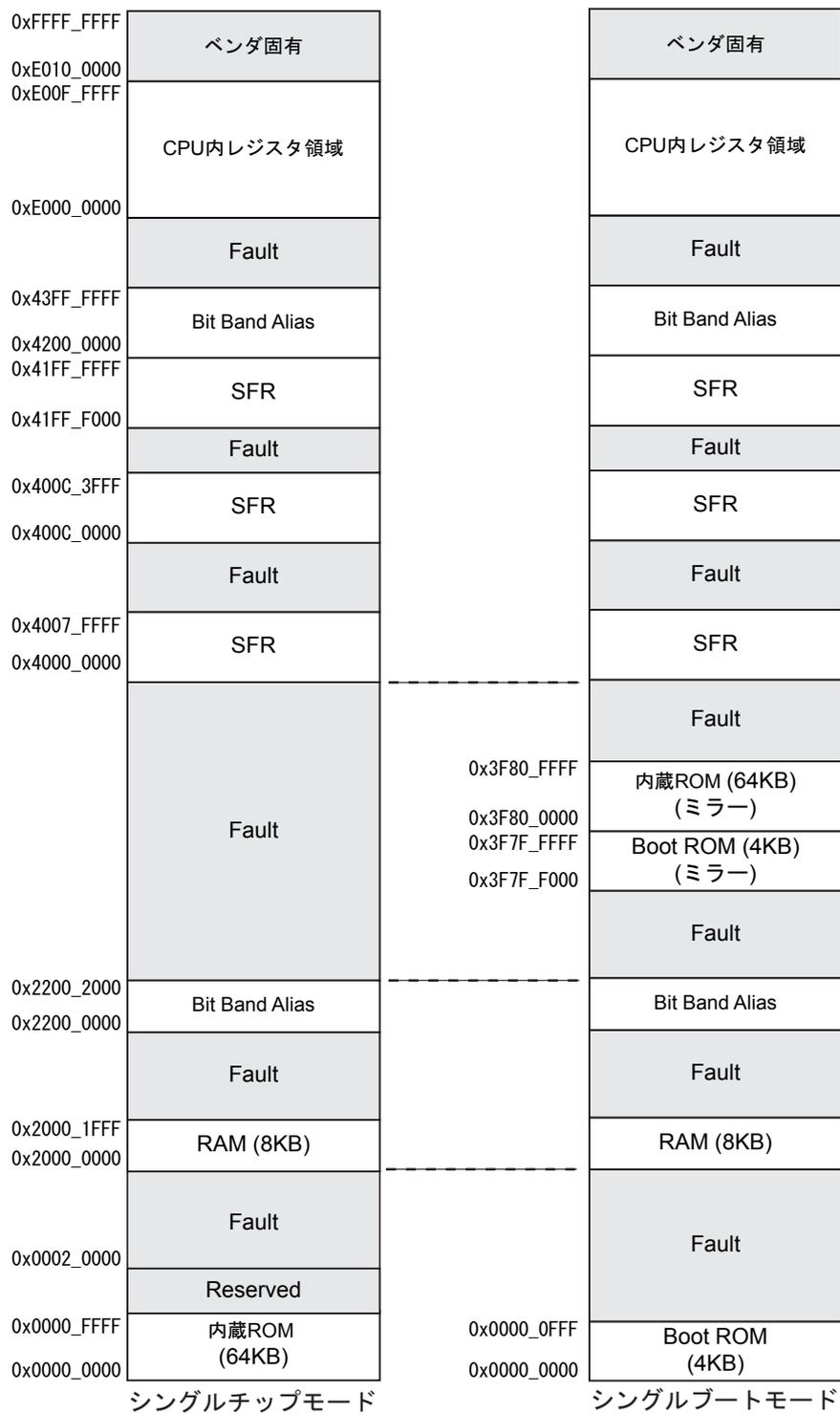


図 4-2 メモリマップ(FLASH 64KB)

## 4.2 バスマトリクス

本マイコンでは、バスマスタが搭載されています。

バスマスタは、バスマトリクスのスレーブポート(S0~S2)に接続され、バスマトリクス内で、接続を示す記号(○,●)を経由して、マスタポート(M0~M4)から、周辺機能に接続されます。●は、ミラー領域への接続を示します。

バスマトリクス内の同一マスタライン上に、複数のスレーブが接続されている場合で、同一タイミングで複数のスレーブにアクセスが発生した場合は、スレーブ番号の小さいマスタのアクセスが優先されます。

4.2.1 構成

4.2.1.1 シングルチップモード

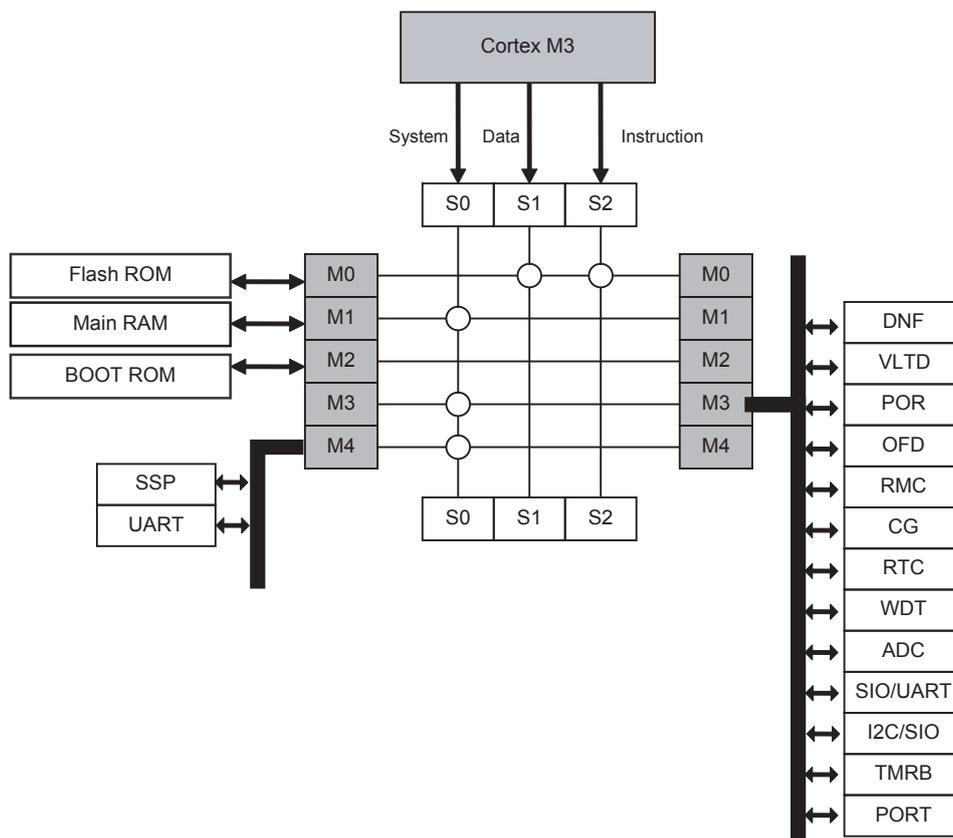


図 4-3 TMPM381/383 のバス構成

4.2.1.2 シングルブートモード

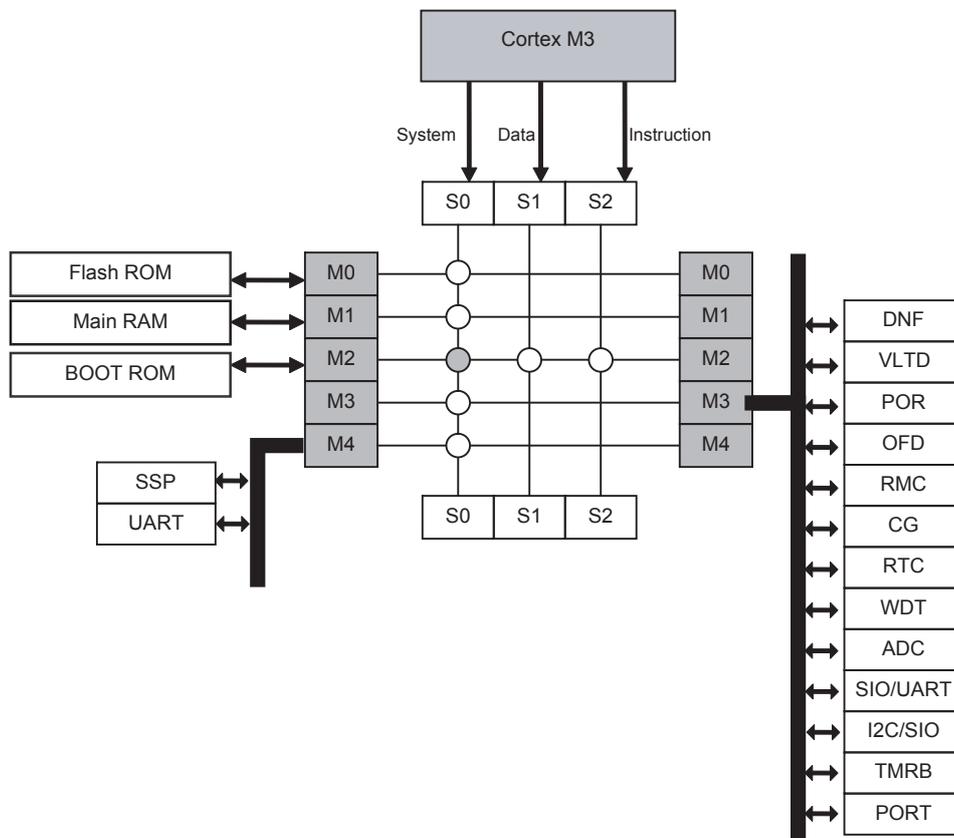


図 4-4 TMPM381/383 のバス構成

## 4.2.2 接続表

### 4.2.2.1 Code 領域/ SRAM 領域

#### (1) シングルチップモード

Start Address	マスタ		Core S-Bus	Core D-Bus	Core I-Bus
	スレーブ		S0	S1	S2
0x0000_0000	Flash ROM	M0	Fault	o	o
0x0002_0000	Fault	-	Fault	Fault	Fault
0x2000_0000	Main RAM	M1	o	Fault	Fault
0x2000_2800	Fault	-	Fault	Fault	Fault
0x2200_0000	Bit band alias	-	o	Fault	Fault
0x2400_0000	Fault	-	Fault	Fault	Fault

## (2) シングルブートモード

Start Address	マスタ		Core S-Bus	Core D-Bus	Core I-Bus
	スレーブ		S0	S1	S2
0x0000_0000	Boot ROM	M2	Fault	o	o
0x0000_1000	Fault	-	Fault	Fault	Fault
0x2000_0000	Main RAM	M1	o	Fault	Fault
0x2000_2800	Fault	-	Fault	Fault	Fault
0x2200_0000	Bit band alias	-	o	Fault	Fault
0x2400_0000	Fault	-	Fault	Fault	Fault
0x3F7F_F000	Boot ROM(mirror)	M2	o	Fault	Fault
0x3F80_0000	Flash ROM(mirror)	M0	o	Fault	Fault
0x3F82_0000	Fault	-	Fault	Fault	Fault

注) Reserved 記載のアドレス範囲にはアクセスしないで下さい。

## 4.2.2.2 Peripheral 領域/ 外部バス領域

Start Address	マスタ		Core S-Bus	Core D-Bus	Core I-Bus
	スレーブ		S0	S1	S2
0x4000_0000	PORT	M3	o	Fault	Fault
0x4001_0000	TMRB		o	Fault	Fault
0x4002_0000	I2C/SIO		o	Fault	Fault
0x4002_0080	SIO/UART		o	Fault	Fault
0x4003_0000	ADC		o	Fault	Fault
0x4004_0000	WDT		o	Fault	Fault
0x4004_0100	RTC		o	Fault	Fault
0x4004_0200	CG		o	Fault	Fault
0x4004_0300	Reserved	-	-	-	-
0x4004_0400	RMC	M3	o	Fault	Fault
0x4004_0500	Fault	-	Fault	Fault	Fault
0x4004_0700	Reserved	-	-	-	-
0x4004_0800	OFD	M3	o	Fault	Fault
0x4004_0900	VLTD		o	Fault	Fault
0x4004_0A00	Fault	-	Fault	Fault	Fault
0x4006_0000	DNF	M3	o	Fault	Fault
0x4006_0010	Fault	-	Fault	Fault	Fault
0x400C_0000	SSP	M4	o	Fault	Fault
0x400C_2000	UART		o	Fault	Fault
0x400C_3000	Fault	-	Fault	Fault	Fault
0x41FF_F000	Flash(SFR)	-	o	Fault	Fault
0x4200_0000	Bit band alias	-	o	Fault	Fault
0x4400_0000	Fault	-	Fault	Fault	Fault

### 4.3 周辺機能ベースアドレス一覧

Peripheral 領域のうち、制御レジスタ以外のアドレスにはアクセスしないでください。制御レジスタの詳細は、各周辺機能の章を参照してください。

周辺機能		ベースアドレス
入出力ポート	Port A	0x4000_0000
	Port B	0x4000_0040
	Port C	0x4000_0080
	Port D	0x4000_00C0
	Port E	0x4000_0100
	Port F	0x4000_0140
	Port G	0x4000_0180
	Port H	0x4000_01C0
	Port I	0x4000_0200
	Port J	0x4000_0240
	Port L	0x4000_02C0
	Port M	0x4000_0300
	Port N	0x4000_0340
	Port P	0x4000_0380
16 ビットタイマ/イベントカウンタ(TMRB)	ch0	0x4001_0000
	ch1	0x4001_0040
	ch2	0x4001_0080
	ch3	0x4001_00C0
	ch4	0x4001_0100
	ch5	0x4001_0140
	ch6	0x4001_0180
	ch7	0x4001_01C0
シリアルバスインタフェース(I2C/SIO)	ch0	0x4002_0000
シリアルチャネル(SIO/UART)	ch0	0x4002_0080
	ch1	0x4002_00C0
	ch2	0x4002_0100
アナログ/デジタルコンバータ(ADC)		0x4003_0000
ウォッチドッグタイマ(WDT)		0x4004_0000
リアルタイムクロック(RTC)		0x4004_0100
クロック/モード制御(CG)		0x4004_0200
リモコン判定機能(RMC)		0x4004_0400
周波数検知回路(OFD)		0x4004_0800
電圧検出回路(VLTD)		0x4004_0900
デジタルノイズフィルタ(DNF)		0x4006_0000
同期式シリアルインタフェース(SSP)		0x400C_0000
非同期シリアル通信回路(UART)		0x400C_2000
フラッシュ制御(Flash SFR)		0x41FF_F000

## 第5章 リセット動作

リセットの種類として以下のものがあります。

- ・ パワーオンリセット回路(POR)
- ・ 電圧検出回路(VLTD)
- ・ リセット端子(RESET)
- ・ ウォッチドッグタイマ(WDT)
- ・ 周波数検知回路(OFD)
- ・ CPU のアプリケーション割り込みおよびリセットレジスタ<SYSRESETREQ>ビット

リセットの要因を確認するためには、クロックジェネレータレジスタの CGRSTFLG を参照してください。CGRSTFLG については、例外の章を参照してください。

パワーオンリセット回路、電圧検出回路、ウォッチドッグタイマ、周波数検知回路についてはそれぞれの章を参照してください。

<SYSRESETREQ>によるリセットについては、"ARM ドキュメンテーションセット"を参照してください。

注) リセット動作を行うと内蔵 RAM のデータは保証されません。

## 5.1 コールドリセット時

電源投入の際には、内蔵レギュレータ、内蔵フラッシュメモリおよび内蔵高速発振の安定時間を考慮する必要があります。本製品では、これらの機能の安定のための時間を内部回路が自動的に挿入します。

### 5.1.1 VLTD 回路によるリセット ( $\overline{\text{RESET}}$ 端子を使用しない場合)

電源電圧がパワーオンリセット解除電圧を超えるとパワーオンカウンタが動作を開始し、 $t_{PWUP}$  ( $f_{osc}$  が 9MHz の場合に約 0.9ms)の間、内部リセット信号が有効となります。

本製品は、電源投入で電圧検出回路(VLTD)の動作が許可されます。電源電圧が VLTD 検出電圧以上に立ち上げるとパワーオンカウンタが動作開始します。そしてカウントが終了すると内部リセット信号が無効となりリセットが解除されます。

パワーオンリセット回路の動作については、「パワーオンリセット回路(POR)」の章を参照してください。電源検知回路の動作については、「電源検知回路(VLTD)」の章を参照してください。

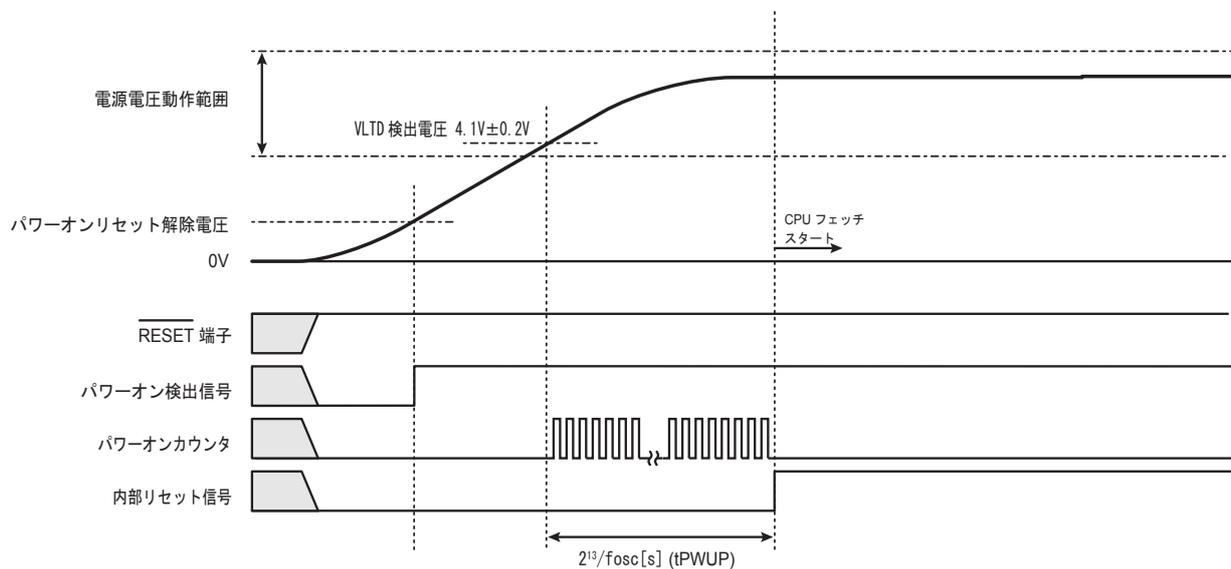


図 5-1 リセット動作 (RESET 端子を使用しない場合)

### 5.1.2 $\overline{\text{RESET}}$ 端子によるリセット

$\overline{\text{RESET}}$  端子によるリセットは、パワーオンカウンタ動作終了後より有効となります。よって、パワーオンリセット信号が"High"になってから  $t_{PWUP}$  以内に  $\overline{\text{RESET}}$  端子を"High"にした場合、5.1.1 の VLTD によるリセット動作と同じ動作になります。

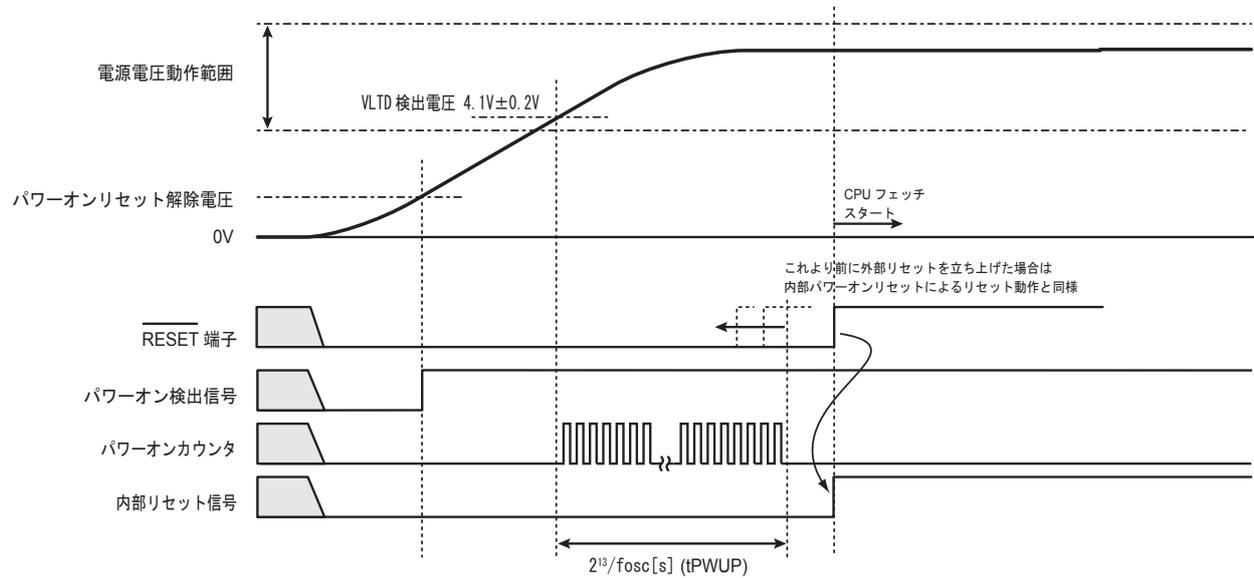


図 5-2  $\overline{\text{RESET}}$  端子によるリセット動作

---

## 5.2 ウォームリセット時

### 5.2.1 リセット期間

本製品にリセットをかけるには、電源電圧が動作範囲内であり、 $\overline{\text{RESET}}$  端子を少なくとも内部高周波発振 12 システムクロック間"Low"にしてください。 $\overline{\text{RESET}}$  端子が"High"になってから内部リセットが解除されます。

## 5.3 リセット解除後

リセット解除後は、ほとんどのコアの制御レジスタや周辺機能の制御レジスタ(SFR)は初期化されます。コア内部のシステムデバッグコンポーネント(FPB、DWT、ITM)レジスタ、クロックジェネレータレジスタの CGRSTFLG および FLASH 関連レジスタの FCSECBIT はコールドリセットでのみ初期化されません。

リセット解除後、内蔵高速発振器のクロックで動作を開始します。必要に応じて外部クロック、PLL 逡倍回路の設定を行ってください。

## 第6章 クロック/モード制御

### 6.1 特長

クロック/モード制御ブロックでは、クロックギアやプリスケアラクロックの選択、PLL(通倍回路)や発振器のウォーミングアップ等を設定することが可能です。

また、低消費電力モードがあり、モード遷移を行うことで電力の消費を抑えることが可能です。

本章では、クロックの制御および動作モードとモード遷移について説明します。

## 6.2 レジスタ説明

### 6.2.1 レジスタ一覧

CG 関連のレジスタとアドレスを以下に示します。

Base Address = 0x4004\_0200

レジスタ名		Address (Base+)
システムコントロールレジスタ	CGSYSCR	0x0000
発振コントロールレジスタ	CGOSCCR	0x0004
スタンバイコントロールレジスタ	CGSTBYCR	0x0008
PLL セレクトレジスタ	CGPLLSEL	0x000C
システムクロックセレクトレジスタ	CGCKSEL	0x0010

## 6.2.2 CGSYSCR (システムコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	FCSTOP	-	-	SCOSEL	
リセット後	0	0	0	0	0	0	0	1
	15	14	13	12	11	10	9	8
bit symbol	-	-	FPSEL		-	PRCK		
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	GEAR		
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-24	-	R	リードすると"0"が読めます。
23	-	R/W	"0"を書いてください。
22-21	-	R	リードすると"0"が読めます。
20	FCSTOP	R/W	ADC クロック選択 0: 動作 1: 停止 AD コンバータへのクロック供給を停止させることが可能です。 リセット後は AD コンバータへのクロックは供給されています。 "1"(停止)に設定する場合は、必ず AD 変換が停止または終了していることを確認してから設定してください。
19-18	-	R	リードすると"0"が読めます。
17-16	SCOSEL[1:0]	R/W	SCOUT 出力選択 00: fs 01: fsys/2 10: fsys 11: φT0 SCOUT 端子から出力するクロックを設定します。
15-14	-	R	リードすると"0"が読めます。
13-12	FPSEL[1:0]	R/W	φT0 ソースクロック選択 00: fgear をプリスケアラで分周したクロック 01: fc をプリスケアラで分周したクロック 10: fsys 11: fsys φT0 のソースクロックを選択します。SLOW モード時は、必ず"10"または"11"を設定してください。
11	-	R	リードすると"0"が読めます。
10-8	PRCK[2:0]	R/W	プリスケアラクロック選択 000: fperiph            100: fperiph/16 001: fperiph/2        101: fperiph/32 010: fperiph/4        110: Reserved 011: fperiph/8        111: Reserved 周辺機能に供給するプリスケアラクロックを選択します。
7-3	-	R	リードすると"0"が読めます。

---

Bit	Bit Symbol	Type	機能
2-0	GEAR[2:0]	R/W	高速クロック (fc) のギア選択 000: fc                    100: fc/2 001: Reserved            101: fc/4 010: Reserved            110: fc/8 011: Reserved            111: fc/16

## 6.2.3 CGOSCCR(発振コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	WUODR							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	WUODR				WUPSEL2	HOSCON	OSCSEL	XEN2
リセット後	0	0	0	0	0	0	0	1
	15	14	13	12	11	10	9	8
bit symbol	WUODRL		-	-	-	-	XTEN	XEN1
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	WUPSEL1	PLLON	WUEF	WUEON
リセット後	0	0	1	1	0	0	0	0

Bit	Bit Symbol	Type	機能
31-20	WUODR[11:0]	R/W	ウォーミングアップカウンタ設定値 ウォーミングアップタイマの時間を設定します。
19	WUPSEL2	R/W	ウォーミングアップクロック選択 0: 内部高速発振( $f_{IHOSC}$ ) 1: 外部高速発振( $f_{EHOSC}$ ) ウォーミングアップさせたい発振器のクロックを選択します。選択されたクロックでウォーミングアップタイマのカウントを行います。 STOP/SLEEP モードを使用する場合、STOP/SLEEP モードに移行する前に<OSCSEL>で選択したクロックと同じクロックを設定してください。
18	HOSCON	R/W	PortM/外部高速発振器選択 0: Port M 1: X1/X2 ( $f_{EHOSC}$ ) 外部高速発振器(X1/X2)とポート M のどちらを使用するか選択します。外部発振器として使用する場合は、ポート M について、PMCR/PMPUP/PMPDN/PMIE = disable に設定してください。 (リセット後は、全て disable)
17	OSCSEL	R/W	高速発振器の切り替え (注 3) 0: 内部( $f_{IHOSC}$ ) 1: 外部( $f_{EHOSC}$ )
16	XEN2	R/W	内部高速発振器の動作選択 0: 停止 1: 発振
15-14	WUODRL[1:0]	R/W	ウォーミングアップカウンタ設定値 ウォーミングアップタイマの下位 2 ビットのカウント値を設定します。低速クロックのときのみ使用します。高速発振選択時は"00"を設定してください
13-12	-	R/W	"0"をライトしてください。
11-10	-	R	リードすると"0"が読めます。
9	XTEN	R/W	外部低速発振器の動作選択 0: 停止 1: 発振
8	XEN1	R/W	外部高速発振器の動作選択 0: 停止 1: 発振
7-4	-	R/W	必ず"0011"を設定してください。
3	WUPSEL1	R/W	ウォームアップカウンタ選択 0: 高速 1: 低速

Bit	Bit Symbol	Type	機能
2	PLLON	R/W	PLL(通倍回路)動作の選択(注4) 0: 停止 1: 発振
1	WUEF	R	ウォーミングアップタイムステータス 0: ウォーミングアップ終了 1: ウォーミングアップ中 ウォーミングアップタイムの状態を確認できます。
0	WUEON	W	ウォーミングアップタイム制御 0: don't care 1: ウォーミングアップスタート このビットをセットすることでウォーミングアップタイムがスタートします。 リードすると"0"が読めます。

注1) ウォーミングアップ時間の設定については「6.3.4 ウォーミングアップ機能」を参照してください。

注2) PLLの設定については、「6.3.5 クロック通倍回路(PLL)」を参照してください。

注3) CGOSCCR<OSCSEL>が"1"の場合、PMCR/PMPUP/PMPDN/PMIEを変更することができません。

注4)  $f_{IHOSC}$  をシステムクロックとして使用する場合、PLL 通倍の使用は禁止です。

## 6.2.4 CGSTBYCR(スタンバイコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	DRVE
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	RXTEN	RXEN
リセット後	0	0	0	0	0	0	0	1
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	STBY		
リセット後	0	0	0	0	0	0	1	1

Bit	Bit Symbol	Type	機能
31-20	-	R	リードすると"0"が読めます。
19-17	-	R/W	"0"を書いてください。
16	DRVE	R/W	STOP モード中のポート状態の制御 0: ポートをドライブしません。 1: ポートをドライブします。
15-10	-	R	リードすると"0"が読めます。
9	RXTEN	R/W	STOP モード解除後の低速発振動作 0: 停止 1: 発振
8	RXEN	R/W	STOP モード解除後の高速発振動作 0: 停止 1: 発振
7-3	-	R	リードすると"0"が読めます。
2-0	STBY[2:0]	R/W	低消費電力モード選択 000: Reserved 001: STOP 010: SLEEP 011: IDLE 100: Reserved 101: Reserved 110: Reserved 111: Reserved

注) Reserved は設定禁止です。

## 6.2.5 CGPLLSEL(PLL セレクトレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	1	1	0	1	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	PLLSEL
リセット後	0	0	0	1	1	1	1	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます。
15-12	-	R/W	"1101"を書いてください。
11	-	R	リードすると"0"が読めます。
10-8	-	R/W	"000"を書いてください。
7-1	-	R/W	"0001111"を書いてください。
0	PLLSEL	R/W	PLL 選択 0: fosc 使用 1: f <sub>PLL</sub> 使用  PLL にて選倍されたクロックの使用可否を選択します。 リセット解除後は"fosc(内部高速発振)"選択ですので、PLL を使用する場合はこのビットの設定が必要です。

注) f<sub>IHOSC</sub> をシステムクロックとして使用する場合、PLL 選倍の使用は禁止です。

6.2.6 CGCKSEL (システムクロックセレクトレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	SYSCK	SYSCKFLG
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	-	R	リードすると"0"が読めます。
1	SYSCK	R/W	システムクロック選択 0: 高速 1: 低速 システムクロックを選択します。 <SYSCK>の切り替えをおこなう場合は、高速発振器( $f_{EHOSC}$ または $f_{IHOSC}$ )と低速発振器が安定している必要があります。 使用するシステムクロックに応じて、事前に CGOSCCR <XEN1>, <XEN2>, <XTEN>を"1"に設定する必要があります。
0	SYSCKFLG	R	システムクロックステータス 0: 高速 1: 低速 システムクロック選択の状態を示します。 <SYSCK>にて発振器の切り替えをおこなった場合、切り替え完了には時間差が発生します。 <SYSCK>で選択した発振器が<SYSCKFLG>にて読み出されれば、発振器の切り替えが完了している状態です。

## 6.3 クロック制御

### 6.3.1 クロックの種類

クロックの一覧を以下に示します。

$f_{EHOSC}$	: 外部高速発振回路で生成されるクロック
$f_{IHOSC}$	: 内部高速発振器で生成されるクロック
$f_s$	: 外部低速発振回路で生成されるクロック
$f_{osc}$	: CGOSCCR<OSCSEL>で指定された $f_{IHOSC}$ または $f_{EHOSC}$
$f_{PLL}$	: PLL により通倍(4 通倍)されたクロック
$f_c$	: CGPLLSEL<PLLSEL>で選択されたクロック(高速クロック)
$f_{gear}$	: CGSYSCR<GEAR[2:0]>で選択されたクロック
$f_{sys}$	: CGCKSEL<SYSCK>で選択されたクロック
$f_{periph}$	: CGSYSCR<FPSEL[1:0]>で選択されたクロック
$\phi T0$	: CGSYSCR<PRCK[2:0]>で選択されたクロック (プリスケラクロック)

ギアクロック  $f_{gear}$  とプリスケラクロック  $\phi T0$  は以下のように分周することが可能です。

ギアクロック	: $f_c, f_c/2, f_c/4, f_c/8, f_c/16$
プリスケラクロック	: $f_{periph}, f_{periph}/2, f_{periph}/4, f_{periph}/8, f_{periph}/16, f_{periph}/32$

### 6.3.2 リセット動作による初期値

リセット動作により、クロックの設定は下記のような状態に初期化されます。

内部高速発振器	: 発振
外部高速発振器	: 停止
外部低速発振器	: 停止
PLL (通倍回路)	: 停止
ギアクロック	: $f_c$ (分周なし)

リセット動作によりすべてのクロックの設定が  $f_{IHOSC}$  と同じになります。

$f_c = f_{IHOSC}$
$f_{sys} = f_c = f_{IHOSC}$
$f_{periph} = f_c = f_{IHOSC}$
$\phi T0 = f_{periph} = f_{IHOSC}$

### 6.3.3 クロック系統図

クロック系統図を図 6-1 に示します。

セレクタに入力されるクロックのうち、矢印つきのものがリセット後の初期状態として選択されます。

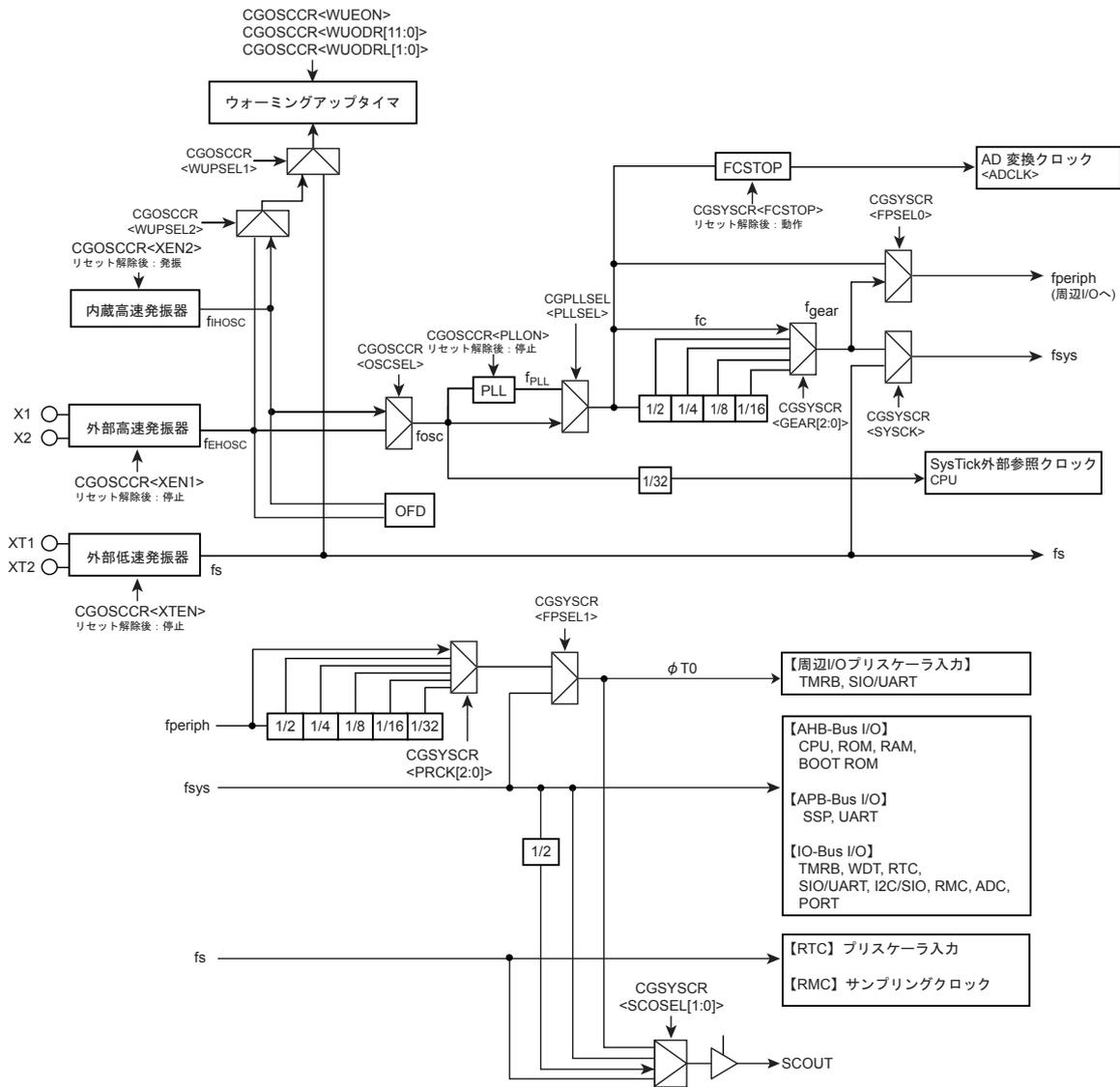


図 6-1 クロック系統図

### 6.3.4 ウォーミングアップ機能

ウォーミングアップ機能は、fs の発振安定時間、STOP モード解除時にウォーミングアップタイマを用いて発振子の安定時間や、PLL の安定時間を確保するための機能です。詳細については、「6.6.7 ウォーミングアップ」にて説明します。

ウォーミングアップ機能の使用方法を説明します。

#### 1. クロックの選択

ウォーミングアップカウンタのカウントアップクロックを CGOSCCR<WUPSEL2><WUPSEL1>で選択します。

#### 2. ウォーミングアップカウンタ設定値の算出

ウォーミングアップ時間は、CGOSCCR<WUODR[11:0]><WUODRL[1:0]>により、任意の値が設定可能です。CGOSCCR<WUODR[11:0]><WUODRL[1:0]>の設定値は、以下の計算式から算出し、下位 4 ビットを切り捨てて設定します。

高速クロックのウォーミングアップの場合は<WUODR[11:0]>に、低速クロックのウォーミングアップの場合は<WUODR[11:0]><WUODRL[1:0]>に設定します。

$$\text{ウォーミングアップサイクル数} = \frac{\text{ウォーミングアップ時間}}{\text{ウォームアップクロック周期}}$$

注) 高速クロックのウォーミングアップの場合、CGOSCCR<WUODRL[1:0]>には、“00”を設定してください。

高速発振子 8MHz 使用時、ウォーミングアップ時間 5ms を設定する場合は以下のようになります。

$$\frac{\text{ウォーミングアップ時間}}{\text{ウォームアップクロック周期}} = \frac{5\text{ms}}{1/8\text{MHz}} = 40,000\text{サイクル} = 0x9C40$$

下位 4 ビットを切り捨て、0x9C4 を CGOSCCR<WUODR[11:0]>に設定します。

#### 3. ウォーミングアップの開始および終了確認

ソフトウェア (命令) によりウォーミングアップの開始および終了確認を行う場合、CGOSCCR<WUEON>に“1”を設定することでウォーミングアップを開始します。また、終了の確認は<WUEF>で行います。<WUEF>が“1”でウォーミングアップ中、“0”で終了を示します。

注 1) 低消費電力モードへ遷移する場合、カウント値が CGOSCCR<WUODR[11:0]>と<WUODRL[1:0]>に反映されているのを確認してから WFI 命令を実行してください。

注 2) ウォーミングアップタイマは発振クロックで動作しているため、発振周波数に揺らぎがある場合は誤差を含みます。したがって概略時間として捉える必要があります。

以下に、ウォーミングアップ機能の設定例を示します。

表 6-1 ウォーミングアップ機能設定例（高速外部発振( $f_{EHOSC}$ )の場合）

CGOSCCR<WUPSEL1> = "0"	:ウォームアップクロック選択（高速を選択）
CGOSCCR<WUPSEL2> = "1"	:ウォームアップクロック選択（外部高速発振( $f_{EHOSC}$ )を選択）
CGOSCCR<WUODR[11:0]> = "0x9C4"	:ウォーミングアップ時間設定
CGOSCCR<WUODRL[1:0]> = "00"	
 CGOSCCR<WUODR[11:0]> リード	:ウォーミングアップ時間の反映確認 "0x9C4"がリードできるまで繰り返し。
CGOSCCR<XEN1> = "1"	:外部高速発振( $f_{EHOSC}$ )イネーブル
CGOSCCR<WUEON> = "1"	:ウォーミングアップタイマ(WUP)スタート
 CGOSCCR<WUEF>リード	: "0" (WUP 終了)になるまでウェイト

### 6.3.5 クロック逡倍回路(PLL)

高速発振器の出力クロック  $f_{osc}$  を4逡倍した  $f_{PLL}$  クロックを出力する回路です。これにより、発振器への入力周波数は低く内部クロックは高速にすることが可能です。

#### 6.3.5.1 動作開始

PLL はリセット解除後ディセーブル状態です。

PLL を使用するためには、CGOSCCR<PLLON>を"1"に設定して PLL の動作を開始します。その後、ロックアップ時間約 200 $\mu$ s 経過後に、CGPLLSEL<PLLSEL>にて"1"を選択することにより、 $f_{osc}$  を4逡倍した  $f_{PLL}$  クロックを使用することができます。

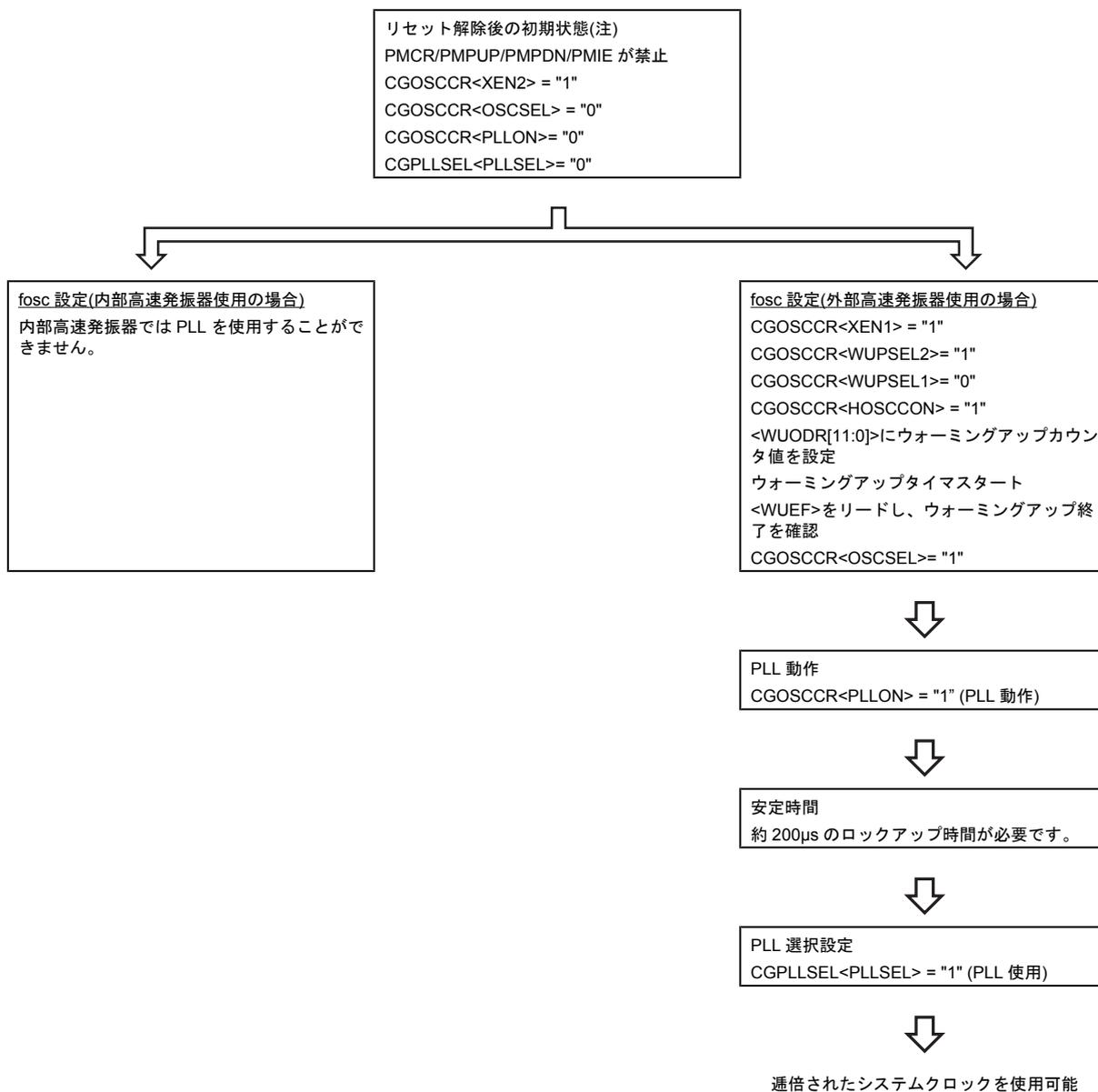
なお、PLL 動作が安定するまでの時間は、ウォーミングアップ機能などを用いて確保する必要があります。

注)  $f_{HOSC}$  を使用している時には、PLL を使用しないでください。

6.3.5.2 PLL 動作開始手順

以下に PLL 動作開始シーケンスを示します。

クロック設定手順



注) 内部高速発振器、電源電圧の安定が必要です。

### 6.3.6 システムクロック

システムクロックのソースクロックとして、内部高速発振クロック、外部高速発振クロックと外部低速発振クロックが使用可能です

ソースクロック	周波数	PLL 使用
内部高速発振クロック (IHOSC)	9MHz (ねらい目)	使用できません
外部高速発振クロック (EHOSC)	8 ~ 10MHz	不使用または4 逡倍
外部低速発振クロック (fs)	30 ~ 34kHz	-

ソースクロックに内部高速発振クロックまたは外部高速発振クロックを使用しているとき、システムクロックとして CGSYSCR<GEAR[2:0]>で分周したクロックを選択することができます。設定の変更は動作中に可能ですが、実際にクロックが切り替わるまで、若干の時間を要します。

PLL、クロックギアの設定による動作周波数例を表 6-2 に示します。

表 6-2 PLL、クロックギア使用時の周波数設定範囲（単位：MHz, "-": 設定禁止, "\*" : Don't care）

入力 周波数	最小動作 周波数	最小動作 周波数 (fc)	最大動作 周波数 (fc)	ADC 最大動作 周波数	クロックギア(CG) PLL = ON 時					クロックギア(CG) PLL = OFF 時					
					1/1	1/2	1/4	1/8	1/16	1/1	1/2	1/4	1/8	1/16	
EHOSC	8	4	1	32	32	32	16	8	4	2	8	4	2	1	-
	10			40	40	40	20	10	5	2.5	10	5	2.5	1.25	-
IHOSC	10			10	10	-	-	-	-	-	10	5	2.5	1.25	-
fs	0.032768	-	0.032768	0.032768	-	*	*	*	*	*	*	*	*	*	*

↑ リセット後の初期値

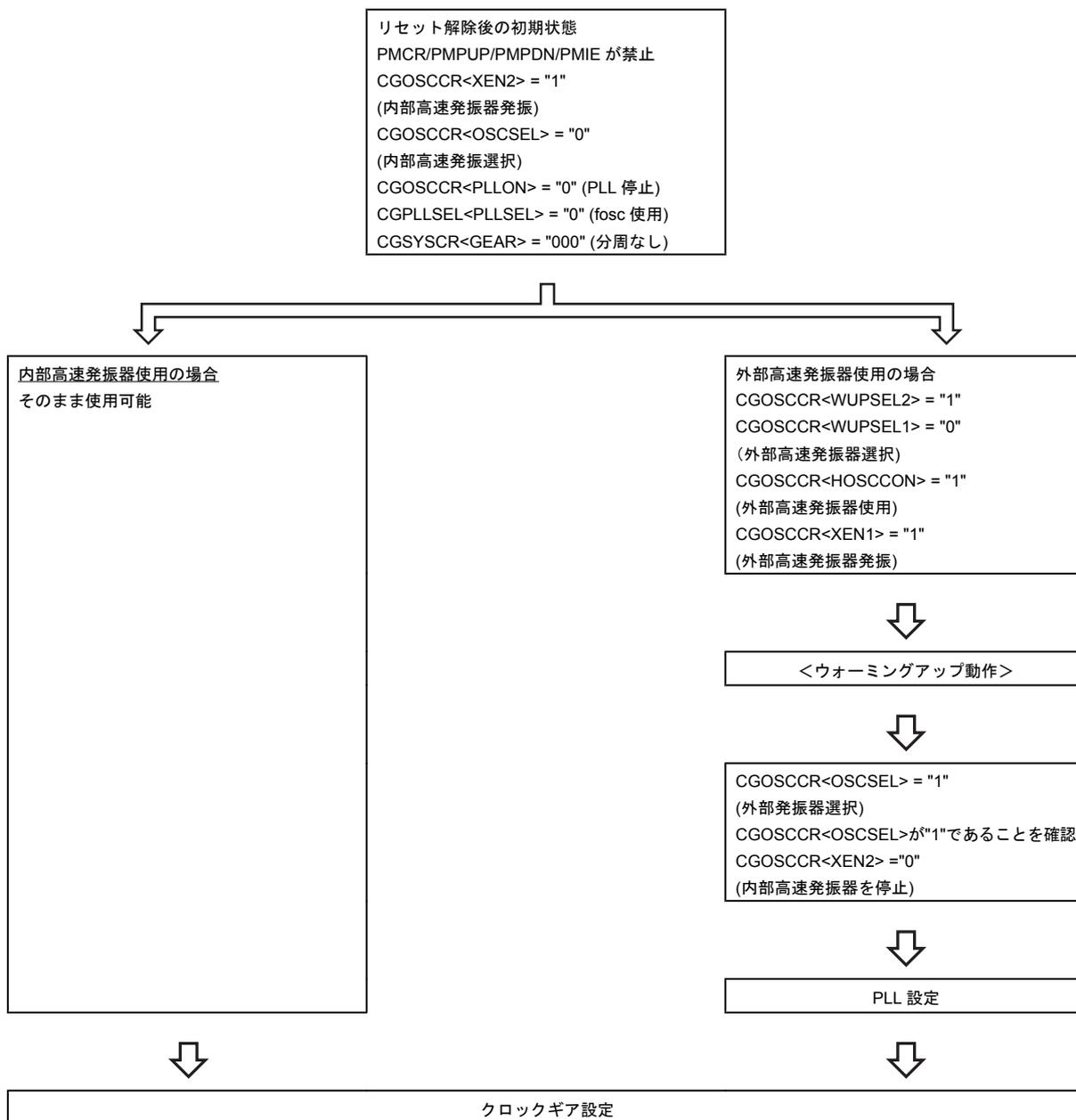
注) SysTick 使用時は 1/16 は使用しないでください。

6.3.6.1 システムクロックの設定方法

システムクロックの選択は CGOSCCR で行います。クロック選択後、必要に応じて PLL 設定を CGPLLSEL, CGOSCCR で、クロックギアの設定を CGSYSCR で行います。

以下にクロックの設定手順を示します

クロック設定手順



### 6.3.7 プリスケーラクロック

周辺機能には、それぞれにクロックを分周するプリスケーラがあります。これらのプリスケーラへ入力するクロック  $\phi T0$  は、CGSYSCR<FPSEL[1:0]>で選択されたクロック fperiph をさらに CGSYSCR<PRCK[2:0]>にて分周することが可能です。リセット後の  $\phi T0$  は fperiph/1 が選択されま

注) クロックギアを使用する場合、周辺機能の各ブロックのプリスケーラ出力  $\phi Tn$  は、 $\phi Tn \leq f_{sys}/2$  を満足するように時間設定( $\phi Tn$  が  $f_{sys}$  よりも遅くなるように)してください。また、タイマカウンタなどの周辺機能の動作中にクロックギアを切り替えないようにしてください。

### 6.3.8 クロックの端子出力機能

本製品には、クロックの端子出力機能があります。出力可能なクロックとして、低速クロック fs、システムクロックの2分周  $f_{sys}/2$ 、システムクロック  $f_{sys}$ 、プリスケーラクロック  $\phi T0$  を SCOUT 端子から出力できます。

注1) SCOUT から出力されるシステムクロックは、内部クロックとの位相差 (AC タイミング) は保証できません。

注2) SCOUT に  $f_{sys}$  を選択しているときにクロックギアを切り替えると、切り替えた直後、 $f_{sys}$  の波形が乱れます。波形の乱れがシステム上、問題となる場合は、クロックギア切り替え時に SCOUT 出力をディセーブルにするなど対策を施してください。

ポートを SCOUT 端子として使用する時の設定は、"入出力ポート"を参照してください。

表 6-3 に SCOUT 端子を SCOUT 出力に設定した場合のモード別端子状態を示します。

表 6-3 モード別 SCOUT 出力状態

SCOUT 選択 CGSYSCR	モード	NORMAL	SLOW	低消費電力モード		
				IDLE	SLEEP	STOP (注)
<SCOSEL[1:0]> = "00"		fs クロックを出力します				
<SCOSEL[1:0]> = "01"		f <sub>sys</sub> /2 クロックを出力します				"0"または"1"に固定されます
<SCOSEL[1:0]> = "10"		f <sub>sys</sub> クロックを出力します				
<SCOSEL[1:0]> = "11"		$\phi T0$ クロックを出力します				

注) STOP モードへ遷移するときに、最初に CGSTBYCR<PTKEEP>を"1"に設定してポートの状態を保持してください。

## 6.4 動作モードとモード遷移

### 6.4.1 モード状態遷移

動作モードとして NORMAL モードと SLOW モードがあります。NORMAL モードはシステムクロックに高速クロックを使用し、SLOW モードは低速クロックを使用します。

プロセッサコアの動作を停止して電力の消費を抑える低消費電力モードとして、IDLE モード、SLEEP モード、STOP モードがあります。

低速クロックを使用しない場合は SLOW/SLEEP モードは使用できません。

図 6-2 にモード状態遷移図を示します。

Sleep-on-exit については、"Cortex-M3 テクニカルリファレンスマニュアル"を参照してください。

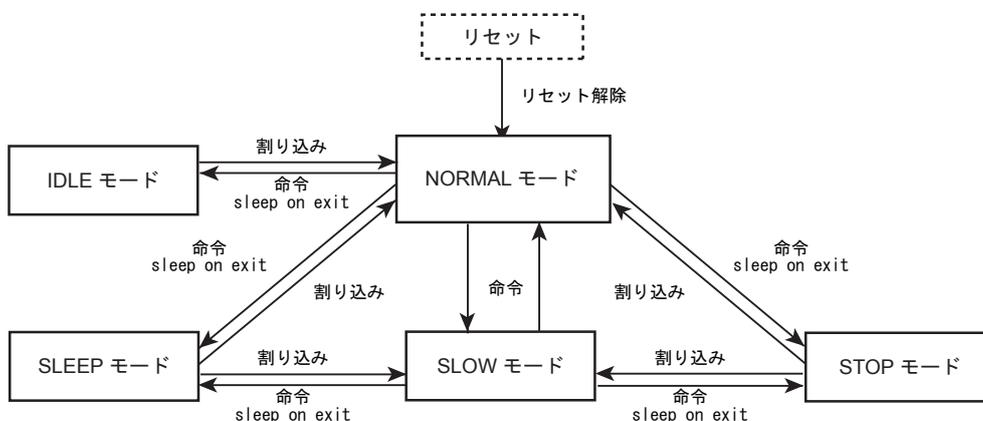


図 6-2 モード状態遷移図

## 6.5 動作モード

動作モードには NORMAL モードと SLOW モードがあります。NORMAL, SLOW モードの特徴は次のとおりです。

### 6.5.1 NORMAL モード

CPU コアおよび周辺ハードウェアを高速クロックで動作させるモードです。リセット解除後は、NORMAL モードになります。低速クロックを動作させる事も可能です。

### 6.5.2 SLOW モード

高速クロックを停止させ、CPU コア、周辺ハードウェアを低速クロックで動作させるモードです。NORMAL モードに比べ消費電力を低減することができます。

注 1) SLOW モードでは、CGSYSCR<FPSEL[1:0]>には、必ず"10"か"11"を設定してください。

注 2) SLOW モードでは、Cortex-M3 コアの NVIC レジスタのアプリケーション割り込みおよびリセットレジスタ <SYSRESETREQ>によるリセットは使用しないでください。

## 6.6 低消費電力モード

低消費電力モードには、IDLE, SLEEP, STOP モードがあります。低消費電力モードに移行するには、システムコントロールレジスタ CGSTBYCR<STBY[2:0]>にてモードを選択し、WFI(Wait For Interrupt)命令を実行します。WFI 命令によって低消費電力モードへ移行した場合、低消費電力モードからの復帰はリセットまたは割り込み発生により行われます。割り込みで復帰する場合には、設定を行っておく必要があります。詳細は「例外」の章の「割り込み」を参照してください。

- 注 1) 本製品ではイベントによる復帰はサポートしていないため、WFE (Wait For Event)による低消費電力モードへの移行は行わないでください。
- 注 2) 本製品は、Cortex-M3 コアの SLEEPDEEP による低消費電力モードはサポートしていません。システム制御レジスタの<SLEEPDEEP>ビットは設定しないでください。

IDLE, SLEEP, STOP モードの特長は次のとおりです。

### 6.6.1 IDLE モード

CPU が停止するモードです。周辺機能は、各モジュールの中のレジスタに IDLE モード時の動作/停止設定レジスタを 1 ビット持ち、IDLE モードでの動作設定が可能です。IDLE モード時に動作停止に設定された周辺機能は、IDLE モードへ遷移した時の状態で停止します。

以下に IDLE モードでの動作を設定できる周辺機能の一覧を示します。設定方法は、各機能の章を参照してください。

- ・ 16 ビットタイマ/イベントカウンタ(TMRB)
- ・ シリアルチャネル(SIO/UART)
- ・ シリアルバスインタフェース(I2C/SIO)
- ・ アナログ/デジタルコンバータ(ADC)
- ・ ウォッチドッグタイマ(WDT)

注) ウォッチドッグタイマは IDLE モードへ遷移する前に停止してください。

### 6.6.2 SLEEP モード

内部低速発振器と RTC、リモコン判定機能が動作します。

SLEEP モードが解除されると、SLEEP モードへ移行する直前の動作モードへ復帰し、動作を開始します。

### 6.6.3 STOP モード

一部の回路を除き、内部発振器も含めてすべての内部回路が停止するモードです。

STOP モードが解除されると、STOP モードへ移行する直前の動作モードへ復帰します。

STOP モードでは CGSTBYCR<DRVE>の設定により端子のドライブ状態を保持することができます。STOP モード時の端子状態を表 6-4 に示します。

注) 復帰時にウォーミングアップが必要になります。ウォーミングアップ時間の設定は、STOP モードに入る前のモード(NORMAL モードまたは SLOW モード)にて設定する必要があります。ウォーミングアップ時間に関しては、「6.6.8 モード遷移によるクロック動作」を参照してください。

表 6-4 STOP モード時の端子状態

機能	端子名	入出力	<DRVE> = 0	<DRVE> = 1
発振器	X1, XT1	入力	×	×
	X2, XT2	出力	"High"レベル出力	"High"レベル出力
ポート	Px	入力	×	PxIE[m]設定による
		出力	×	PxCR[m]設定による
デバッグ機能	TMS/SWDIO TDO/SWV	入力	PxIE[m]設定による	PxIE[m]設定による
		出力	PxCR[m]設定かつデータ有効な時にイネーブル	PxCR[m]設定かつデータ有効な時にイネーブル
割り込み機能	INT	入力	PxIE[m]設定による	
SSP	SPCLK, SPFSS, SPDO	出力	×	PxCR[m]設定かつデータ有効な時にイネーブル
上記以外の機能		入力	×	PxIE[m]設定による
		出力	×	PxCR[m]設定による

○: 入力または出力が有効

×: 入力または出力が無効

注) 「x」は該当ポート番号、「m」は該当ビットを示します。

#### 6.6.4 低消費電力モードの選択

低消費電力モード選択は、CGSTBYCR<STBY[2:0]>の設定で選択されます。

表 6-5 に<STBY[2:0]>の設定より選択されるモードを示します。

表 6-5 低消費電力モードと設定

モード	CGSTBYCR <STBY[2:0]>
STOP	001
SLEEP	010
IDLE	011

注) 上記の設定以外は行わないでください。

### 6.6.5 各モードにおける動作状態

各モードにおける動作状態を表 6-6 に示します。

表 6-6 各動作モードにおける動作状態

Block	NORMAL	IDLE	SLOW	SLEEP	STOP
Processor core	o	x	o	x	x
I/O port	o	o	o	o	o (注 2)
SSP	o	x	#	#	#
UART	o	o	#	#	#
12/10-bit ADC	o	モジュールごとに動作/停止選択可能	#	x	x
SIO/UART	o		#	#	#
I2C/SIO	o		#	#	#
WDT	o		#	#	#
TMRB	o		o	#	#
RMC	o	o	o	o	x
RTC	o	o	o	o	x
CG	o	o	o	o	x
PLL	o	o	x	x	x
OFD	o (注 3)	o (注 3)	#	#	#
外部高速発振器 (f <sub>EHOSC</sub> )	o	o	o (注 1)	x	x
内部高速発振器 (f <sub>IHOSC</sub> )	o	o	o (注 1)	x	x
外部低速発振器 (fs)	o	o	o	o	x

o : 対象のモード中に動作が可能

x : 対象のモードに移行すると自動的にモジュールへのクロックが停止

# : 対象のモードに移行する前にソフトウェアにてモジュールを停止する必要あり

注 1) NORMAL モードから SLOW モードに移行した場合、高速発振器(EHOSC, IHOSC)は自動では発振停止しないため、CGOSCCR<XEN1>または<XEN2>を設定して発振停止してください。SLOW モードから NORMAL モードに移行する前に、高速発振器(EHOSC, IHOSC)は自動では発振開始しないため、CGOSCCR<XEN1>または<XEN2>を設定して発振開始してください。

注 2) CGSTBYCR<DRVE>の設定に依存します。

注 3) 内部高速発振器を使用する場合、OFD はディセーブルに設定してください。

## 6.6.6 低消費電力モードの解除

低消費電力モードからの解除は、割り込み、マスク不能割り込み(NMI)、リセットによって行うことができます。使用できるスタンバイ解除ソースは、低消費電力モードにより決まります。

詳細を表 6-7 に示します。

表 6-7 解除ソースと解除可能なモード

低消費電力モード		IDLE	SLEEP	STOP
解除 ソース	INT0 to F (注 1)	o	o	o
	INTRTC	o	o	x
	INTRMCRX	o	o	x
	INTSSP0	x	x	x
	INTSBI0	o	x	x
	割り込み INTRX0 to 2, INTTX0 to 2	o	x	x
	INTUART0	o	x	x
	INTADCP0 to 1	o	x	x
	INTADTMR /INTADSFT	o	x	x
	INTTB00 to 70 / 01 to 71	o	x	x
	INTCAP00 to 70 / 01 to 71	o	x	x
	SysTick 割り込み	o	x	x
	マスク不能割り込み (INTWDT)	o	x	x
	リセット (WDT)	o	x	x
リセット (POR)	o	o	o	
リセット (OFD)	o	x	x	
リセット (VLTD)	o	o	o	
リセット (RESET 端子)	o	o	o	

o: 解除後、割り込み処理を開始します。(RESET は本製品を初期化します)

x: 解除に使用できません

注 1) IDLE, SLEEP, STOP モードからレベルモードの割り込みによる解除を行う場合、割り込み処理が開始されるまでレベルを保持してください。それ以前でレベルを変化させた場合は、正しい割り込み処理を開始できません。

注 2) 低消費電力モードへ移行する場合は、CPU で復帰要因以外の割り込みを禁止してください。禁止していない場合、復帰要因以外の割り込みで解除が行われる場合があります。

- ・ 割り込み要求による解除  
割り込みによって低消費電力モードを解除する場合、CPU で割り込みが検出されるよう準備しておく必要があります。  
STOP モードの解除に使用する割り込みの設定については、「例外」章の「割り込み」を参照してください。
- ・ SysTick 割り込みによる解除  
SysTick 割り込みは IDLE モードでのみ使用可能です。
- ・ マスク不能割り込み(NMI)による解除  
NMI の要因には WDT 割り込み(INTWDT)があります。  
INTWDT による低消費電力モードの解除は IDLE モードでのみ可能です。  
INTWDT による SLEEP モード、STOP モードの解除はできません。SLEEP モード、STOP モードへ遷移する前に INTWDT が発生しないようにしてください。
- ・ リセットによる解除  
 $\overline{\text{RESET}}$  端子によるリセット、POR によるリセットですべての低消費電力モードからの解除を行うことができます。  
WDT によるリセット、OFD によるリセットで IDLE モードからの解除を行うことができます。WDT によるリセット、OFD によるリセットで、SLEEP モード、STOP モードの解除はできません。SLEEP、STOP モードへ遷移する前に、WDT によるリセット、OFD によるリセットが発生しないようにしてください。  
リセットで解除した場合には通常のリセット動作と同様になり、解除後は NORMAL モードですべてのレジスタが初期化された状態になります。  
STOP モードの解除にリセットを使用する場合、自動ウォーミングアップが行われなため、発振器動作が安定するまでリセット信号を有効に保ってください。

割り込みの詳細に関しては、「例外」の章の「割り込み」をご参照ください。

### 6.6.7 ウォーミングアップ

モード遷移時、発振器の安定のためウォーミングアップが必要な場合があります。

STOP モードから NORMAL/SLOW モードへの遷移および、SLEEP モードから NORMAL モードへの遷移では、自動的に内部発振が選択されウォーミングアップ用カウンタが起動され、ウォーミングアップ時間経過後にシステムクロックの出力が開始されます。

このため、STOP/ SLEEP モードに移行する命令を実行する前に、CGOSCCR <WUPSEL2> <WUPSEL1>でウォーミングアップする発振器の選択および、CGOSCCR <WUODR[11:0]> <WUODRL[1:0]>でウォーミングアップ時間の設定を行ってください。

NORMAL モードから SLOW/SLEEP モードへ遷移する時、外部低速発振器が禁止の状態であれば、外部低速発振器を許可した後に、発振器の安定のためにウォーミングアップが必要になります。この場合、ソフトウェアでウォーミングアップを起動してください。

SLOW モードから NORMAL モードへ遷移するとき、高速発振器が禁止の状態であれば、内部高速発振器または外部高速発振器を許可した後に、発振器の安定のためにウォーミングアップが必要になります。この場合、ソフトウェアでウォーミングアップを起動してください。

ウォーミングアップ時間については、「6.6.8 モード遷移によるクロック動作」を参照してください。

各動作モード遷移時におけるウォーミングアップの有無を表 6-8 に示します。

表 6-8 各動作モード遷移時のウォーミングアップ設定

動作モード遷移	ウォーミングアップ設定
NORMAL → IDLE	不要
NORMAL → SLEEP	不要(注 1)
NORMAL → SLOW	不要(注 1)
NORMAL → STOP	不要
IDLE → NORMAL	不要
SLEEP → NORMAL	自動ウォーミングアップ
SLEEP → SLOW	不要
SLOW → NORMAL	不要(注 2)
SLOW → SLEEP	不要
SLOW → STOP	不要
STOP → NORMAL	自動ウォーミングアップ(注 3)
STOP → SLOW	自動ウォーミングアップ

注 1) 外部低速発振回路がディセーブルの場合、イネーブルにした上でソフトウェアでウォーミングアップを起動する必要があります。

注 2) 内部または外部高速発振回路がディセーブルの場合、イネーブルにした上でソフトウェアでウォーミングアップを起動する必要があります。

注 3)  $\overline{\text{RESET}}$  端子、POR によるリセットで解除する場合には、自動ウォーミングアップを行いません。コールドスタートと同じようにリセットしてください。

## 6.6.8 モード遷移によるクロック動作

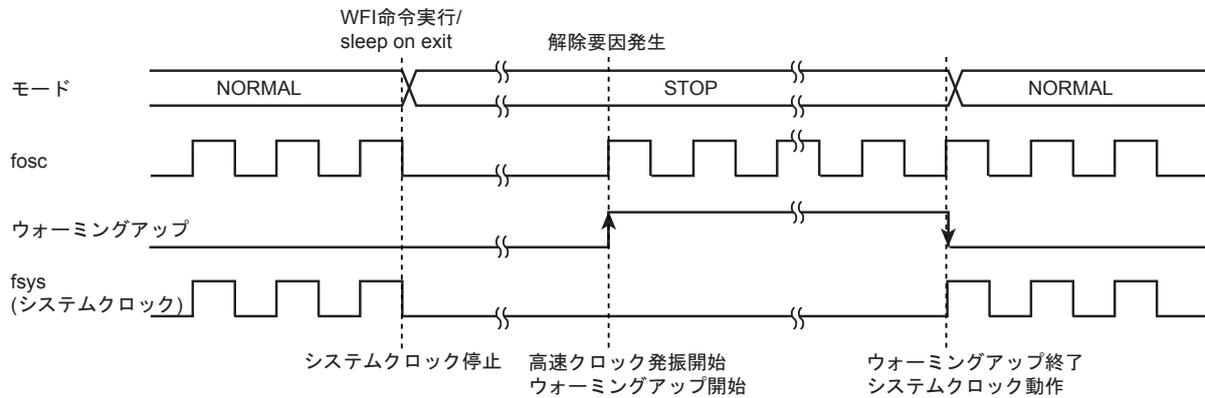
モード遷移の際の、クロック動作について以下に示します。

### 6.6.8.1 NORMAL → STOP → NORMAL 動作モード遷移

STOP モードから NORMAL モードへ復帰する場合、ウォーミングアップは自動的に起動します。

STOP モードへ遷移する前に CGOSCCR<WUODR[11:0]>に高速発振器の安定時間を設定してください。PLL を使用している場合は、ロックアップ時間の約 200 $\mu$ s を加える必要があります。

リセットで NORMAL モードへ復帰する場合はウォーミングアップは行われません。コールドリセットと同じリセットを入力してください。

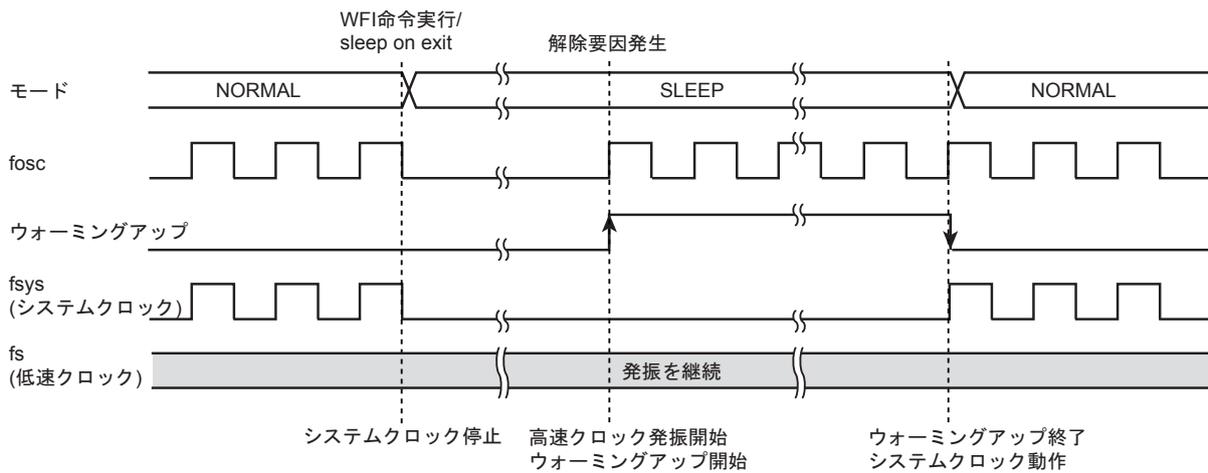


6.6.8.2 NORMAL → SLEEP → NORMAL 動作モード遷移

SLEEP モードから NORMAL モードへ復帰する場合、ウォーミングアップは自動的に起動します。

SLEEP モードへ遷移する前に CGOSCCR<WUODR[11:0]> <WUODRL[1:0]>に外部低速発振器の安定時間を設定してください。

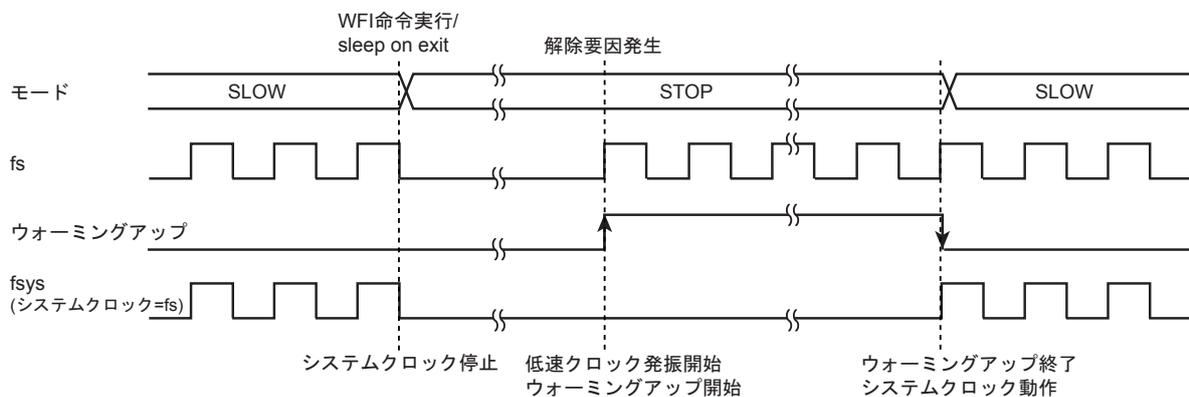
リセットで NORMAL モードへ復帰する場合はウォーミングアップは行われません。コールドリセットと同じリセットを入力してください。



## 6.6.8.3 SLOW → STOP → SLOW 動作モード遷移

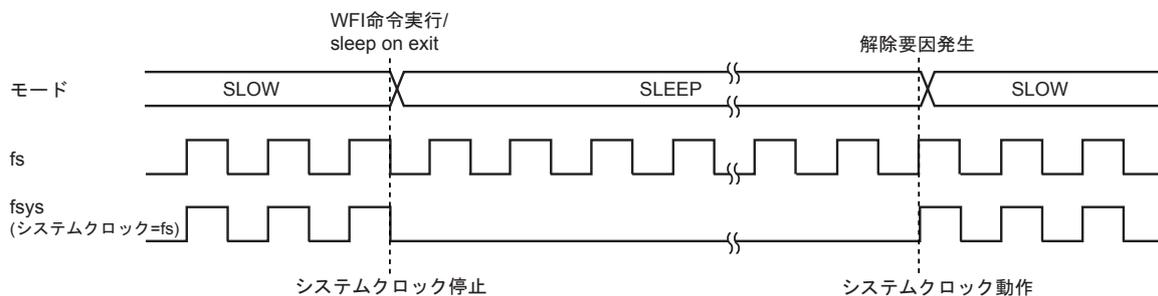
STOP モードから SLOW モードへ復帰する場合、ウォーミングアップは自動的に起動します。

STOP モードへ遷移する前に CGOSCCR<WUODR[11:0]> <WUODRL[1:0]>に外部低速発振器の安定時間を設定してください。



## 6.6.8.4 SLOW → SLEEP → SLOW 動作モード遷移

外部低速発振器は SLEEP モード中でも発振を継続しているため、ウォーミングアップの必要はありません。



## 6.6.9 低消費電力モード遷移時の注意事項

### 6.6.9.1 IDLE、SLEEP、STOP モードへ遷移する場合

- (1) IDLE モード、SLEEP モードまたは STOP モードへ遷移する WFI 命令実行タイミングで解除割り込み要求が発生した場合、解除要求が優先され IDLE/SLEEP/STOP モードへ遷移しません。そのため、割り込みの許可、禁止状態に応じて下記の処理記述をしてください。
  - a. 割り込み禁止状態 (PRIMASK のみでマスクされる状態)  
WFI 命令の直後に NOP 命令を 8 つ以上記述し、その後本来実行する命令を記述してください。
  - b. 割り込み許可状態  
割り込み処理ルーチンへ分岐しますので、割り込み処理の記述をしてください。
- (2) SLEEP モード、STOP モードへ遷移する前に、fosc とウォーミングアップカウンタのソースクロックが同じとなるよう CGOSCCR<OSCSEL>で選択した同じクロックを CGOSCCR <WUPSEL1> <WUPSEL2>に設定してください。
- (3) IDLE モードでのみマスク不能割り込みによる解除が可能です。
- (4) SLEEP モード、STOP モードの解除要因としてマスク不能割り込みは使用しないでください。SLEEP モード、STOP モードへ遷移する前にマスク不能割り込みが入らないようにしてください。(ウォッチドックタイマ停止、電圧検知回路停止)



## 第7章 例外

この章では、例外の特長、種類、処理について概略を説明します。

例外はCPUのアーキテクチャと深くかかわる部分ですので、必要に応じて"Cortex-M3 テクニカルリファレンスマニュアル"もご覧ください。

### 7.1 概要

例外はCPUに対し現在実行中の処理を中断して別の処理に移ることを要求するものです。

例外には、何らかの異常な状態が起こったときや例外を発生する命令を実行したときに発生するものと、外部端子や周辺機能からの割り込み要求信号といった、ハードウェアによる要因で発生する割り込みがあります。

すべての例外は優先度にしたがってCPU内にあるネスト型ベクタ割り込みコントローラ(NVIC)によって処理されます。例外が発生すると、CPUはそのときの状態をスタックに退避し、割り込み処理ルーチンへ分岐します。割り込み処理ルーチンの実行後、スタックに退避した情報は自動的に復帰されます。

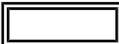
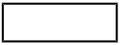
#### 7.1.1 種類

例外には以下のようなものがあります。

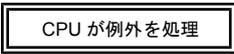
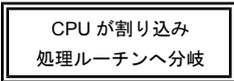
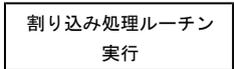
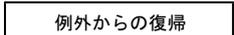
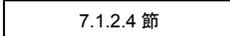
それぞれの例外の詳細な内容は、"Cortex-M3 テクニカルリファレンスマニュアル"をご覧ください。

- ・ リセット
- ・ マスク不能割り込み(NMI)
- ・ ハードフォールト
- ・ メモリ管理
- ・ バスフォールト
- ・ 用法フォールト
- ・ SVCcall (スーパーバイザコール)
- ・ デバッグモニタ
- ・ PendSV
- ・ SysTick
- ・ 外部割り込み

## 7.1.2 処理の流れ

例外／割り込みの処理の流れの概略を以下に示します。以下の説明で、はハードウェアによる処理を、はソフトウェアによる処理を示しています。

それぞれの処理の内容について、後続の節で説明します。

処理	内容	説明
 CG/CPUが例外を検出	CG/CPUが例外要求を検出します。	 7.1.2.1節
		
 CPUが例外を処理	CPUが例外処理を行います。	 7.1.2.2節
		
 CPUが割り込み処理ルーチンへ分岐	検出した例外に応じた割り込み処理ルーチンへ分岐します。	
		
 割り込み処理ルーチン実行	必要な処理を行います。	 7.1.2.3節
		
 例外からの復帰	別の割り込み処理ルーチンまたはもとのプログラムに復帰します。	 7.1.2.4節

## 7.1.2.1 例外要求と検出

## (1) 例外要求の発生

例外は、CPU の命令実行、メモリアクセス、外部割り込み端子や周辺機能からの割り込み要求などにより発生します。

CPU の命令実行による例外の要求は、例外を発生する命令の実行や、命令実行中の異常が要因で発生します。

メモリアクセスによる例外の要求は、実行不可領域からの命令フェッチや、フォールト領域へのアクセスにより発生します。

割り込みの要求は、外部割り込み端子からの信号入力や周辺機能から発生します。スタンバイ解除に使用する割り込みの場合、クロックジェネレータの設定も必要になります。詳細は「7.5 割り込み」の節で説明します。

## (2) 例外の検出

複数の例外が同時に検出された場合には、CPU は優先度にしたがって最も優先度の高い例外を選択します。

各例外の優先度は以下のとおりです。"構成可能"と記載された例外は、優先度を設定することができます。また、メモリ管理、バスフォールト、用法フォールトは許可/禁止を選択することができます。禁止された例外が発生した場合にはハードフォールトとして扱われます。

表 7-1 例外の種類と優先度

番号	例外	優先度	要因
1	リセット	-3 (最高)	リセット端子, WDT, POR, OFD, VLTD, SYSRESETREQ
2	マスク不能割り込み	-2	WDT
3	ハードフォールト	-1	より優先度の高いフォールトの処理中、または禁止されているために発生できないフォールト
4	メモリ管理	構成可能	MPU (メモリ保護ユニット)からの例外(注 1) 実行不可(XN) (Execute Never)領域からの命令フェッチ
5	バスフォールト	構成可能	メモリマップのハードフォールト領域に対するアクセス
6	用法フォールト	構成可能	未定義命令の実行や、命令実行によって発生するその他のエラー
7~10	予約	-	
11	SVCcall	構成可能	SVC 命令によるシステムサービスの呼び出し
12	デバッグモニタ	構成可能	CPU がフォールト中でないときのデバッグモニタ
13	予約	-	
14	PendSV	構成可能	保留可能なシステムサービスへの要求
15	SysTick	構成可能	システムタイマからの通知
16~	外部割り込み	構成可能	外部割り込み端子や周辺機能(注 2)

注 1) 本製品は MPU を搭載していません。

注 2) 外部割り込みは、製品により要因と番号が異なります。具体的な要因と番号については、「7.5.1.5 要因一覧」を参照してください。

## (3) 優先度の設定

## ・ 優先度レベル

外部割り込みの優先度は、割り込み優先度レジスタで、それ以外の例外はシステムハンドラ優先度レジスタで該当する<PRI\_n>ビットに設定します。

<PRI\_n>は、構成を変更することが可能になっており、優先度設定のためのビット数は製品により3ビット~8ビットのいずれかになります。このため、設定できる優先度の範囲も製品により異なります。

8ビットの構成の場合、優先度は0~255のレベルを設定できます。最も高い優先度は"0"です。複数の要因を同じ優先度設定した場合、番号の小さい例外の優先度が高くなります。

注) 本製品では、<PRI\_n>ビットは3ビットの構成になっています。

## ・ 優先度のグループ化

優先度をグループ化することもできます。アプリケーション割り込みおよびリセット制御レジスタの<PRIGROUP>を設定することで、<PRI\_n>を横取り優先度とサブ優先度に分割することができます。

優先度はまず横取り優先度で判定され、横取り優先度が同じ場合サブ優先度で判定されます。サブ優先度も同じ場合は例外番号の小さいほうが優先度が高くなります。

表 7-2 に優先度のグループ化の設定についてまとめます。表中の横取り優先度数、サブ優先度数は、<PRI\_n>が8ビット構成の場合の数です。

表 7-2 優先度のグループ化設定

<PRIGROUP[2:0]> の設定	<PRI_n[7:0]>		横取り優先度数	サブ優先度数
	横取り フィールド	サブ優先度 フィールド		
000	[7:1]	[0]	128	2
001	[7:2]	[1:0]	64	4
010	[7:3]	[2:0]	32	8
011	[7:4]	[3:0]	16	16
100	[7:5]	[4:0]	8	32
101	[7:6]	[5:0]	4	64
110	[7]	[6:0]	2	128
111	なし	[7:0]	1	256

注) <PRI\_n>の構成が8ビットより小さい場合、下位ビットは"0"となります。

たとえば、3ビット構成の場合、<PRI\_n[7:5]>で優先度が設定され、<PRI\_n[4:0]>は"00000"になります。

### 7.1.2.2 例外の処理と割り込み処理ルーチンへの分岐(横取り)

例外により、実行中の処理を中断して割り込み処理ルーチンへ分岐する動作を"横取り"と呼びます。

#### (1) レジスタの退避

例外を検出すると、CPUは8つのレジスタの内容を退避します。退避するレジスタと退避の順序は以下のとおりです。

- ・ プログラムカウンタ(PC)
- ・ プログラムステータスレジスタ(xPSR)
- ・ r0~r3
- ・ r12
- ・ リンクレジスタ(LR)

レジスタの退避が終了すると、SPは8ワード分減らされます。レジスタ退避終了後のスタックの状態は以下のようになっています。



#### (2) 割り込み処理ルーチンのフェッチ

レジスタの退避と同時にCPUは割り込み処理ルーチンの命令フェッチを行います。

各例外の割り込み処理ルーチンの先頭番地をベクタテーブルに準備しておきます。ベクタテーブルはリセット後、コード領域の0x0000\_0000番地に置かれます。ベクタテーブルは、ベクタテーブルオフセットレジスタを設定することでコード空間またはSRAM空間の任意のアドレスに置くことができます。

ベクタテーブルにはまた、メインスタックの初期値を設定します。

#### (3) 後着

割り込み処理ルーチンの実行前に、検出した例外よりも優先度の高い例外を検出した場合、CPUは優先度の高い例外の処理に移行します。これを後着と呼びます。

後着の場合、CPUは新たに検出された例外の割り込み処理ルーチンのフェッチを改めて行い、分岐しますが、再度レジスタの内容を退避することはありません。

## (4) ベクタテーブルの構成

ベクタテーブルの構成は以下のとおりです。

最初の4ワード(スタックの先頭アドレス, リセット, NMI, ハードフォールトの割り込み処理ルーチンアドレス)は必ず設定する必要があります。その他の例外の割り込み処理ルーチンアドレスは、必要に応じて準備します。

オフセット	例外	内容	備考
0x00	リセット	メインスタックの初期値	必須
0x04	リセット	割り込み処理ルーチンアドレス	必須
0x08	マスク不能割り込み	割り込み処理ルーチンアドレス	必須
0x0C	ハードフォールト	割り込み処理ルーチンアドレス	必須
0x10	メモリ管理	割り込み処理ルーチンアドレス	任意
0x14	バスフォールト	割り込み処理ルーチンアドレス	任意
0x18	用法フォールト	割り込み処理ルーチンアドレス	任意
0x1C ~ 0x28	予約		
0x2C	SVCall	割り込み処理ルーチンアドレス	任意
0x30	デバッグモニタ	割り込み処理ルーチンアドレス	任意
0x34	予約		
0x38	PendSV	割り込み処理ルーチンアドレス	任意
0x3C	SysTick	割り込み処理ルーチンアドレス	任意
0x40	外部割り込み	割り込み処理ルーチンアドレス	任意

## 7.1.2.3 割り込み処理ルーチンの発行

割り込み処理ルーチンでは、発生した例外に応じて必要な処理を行います。割り込み処理ルーチンはユーザが準備します。

割り込み処理ルーチンでは、通常の処理プログラムに戻ったときに再度同じ割り込みが発生しないよう、割り込み要求の取り下げなどの処理が必要になる場合があります。

割り込みについての詳細は「7.5 割り込み」の節で説明します。

割り込み処理ルーチンの実行中に現在処理中の例外よりも優先度の高い例外を検出した場合、CPU は現在実行中の割り込み処理ルーチンを中断し新たに検出された例外の処理を行います。

#### 7.1.2.4 例外からの復帰

##### (1) 割り込み処理ルーチンからの復帰先

割り込み処理ルーチン終了時の状態により復帰先が決まります。

- ・ テールチェーン

保留中の例外が存在し、中断されている例外処理がないかまたは中断されているどの例外よりも優先度が高い場合、保留中の例外の割り込み処理ルーチンへ復帰します。

このとき、スタックの退避と復帰は省略されます。この動作をテールチェーンと呼びます。

- ・ 処理が中断されている割り込み処理ルーチンへ復帰

保留中の例外がない場合、または存在しても処理が中断されている例外の優先度が高い場合、中断されている例外の割り込み処理ルーチンへ復帰します。

- ・ 元のプログラムへ復帰

保留中の例外も処理が中断されている例外もない場合、元のプログラムへ復帰します。

##### (2) 復帰処理

CPU は、割り込み処理ルーチンから復帰する際に以下の処理を行います。

- ・ レジスタの復帰

退避していた 8 つのレジスタ(PC, xPSR, r0~r3, r12, LR)を復帰し SP を調整します。

- ・ 割り込み番号のロード

退避していた xPSR から現在有効な割り込み番号をロードします。この割り込み番号によって CPU はどの割り込みに復帰するかを制御します。

- ・ SP の選択

例外(ハンドラモード)へ復帰する場合、SP は SP\_main です。スレッドモードへ復帰する場合、SP は SP\_main または SP\_process です。

## 7.2 リセット例外

リセット例外には、以下の5種類の要因があります。

リセットの要因を確認するためには、クロックジェネレータレジスタの **CGRSTFLG** を参照してください。

- ・ 外部リセット端子  
外部リセット端子を"Low"にしたのち、"High"にすることによりリセット例外が発生します。
- ・ WDT によるリセット例外  
WDT にリセットを発生する機能があります。詳細は「ウォッチドッグタイマ」の章をご覧ください。
- ・ SYSRESETREQ によるリセット例外  
NVIC レジスタの、アプリケーション割り込みおよびリセット制御レジスタの **SYSRESETREQ** ビットをセットすることで、リセットを発生させることができます。
- ・ POR によるリセット例外  
POR にリセットを発生する機能があります。詳細は「パワーオンリセット回路」の章をご覧ください。
- ・ OFD によるリセット例外  
OFD にリセットを発生する機能があります。詳細は「周波数検知回路」の章をご覧ください。
- ・ VLTD によるリセット例外  
VLTD にリセットを発生する機能があります。詳細は「電圧検出回路」の章をご覧ください。

## 7.3 マスク不能割り込み(NMI)

マスク不能割り込みには、以下の1種類の要因があります。

マスク不能割り込みの要因を確認するためには、クロックジェネレータレジスタの **CGNMIFLG** を参照してください。

- ・ WDT によるマスク不能割り込み  
WDT にマスク不能割り込みを発生する機能があります。詳細は「ウォッチドッグタイマ」の章をご覧ください。

## 7.4 SysTick

SysTick は、CPU の持つシステムタイマを使用した割り込み機能です。

SysTick リロード値レジスタに値を設定し、SysTick 制御およびステータスレジスタで機能をイネーブルにすると、リロード値レジスタに設定された値がカウンタへリロードされカウントダウンを開始します。カウンタが"0"になると SysTick 例外が発生します。また、例外を保留しフラグでタイマが"0"になったことを確認することもできます。

SysTick 較正值レジスタには、システムタイマで 10 ms を計測する際のリロード値が準備されています。製品により、カウントクロックの周期は異なるため、較正值レジスタに設定されている値も異なります。

注) 本製品では、外部参照クロックとして  $f_{osc}$ (CGOSCCR<OSCSEL>で選択されるクロック)を 32 分周したクロックが使用されます。

## 7.5 割り込み

この節では、割り込みの伝わる経路, 要因, 必要な設定について説明します。

割り込みは、割り込み要因ごとの信号により CPU へ通知されます。

CPU は、優先順位付けを行い最も優先度の高い割り込みを発生します。

スタンバイ解除に使用する割り込み要因は、クロックジェネレータを経由して CPU に要因が伝わるため、クロックジェネレータの設定も必要です。

### 7.5.1 要因

#### 7.5.1.1 経路

割り込み要求の経路を図 7-1 に示します。

周辺機能からの割り込み要求のうち、スタンバイ解除に使用されないものは直接 CPU に入力されます。(経路 ①)

スタンバイ解除に使用される周辺機能割り込み(経路 ②)および、外部割り込み端子からの割り込み(経路 ③)はクロックジェネレータに入力され、スタンバイ解除のロジックを経由して CPU に入力されます。(経路 ④⑤)

外部割り込み端子からの割り込みは、スタンバイ解除に使用しない場合スタンバイ解除ロジックを経由せずに CPU に入力されます。(経路 ⑥)

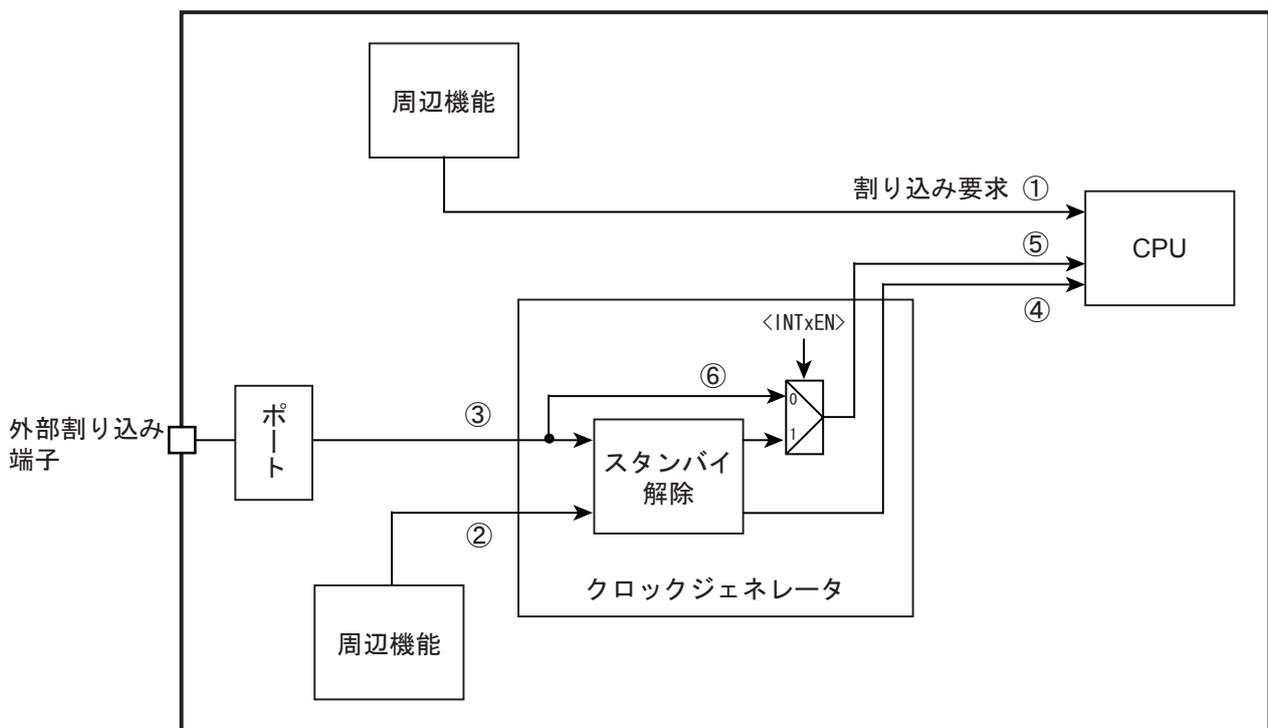


図 7-1 割り込みの経路

### 7.5.1.2 割り込み要因の発生

割り込み要求は、割り込み要因に割り当てられた外部端子、周辺機能、NVIC レジスタの割り込み保留セットレジスタの設定により発生します。

- ・ 外部端子からの割り込み  
外部割り込み端子を使用する場合、ポートの制御レジスタで端子を割り込み機能に設定します。
- ・ 周辺機能の割り込み  
周辺機能の割り込みを使用する場合、使用する周辺機能で割り込みが出力されるよう設定する必要があります。  
詳細は各章をご覧ください。
- ・ 割り込みの強制的な保留  
割り込み保留セットレジスタの該当する割り込みのビットをセットすることで、割り込み要因を発生させることができます。

### 7.5.1.3 割り込み要因の伝達

外部端子/周辺機能から発生した割り込み要求のうち、スタンバイ解除要因にならないものは直接 CPU に接続されます。

スタンバイ解除要因として使用できる割り込みは、クロックジェネレータを経由して CPU に接続されるため、クロックジェネレータの設定が必要です。ただし、外部割り込みについてはスタンバイ解除要因として使用しない場合はクロックジェネレータの設定なしで使用することもできます。この場合、次項の注意事項に留意して使用してください。

### 7.5.1.4 外部割り込み端子を使用する際の注意

外部割り込みを使用する際には、予期しない割り込みが発生しないよう以下の点に留意してください。

外部割り込み端子からの入力信号は、入力ディセーブル( $PxIE < PxIE = "0"$ )の場合"High"となります。また、外部割り込みをスタンバイ解除要因として使用しない場合（「図 7-1 割り込みの経路」の⑥の経路）、外部割り込み端子からの入力信号がそのまま CPU に伝わります。CPU は"High"入力を割り込みとして認識しますので、入力ディセーブルのまま CPU で該当する割り込みを有効にすると割り込みが発生します。

外部割り込みをスタンバイ解除要因とせずに使用する際には、割り込み端子入力を"Low"レベルとして入力ディセーブルにし、その後 CPU で割り込み許可設定を行ってください。

7.5.1.5 要因一覧

割り込みの要因一覧を表 7-3 に示します。

製品別詳細については、「製品情報」の章を参照してください。

表 7-3 割り込み要因一覧

番号	番号	要因	低消費電力モード解除と割り込みの アクティブレベル					CG 割り込み モード コントロールレ ジスタ	
			"Low" レベル	"High" レベル	立ち 上がり エッジ	立ち 下がり エッジ	両 エッジ		
0	INT0	外部割り込み端子 0	o	o	o	o	o	CGIMCGA	
1	INT1	外部割り込み端子 1	o	o	o	o	o		
2	INT2	外部割り込み端子 2	o	o	o	o	o		
3	INT3	外部割り込み端子 3	o	o	o	o	o		
4	INT4	外部割り込み端子 4	o	o	o	o	o		
5	INT5	外部割り込み端子 5	o	o	o	o	o	CGIMCGB	
6	INTRX0	シリアルチャネル受信割り込み (Channel 0)							
7	INTTX0	シリアルチャネル送信割り込み (Channel 0)							
8	INTRX1	シリアルチャネル受信割り込み (Channel 1)							
9	INTTX1	シリアルチャネル送信割り込み (Channel 1)							
10	INTSSP0	SSP 割り込み (channel 0)							
11	Reserved	Reserved							
12	Reserved	Reserved							
13	Reserved	Reserved							
14	INTSBI0	SBI 送受信割り込み 0							
15	Reserved	Reserved							
16	Reserved	Reserved							
17	INTRTC	RTC 割り込み	x	x	x	o	x		CGIMCGE
18	Reserved	Reserved							
19	INTRMCRX	リモコン受信割り込み	x	x	o	x	x		CGIMCGE
20	INTTB00	16 ビットタイマ/イベントカウンタ コンペ ア一致 0 / オーバフロー割り込み(channel 0)							
21	INTTB01	16 ビットタイマ/イベントカウンタ コンペ ア一致 1(channel 0)							
22	INTTB10	16 ビットタイマ/イベントカウンタ コンペ ア一致 0 / オーバフロー割り込み(channel 1)							
23	INTTB11	16 ビットタイマ/イベントカウンタ コンペ ア一致 1(channel 1)							
24	INTTB40	16 ビットタイマ/イベントカウンタ コンペ ア一致 0 / オーバフロー割り込み(channel 4)							
25	INTTB41	16 ビットタイマ/イベントカウンタ コンペ ア一致 1(channel 4)							
26	INTTB50	16 ビットタイマ/イベントカウンタ コンペ ア一致 0 / オーバフロー割り込み(channel 5)							
27	INTTB51	16 ビットタイマ/イベントカウンタ コンペ ア一致 1(channel 5)							
28	Reserved	Reserved							
29	Reserved	Reserved							

表 7-3 割り込み要因一覧

番号	要因	低消費電力モード解除と割り込みの アクティブレベル					CG 割り込み モード コントロールレ ジスタ
		"Low" レベル	"High" レベル	立ち 上がり エッジ	立ち 下がり エッジ	両 エッジ	
30	INTCAP00	16 ビットタイマ/イベントカウンタ イン ットキャプチャ 0 (channel 0)					
31	INTCAP01	16 ビットタイマ/イベントカウンタ イン ットキャプチャ 1 (channel 0)					
32	INTCAP10	16 ビットタイマ/イベントカウンタ イン ットキャプチャ 0 (channel 1)					
33	INTCAP11	16 ビットタイマ/イベントカウンタ イン ットキャプチャ 1 (channel 1)					
34	INTCAP40	16 ビットタイマ/イベントカウンタ イン ットキャプチャ 0 (channel 4)					
35	INTCAP41	16 ビットタイマ/イベントカウンタ イン ットキャプチャ 1 (channel 4)					
36	INTCAP50	16 ビットタイマ/イベントカウンタ イン ットキャプチャ 0 (channel 5)					
37	INTCAP51	16 ビットタイマ/イベントカウンタ イン ットキャプチャ 1 (channel 5)					
38	INT6	外部割り込み端子 6	o	o	o	o	o
39	INT7	外部割り込み端子 7	o	o	o	o	o
40	INTRX2	シリアルチャネル受信割り込み (Channel 2)					
41	INTTX2	シリアルチャネル送信割り込み (Channel 2)					
42	INTADCP0	ADC 監視割り込み 0					
43	INTADCP1	ADC 監視割り込み 1					
44	INTUART0	UART 送受信割り込み (channel 0)					
45	Reserved	Reserved					
46	INTTB20	16 ビットタイマ/イベントカウンタ コン ペアー一致 0 / オーバフロー割り込み(channel 2)					
47	INTTB21	16 ビットタイマ/イベントカウンタ コン ペアー一致 1(channel 2)					
48	INTTB30	16 ビットタイマ/イベントカウンタ コン ペアー一致 0 / オーバフロー割り込み(channel 3)					
49	INTTB31	16 ビットタイマ/イベントカウンタ コン ペアー一致 1(channel 3)					
50	INTCAP20	16 ビットタイマ/イベントカウンタ イン ットキャプチャ 0 (channel 2)					
51	INTCAP21	16 ビットタイマ/イベントカウンタ イン ットキャプチャ 1 (channel 2)					
52	INTCAP30	16 ビットタイマ/イベントカウンタ イン ットキャプチャ 0 (channel 3)					
53	INTCAP31	16 ビットタイマ/イベントカウンタ イン ットキャプチャ 1 (channel 3)					
54	INTADSFT	ADC ソフトスタート変換終了割り込み					
55	Reserved	Reserved					
56	INTADTMR	ADC タイマ同期変換終了割り込み					
57	Reserved	Reserved					
58	INT8	外部割り込み端子 8	o	o	o	o	o
59	INT9	外部割り込み端子 9	o	o	o	o	o
60	INTA	外部割り込み端子 A	o	o	o	o	o
61	INTB	外部割り込み端子 B	o	o	o	o	o

表 7-3 割り込み要因一覧

番号	要因		低消費電力モード解除と割り込みのアクティブレベル					CG 割り込みモード コントロールレジスタ
			"Low"レベル	"High"レベル	立ち上がりエッジ	立ち下がりエッジ	両エッジ	
62	Reserved	Reserved						
63	Reserved	Reserved						
64	Reserved	Reserved						
65	Reserved	Reserved						
66	INTTB60	16 ビットタイマ/イベントカウンタ コンペアー一致 0 / オーバフロー割り込み(channel 6)						
67	INTTB61	16 ビットタイマ/イベントカウンタ コンペアー一致 1(channel 6)						
68	INTTB70	16 ビットタイマ/イベントカウンタ コンペアー一致 0 / オーバフロー割り込み(channel 7)						
69	INTTB71	16 ビットタイマ/イベントカウンタ コンペアー一致 1(channel 7)						
70	INTCAP60	16 ビットタイマ/イベントカウンタ インプットキャプチャ 0 (channel 6)						
71	INTCAP61	16 ビットタイマ/イベントカウンタ インプットキャプチャ 1 (channel 6)						
72	INTCAP70	16 ビットタイマ/イベントカウンタ インプットキャプチャ 0 (channel 7)						
73	INTCAP71	16 ビットタイマ/イベントカウンタ インプットキャプチャ 1 (channel 7)						
74	INTC	外部割り込み端子 C	o	o	o	o	o	CGIMCGD
75	INTD	外部割り込み端子 D	o	o	o	o	o	
76	INTE	外部割り込み端子 E	o	o	o	o	o	
77	INTF	外部割り込み端子 F	o	o	o	o	o	

注) 低消費電力モード解除のアクティブレベルは "o" のついたものが選択できます。"x" のついたものは選択できません。

### 7.5.1.6 アクティブレベル

アクティブレベルはどのような信号変化を割り込み要因と見なすかを示しています。CPU は割り込み信号の "High" を割り込み要因とみなします。各種周辺機能から CPU へ直接割り込み信号が伝わるものは、割り込み要求として "High" パルスを出力するようになっています。

スタンバイ解除要因となる割り込みについては、クロックジェネレータに設定するアクティブレベルは、周辺機能からの割り込み要求は立ち上がり(↑)エッジまたは立ち下がり(↓)エッジとなり、割り込み端子からの割り込み要求は "High" レベル、"Low" レベル、立ち上がり(↑)エッジ、立ち下がり(↓)エッジから選ぶことができます。

スタンバイ解除要因となる割り込みを使用するときにはクロックジェネレータレジスタの CGIMCGx<INTxEN>を有効にし、CGIMCGx<EMCGx[2:0]>にアクティブレベルを設定します。周辺機能からの割り込み要求のアクティブレベルは表 7-3 で指定されているとおりに設定してください。

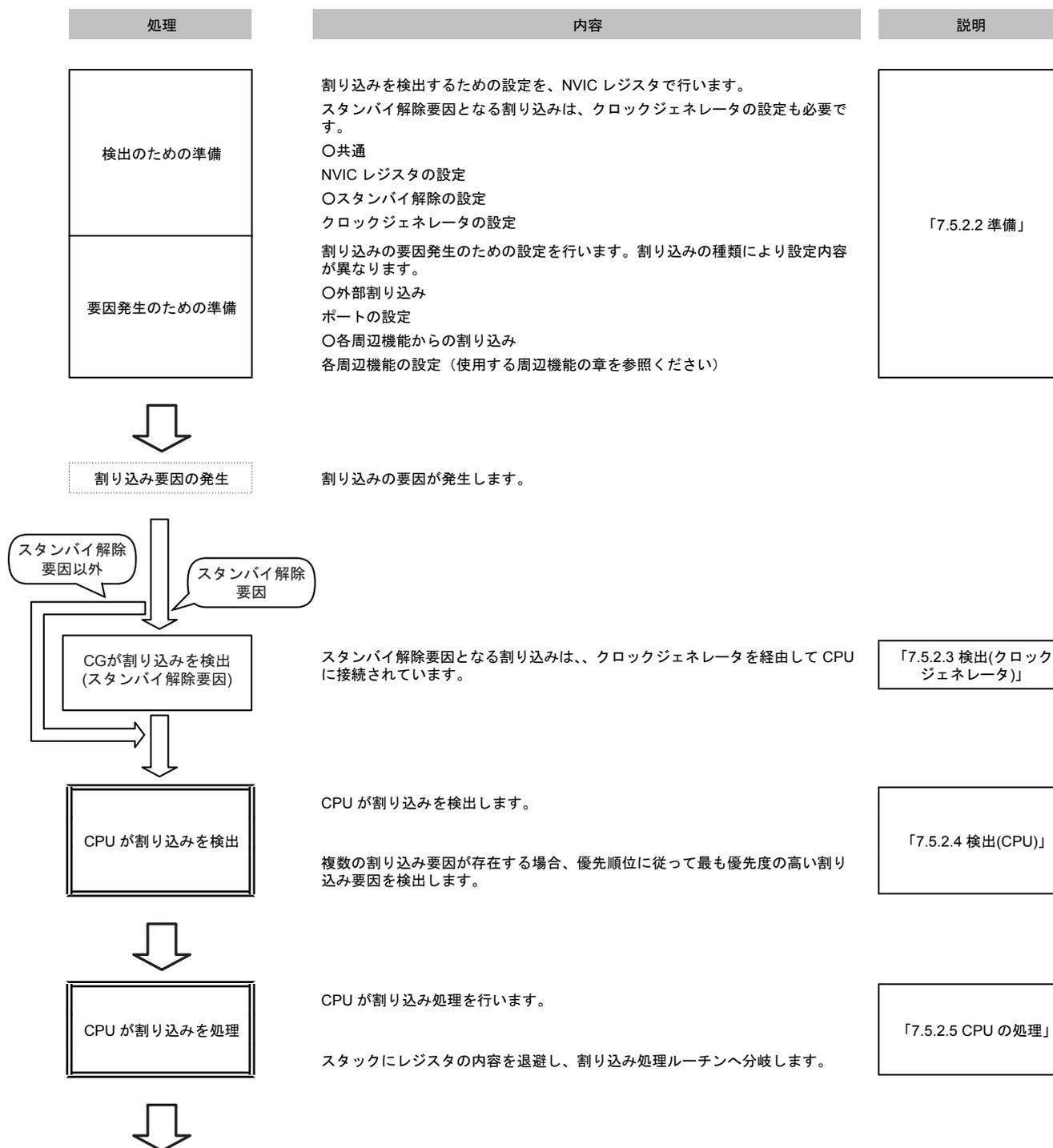
クロックジェネレータで検出された割り込みは、"High" レベル信号で CPU に通知されます。

## 7.5.2 処理詳細

### 7.5.2.1 処理の流れ

割り込みの処理の流れを以下に示します。

以下の説明で、はハードウェアによる処理を、はソフトウェアによる処理を示しています。



処理	内容	説明
割り込み サービスルーチン実行	必要な処理をプログラミングしてください。 必要に応じて割り込み要因の取り下げを行ってください。	「7.5.2.6 割り込み処理ルーチンでの処理(要因の取り下げ)」
↓ 元のプログラムへ復帰	割り込み処理ルーチンから通常の処理プログラムに復帰します。	

### 7.5.2.2 準備

割り込みの準備を行うときには、設定途中で不要な割り込みの発生を防ぐために設定の順番に注意が必要です。

割り込みの使用開始、または設定変更のときの基本的な順序は、まず、CPU で割り込みを禁止し、次に割り込み経路で CPU から遠いところから設定を行い、最後に CPU で割り込みを許可します。

クロックジェネレータの設定を行うときには、条件の設定を行った後、不要な割り込みが発生しないよう、クロックジェネレータ内部の割り込み情報をクリアしてから割り込み許可の設定を行います。

以下に設定の手順と、手順ごとの具体的な設定方法を示します。

1. CPU 割り込み禁止
2. CPU 割り込み設定
3. 要因の準備(1)(外部割り込み)
4. 要因の準備(2)(周辺機能からの割り込み)
5. 要因の準備(3)(割り込み保留セットレジスタ)
6. クロックジェネレータの設定
7. CPU 割り込み許可

#### (1) CPU 割り込み禁止

CPU を割り込み禁止状態にするには、PRIMASK レジスタに"1"をセットします。これにより、マスク不能割り込みとハードフォールト例外以外のすべての割り込みと例外がマスクされます。

このレジスタをセットするためには"MSR"命令を使用します。

割り込みマスクレジスタ		
PRIMASK	←	"1"(割り込み禁止)

注 1) PRIMASK レジスタは、ユーザ・アクセス・レベルではセットできません。

注 2) PRIMASK レジスタに"1"がセットされているとき、フォールトが発生するとハードフォールトとして扱われます。

#### (2) CPU 割り込み設定

NVIC レジスタの割り込み優先度 レジスタで<PRI\_n>に優先度の設定を行います。

このレジスタは、8 ビットごとに各割り込み要因に割り当てられていますが、製品ごとに構成するビット数が異なります。8 ビットの構成の場合「0」から「255」までの優先度を設定することができます。最も高い優先度は「0」です。複数の要因を同じ優先度に設定した場合、番号の小さい割り込みの優先度が高くなります。

グループ優先度を設定する場合にはアプリケーション割り込みおよびリセット制御レジスタの<PRIGROUP>も設定します。

NVIC レジスタ		
<PRI_n>	←	「優先度」
<PRIGROUP>	←	「グループ優先度」(必要に応じて設定してください)

注) 「n」は該当する例外/割り込みの番号を示します。  
本製品では割り込み優先度レジスタの優先度設定領域は3ビットの構成になっています。

### (3) 要因の準備(1) (外部割り込み)

外部割り込みを使用する場合、該当する端子のポートの設定を行います。機能端子として使用するため、該当するポートのファンクションレジスタ PxFRn[m]を"1"に、ポートを入力として使用するために PxIE[m]を"1"に設定します。

ポートレジスタ		
PxFRn<PxIFn>	←	"1"
PxIE<PxIE>	←	"1"

注) 「x」は該当ポート番号、「m」は該当ビット、「n」はファンクションレジスタ番号を示します。  
STOP 以外のモードでは、PxIE で入力イネーブル設定であれば PxFR の設定によらず割り込みの入力が有効になります。割り込みの設定を行う際に、未使用の割り込みをイネーブルにしないようご注意ください。また、「7.5.1.4 外部割り込み端子を使用する際の注意」の記載事項に注意してください。

### (4) 要因の準備(2) (周辺機能からの割り込み)

周辺機能からの割り込みを使用する場合、設定方法は周辺機能によって異なります。各周辺機能の章をご覧ください。

### (5) 要因の準備(3) (割り込み保留セットレジスタ)

割り込み保留セットレジスタで割り込みを発生する場合、該当するビットに"1"をセットします。

NVIC レジスタ		
割り込み保留セット[m]	←	"1"

注) 「m」は該当ビットを示します。

### (6) クロックジェネレータの設定

スタンバイ解除要因となる割り込みは、クロックジェネレータの CGIMCG レジスタでアクティブレベルと割り込み許可の設定を行います。CGIMCG レジスタは要因ごとの設定レジスタです。

割り込み許可の前に、不要な割り込み発生を防止するため割り込み要求のクリアを CGICRCG レジスタで行います。CGICRCG レジスタは、要因に対応した値を書き込むことで保持されていた割り込み要求をクリアすることができます。具体的な値は、「7.6.3.2 CGICRCG(CG 割り込み要求クリアレジスタ)」を参照してください。

割り込み端子からの割り込み要求をスタンバイ解除要因として使用しない場合、クロックジェネレータの設定を行わずに使用することもできます。ただし、CPUが割り込み要因として検出するためには、「High」パルスまたは「High」レベルの信号を入力する必要があります。また、「7.5.1.4 外部割り込み端子を使用する際の注意」の記載事項に注意してください。

クロックジェネレータレジスタ		
CGIMCGn<EMCGm>	←	アクティブレベル
CGICRCG<ICRCG>	←	使用する要因に対応する値
CGIMCGn<INTmEN>	←	"1"(割り込み許可)

注) 「n」はレジスタ番号、「m」は割り込み要因固有の番号を示します。

## (7) CPU 割り込み許可

CPUの割り込み許可の設定をします。

割り込み保留クリアレジスタで保留状態の割り込みをクリアし、割り込みイネーブルセットレジスタで割り込みを許可します。これらのレジスタは1ビットずつ各割り込み要因に割り当てられています。

割り込み保留クリアレジスタの該当する割り込みのビットに"1"を書くことで保留されている要因をクリアすることができ、割り込みイネーブルセットレジスタの該当する割り込みのビットに"1"を書くことで割り込みを許可することができます。

ただし、割り込み保留セットレジスタの設定で割り込みを発生する場合、割り込み保留クリアを行うと割り込み要因そのものが失われるため、この操作は不要です。

最後に、PRIMASKレジスタを"0"にクリアします。

NVIC レジスタ		
割り込み保留クリア[m]	←	"1"
割り込みイネーブルセット[m]	←	"1"
割り込みマスクレジスタ		
PRIMASK	←	"0"

注 1) 「m」は該当ビットを示します。

注 2) PRIMASKレジスタは、ユーザ・アクセス・レベルではセットできません。

### 7.5.2.3 検出(クロックジェネレータ)

スタンバイ解除要因となる割り込みは、クロックジェネレータに設定されたアクティブレベルにしたがって検出されCPUに伝えられます。

アクティブレベルが立ち上がりまたは立ち下がりエッジの割り込み要因は、検出された後クロックジェネレータで要因が保持されますが、「High」レベルまたは「Low」レベル設定の割り込み要因は、アクティブレベルから変化すると割り込み要因がなくなったとみなされるため、割り込み検出までレベルを保つ必要があります。

クロックジェネレータは割り込みを検出するとCG割り込み要求クリアレジスタ(CGICRCG)で解除されるまで「High」レベルの割り込み信号をCPUに出力します。解除を行わずに復帰すると再度同じ割り込みが検出されますので、割り込み処理ルーチン内で割り込みの解除を行ってください。

#### 7.5.2.4 検出(CPU)

CPU は優先順位に従って最も優先度の高い割り込み要因を検出します。

#### 7.5.2.5 CPU の処理

割り込みが検出されると、CPU はスタックへ PC, PSR, r0~r3, r12, LR を退避し、検出した割り込みの割り込み処理ルーチンへ分岐します。

#### 7.5.2.6 割り込み処理ルーチンでの処理(要因の取り下げ)

割り込み処理ルーチンではアプリケーションにより必要な内容をプログラミングしますが、ここでは推奨する処理と要因の取り下げについて説明します。

##### (1) 割り込み処理ルーチンでの処理

通常、割り込み処理ルーチンでは必要なレジスタの退避と割り込み処理を行います。Cortex-M3 コアは自動的に PC, PSR, r0~r3, r12, LR をスタックへ退避するため、これらのレジスタをユーザプログラムで退避する必要はありません。

その他のレジスタについては必要に応じて退避します。

割り込み処理ルーチン実行中でも、より高い優先度の割り込みや NMI などの例外は受け付けられます。そのため書き換わる可能性のある、汎用レジスタを退避することを推奨します。

##### (2) 割り込み要因の取り下げ

スタンバイ解除要因となる割り込みについては、CGICRCG レジスタで割り込み要求を解除する必要があります。

アクティブレベルがレベル検出の割り込みの場合、要因そのものを取り下げない限り割り込み要求は存在し続けるため、まず要因を取り下げる必要があります。レベル検出の場合は、要因が取り下げられるとクロックジェネレータからの割り込み要求信号は自動的に取り下げられます。

エッジ検出の場合は CGICRCG レジスタに該当する割り込みの値を設定することで要因は取り下げられ、再度有効なエッジが発生したときに改めて要因として認識されます。

## 7.6 例外/割り込み関連レジスタ

以下に、本章で説明した CPU の NVIC レジスタとクロックジェネレータレジスタとアドレスを示します。

### 7.6.1 レジスタ一覧

NVIC レジスタ		Base Address = 0xE000_E000
レジスタ名		Address(Base+)
SysTick 制御およびステータスレジスタ		0x0010
SysTick リロード値レジスタ		0x0014
SysTick 現在値レジスタ		0x0018
SysTick 較正值レジスタ		0x001C
割り込みイネーブルセットレジスタ 1		0x0100
割り込みイネーブルセットレジスタ 2		0x0104
割り込みイネーブルセットレジスタ 3		0x0108
割り込みイネーブルクリアレジスタ 1		0x0180
割り込みイネーブルクリアレジスタ 2		0x0184
割り込みイネーブルクリアレジスタ 3		0x0188
割り込み保留セットレジスタ 1		0x0200
割り込み保留セットレジスタ 2		0x0204
割り込み保留セットレジスタ 3		0x0208
割り込み保留クリアレジスタ 1		0x0280
割り込み保留クリアレジスタ 2		0x0284
割り込み保留クリアレジスタ 3		0x0288
割り込み優先度レジスタ		0x0400 ~ 0x045C
ベクタテーブルオフセットレジスタ		0x0D08
アプリケーション割り込みおよびリセット制御レジスタ		0x0D0C
システムハンドラ優先度レジスタ		0x0D18, 0x0D1C, 0x0D20
システムハンドラ制御および状態レジスタ		0x0D24

クロックジェネレータレジスタ			Base Address = 0x4004_0200
レジスタ名			Address(Base+)
CG 割り込み要求クリアレジスタ	CGICRCG		0x0014
NMI フラグレジスタ	CGNMIFLG		0x0018
リセットフラグレジスタ	CGRSTFLG		0x001C
CG 割り込みモードコントロールレジスタ A	CGIMCGA		0x0020
CG 割り込みモードコントロールレジスタ B	CGIMCGB		0x0024
CG 割り込みモードコントロールレジスタ C	CGIMCGC		0x0028
CG 割り込みモードコントロールレジスタ D	CGIMCGD		0x002C
CG 割り込みモードコントロールレジスタ E	CGIMCGE		0x0030

## 7.6.2 NVIC レジスタ

### 7.6.2.1 SysTick 制御およびステータスレジスタ

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	COUNTFLAG
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	CLKSOURCE	TICKINT	ENABLE
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-17	-	R	リードすると"0"が読めます。
16	COUNTFLAG	R/W	0: タイマは0になっていない 1: タイマが0になった "1"の場合、最後の読み出しの後にタイマが"0"になったことを示します。 このレジスタのいずれかの部分を読み出すとこのビットはクリアされます。
15-3	-	R	リードすると"0"が読めます。
2	CLKSOURCE	R/W	0: 外部参照クロック( $f_{osc}/32$ ) 1: CPU クロック( $f_{sys}$ )
1	TICKINT	R/W	0: SysTick を保留しない 1: SysTick を保留する
0	ENABLE	R/W	0: ディセーブル 1: イネーブル "1"をセットするとリロード値レジスタの値をカウンタにロードし、動作を開始します。

注) 本製品では、外部参照クロックとして  $f_{osc}$ (CGOSCCR<OSCSEL>で選択されるクロック)を 32 分周したクロックが使用されます。

## 7.6.2.2 SysTick リロード値レジスタ

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	RELOAD							
リセット後	不定							
	15	14	13	12	11	10	9	8
bit symbol	RELOAD							
リセット後	不定							
	7	6	5	4	3	2	1	0
bit symbol	RELOAD							
リセット後	不定							

Bit	Bit Symbol	Type	機能
31-24	-	R	リードすると"0"が読めます。
23-0	RELOAD	R/W	リロード値 タイマが"0"になったときに SysTick 現在値レジスタにロードする値を設定します。

## 7.6.2.3 SysTick 現在値レジスタ

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	CURRENT							
リセット後	不定							
	15	14	13	12	11	10	9	8
bit symbol	CURRENT							
リセット後	不定							
	7	6	5	4	3	2	1	0
bit symbol	CURRENT							
リセット後	不定							

Bit	Bit Symbol	Type	機能
31-24	-	R	リードすると"0"が読めます。
23-0	CURRENT	R/W	[リード] SysTick タイマ現在値 [ライト] クリア 任意の値を書き込むとタイマカウントがクリアされます。 このレジスタをクリアすることで、SysTick 制御およびステータスレジスタの<COUNTFLAG>もクリアされます。

## 7.6.2.4 SysTick 較正值レジスタ

	31	30	29	28	27	26	25	24
bit symbol	NOREF	SKEW	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	TENMS							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	TENMS							
リセット後	0	0	0	0	1	0	0	1
	7	6	5	4	3	2	1	0
bit symbol	TENMS							
リセット後	1	1	0	0	0	1	0	0

Bit	Bit Symbol	Type	機能
31	NOREF	R	0: 参照クロックあり 1: 参照クロックなし
30	SKEW	R	0: 較正值は 10 ms 1: 較正值は 10 ms でない
29-24	-	R	リードすると"0"が読めます。
23-0	TENMS	R	較正值 外部参照クロックで 10 ms をカウントするために使用するリロード値(0x9C4)です。(注)

注) マルチショットで使用する場合、この値を-1して使用してください。

#### 7.6.2.5 割り込み制御用レジスタ

それぞれの割り込み要因について、割り込みイネーブルセットレジスタ、割り込みイネーブルクリアレジスタ、割り込み保留セットレジスタ、割り込みクリアレジスタがあります。

各ビットが指定された割り込みに対応しています。

## (1) 割り込みイネーブルセットレジスタ

割り込みを許可したり、割り込みの許可/禁止状態が確認できます。

"1"をライトすることで該当する割り込みを許可します。

"0"の書き込みは意味を持ちません。

リードすると該当する割り込みの許可/禁止状態が確認できます。

Bit symbol	Type	機能
SETENA	R/W	割り込み番号[77:0] [ライト] 0: Don't care 1: 割り込みを許可状態にする [リード] 0: 割り込みが禁止状態 1: 割り込みが許可状態

注) 割り込みの内容と割り込み番号については、「7.5.1.5 要因一覧」を参照してください。

(a) 割り込みイネーブルセットレジスタ 1

	31	30	29	28	27	26	25	24
bit symbol	SETENA (割り込み 31)	SETENA (割り込み 30)	-	-	SETENA (割り込み 27)	SETENA (割り込み 26)	SETENA (割り込み 25)	SETENA (割り込み 24)
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	SETENA (割り込み 23)	SETENA (割り込み 22)	SETENA (割り込み 21)	SETENA (割り込み 20)	SETENA (割り込み 19)	-	SETENA (割り込み 17)	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	SETENA (割り込み 14)	-	-	-	SETENA (割り込み 10)	SETENA (割り込み 9)	SETENA (割り込み 8)
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SETENA (割り込み 7)	SETENA (割り込み 6)	SETENA (割り込み 5)	SETENA (割り込み 4)	SETENA (割り込み 3)	SETENA (割り込み 2)	SETENA (割り込み 1)	SETENA (割り込み 0)
リセット後	0	0	0	0	0	0	0	0

(b) 割り込みイネーブルセットレジスタ 2

	31	30	29	28	27	26	25	24
bit symbol	-	-	SETENA (割り込み 61)	SETENA (割り込み 60)	SETENA (割り込み 59)	SETENA (割り込み 58)	-	SETENA (割り込み 56)
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	SETENA (割り込み 54)	SETENA (割り込み 53)	SETENA (割り込み 52)	SETENA (割り込み 51)	SETENA (割り込み 50)	SETENA (割り込み 49)	SETENA (割り込み 48)
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	SETENA (割り込み 47)	SETENA (割り込み 46)	-	SETENA (割り込み 44)	SETENA (割り込み 43)	SETENA (割り込み 42)	SETENA (割り込み 41)	SETENA (割り込み 40)
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SETENA (割り込み 39)	SETENA (割り込み 38)	SETENA (割り込み 37)	SETENA (割り込み 36)	SETENA (割り込み 35)	SETENA (割り込み 34)	SETENA (割り込み 33)	SETENA (割り込み 32)
リセット後	0	0	0	0	0	0	0	0

## (c) 割り込みイネーブルセットレジスタ 3

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	SETENA (割り込み 77)	SETENA (割り込み 76)	SETENA (割り込み 75)	SETENA (割り込み 74)	SETENA (割り込み 73)	SETENA (割り込み 72)
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SETENA (割り込み 71)	SETENA (割り込み 70)	SETENA (割り込み 69)	SETENA (割り込み 68)	SETENA (割り込み 67)	SETENA (割り込み 66)	-	-
リセット後	0	0	0	0	0	0	0	0

## (2) 割り込みイネーブルクリアレジスタ

割り込みを禁止したり、割り込みの許可/禁止状態が確認できます。

"1"をライトすることで該当する割り込みを禁止します。

"0"の書き込みは意味を持ちません。

リードすると該当する割り込みの許可/禁止状態が確認できます。

Bit symbol	Type	機能
CLRENA	R/W	割り込み番号[77:0] [ライト] 0: Don't care 1: 割り込みを禁止状態にする [リード] 0: 割り込みが禁止状態 1: 割り込みが許可状態

注) 割り込みの内容と割り込み番号については、「7.5.1.5 要因一覧」を参照してください。

(a) 割り込みイネーブルクリアレジスタ 1

	31	30	29	28	27	26	25	24
bit symbol	CLRENA (割り込み 31)	CLRENA (割り込み 30)	-	-	CLRENA (割り込み 27)	CLRENA (割り込み 26)	CLRENA (割り込み 25)	CLRENA (割り込み 24)
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	CLRENA (割り込み 23)	CLRENA (割り込み 22)	CLRENA (割り込み 21)	CLRENA (割り込み 20)	CLRENA (割り込み 19)	-	CLRENA (割り込み 17)	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	CLRENA (割り込み 14)	-	-	-	CLRENA (割り込み 10)	CLRENA (割り込み 9)	CLRENA (割り込み 8)
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	CLRENA (割り込み 7)	CLRENA (割り込み 6)	CLRENA (割り込み 5)	CLRENA (割り込み 4)	CLRENA (割り込み 3)	CLRENA (割り込み 2)	CLRENA (割り込み 1)	CLRENA (割り込み 0)
リセット後	0	0	0	0	0	0	0	0

(b) 割り込みイネーブルクリアレジスタ 2

	31	30	29	28	27	26	25	24
bit symbol	-	-	CLRENA (割り込み 61)	CLRENA (割り込み 60)	CLRENA (割り込み 59)	CLRENA (割り込み 58)	-	CLRENA (割り込み 56)
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	CLRENA (割り込み 54)	CLRENA (割り込み 53)	CLRENA (割り込み 52)	CLRENA (割り込み 51)	CLRENA (割り込み 50)	CLRENA (割り込み 49)	CLRENA (割り込み 48)
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	CLRENA (割り込み 47)	CLRENA (割り込み 46)	-	CLRENA (割り込み 44)	CLRENA (割り込み 43)	CLRENA (割り込み 42)	CLRENA (割り込み 41)	CLRENA (割り込み 40)
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	CLRENA (割り込み 39)	CLRENA (割り込み 38)	CLRENA (割り込み 37)	CLRENA (割り込み 36)	CLRENA (割り込み 35)	CLRENA (割り込み 34)	CLRENA (割り込み 33)	CLRENA (割り込み 32)
リセット後	0	0	0	0	0	0	0	0

(c) 割り込みイネーブルクリアレジスタ 3

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	CLRENA (割り込み 77)	CLRENA (割り込み 76)	CLRENA (割り込み 75)	CLRENA (割り込み 74)	CLRENA (割り込み 73)	CLRENA (割り込み 72)
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	CLRENA (割り込み 71)	CLRENA (割り込み 70)	CLRENA (割り込み 69)	CLRENA (割り込み 68)	CLRENA (割り込み 67)	CLRENA (割り込み 66)	-	-
リセット後	0	0	0	0	0	0	0	0

### (3) 割り込み保留セットレジスタ

割り込みを強制的に保留したり、保留されているかどうかを確認できます。

"1"をライトすることで該当する割り込みを保留します。ただし、すでに保留されている割り込みおよび禁止されている割り込みに対しては無効です。

"0"の書き込みは意味を持ちません。

リードの場合、該当する割り込みが保留されているかどうかを示します。

Bit symbol	Type	機能
SETPEND	R/W	割り込み番号[77:0] [ライト] 0: Don't care 1: 保留する [リード] 0: 保留なし 1: 保留あり

注) 割り込みの内容と割り込み番号については、「7.5.1.5 要因一覧」を参照してください。

(a) 割り込み保留セットレジスタ 1

	31	30	29	28	27	26	25	24
bit symbol	SETPEND (割り込み 31)	SETPEND (割り込み 30)	-	-	SETPEND (割り込み 27)	SETPEND (割り込み 26)	SETPEND (割り込み 25)	SETPEND (割り込み 24)
リセット後	不定							
	23	22	21	20	19	18	17	16
bit symbol	SETPEND (割り込み 23)	SETPEND (割り込み 22)	SETPEND (割り込み 21)	SETPEND (割り込み 20)	SETPEND (割り込み 19)	-	SETPEND (割り込み 17)	-
リセット後	不定							
	15	14	13	12	11	10	9	8
bit symbol	-	SETPEND (割り込み 14)	-	-	-	SETPEND (割り込み 10)	SETPEND (割り込み 9)	SETPEND (割り込み 8)
リセット後	不定							
	7	6	5	4	3	2	1	0
bit symbol	SETPEND (割り込み 7)	SETPEND (割り込み 6)	SETPEND (割り込み 5)	SETPEND (割り込み 4)	SETPEND (割り込み 3)	SETPEND (割り込み 2)	SETPEND (割り込み 1)	SETPEND (割り込み 0)
リセット後	不定							

(b) 割り込み保留セットレジスタ 2

	31	30	29	28	27	26	25	24
bit symbol	-	-	SETPEND (割り込み 61)	SETPEND (割り込み 60)	SETPEND (割り込み 59)	SETPEND (割り込み 58)	-	SETPEND (割り込み 56)
リセット後	不定							
	23	22	21	20	19	18	17	16
bit symbol	-	SETPEND (割り込み 54)	SETPEND (割り込み 53)	SETPEND (割り込み 52)	SETPEND (割り込み 51)	SETPEND (割り込み 50)	SETPEND (割り込み 49)	SETPEND (割り込み 48)
リセット後	不定							
	15	14	13	12	11	10	9	8
bit symbol	SETPEND (割り込み 47)	SETPEND (割り込み 46)	-	SETPEND (割り込み 44)	SETPEND (割り込み 43)	SETPEND (割り込み 42)	SETPEND (割り込み 41)	SETPEND (割り込み 40)
リセット後	不定							
	7	6	5	4	3	2	1	0
bit symbol	SETPEND (割り込み 39)	SETPEND (割り込み 38)	SETPEND (割り込み 37)	SETPEND (割り込み 36)	SETPEND (割り込み 35)	SETPEND (割り込み 34)	SETPEND (割り込み 33)	SETPEND (割り込み 32)
リセット後	不定							

## (c) 割り込み保留セットレジスタ 3

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定							
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定							
	15	14	13	12	11	10	9	8
bit symbol	-	-	SETPEND (割り込み 77)	SETPEND (割り込み 76)	SETPEND (割り込み 75)	SETPEND (割り込み 74)	SETPEND (割り込み 73)	SETPEND (割り込み 72)
リセット後	不定							
	7	6	5	4	3	2	1	0
bit symbol	SETPEND (割り込み 71)	SETPEND (割り込み 70)	SETPEND (割り込み 69)	SETPEND (割り込み 68)	SETPEND (割り込み 67)	SETPEND (割り込み 66)	-	-
リセット後	不定							

#### (4) 割り込み保留クリアレジスタ

保留された割り込みをクリアしたり、保留されているかどうかを確認できます。

"1"をライトすることで該当する保留された割り込みをクリアします。ただし、すでに処理が開始されている割り込みに対しては無効です。

"0"の書き込みは意味を持ちません。

リードの場合、該当する割り込みが保留されているかどうかを示します。

Bit symbol	Type	機能
CLRPEND	R/W	割り込み番号[77:0] [ライト] 0: Don't care 1: 保留をクリアする [リード] 0: 保留なし 1: 保留あり

注) 割り込みの内容と割り込み番号については、「7.5.1.5 要因一覧」を参照してください。

(a) 割り込み保留クリアレジスタ 1

	31	30	29	28	27	26	25	24
bit symbol	CLRPEND (割り込み 31)	CLRPEND (割り込み 30)	-	-	CLRPEND (割り込み 27)	CLRPEND (割り込み 26)	CLRPEND (割り込み 25)	CLRPEND (割り込み 24)
リセット後	不定							
	23	22	21	20	19	18	17	16
bit symbol	CLRPEND (割り込み 23)	CLRPEND (割り込み 22)	CLRPEND (割り込み 21)	CLRPEND (割り込み 20)	CLRPEND (割り込み 19)	-	CLRPEND (割り込み 17)	-
リセット後	不定							
	15	14	13	12	11	10	9	8
bit symbol	-	CLRPEND (割り込み 14)	-	-	-	CLRPEND (割り込み 10)	CLRPEND (割り込み 9)	CLRPEND (割り込み 8)
リセット後	不定							
	7	6	5	4	3	2	1	0
bit symbol	CLRPEND (割り込み 7)	CLRPEND (割り込み 6)	CLRPEND (割り込み 5)	CLRPEND (割り込み 4)	CLRPEND (割り込み 3)	CLRPEND (割り込み 2)	CLRPEND (割り込み 1)	CLRPEND (割り込み 0)
リセット後	不定							

(b) 割り込み保留クリアレジスタ 2

	31	30	29	28	27	26	25	24
bit symbol	-	-	CLRPEND (割り込み 61)	CLRPEND (割り込み 60)	CLRPEND (割り込み 59)	CLRPEND (割り込み 58)	-	CLRPEND (割り込み 56)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	CLRPEND (割り込み 54)	CLRPEND (割り込み 53)	CLRPEND (割り込み 52)	CLRPEND (割り込み 51)	CLRPEND (割り込み 50)	CLRPEND (割り込み 49)	CLRPEND (割り込み 48)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	CLRPEND (割り込み 47)	CLRPEND (割り込み 46)	-	CLRPEND (割り込み 44)	CLRPEND (割り込み 43)	CLRPEND (割り込み 42)	CLRPEND (割り込み 41)	CLRPEND (割り込み 40)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	CLRPEND (割り込み 39)	CLRPEND (割り込み 38)	-CLRPEND (割り込み 37)	CLRPEND (割り込み 36)	CLRPEND (割り込み 35)	CLRPEND (割り込み 34)	CLRPEND (割り込み 33)	CLRPEND (割り込み 32)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定

(c) 割り込み保留クリアレジスタ 3

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定							
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定							
	15	14	13	12	11	10	9	8
bit symbol	-	-	CLRPEND (割り込み 77)	CLRPEND (割り込み 76)	CLRPEND (割り込み 75)	CLRPEND (割り込み 74)	CLRPEND (割り込み 73)	CLRPEND (割り込み 72)
リセット後	不定							
	7	6	5	4	3	2	1	0
bit symbol	CLRPEND (割り込み 71)	CLRPEND (割り込み 70)	CLRPEND (割り込み 69)	CLRPEND (割り込み 68)	CLRPEND (割り込み 67)	CLRPEND (割り込み 66)	-	-
リセット後	不定							

## 7.6.2.6 割り込み優先度レジスタ

割り込み優先度レジスタは、各割り込みに対し8ビットごとの構成になっています。

割り込み番号と対応する割り込み優先度レジスタのアドレスは以下のとおりです。

	31	24 23	16 15	8 7	0
0xE000_E400	PRI_3	PRI_2	PRI_1	PRI_0	
0xE000_E404	PRI_7	PRI_6	PRI_5	PRI_4	
0xE000_E408	-	PRI_10	PRI_9	PRI_8	
0xE000_E40C	-	PRI_14	-	-	
0xE000_E410	PRI_19	-	PRI_17	-	
0xE000_E414	PRI_23	PRI_22	PRI_21	PRI_20	
0xE000_E418	PRI_27	PRI_26	PRI_25	PRI_24	
0xE000_E41C	PRI_31	PRI_30	-	-	
0xE000_E420	PRI_35	PRI_34	PRI_33	PRI_32	
0xE000_E424	PRI_39	PRI_38	PRI_37	PRI_36	
0xE000_E428	PRI_43	PRI_42	PRI_41	PRI_40	
0xE000_E42C	PRI_47	PRI_46	-	PRI_44	
0xE000_E430	PRI_51	PRI_50	PRI_49	PRI_48	
0xE000_E434	-	PRI_54	PRI_53	PRI_52	
0xE000_E438	PRI_59	PRI_58	-	PRI_56	
0xE000_E43C	-	-	PRI_61	PRI_60	
0xE000_E440	PRI_67	PRI_66	-	-	
0xE000_E444	PRI_71	PRI_70	PRI_69	PRI_68	
0xE000_E448	PRI_75	PRI_74	PRI_73	PRI_72	
0xE000_E44C	-	-	PRI_77	PRI_76	

各割り込みに割り当てられている8ビットのうち何ビットを優先度の設定に使用できるかは製品により異なります。本製品では、3ビットで優先度を設定することができます。

以下に、代表として割り込み番号0~3の割り込み優先度レジスタの構成を示します。未使用のビットはリードすると"0"が読め、ライトは無視されます。

	31	30	29	28	27	26	25	24
bit symbol	PRI_3			-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	PRI_2			-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	PRI_1			-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PRI_0			-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-29	PRI_3	R/W	割り込み番号 3 優先度
28-24	-	R	リードすると"0"が読めます。
23-21	PRI_2	R/W	割り込み番号 2 優先度
20-16	-	R	リードすると"0"が読めます。
15-13	PRI_1	R/W	割り込み番号 1 優先度
12-8	-	R	リードすると"0"が読めます。
7-5	PRI_0	R/W	割り込み番号 0 優先度
4-0	-	R	リードすると"0"が読めます。

## 7.6.2.7 ベクタテーブルオフセットレジスタ

	31	30	29	28	27	26	25	24
bit symbol	-	-	TBLBASE	TBLOFF				
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	TBLOFF							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	TBLOFF							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TBLOFF	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-30	-	R	リードすると"0"が読めます。
29	TBLBASE	R/W	テーブルベース ベクタテーブルを置くメモリ空間を指定します。 0: コード空間 1: SRAM 空間
28-7	TBLOFF	R/W	オフセット値 TBLBASE で指定した領域の先頭からのオフセット値を設定します。 オフセットはテーブルにある例外の数に基づいてアラインされる必要があります。16 個までの割り込みが使える、最小のアライメントは 32 ワードになります。割り込みの数がより多い場合は、次の 2 のべき乗まで切り上げて、アライメントを調整する必要があります。
6-0	-	R	リードすると"0"が読めます。

7.6.2.8 アプリケーション割り込みおよびリセット制御レジスタ

	31	30	29	28	27	26	25	24
bit symbol	VECTKEY/VECTKEYSTAT							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	VECTKEY/VECTKEYSTAT							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ENDIANESS	-	-	-	-	PRIGROUP		
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	SYSRESET REQ	VECTCLR ACTIVE	VECTRESET
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	VECTKEY (ライト) VECTKEYSTAT (リード)	R/W	レジスタキー [ライト]このレジスタへ書き込みを行うには、<VECTKEY>に"0x05FA"を書き込む必要があります。 [リード]リードすると"0xFA05"が読めます。
15	ENDIANESS	R/W	エンディアン形式ビット(注 1) 1: ビッグエンディアン 0: リトルエンディアン
14-11	-	R	リードすると"0"が読めます。
10-8	PRIGROUP	R/W	割り込み優先度グループ分け 000: 横取り優先度 7bit、サブ優先度 1bit 001: 横取り優先度 6bit、サブ優先度 2bit 010: 横取り優先度 5bit、サブ優先度 3bit 011: 横取り優先度 4bit、サブ優先度 4bit 100: 横取り優先度 3bit、サブ優先度 5bit 101: 横取り優先度 2bit、サブ優先度 6bit 110: 横取り優先度 1bit、サブ優先度 7bit 111: 横取り優先度 0bit、サブ優先度 8bit 割り込み優先度レジスタ<PRI_n>を、横取り優先度とサブ優先度分けする際のビット構成を設定します。
7-3	-	R	リードすると"0"が読めます。
2	SYSRESET REQ	R/W	システムリセットリクエスト "1"をセットすると CPU が SYSRESETREQ 信号を出力します。(注 2)
1	VECTCLR ACTIVE	R/W	アクティブなベクタのクリア 1: アクティブな NMI、フォールト、割り込みのすべての状態の情報をクリアします。 0: クリアしません。 このビットは自身の動作によりクリアされます。 スタックの再初期化はアプリケーションで行う必要があります。
0	VECTRESET	R/W	システムリセット 1: システムをリセットします。 0: システムをリセットしません。 "1"をセットするとデバッグコンポーネント(FPB,DWT,ITM)以外の CPU 内部をリセットし、本ビットもクリアされます。

注 1) 本製品はリトルエンディアンがデフォルトで選択されます。

注 2) 本製品では、SYSRESETREQ が出力されるとウォームリセットが発生します。ウォームリセットにより<SYSRESETREQ>はクリアされます。

## 7.6.2.9 システムハンドラ優先度レジスタ

システムハンドラ優先度レジスタは、各例外に対し8ビットごとの構成になっています。

例外と対応する割り込み優先度レジスタのアドレスは以下のとおりです。

	31	24 23	16 15	8 7	0
0xE000_ED18	PRI_7		PRI_6 (用法フォールト)	PRI_5 (バスフォールト)	PRI_4 (メモリ管理)
0xE000_ED1C	PRI_11 (SVCall)		PRI_10	PRI_9	PRI_8
0xE000_ED20	PRI_15 (SysTick)		PRI_14 (PendSV)	PRI_13	PRI_12 (デバッグモニタ)

各割り込みに割り当てられている8ビットのうち何ビットを優先度の設定に使用できるかは製品により異なります。本製品では、3ビットで優先度を設定することができます。

以下に、代表として割り込み番号4~7の割り込み優先度レジスタの構成を示します。未使用のビットはリードすると"0"が読め、ライトは無視されます。

	31	30	29	28	27	26	25	24
bit symbol	PRI_7			-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	PRI_6			-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	PRI_5			-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PRI_4			-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-29	PRI_7	R/W	予約
28-24	-	R	リードすると"0"が読めます。
23-21	PRI_6	R/W	用法フォールト 優先度
20-16	-	R	リードすると"0"が読めます。
15-13	PRI_5	R/W	バスフォールト 優先度
12-8	-	R	リードすると"0"が読めます。
7-5	PRI_4	R/W	メモリ管理 優先度
4-0	-	R	リードすると"0"が読めます。

## 7.6.2.10 システムハンドラ制御および状態レジスタ

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	USGFAULT ENA	BUSFAULT ENA	MEMFAULT ENA
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	SVCALL PENDED	BUSFAULT PENDED	MEMFAULT PENDED	USGFAULT PENDED	SYSTICKACT	PENDSVACT	-	MONITOR ACT
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SVCALLACT	-	-	-	USGFAULT ACT	-	BUSFAULT ACT	MEMFAULT ACT
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-19	-	R	リードすると"0"が読めます。
18	USGFAULT ENA	R/W	用法フォールト 0: 禁止 1: 許可
17	BUSFAULT TENA	R/W	バスフォールト 0: 禁止 1: 許可
16	MEMFAULT ENA	R/W	メモリ管理 0: 禁止 1: 許可
15	SVCALL PENDED	R/W	SVCall 0: 保留されていない 1: 保留されている
14	BUSFAULT PENDED	R/W	バスフォールト 0: 保留されていない 1: 保留されている
13	MEMFAULT PENDED	R/W	メモリ管理 0: 保留されていない 1: 保留されている
12	USGFAULT PENDED	R/W	用法フォールト 0: 保留されていない 1: 保留されている
11	SYSTICKACT	R/W	SysTick 0: アクティブでない 1: アクティブ
10	PENDSVACT	R/W	PendSV 0: アクティブでない 1: アクティブ
9	-	R	リードすると"0"が読めます。
8	MONITORACT	R/W	デバッグモニタ 0: アクティブでない 1: アクティブ

Bit	Bit Symbol	Type	機能
7	SVCALLACT	R/W	SVCall 0: アクティブでない 1: アクティブ
6-4	-	R	リードすると"0"が読めます。
3	USGFAULT ACT	R/W	用法フォールト 0: アクティブでない 1: アクティブ
2	-	R	リードすると"0"が読めます。
1	BUSFAULT ACT	R/W	バスフォールト 0: アクティブでない 1: アクティブ
0	MEMFAULT ACT	R/W	メモリ管理 0: アクティブでない 1: アクティブ

注) アクティブビットの書き換えは、スタックの内容の更新等行いませんので注意して行ってください。

## 7.6.3 クロックジェネレータレジスタ

### 7.6.3.1 CG 割り込みモードコントロールレジスタ

CG 割り込みモードコントロールレジスタは低消費電力モード解除に使用する割り込み要因のアクティブレベル設定、検出されたアクティブレベル、低消費電力モード解除の許可/禁止をおこないます。

Bit symbol	Type	機能
EMCGx[2:0]	R/W	低消費電力モード解除のアクティブレベルを設定 (下記のアクティブレベルのうち表 7-4 のアクティブレベルに記載されている解除要因から選択する) 000: "Low"レベル 001: "High"レベル 010: 立ち下がりエッジ 011: 立ち上がりエッジ 100: 両エッジ 101 ~ 111: 設定禁止
EMSTx[1:0]	R	検出されたアクティブレベル(EMCGx[2:0]="100"の場合のみ有効) 00: - 01: 立ち上がりエッジ 10: 立ち下がりエッジ 11: 両エッジ
INTxEN	R/W	低消費電力モード解除 0: 禁止 1: 許可

表 7-4 低消費電力モード解除と割り込みのアクティブレベル設定

要因		アクティブレベル 設定レジスタ	低消費電力モード解除と割り込みのアクティブレベル				
			"Low" レベル	"HIGH" レベル	立ち 上がり エッジ	立ち 下がり エッジ	両エッジ
INT0	外部割り込み端 子 0	CGIMCGA <EMCG0[2:0]>	0	0	0	0	0
INT1	外部割り込み端 子 1	CGIMCGA <EMCG1[2:0]>	0	0	0	0	0
INT2	外部割り込み端 子 2	CGIMCGA <EMCG2[2:0]>	0	0	0	0	0
INT3	外部割り込み端 子 3	CGIMCGA <EMCG3[2:0]>	0	0	0	0	0
INT4	外部割り込み端 子 4	CGIMCGB <EMCG4[2:0]>	0	0	0	0	0
INT5	外部割り込み端 子 5	CGIMCGB <EMCG5[2:0]>	0	0	0	0	0
INT6	外部割り込み端 子 6	CGIMCGB <EMCG6[2:0]>	0	0	0	0	0
INT7	外部割り込み端 子 7	CGIMCGB <EMCG7[2:0]>	0	0	0	0	0
INT8	外部割り込み端 子 8	CGIMCGC <EMCG8[2:0]>	0	0	0	0	0
INT9	外部割り込み端 子 9	CGIMCGC <EMCG9[2:0]>	0	0	0	0	0
INTA	外部割り込み端 子 A	CGIMCGC <EMCGA[2:0]>	0	0	0	0	0
INTB	外部割り込み端 子 B	CGIMCGC <EMCGB[2:0]>	0	0	0	0	0
INTC	外部割り込み端 子 C	CGIMCGD <EMCGC[2:0]>	0	0	0	0	0
INTD	外部割り込み端 子 D	CGIMCGD <EMCGD[2:0]>	0	0	0	0	0
INTE	外部割り込み端 子 E	CGIMCGD <EMCGE[2:0]>	0	0	0	0	0
INTF	外部割り込み端 子 F	CGIMCGD <EMCGF[2:0]>	0	0	0	0	0
INTRTC	時計用タイマ 割り込み	CGIMCGE <EMCGRTC[2:0]>	×	×	×	0	×
INTRMCRX	リモコン受信 割り込み	CGIMCGH <EMCGRMCRX[2:0] >	×	×	0	×	×

注) 低消費電力モード解除のアクティブレベルは"0"のついたものが選択できます。"×"のついたものは選択できません。

## (1) CGIMCGA(CG 割り込みモードコントロールレジスタ A)

	31	30	29	28	27	26	25	24
bit symbol	-	EMCG3			EMST3		-	INT3EN
リセット後	0	0	1	0	0	0	不定	0
	23	22	21	20	19	18	17	16
bit symbol	-	EMCG2			EMST2		-	INT2EN
リセット後	0	0	1	0	0	0	不定	0
	15	14	13	12	11	10	9	8
bit symbol	-	EMCG1			EMST1		-	INT1EN
リセット後	0	0	1	0	0	0	不定	0
	7	6	5	4	3	2	1	0
bit symbol	-	EMCG0			EMST0		-	INT0EN
リセット後	0	0	1	0	0	0	不定	0

- 注 1) <EMCGx[2:0]>に設定できるアクティブレベルは要因ごとに異なります。表 7-4 を参照の上、設定してください。
- 注 2) <EMSTx>は、<EMCGx[2:0]>が"100"の両エッジ設定のときのみ有効です。それ以外のときは、不定となります。<EMSTx>を参照することにより、低消費電力モード解除を解除したアクティブレベルを確認することができます。CGICRCG レジスタで割り込みをクリアすると<EMSTx>もクリアされます。
- 注 3) エッジ設定と同時に<INTxEN>を設定しないでください。エッジ設定を行ってから<INTxEN>を設定してください。
- 注 4) ビット 31、23、15、7 は"0"が読み出されます。
- 注 5) ビット 25、17、9、1 は不定が読み出されます。

## (2) CGIMCGB(CG 割り込みモードコントロールレジスタ B)

	31	30	29	28	27	26	25	24
bit symbol	-	EMCG7			EMST7		-	INT7EN
リセット後	0	0	1	0	0	0	不定	0
	23	22	21	20	19	18	17	16
bit symbol	-	EMCG6			EMST6		-	INT6EN
リセット後	0	0	1	0	0	0	不定	0
	15	14	13	12	11	10	9	8
bit symbol	-	EMCG5			EMST5		-	INT5EN
リセット後	0	0	1	0	0	0	不定	0
	7	6	5	4	3	2	1	0
bit symbol	-	EMCG4			EMST4		-	INT4EN
リセット後	0	0	1	0	0	0	不定	0

- 注 1) <EMCGx[2:0]>に設定できるアクティブレベルは要因ごとに異なります。表 7-4 を参照の上、設定してください。
- 注 2) <EMSTx>は、<EMCGx[2:0]>が"100"の両エッジ設定のときのみ有効です。それ以外のときは、不定となります。<EMSTx>を参照することにより、低消費電力モード解除を解除したアクティブレベルを確認することができます。CGICRCG レジスタで割り込みをクリアすると<EMSTx>もクリアされます。
- 注 3) エッジ設定と同時に<INTxEN>を設定しないでください。エッジ設定を行ってから<INTxEN>を設定してください。
- 注 4) ビット 31、23、15、7 は"0"が読み出されます。
- 注 5) ビット 25、17、9、1 は不定が読み出されます。

## (3) CGIMCGC(CG 割り込みモードコントロールレジスタ C)

	31	30	29	28	27	26	25	24
bit symbol	-	EMCGB			EMSTB		-	INTBEN
リセット後	0	0	1	0	0	0	不定	0
	23	22	21	20	19	18	17	16
bit symbol	-	EMCGA			EMSTA		-	INTAEN
リセット後	0	0	1	0	0	0	不定	0
	15	14	13	12	11	10	9	8
bit symbol	-	EMCG9			EMST9		-	INT9EN
リセット後	0	0	1	0	0	0	不定	0
	7	6	5	4	3	2	1	0
bit symbol	-	EMCG8			EMST8		-	INT8EN
リセット後	0	0	1	0	0	0	不定	0

- 注 1) <EMCGx[2:0]>に設定できるアクティブレベルは要因ごとにより異なります。表 7-4 を参照の上、設定してください。
- 注 2) <EMSTx>は、<EMCGx[2:0]>が"100"の両エッジ設定のときのみ有効です。それ以外のときは、不定となります。<EMSTx>を参照することにより、低消費電力モード解除を解除したアクティブレベルを確認することができます。CGICRCG レジスタで割り込みをクリアすると<EMSTx>もクリアされます。
- 注 3) エッジ設定と同時に<INTxEN>を設定しないでください。エッジ設定を行ってから<INTxEN>を設定してください。
- 注 4) ビット 31、23、15、7 は"0"が読み出されます。
- 注 5) ビット 25、17、9、1 は不定が読み出されます。

## (4) CGIMCGD(CG 割り込みモードコントロールレジスタ D)

	31	30	29	28	27	26	25	24
bit symbol	-	EMCGF			EMSTF		-	INTFEN
リセット後	0	0	1	0	0	0	不定	0
	23	22	21	20	19	18	17	16
bit symbol	-	EMCGE			EMSTE		-	INTEEN
リセット後	0	0	1	0	0	0	不定	0
	15	14	13	12	11	10	9	8
bit symbol	-	EMCGD			EMSTD		-	INTDEN
リセット後	0	0	1	0	0	0	不定	0
	7	6	5	4	3	2	1	0
bit symbol	-	EMCGC			EMSTC		-	INTCEN
リセット後	0	0	1	0	0	0	不定	0

- 注 1) <EMCGx[2:0]>に設定できるアクティブレベルは要因ごとにより異なります。表 7-4 を参照の上、設定してください。
- 注 2) <EMSTx>は、<EMCGx[2:0]>が"100"の両エッジ設定のときのみ有効です。それ以外のときは、不定となります。<EMSTx>を参照することにより、低消費電力モード解除を解除したアクティブレベルを確認することができます。CGICRCG レジスタで割り込みをクリアすると<EMSTx>もクリアされます。
- 注 3) エッジ設定と同時に<INTxEN>を設定しないでください。エッジ設定を行ってから<INTxEN>を設定してください。
- 注 4) ビット 31、23、15、7 は"0"が読み出されます。
- 注 5) ビット 25、17、9、1 は不定が読み出されます。

## (5) CGIMCGE(CG 割り込みモードコントロールレジスタ E)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	1	0	0	0	不定	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	1	0	0	0	不定	0
	15	14	13	12	11	10	9	8
bit symbol	-	EMCGRMCRX			EMSTRMCRX		-	INTRMCRXEN
リセット後	0	0	1	0	0	0	不定	0
	7	6	5	4	3	2	1	0
bit symbol	-	EMCGRTC			EMSTRTC		-	INTRTCEN
リセット後	0	0	1	0	0	0	不定	0

注 1) <EMCGx[2:0]>に設定できるアクティブレベルは要因ごとにより異なります。表 7-4 を参照の上、設定してください。

注 2) <EMSTx>は、<EMCGx[2:0]>が"100"の両エッジ設定のときのみ有効です。それ以外のときは、不定となります。<EMSTx>を参照することにより、低消費電力モード解除を解除したアクティブレベルを確認することができます。CGICRCG レジスタで割り込みをクリアすると<EMSTx>もクリアされます。

注 3) エッジ設定と同時に<INTxEN>を設定しないでください。エッジ設定を行ってから<INTxEN>を設定してください。

注 4) ビット 31、23、15、7 は"0"が読み出されます。

注 5) ビット 25、17、9、1 は不定が読み出されます。

## 7.6.3.2 CGICRCG(CG 割り込み要求クリアレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	ICRCG				
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-5	-	R	リードすると"0"が読めます。
4-0	ICRCG[4:0]	W	割り込み要求をクリア 0_0000: INT0      0_1000: INT8      1_0000: INTRTC 0_0001: INT1      0_1001: INT9      1_0001: INTRMCRX 0_0010: INT2      0_1010: INTA 0_0011: INT3      0_1011: INTB 0_0100: INT4      0_1100: INTC 0_0101: INT5      0_1101: INTD 0_0110: INT6      0_1110: INTE 0_0111: INT7      0_1111: INTF 1_0010 ~ 1_1111: 設定禁止 リードすると"0"が読めます

7.6.3.3 CGNMIFLG(NMI フラグレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	NMIFLG0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-3	-	R	リードすると"0"が読めます。
2-1	-	R	リードすると不定値が読まれます。
0	NMIFLG0	R	NMI 起動要因フラグ 0: 要因なし 1: WDT による NMI 発生

注) <NMIFLG>は読み出すと"0"にクリアされます。

## 7.6.3.4 CGRSTFLG(リセットフラグレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
パワーオン リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
パワーオン リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
パワーオン リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	OFDRSTF	DBGSTF	VLDRSTF	WDTRSTF	PINRSTF	PONRSTF
パワーオン リセット後	0	0	0	0	0	0	0	1

Bit	Bit Symbol	Type	機能
31-6	-	R	リードすると"0"が読めます。
5	OFDRSTF	R/W	OFD リセットフラグ 0: 0 ライト 1: OFD によるリセットフラグ
4	DBGSTF	R/W	デバッグリセットフラグ(注 1) 0: 0 ライト 1: デバッグからのリセットによるリセットフラグ
3	VLDRSTF	R/W	VLTD リセットフラグ 0: 0 ライト 1: VLTD によるリセットフラグ
2	WDTRSTF	R/W	WDT リセットフラグ 0: 0 ライト 1: WDT によるリセットフラグ
1	PINRSTF	R/W	RESET 端子フラグ 0: 0 ライト 1: RESET 端子によるリセットフラグ
0	PONRSTF	R/W	Power On Reset フラグ 0: 0 ライト 1: Power On Reset によるリセットフラグ

注 1) CPU の NVIC 内にあるアプリケーション割り込みおよびリセット制御レジスタの<SYSRESETREQ>のセットにより発生したリセットであることを示します。

注 2) 本製品はパワーオンリセット回路を内蔵しており、本レジスタはパワーオンリセットでのみ初期化されます。したがって、電源投入時の初期リセット後は<PONRSTF>がセットされます。(パワーオンリセット以外のリセット後は、対象のリセットフラグがセットされます) また、本レジスタは自動的にクリアされませんので、“0”を書いてクリアしてください。

## 第 8 章 デジタルノイズフィルタ回路(DNF)

デジタル式のノイズキャンセラ回路により、外部割り込み端子に入力される信号を所定の幅でノイズを除去することができます。

### 8.1 構成

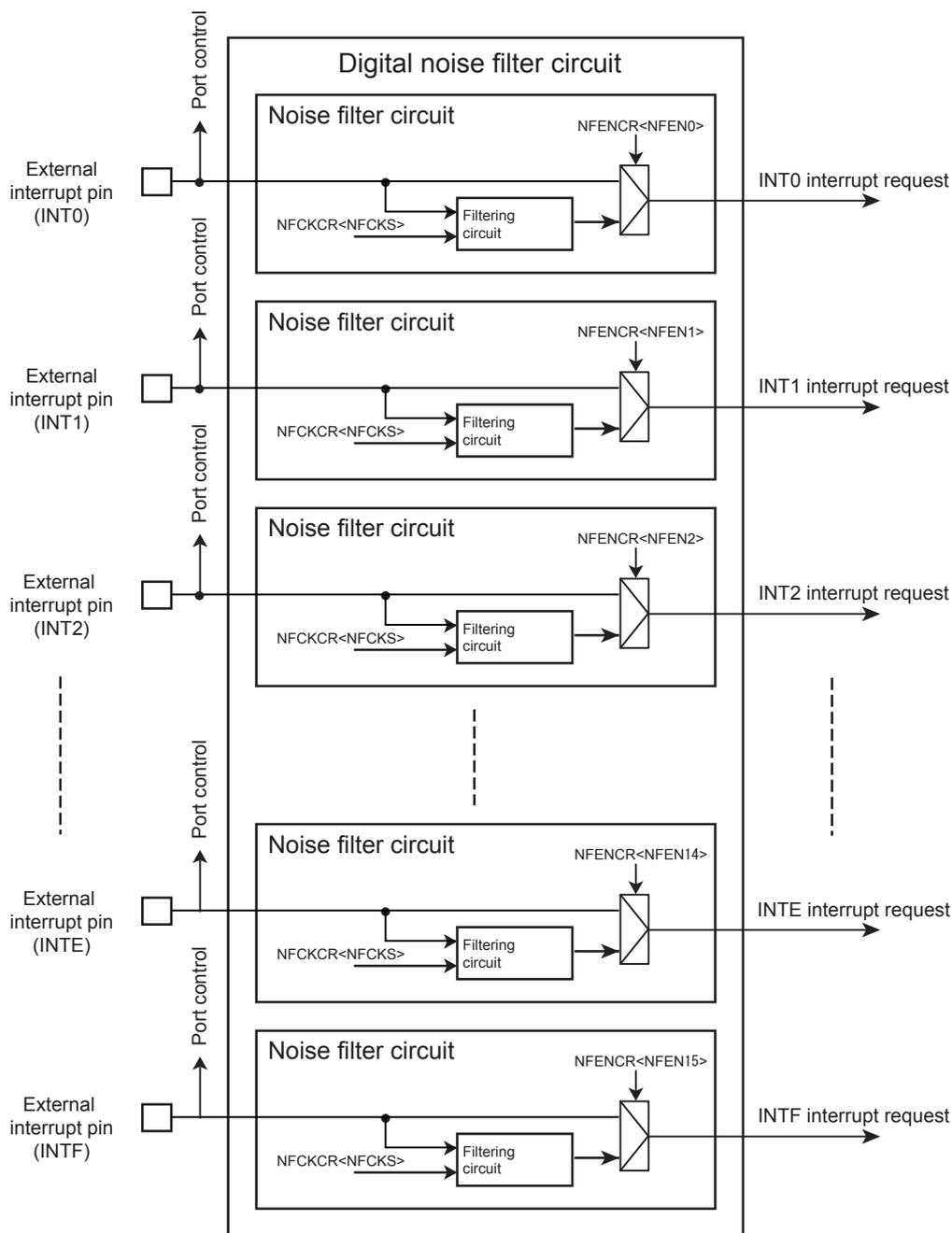


図 8-1 デジタルノイズフィルタ回路図

## 8.2 レジスタ説明

### 8.2.1 レジスタ一覧

Base Address = 0x4006\_0000

レジスタ名		Address(Base+)
ノイズフィルタ制御レジスタ	NFCKCR	0x0000
ノイズフィルタ許可レジスタ	NFENCR	0x0004

8.2.1.1 NFCKCR(ノイズフィルタ制御レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	NFCKS		
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-3	-	R	リードすると"0"が読めます。
2-0	NFCKS[2:0]	R/W	ノイズフィルタクロック選択 000: クロック制御回路停止 001: fsys/2 クロック出力 010: fsys/4 クロック出力 011: fsys/8 クロック出力 100: fsys/16 クロック出力 101: fsys/32 クロック出力 110: fsys/64 クロック出力 111: fsys/128 クロック出力

注) NFCKCR<NFCKS>の設定は、NFENCR<NFEN[2:0]>="000"で行なってください。

注) STOP モード解除に外部割り込み端子を使用する場合、ノイズフィルタ回路は使用できません。必ず NFENCR レジスタのノイズフィルタ許可ビットを禁止設定にし、NFCKCR レジスタでクロックを停止してください。

## 8.2.1.2 NFENCR(ノイズフィルタ許可レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	NFENF	NFENE	NFEND	NFENC	NFENB	NFENA	NFEN9	NFEN8
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	NFEN7	NFEN6	NFEN5	NFEN4	NFEN3	NFEN2	NFEN1	NFEN0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます。
15	NFENF	R/W	INTF ノイズフィルタ許可/禁止 0: 禁止 1: 許可
14	NFENE	R/W	INTE ノイズフィルタ許可/禁止 0: 禁止 1: 許可
13	NFEND	R/W	INTD ノイズフィルタ許可/禁止 0: 禁止 1: 許可
12	NFENC	R/W	INTC ノイズフィルタ許可/禁止 0: 禁止 1: 許可
11	NFENB	R/W	INTB ノイズフィルタ許可/禁止 0: 禁止 1: 許可
10	NFENA	R/W	INTA ノイズフィルタ許可/禁止 0: 禁止 1: 許可
9	NFEN9	R/W	INT9 ノイズフィルタ許可/禁止 0: 禁止 1: 許可
8	NFEN8	R/W	INT8 ノイズフィルタ許可/禁止 0: 禁止 1: 許可
7	NFEN7	R/W	INT7 ノイズフィルタ許可/禁止 0: 禁止 1: 許可
6	NFEN6	R/W	INT6 ノイズフィルタ許可/禁止 0: 禁止 1: 許可
5	NFEN5	R/W	INT5 ノイズフィルタ許可/禁止 0: 禁止 1: 許可

Bit	Bit Symbol	Type	機能
4	NFEN4	R/W	INT4 ノイズフィルタ許可/禁止 0: 禁止 1: 許可
3	NFEN3	R/W	INT3 ノイズフィルタ許可/禁止 0: 禁止 1: 許可
2	NFEN2	R/W	INT2 ノイズフィルタ許可/禁止 0: 禁止 1: 許可
1	NFEN1	R/W	INT1 ノイズフィルタ許可/禁止 0: 禁止 1: 許可
0	NFEN0	R/W	INT0 ノイズフィルタ許可/禁止 0: 禁止 1: 許可

注) 禁止 (ノイズ除去前信号出力およびノイズ除去回路カウンタクリア、STOP モード解除時)

注) 許可 (ノイズ除去後信号出力)

注) fsys より短いパルスに対してノイズ除去動作ができない場合があります。特に fsys の周波数が低い場合にノイズ除去動作が有効とならない場合があります。

注) 外部割込みを許可に設定する前に割り込み要因をクリアし、NFENCR レジスタの対象ビットを許可設定にしてください。

注) STOP モード解除に外部割込み端子を使用する場合は「8.3.4 STOP モードを使用する場合の注意点」を参照してください。

## 8.3 動作説明

### 8.3.1 構成

ノイズフィルタ回路は、ノイズ除去回路、割り込み要求信号発生回路から構成されています。

外部から入力された信号はノイズ除去回路によって High レベルまたは Low レベルのノイズを除去した後、各外部割り込みごとに CG で立ち上がり/立ち下がり/レベル検出を行ないます。

### 8.3.2 動作

外部割り込み信号 INTx の High レベル/Low レベル入力ともにノイズを除去します。

ノイズ除去時間は、レベル入力継続時間が NFCKCR<NFCKS>で設定したクロック周期の7クロック以下をノイズと判定し、継続時間がクロック周期の8クロック以上で有効な信号と判定します。

ただし、7、8クロックの間に入力信号はエッジタイミングによって判定が異なる場合があります。

### 8.3.3 使用可能な動作モード

ノイズフィルタ回路は NORMAL モード、IDLE モードのときのみ使用可能です。

### 8.3.4 STOP モードを使用する場合の注意点

STOP モードを使用する場合、fsys クロックが停止するためノイズフィルタ回路は使用できません。STOP モード解除に外部割り込みを使用する場合は割り込み許可ビットを禁止した後に NFENCR レジスタのノイズフィルタ許可/禁止ビットを禁止に設定し、NFCKCR レジスタのノイズフィルタクロックを停止させてください。

### 8.3.5 最小ノイズ除去時間

ノイズ除去回路は NFCKCR レジスタで設定したクロック周期の8クロック以上の期間、High レベル入力または Low レベル入力が入力されていた場合、レベル入力を判定し外部割り込み信号を発生します。

表 8-1 最小ノイズ除去時間

NFCKCR<NFCKS>	fsys [MHz]			Unit
	20	32	40	
001	0.7	0.44	0.35	μs
010	1.4	0.88	0.7	
011	2.8	1.75	1.4	
100	5.6	3.5	2.8	
101	11.2	7.0	5.6	
110	22.4	14.0	11.2	
111	44.8	28.0	22.4	

## 第9章 入出力ポート

本章では、ポート関連のレジスタとその設定および回路について説明します。

### 9.1 レジスタ説明

ポートを使用する際には以下のレジスタを設定する必要があります。

レジスタは全て 32 ビットですが、ポートのビット数、機能の割り当てにより構成が異なります。

以下の説明では"x"はポート名、"n"はファンクション番号を示します。

レジスタ名		設定値	
PxDATA	データレジスタ	0 または 1	ポートのデータ読み込み、データ書き込みを行います。
PxCR	出力コントロールレジスタ	0: 出力禁止 1: 出力許可	出力の制御を行います。
PxFRn	ファンクションレジスタ n	0: PORT 1: 機能	機能設定を行いません。 "1" をセットすることにより割り当てられている機能を使用できるようになります。ファンクションレジスタはポートに割り当てられている機能ごとに存在します。複数の機能が割り当てられている場合、1つの機能のみ有効になるように設定してください。
PxOD	オープンドレインコントロールレジスタ	0: CMOS 1: オープンドレイン	プログラマブルオープンドレインの制御を行います。 プログラマブルオープンドレインは、PxOD の設定により、出力データが"1" の場合に出力バッファをディセーブルにし、擬似的にオープンドレインを実現する機能です。
PxPUP	プルアップコントロールレジスタ	0: プルアップ禁止 1: プルアップ許可	プログラマブルプルアップを制御します。
PxPDN	プルダウンコントロールレジスタ	0: プルダウン禁止 1: プルダウン許可	プログラマブルプルダウンを制御します。
PxIE	入力コントロールレジスタ	0: 入力禁止 1: 入力許可	入力の制御を行いません。 PxIE をイネーブルにしてから外部データが PxDATA に反映されるまで若干の時間が必要です。

#### 9.1.1 レジスタ一覧

ベースアドレスは、「メモリマップ」章の「周辺機能ベースアドレス一覧」を参照ください。

機能の存在しないビットをリードすると"0"が読めます。ライトは意味を持ちません。

レジスタ名	Address (Base+)	ポート A	ポート B	ポート C	ポート D	ポート E
データ レジスタ	0x0000	PADATA	PBDATA	PCDATA	PDDATA	PEDATA
出力コントロールレジスタ	0x0004	PACR	PBCR	PCCR	PDCR	PECR
ファンクションレジスタ 1	0x0008	PAFR1	PBFR1	-	PDFR1	PEFR1
ファンクションレジスタ 2	0x000C	PAFR2	-	PCFR2	PDFR2	PEFR2
ファンクションレジスタ 3	0x0010	-	-	PCFR3	PDFR3	-
ファンクションレジスタ 4	0x0014	-	-	PCFR4	-	-
ファンクションレジスタ 5	0x0018	-	-	PCFR5	-	-
オーブンドレインコントロールレジスタ	0x0028	PAOD	PBOD	PCOD	PDOD	PEOD
ブルアップコントロールレジスタ	0x002C	PAPUP	PBPUP	PCPUP	PDPUP	PEPUP
ブルダウンコントロールレジスタ	0x0030	PAPDN	PBPDN	PCPDN	PDPDN	PEPDN
入力コントロールレジスタ	0x0038	PAIE	PBIE	PCIE	PDIE	PEIE

レジスタ名	Address (Base+)	ポート F	ポート G	ポート H	ポート I	ポート J
データ レジスタ	0x0000	PFDATA	PGDATA	PHDATA	PIDATA	PJDATA
出力コントロールレジスタ	0x0004	PFGR	PGCR	PHCR	PICR	PJCR
ファンクションレジスタ 1	0x0008	PFFR1	-	PHFR1	-	PJFR1
ファンクションレジスタ 2	0x000C	PFFR2	-	-	-	-
ファンクションレジスタ 3	0x0010	-	-	-	-	-
ファンクションレジスタ 4	0x0014	-	-	-	-	-
オーブンドレインコントロールレジスタ	0x0028	PFOD	PGOD	PHOD	PIOD	PJOD
ブルアップコントロールレジスタ	0x002C	PFPUP	PGPUP	PHPUP	PIPUP	PJPUP
ブルダウンコントロールレジスタ	0x0030	PFPDN	PGPDN	PHPDN	PIPDN	PJPDN
入力コントロールレジスタ	0x0038	PFIE	PGIE	PHIE	PIIE	PJIE

レジスタ名	Address (Base+)	ポート L	ポート M	ポート N	ポート P
データ レジスタ	0x0000	PLDATA	PMDATA	PNDATA	PPDATA
出力コントロールレジスタ	0x0004	PLCR	PMCR	PNCR	PPCR
ファンクションレジスタ 1	0x0008	PLFR1	-	-	-
ファンクションレジスタ 2	0x000C	-	-	PNFR2	-
ファンクションレジスタ 3	0x0010	-	-	-	-
ファンクションレジスタ 4	0x0014	-	-	-	-
オーブンドレインコントロールレジスタ	0x0028	PLOD	PMOD	PNOD	PPOD
ブルアップコントロールレジスタ	0x002C	PLPUP	PMPUP	PNPUP	PPPUP
ブルダウンコントロールレジスタ	0x0030	PLPDN	PMPDN	PNPDN	PPPDN
入力コントロールレジスタ	0x0038	PLIE	PMIE	PNIE	PPIE

注) "-"表記のアドレスにはアクセスしないでください。

## 9.1.2 ポート機能と設定一覧

以下に各ポートの機能とレジスタ設定についての一覧を示します。

- 「表 9-1 ポート A レジスタ設定」
- 「表 9-2 ポート B レジスタ設定」
- 「表 9-3 ポート C レジスタ設定」
- 「表 9-4 ポート D レジスタ設定」
- 「表 9-5 ポート E レジスタ設定」
- 「表 9-6 ポート F レジスタ設定」
- 「表 9-7 ポート G レジスタ設定」
- 「表 9-8 ポート H レジスタ設定」
- 「表 9-9 ポート I レジスタ設定」
- 「表 9-10 ポート J レジスタ設定」
- 「表 9-11 ポート L レジスタ設定」
- 「表 9-12 ポート M レジスタ設定」
- 「表 9-13 ポート N レジスタ設定」
- 「表 9-14 ポート P レジスタ設定」

PxFRn の欄は、設定に必要なファンクションレジスタを示します。このレジスタを"1"に設定するとその機能が有効となります。(x はポート名、n はファンクション番号)

表中の網掛けのビットはリードすると"0"が読め、ライトは意味を持ちません。

表中の"0"、"1"は設定値を示し、"0/1"は任意に設定可能であることを示します。

TMPM381/383 では異なるポートに同一機能が割り振られている機能端子があります。同一機能の兼用機能端子はそれぞれのポートのファンクションレジスタの設定により、いずれか1つの端子で使用するよう排他的に切り替えを行って下さい。

## 9.1.2.1 PORT A

表 9-1 ポート A レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				PADATA	PACR	PAFRn	PAOD	PAPUP	PAPDN	PAIE
PA0	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	TB0IN	Input	FT1	0/1	0	PAFR1	0/1	0/1	0/1	1
	INT3	Input	FT4	0/1	0	PAFR2	0/1	0/1	0/1	1
PA1	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	TB0OUT	Output	FT1	0/1	1	PAFR1	0/1	0/1	0/1	0
	SCOUT	Output	FT1	0/1	1	PAFR2	0/1	0/1	0/1	0
PA2	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	TB1IN	Input	FT1	0/1	0	PAFR1	0/1	0/1	0/1	1
	INT4	Input	FT4	0/1	0	PAFR2	0/1	0/1	0/1	1
PA3	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	TB1OUT	Output	FT1	0/1	1	PAFR1	0/1	0/1	0/1	0
	RXIN0	Input	FT1	0/1	0	PAFR2	0/1	0/1	0/1	1
PA4	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	SCLK1	Input	FT1	0/1	0	PAFR1	0/1	0/1	0/1	1
		Output		0/1	1	PAFR1	0/1	0/1	0/1	0
CTS1	Input	FT1	0/1	0	PAFR2	0/1	0/1	0/1	1	
PA5	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	TXD1	Output	FT1	0/1	1	PAFR1	0/1	0/1	0/1	0
	TB6OUT	Output	FT1	0/1	1	PAFR2	0/1	0/1	0/1	0
PA6	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	RXD1	Input	FT1	0/1	0	PAFR1	0/1	0/1	0/1	1
	TB6IN	Input	FT1	0/1	0	PAFR2	0/1	0/1	0/1	1
PA7	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	TB4IN	Input	FT1	0/1	0	PAFR1	0/1	0/1	0/1	1
	INT8	Input	FT4	0/1	0	PAFR2	0/1	0/1	0/1	1

## 9.1.2.2 PORT B

表 9-2 ポート B レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				PBDATA	PBCR	PBFRn	PBOD	PBPUP	PBPDN	PBIE
PB0	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	TRACECLK	Output	FT1	0/1	1	PBFR1	0/1	0/1	0/1	0
PB1	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	TRACEDATA0	Output	FT1	0/1	1	PBFR1	0/1	0/1	0/1	0
PB2	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	TRACEDATA1	Output	FT1	0/1	1	PBFR1	0/1	0/1	0/1	0
PB3	リセット後 (TMS/SWDIO)			0	1	PBFR1	0	1	0	1
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	TMS	Input	FT2	0/1	0	PBFR1	0/1	0/1	0/1	1
	SWDIO	I/O	FT2	0/1	1	PBFR1	0/1	0/1	0/1	1
PB4	リセット後 (TCK/SWCLK)			0	0	PBFR1	0	0	1	1
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	TCK	Input	FT2	0/1	0	PBFR1	0/1	0/1	0/1	1
	SWCLK	Input	FT2	0/1	0	PBFR1	0/1	0/1	0/1	1
PB5	リセット後 (TDO/SWV)			0	1	PBFR1	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	TDO	Output	FT2	0/1	1	PBFR1	0/1	0/1	0/1	0
	SWV	Output	FT2	0/1	1	PBFR1	0/1	0/1	0/1	0
PB6	リセット後 (TDI)			0	0	PBFR1	0	1	0	1
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	TDI	Input	FT2	0/1	0	PBFR1	0/1	0/1	0/1	1
PB7	リセット後 (TRST)			0	0	PBFR1	0	1	0	1
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	TRST	Output	FT2	0/1	1	PBFR1	0/1	0/1	0/1	0

## 9.1.2.3 PORT C

表 9-3 ポート C レジスタ設定

PO RT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				PCDATA	PCCR	PCFRn	PCOD	PCPUP	PCPDN	PCIE
PC0	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	SP0DO	Output	FT3	0/1	1	PCFR2	0/1	0/1	0/1	0
	SO0	Output	FT1	0/1	1	PCFR3	0/1	0/1	0/1	0
	SDA0	I/O	FT1	0/1	1	PCFR3	0/1	0/1	0/1	1
PC1	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	SP0DI	Input	FT1	0/1	0	PCFR2	0/1	0/1	0/1	1
	SI0	Input	FT1	0/1	0	PCFR3	0/1	0/1	0/1	1
	SCL0	I/O	FT1	0/1	1	PCFR3	0/1	0/1	0/1	1
PC2	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	SP0CLK	Input	FT3	0/1	0	PCFR2	0/1	0/1	0/1	1
		Output		0/1	1	PCFR2	0/1	0/1	0/1	0
	SCK0	Input	FT1	0/1	0	PCFR3	0/1	0/1	0/1	1
Output		0/1		1	PCFR3	0/1	0/1	0/1	0	
PC3	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	SP0FSS	Input	FT3	0/1	0	PCFR2	0/1	0/1	0/1	1
Output		0/1		1	PCFR2	0/1	0/1	0/1	0	
PC4	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
PC5	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	UT0TXD50B	Output	FT1	0/1	1	PCFR5	0/1	0/1	0/1	0
PC6	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	UT0TXD	Output	FT1	0/1	1	PCFR4	0/1	0/1	0/1	0
	UT0TXD50A	Output	FT1	0/1	1	PCFR5	0/1	0/1	0/1	0
PC7	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	UT0RXD	Input	FT1	0/1	0	PCFR4	0/1	0/1	0/1	1
	UT0RXD50	Input	FT1	0/1	0	PCFR5	0/1	0/1	0/1	1

## 9.1.2.4 PORT D

表 9-4 ポート D レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				PDDATA	PDCR	PDFRn	PDOD	PDPUP	PDPDN	PDIE
PD0	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	TB5IN	Input	FT1	0/1	0	PDFR2	0/1	0/1	0/1	1
	INTC	Input	FT4	0/1	0	PDFR3	0/1	0/1	0/1	1
PD1	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	TB5OUT	Output	FT1	0/1	1	PDFR2	0/1	0/1	0/1	0
PD2	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INTD	Input	FT4	0/1	0	PDFR3	0/1	0/1	0/1	1
PD3	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT9	Input	FT4	0/1	0	PDFR1	0/1	0/1	0/1	1
PD4	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	SCLK2	Input	FT1	0/1	0	PDFR1	0/1	0/1	0/1	1
		Output		0/1	1	PDFR1	0/1	0/1	0/1	0
CTS2	Input	FT1	0/1	0	PDFR2	0/1	0/1	0/1	1	
PD5	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	TXD2	Output	FT1	0/1	1	PDFR1	0/1	0/1	0/1	0
PD6	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	RXD2	Input	FT1	0/1	0	PDFR1	0/1	0/1	0/1	1

## 9.1.2.5 PORT E

表 9-5 ポート E レジスタ設定

PO RT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				PEDATA	PECR	PEFRn	PEOD	PEPUP	PEPDN	PEIE
PE0	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	TXD0	Output	FT1	0/1	1	PEFR1	0/1	0/1	0/1	0
PE1	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	RXD0	Input	FT1	0/1	0	PEFR1	0/1	0/1	0/1	1
PE2	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	SCLK0	Input	FT1	0/1	0	PEFR1	0/1	0/1	0/1	1
		Output		0/1	1	PEFR1	0/1	0/1	0/1	0
CTS0	Input	FT1	0/1	0	PEFR2	0/1	0/1	0/1	1	
PE3	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	TB4OUT	Output	FT1	0/1	1	PEFR1	0/1	0/1	0/1	0
PE4	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	TB2IN	Input	FT1	0/1	0	PEFR1	0/1	0/1	0/1	1
	INT5	Input	FT4	0/1	0	PEFR2	0/1	0/1	0/1	1
PE5	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	TB2OUT	Output	FT1	0/1	1	PEFR1	0/1	0/1	0/1	0
PE6	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	TB3IN	Input	FT1	0/1	0	PEFR1	0/1	0/1	0/1	1
	INT6	Input	FT4	0/1	0	PEFR2	0/1	0/1	0/1	1
PE7	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	TB3OUT	Output	FT1	0/1	1	PEFR1	0/1	0/1	0/1	0
	INT7	Input	FT4	0/1	0	PEFR2	0/1	0/1	0/1	1

## 9.1.2.6 PORT F

表 9-6 ポート F レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				PFDATA	PF0R	PFFRn	PF0D	PFPUP	PFPDN	PFIE
PF0	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	TB7IN	Input	FT1	0/1	0	PFFR1	0/1	0/1	0/1	1
PF1	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	TB7OUT	Output	FT1	0/1	1	PFFR1	0/1	0/1	0/1	0
	ALARM	Output	FT1	0/1	1	PFFR2	0/1	0/1	0/1	0
PF2	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
PF3	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
PF4	リセット後			0	0	0	0	0/1	0/1	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0

## 9.1.2.7 PORT G

表 9-7 ポート G レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				PGDATA	PGCR	PGFRn	PGOD	PGPUP	PGPDN	PGIE
PG0	リセット後			0	0		0	0	0	0
	Input Port	Input		0/1	0		0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	0
PG1	リセット後			0	0		0	0	0	0
	Input Port	Input		0/1	0		0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	0
PG2	リセット後			0	0		0	0	0	0
	Input Port	Input		0/1	0		0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	0
PG3	リセット後			0	0		0	0	0	0
	Input Port	Input		0/1	0		0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	0
PG4	リセット後			0	0		0	0	0	0
	Input Port	Input		0/1	0		0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	0
PG5	リセット後			0	0		0	0	0	0
	Input Port	Input		0/1	0		0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	0
PG6	リセット後			0	0		0	0	0	0
	Input Port	Input		0/1	0		0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	0
PG7	リセット後			0	0		0	0	0	0
	Input Port	Input		0/1	0		0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	0

## 9.1.2.8 PORT H

表 9-8 ポート H レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				PHDATA	PHCR	PHFRn	PHOD	PHPUP	PHPDN	PHIE
PH0	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT0	Input	FT4	0/1	0	PHFR1	0/1	0/1	0/1	1
	AIN0	Input	FT5	0/1	0		0/1	0	0	0
PH1	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0	0	0	0/1	0/1	0/1	1
	Output Port	Output		0	1	0	0/1	0/1	0/1	0
	INT1	Input	FT4	0/1	0	PHFR1	0/1	0/1	0/1	1
	AIN1	Input	FT5	0/1	0		0/1	0/1	0/1	1
PH2	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0	0	0	0/1	0/1	0/1	1
	Output Port	Output		0	1	0	0/1	0/1	0/1	0
	INT2	Input	FT4	0/1	0	PHFR1	0/1	0/1	0/1	1
	AIN2	Input	FT5	0/1	0		0/1	0	0	0
PH3	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0	0	0	0/1	0/1	0/1	1
	Output Port	Output		0	1	0	0/1	0/1	0/1	0
	AIN3	Input	FT5	0/1	0		0/1	0	0	0
	PH4	リセット後			0	0	0	0	0	0
Input Port		Input		0	0	0	0/1	0/1	0/1	1
Output Port		Output		0	1	0	0/1	0/1	0/1	0
AIN4		Input	FT5	0/1	0		0/1	0	0	0
PH5		リセット後			0	0	0	0	0	0
	Input Port	Input		0	0	0	0/1	0/1	0/1	1
	Output Port	Output		0	1	0	0/1	0/1	0/1	0
	AIN5	Input	FT5	0/1	0		0/1	0	0	0
	PH6	リセット後			0	0	0	0	0	0
Input Port		Input		0	0	0	0/1	0/1	0/1	1
Output Port		Output		0	1	0	0/1	0/1	0/1	0
AIN6		Input	FT5	0/1	0		0/1	0	0	0
PH7		リセット後			0	0	0	0	0	0
	Input Port	Input		0	0	0	0/1	0/1	0/1	1
	Output Port	Output		0	1	0	0/1	0/1	0/1	0
	AIN7	Input	FT5	0/1	0		0/1	0	0	0

注) アナログ入力として使用する場合、PHIE は入力禁止"0"、PHPUP はプルアップ禁止"0"にして下さい。

## 9.1.2.9 PORT I

表 9-9 ポートIレジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				PIODATA	PICR	PIFRn	PIOD	PIPUP	PIPDN	PIIE
PI0	リセット後			0	0		0	0	0	0
	Input Port	Input		0	0		0/1	0/1	0/1	1
	Output Port	Output		0	1		0/1	0/1	0/1	0
	AIN8	Input	FT5	0/1	0		0/1	0	0	0
PI1	リセット後			0	0		0	0	0	0
	Input Port	Input		0	0		0/1	0/1	0/1	1
	Output Port	Output		0	1		0/1	0/1	0/1	0
	AIN9	Input	FT5	0/1	0		0/1	0	0	0

注) アナログ入力として使用する場合、PIIE は入力禁止"0"、PIPUP はプルアップ禁止"0"にして下さい。

## 9.1.2.10 PORT J

表 9-10 ポート J レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				PJDATA	PJCR	PJFRn	PJOD	PJPUP	PJPDN	PJIE
PJ0	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0	0	0	0/1	0/1	0/1	1
	Output Port	Output		0	1	0	0/1	0/1	0/1	0
	AIN10	Input	FT5	0/1	0		0/1	0	0	0
PJ1	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0	0	0	0/1	0/1	0/1	1
	Output Port	Output		0	1	0	0/1	0/1	0/1	0
	AIN11	Input	FT5	0/1	0		0/1	0	0	0
PJ2	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0	0	0	0/1	0/1	0/1	1
	Output Port	Output		0	1	0	0/1	0/1	0/1	0
	AIN12	Input	FT5	0/1	0		0/1	0	0	0
PJ3	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0	0	0	0/1	0/1	0/1	1
	Output Port	Output		0	1	0	0/1	0/1	0/1	0
	AIN13	Input	FT5	0/1	0		0/1	0	0	0
PJ4	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0	0	0	0/1	0/1	0/1	1
	Output Port	Output		0	1	0	0/1	0/1	0/1	0
	AIN14	Input	FT5	0/1	0		0/1	0	0	0
PJ5	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0	0	0	0/1	0/1	0/1	1
	Output Port	Output		0	1	0	0/1	0/1	0/1	0
	AIN15	Input	FT5	0/1	0		0/1	0	0	0
PJ6	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0	0	0	0/1	0/1	0/1	1
	Output Port	Output		0	1	0	0/1	0/1	0/1	0
	INTA	Input	FT4	0/1	0	PJFR1	0/1	0/1	0/1	1
	AIN16	Input	FT5	0/1	0		0/1	0/1	0/1	1
PJ7	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0	0	0	0/1	0/1	0/1	1
	Output Port	Output		0	1	0	0/1	0/1	0/1	0
	INTB	Input	FT4	0/1	0	PJFR1	0/1	0/1	0/1	1
	AIN17	Input	FT5	0/1	0		0/1	0/1	0/1	1

注) アナログ入力として使用する場合、PJIE は入力禁止"0"、PJPUP はブルアップ禁止"0"にして下さい。

## 9.1.2.11 PORT L

表 9-11 ポート L レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				PLDATA	PLCR	PLFRn	PLOD	PLPUP	PLPDN	PLIE
PL0	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0 (注 1)
PL2	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INTF	Input	FT4	0/1	0	PLFR1	0/1	0/1	0/1	1

注 1) 必ず 0 をライトしてください。

注 2) PL0 はリセット信号が"Low"の間 Pull-up と入力が可能になっており、 $\overline{\text{BOOT}}$  端子入力として機能します。リセット信号の立ち上がりで PL0 が"1"の場合はシングルチップモード(内蔵フラッシュ)、PL0 が"0"の場合はシングル BOOT モード(内蔵 BOOT ROM)となります。

9.1.2.12 PORT M

表 9-12 ポート M レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				PMDATA	PMCR	PMFRn	PMOD	PMPUP	PMPDN	PMIE
PM0	リセット後			0	0		0	0	0	0
	Input Port	Input		0/1	0		0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	0
	X1	Input	FT5	0/1	0		0	0	0	0
PM1	リセット後			0	0		0	0	0	0
	Input Port	Input		0/1	0		0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	0
	X2	Output	FT5	0/1	1		0	0	0	0

## 9.1.2.13 PORT N

表 9-13 ポート N レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				PNDATA	PNCR	PNFRn	PNOD	PNPUP	PNPDN	PNIE
PN0	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
PN1	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
PN2	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
PN3	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
PN4	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
PN5	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0	0	0	0/1	0/1	0/1	1
	Output Port	Output		0	1	0	0/1	0/1	0/1	0
PN6	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0	0	0	0/1	0/1	0/1	1
	Output Port	Output		0	1	0	0/1	0/1	0/1	0
PN7	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0	0	0	0/1	0/1	0/1	1
	Output Port	Output		0	1	0	0/1	0/1	0/1	0
	INTE	Input	FT4	0/1	0	PNFR2	0/1	0/1	0/1	1

## 9.1.2.14 PORT P

表 9-14 ポート P レジスタ設定

PORT	Reset status	Input/Output	PORT Type	Control registers						
				PPDATA	PPCR	PPFRn	PPOD	PPPUP	PPPDN	PPIE
PP0	リセット後			0	0		0	0	0	0
	Input Port	Input		0/1	0		0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	0
	XT1	Input	FT5	0/1	0		0	0	0	0
PP1	リセット後			0	0		0	0	0	0
	Input Port	Input		0/1	0		0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	0
	XT2	Output	FT5	0/1	0		0	0	0	0

注1) ポートP が“H”出力の状態、外部低速発振子接続端子へ切り替えないでください。外部低速発振子接続端子として使用する場合は「クロック/モード制御」の章をご参照ください。

注2) リセット解除後、低速クロックは停止状態です。従って、初期状態ではポートP になります。

## 9.2 ポート回路図

ポートには、以下のタイプがあります。それぞれの回路図を次ページから示します。図中の点線は「ポート部等価回路図」で記されている等価回路の範囲を示します。

### 9.2.1 タイプ FT1

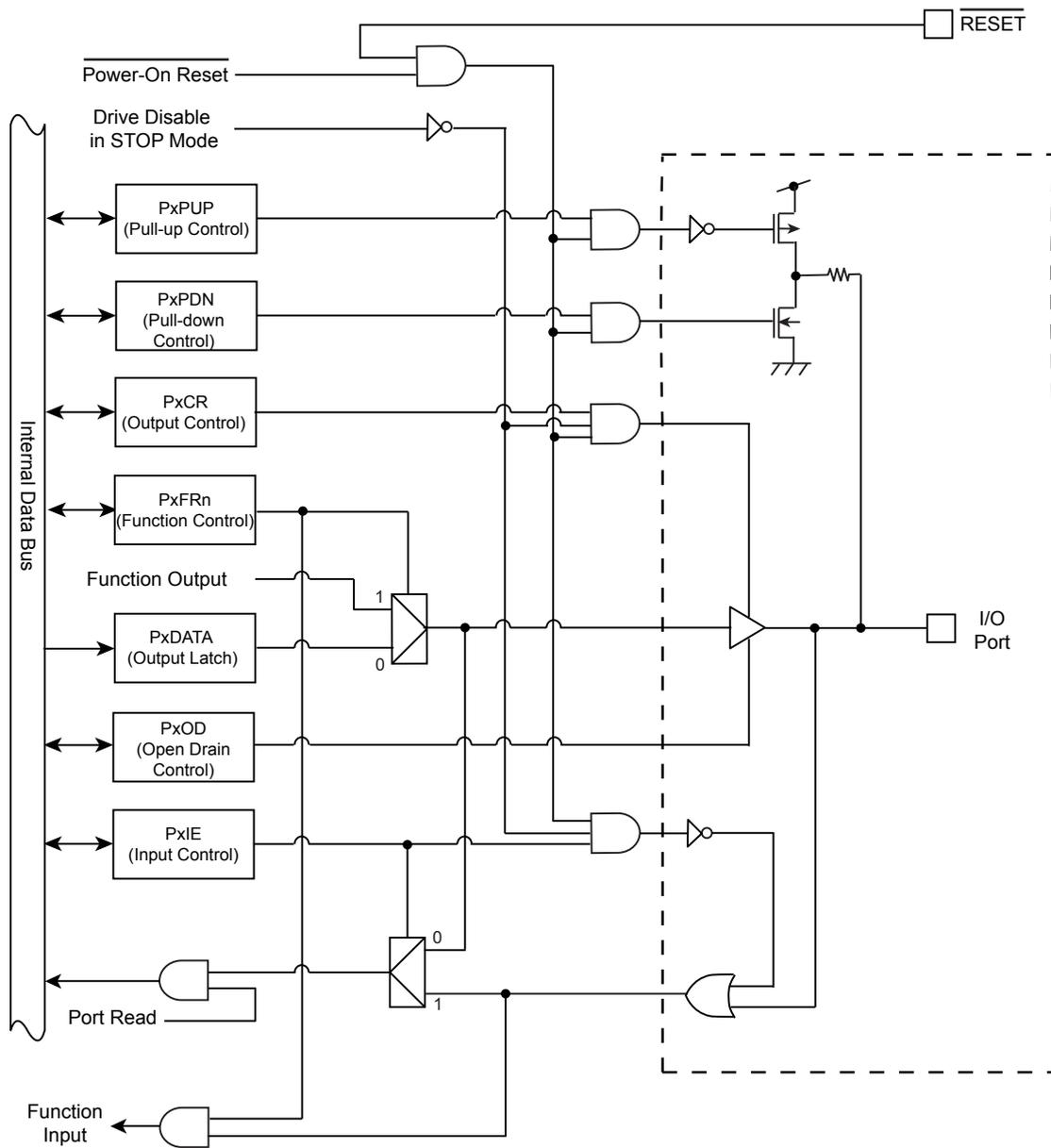


図 9-1 Port Type FT1

9.2.2 タイプ FT2

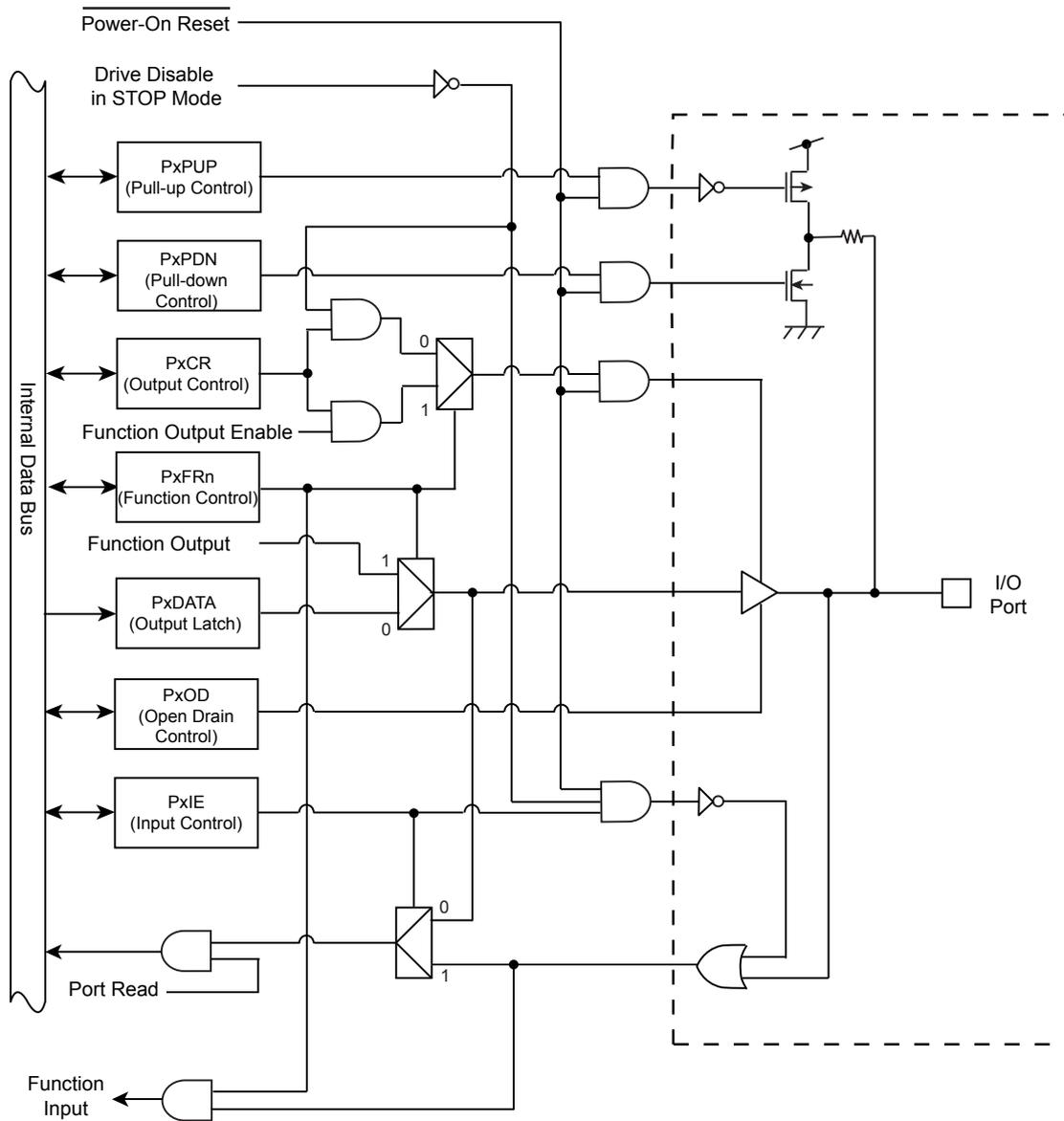


図 9-2 Port Type FT2

9.2.3 タイプ FT3

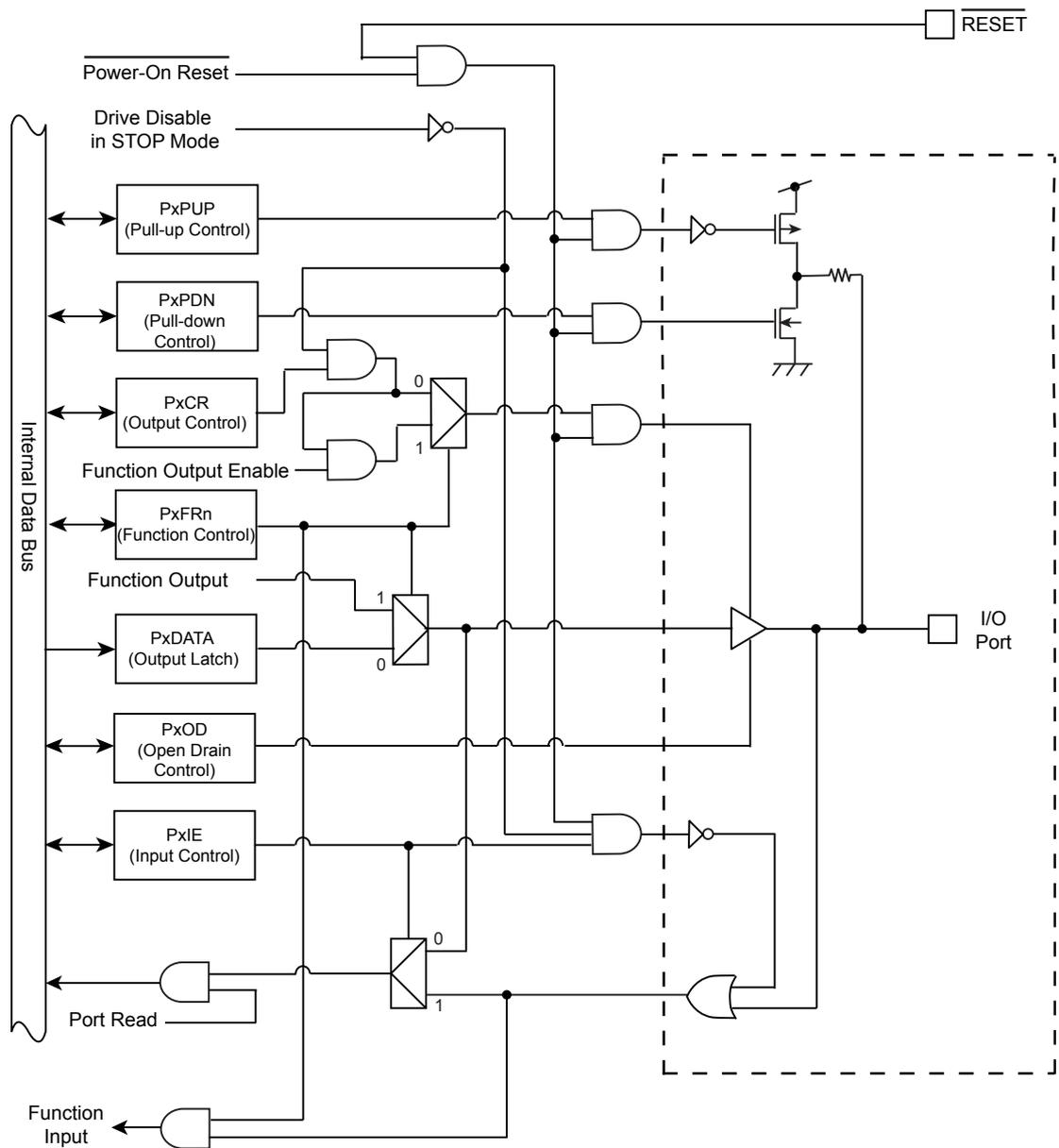


図 9-3 Port Type FT3

9.2.4 タイプ FT4

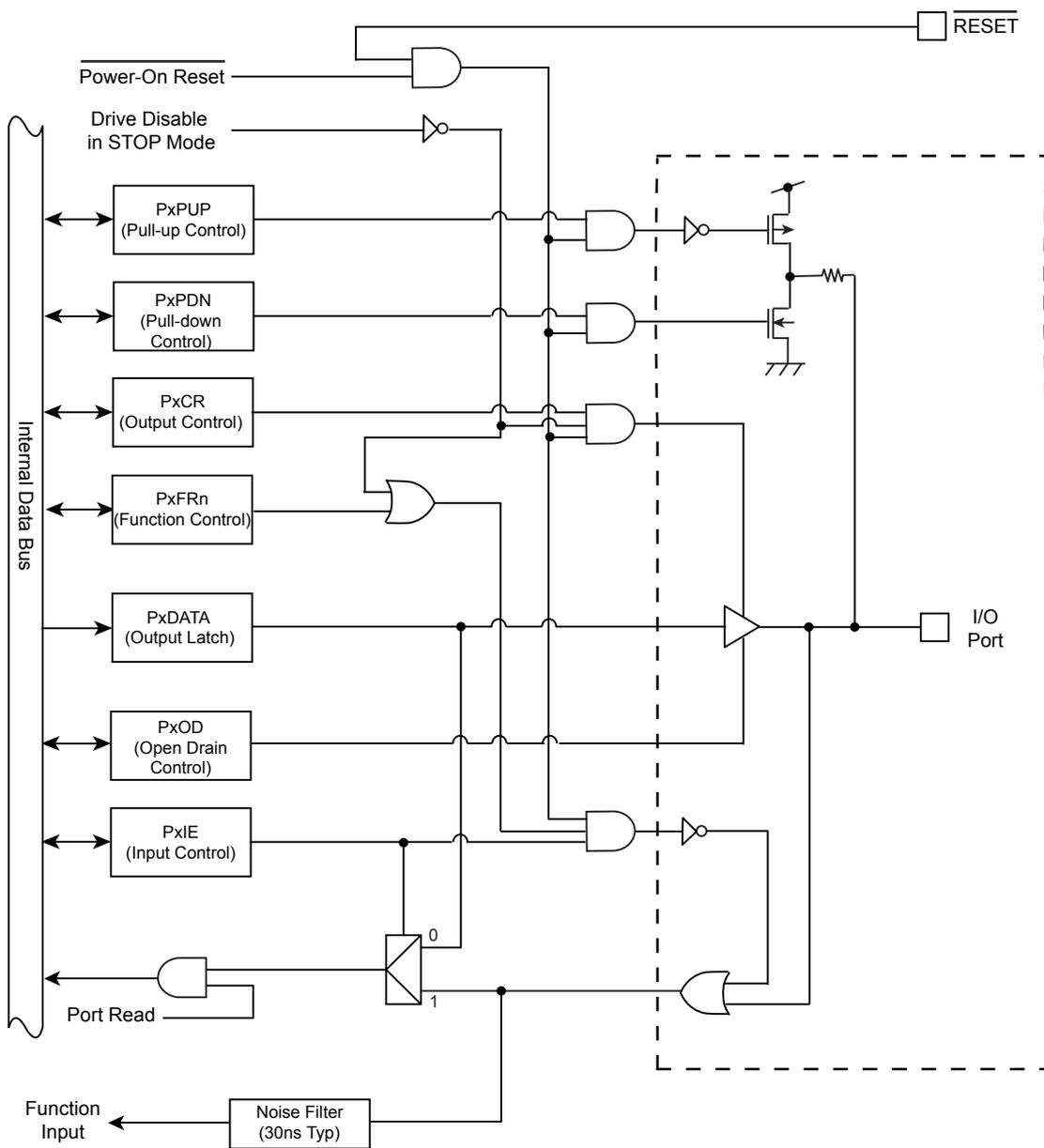


図 9-4 Port Type FT4

9.2.5 タイプ FT5

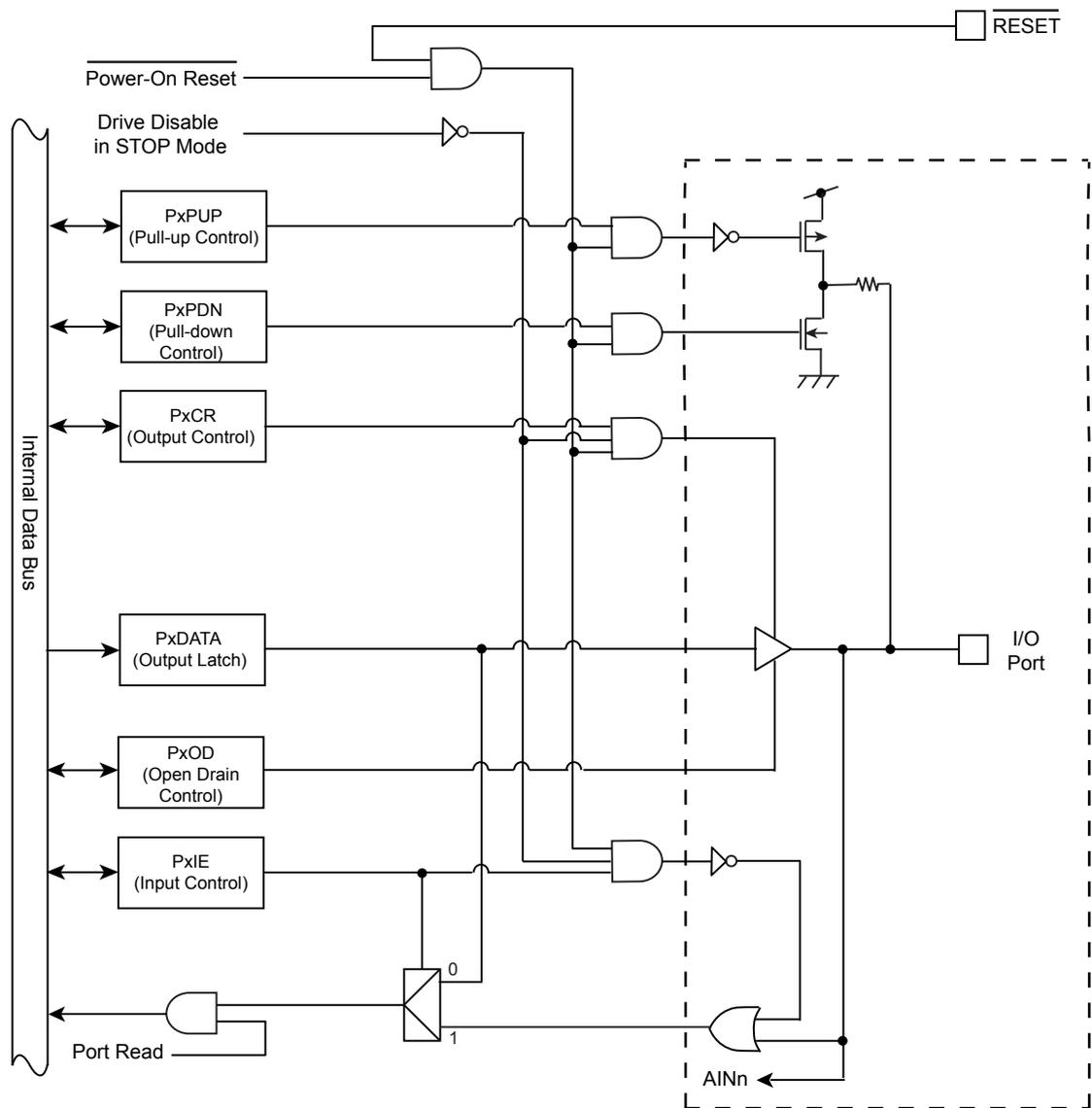


図 9-5 Port Type FT5

9.2.6 タイプ FT6

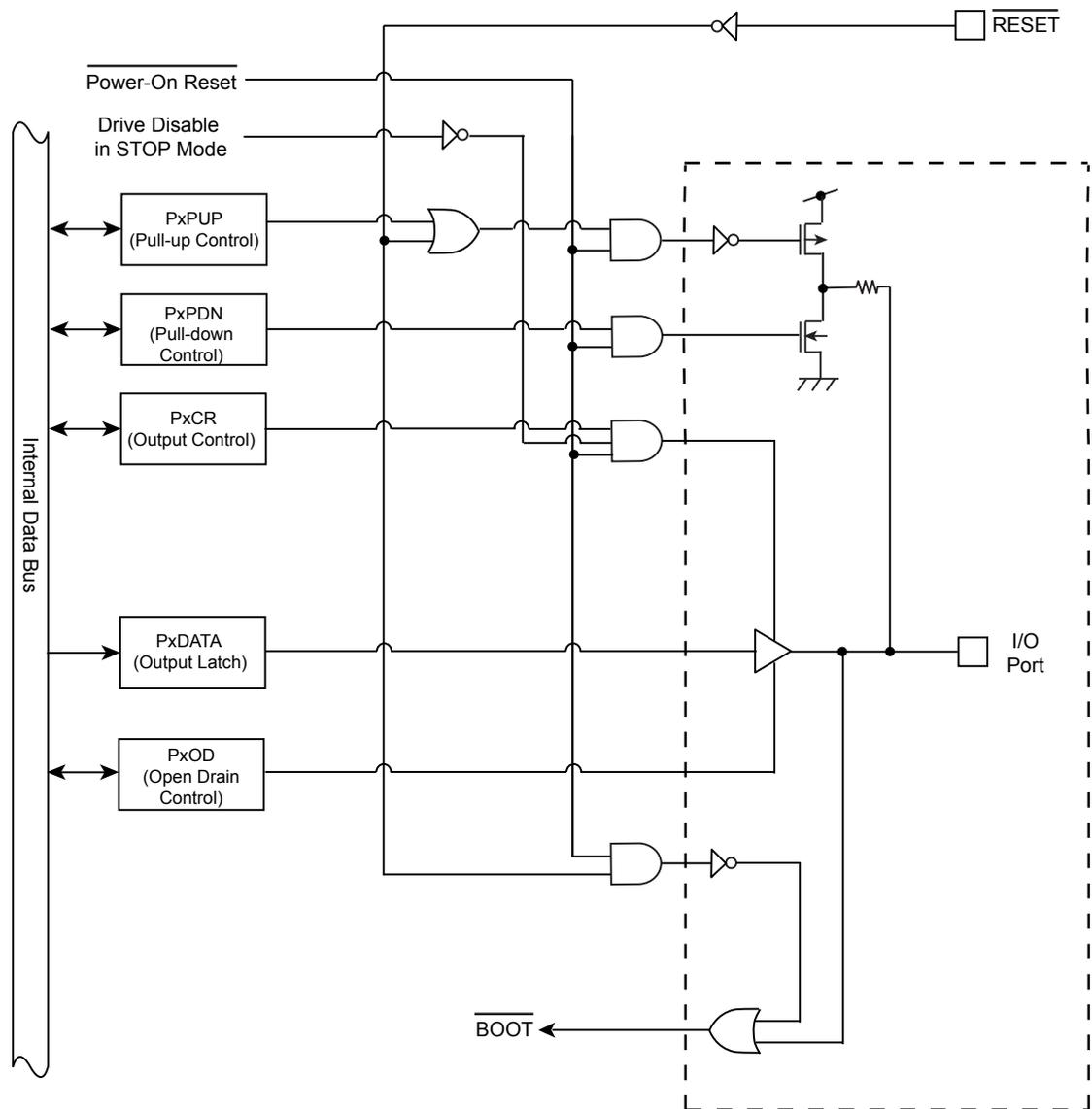


図 9-6 Port Type FT6



## 第 10 章 16 ビットタイマ/イベントカウンタ(TMRB)

### 10.1 概要

TMRB は、次の機能をもっています。

- ・ 16 ビットインタバルタイマモード
- ・ 16 ビットイベントカウンタモード
- ・ 16 ビットプログラマブル矩形波出力(PPG)モード
- ・ 外部トリガプログラマブル矩形波出力(PPG)モード
- ・ タイマ同期モード

また、キャプチャ機能を利用することで次のような用途に使用することができます。

- ・ 外部トリガパルスからのワンショットパルス出力
- ・ 周波数測定
- ・ パルス幅測定

以下の説明中、"x"はチャンネル番号を表します。

## 10.2 チャンネル別仕様相違点

各チャンネルはそれぞれ独立に動作します。いずれのチャンネルも表 10-1 に示される仕様相違点を除いて同一の動作をします。

また、一部のチャンネルから他のチャンネルへキャプチャトリガや同期トリガをかけることができます。

1. TMRB2, TMRB5, TMRB7 のフリップフロップ出力を他のチャンネルのキャプチャトリガとして使用可能
  - ・ TB2OUT → TMRB3, 4, 5 で使用
  - ・ TB5OUT → TMRB6, 7 で使用
  - ・ TB7OUT → TMRB0, 1, 2 で使用
2. タイマ同期モードのスタートトリガ (TBxRUN を使用)
  - ・ TMRB0 → TMRB1, 2, 3 を同時スタート
  - ・ TMRB4 → TMRB5, 6, 7 を同時スタート
3. タイマプリスケアラ同期スタートトリガ (TBxPRUN を使用)
  - ・ TMRB0 → TMRB1, 2, 3 を同時スタート
  - ・ TMRB4 → TMRB5, 6, 7 を同時スタート

製品別詳細については、「製品情報」の章を参照してください。

表 10-1 TMRB のチャンネル別仕様相違点

仕様	外部端子		タイマ間トリガ機能		割り込み		内部接続	
	外部クロック/ キャプチャトリガ入力端子	タイマフリップフロップ出力端子	キャプチャトリガ	同期スタートトリガチャンネル	キャプチャ割り込み	TMRB 割り込み	ADC 変換開始	タイマフリップフロップ出力 TBxOUT から SIO/UART、RMC (TXTRG: 転送クロック)
TMRB0	TB0IN	TB0OUT	TB7OUT	-	INTCAP00 INTCAP01	INTTB00 INTTB01	-	-
TMRB1	TB1IN	TB1OUT	TB7OUT	TB0PRUN TB0RUN	INTCAP10 INTCAP11	INTTB10 INTTB11	-	RMC
TMRB2	TB2IN	TB2OUT	TB7OUT	TB0PRUN TB0RUN	INTCAP20 INTCAP21	INTTB20 INTTB21	-	-
TMRB3	TB3IN	TB3OUT	TB2OUT	TB0PRUN TB0RUN	INTCAP30 INTCAP31	INTTB30 INTTB31	-	-
TMRB4	TB4IN	TB4OUT	TB2OUT	-	INTCAP40 INTCAP41	INTTB40 INTTB41	-	SIO0 SIO1
TMRB5	TB5IN	TB5OUT	TB2OUT	TB4PRUN TB4RUN	INTCAP50 INTCAP51	INTTB50 INTTB51	INTTB51	-
TMRB6	TB6IN	TB6OUT	TB5OUT	TB4PRUN TB4RUN	INTCAP60 INTCAP61	INTTB60 INTTB61	-	-
TMRB7	TB7IN	TB7OUT	TB5OUT	TB4PRUN TB4RUN	INTCAP70 INTCAP71	INTTB70 INTTB71	-	SIO2

10.3 構成

各チャンネルは、主に16ビットアップカウンタ、16ビットタイマレジスタ2本(ダブルバッファ構造)、16ビットのキャプチャレジスタ、コンパレータ、および、キャプチャ入力制御、タイマフリップフロップとその制御回路で構成されています。タイマの動作モードやタイマフリップフロップはレジスタで制御されます。

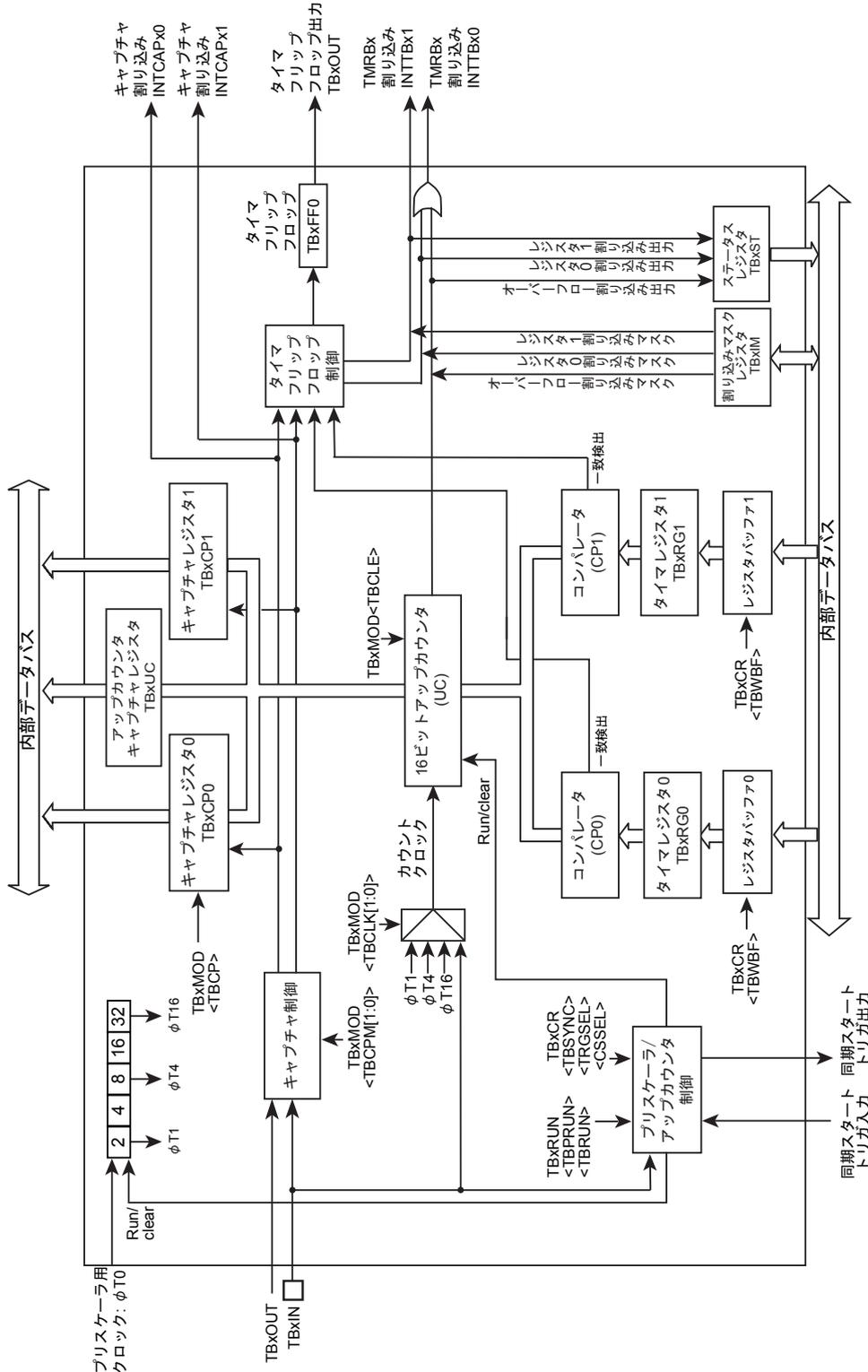


図 10-1 TMRBx ブロック図

## 10.4 レジスタ説明

### 10.4.1 チャンネル別レジスタ一覧

制御レジスタとアドレスは以下の通りです。

ベースアドレスは、「メモリマップ」章の「周辺機能ベースアドレス一覧」を参照ください。

各チャンネルのレジスタとアドレスを以下に示します。

レジスタ名		Address(Base+)
イネーブルレジスタ	TBxEN	0x0000
RUN レジスタ	TBxRUN	0x0004
コントロールレジスタ	TBxCR	0x0008
モードレジスタ	TBxMOD	0x000C
フリップフロップコントロールレジスタ	TBxFFCR	0x0010
ステータスレジスタ	TBxST	0x0014
割り込みマスクレジスタ	TBxIM	0x0018
アップカウンタキャプチャレジスタ	TBxUC	0x001C
タイマレジスタ 0	TBxRG0	0x0020
タイマレジスタ 1	TBxRG1	0x0024
キャプチャレジスタ 0	TBxCP0	0x0028
キャプチャレジスタ 1	TBxCP1	0x002C

## 10.4.2 TBxEN(イネーブルレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TBEN	TBHALT	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	TBEN	R/W	<p>TMRBx 動作</p> <p>0: 禁止</p> <p>1: 許可</p> <p>TMRB の動作を指定します。動作禁止の状態では TMRB モジュールの他のレジスタへクロックが供給されませんので消費電力の低減が可能です(この状態では、TBxEN レジスタ以外のレジスタへのリード、ライトはできません)。</p> <p>TMRB を使用する場合は、TMRB モジュールの各レジスタを設定する前に TMRB 動作許可("1")にしてください。TMRB をいったん動作させた後に、動作禁止した場合は各レジスタの設定は保持されます。</p>
6	TBHALT	R/W	<p>デバッグ HALT 中のクロック動作</p> <p>0: 動作</p> <p>1: 停止</p> <p>デバッグツール使用時に HALT モードに遷移した場合、TMRB クロック動作/停止の設定を行いません。</p>
5-0	-	R	リードすると"0"が読めます。

## 10.4.3 TBxRUN(RUN レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	TBPRUN	-	TBRUN
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-3	-	R	リードすると"0"が読めます。
2	TBPRUN	R/W	プリスケアラ動作 0: 停止&クリア 1: カウント
1	-	R	リードすると"0"が読めます。
0	TBRUN	R/W	カウンタ動作 0: 停止&クリア 1: カウント

注) カウンタ停止状態(<TBRUN>="0")でアップカウンタキャプチャレジスタの TBxUC<TBUC[15:0]>をリードすると、カウンタ動作時に最後にキャプチャした値がリードされます。

10.4.4 TBxCR(コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TBWBFB	-	TBSYNC	-	I2TB	-	TRGSEL	CSSEL
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	TBWBFB	R/W	ダブルバッファ 0: 禁止 1: 許可
6	-	R/W	"0"をライトしてください。
5	TBSYNC	R/W	同期モード切り替え 0: 個別動作(チャンネルごと) 1: 同期動作
4	-	R	リードすると"0"が読めます。
3	I2TB	R/W	IDLE 時の動作 0: 停止 1: 動作
2	-	R	リードすると"0"が読めます。
1	TRGSEL	R/W	外部トリガ選択 0: 立ち上がりエッジ 1: 立ち下がりエッジ
0	CSSEL	R/W	カウンタスタートの方法選択 0: ソフトスタート 1: 外部トリガ

### 10.4.5 TBxMOD(モードレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	TBR5WR	TBCP	TBCPM		TBCLE	TBCLK	
リセット後	0	0	1	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-7	-	R	リードすると"0"が読めます。
6	TBR5WR	R/W	ダブルバッファ使用時のタイマレジスタ 0、1 への書き込みタイミング制御 0: タイマレジスタ 0、タイマレジスタ 1 への書き込み準備が片方のみしかできていない場合でも、片方ずつタイマレジスタに書き込みを行うことができます。 1: タイマレジスタ 0、タイマレジスタ 1 への書き込み準備が両方ともできていない場合は、タイマレジスタに書き込みを行うことができません。
5	TBCP	W	ソフトウェアキャプチャ制御 0: ソフトキャプチャ 1: Don't care "0" を書き込むとキャプチャレジスタ 0 (TBxCP0)にカウント値を取り込みます。 リードすると"1"が読めます。
4-3	TBCPM[1:0]	R/W	キャプチャタイミング (注 2) 00: ディセーブル 01: TBxIN↑ TBxIN 端子入力の立ち上がりでキャプチャレジスタ 0 (TBxCP0)にカウント値を取り込みます 10: TBxIN↑ TBxIN↓ TBxIN 端子入力の立ち上がりでキャプチャレジスタ 0 (TBxCP0)にカウント値を取り込む TBxIN 端子入力の立ち下がりでキャプチャレジスタ 1 (TBxCP1)にカウント値を取り込む 11: TBxOUT↑TBxOUT↓ 16 ビットタイマ一致出力(TBxOUT)の立ち上がりでキャプチャレジスタ 0 (TBnCP0)にカウント値を取り込み、TBxOUT の立ち下がりでキャプチャレジスタ 1 (TBnCP1)にカウント値を取り込みます。
2	TBCLE	R/W	アップカウンタ制御 0: クリアディセーブル 1: クリアイネーブル アップカウンタのクリア制御を行います。 "0"でクリア禁止、"1"でタイマレジスタ 1 (TBxRG1)との一致時にクリアします。
1-0	TBCLK[1:0]	R/W	TMRBx のソースクロック選択 00: TBxIN 端子入力(注 2) 01: φT1 10: φT4 11: φT16

注 1) 該当する TMRBx が動作中に、TBxMOD レジスタの設定変更を行なわないでください。

注 2) 製品によって仕様が異なります。詳細は「製品情報」の章を参照してください。

## 10.4.6 TBxFFCR(フリップフロップコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	TBC1T1	TBC0T1	TBE1T1	TBE0T1	TBFF0C	
リセット後	1	1	0	0	0	0	1	1

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-6	-	R	リードすると"1"が読めます。
5	TBC1T1	R/W	TBxCP1 へのアップカウンタ値取り込み時の TBxFF0 反転トリガ 0: トリガディセーブル 1: トリガイネーブル "1"をセットすると、アップカウンタの値がキャプチャレジスタ 1 (TBxCP1)に取り込まれた時にタイマフリップフロップを反転します。
4	TBC0T1	R/W	TBxCP0 へのアップカウンタ値取り込み時の TBxFF0 反転トリガ 0: トリガディセーブル 1: トリガイネーブル "1"をセットすると、アップカウンタの値がキャプチャレジスタ 0 (TBxCP0)に取り込まれた時にタイマフリップフロップを反転します。
3	TBE1T1	R/W	アップカウンタと TBxRG1 との一致時の TBxFF0 反転トリガ 0: トリガディセーブル 1: トリガイネーブル "1"をセットすると、アップカウンタとタイマレジスタ 1 (TBxRG1)との一致時にタイマフリップフロップを反転します。
2	TBE0T1	R/W	アップカウンタと TBxRG0 との一致時の TBxFF0 反転トリガ 0: トリガディセーブル 1: トリガイネーブル "1"をセットすると、アップカウンタとタイマレジスタ 0 (TBxRG0)との一致時にタイマフリップフロップを反転します。
1-0	TBFF0C[1:0]	R/W	TBxFF0 の制御 00: Invert TBxFF0 の値を反転(ソフト反転)します。 01: Set TBxFF0 を"1"にセットします。 10: Clear TBxFF0 を"0"にクリアします。 11: Don't care ※リードすると"11"が読めます。

## 10.4.7 TBxST(ステータスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	INTTBOF	INTTB1	INTTB0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-3	-	R	リードすると"0"が読めます。
2	INTTBOF	R	オーバフローフラグ 0: オーバフローは発生していない 1: オーバフローが発生 アップカウンタのオーバフローが発生すると "1" がセットされます。
1	INTTB1	R	一致フラグ(TBxRG1) 0: 一致検出していない 1: TBxRG1 との一致を検出した タイマレジスタ 1 (TBxRG1)との一致を検出すると "1" がセットされます。
0	INTTB0	R	一致フラグ(TBxRG0) 0: 一致検出していない 1: TBxRG0 との一致を検出した タイマレジスタ 0 (TBxRG0)との一致を検出すると "1" がセットされます。

注 1) TBxIM でマスク設定されていない要因のみ、CPU に対し割り込み要求が出力されます。マスク設定されていても、フラグはセットされます。

注 2) フラグは自動的にクリアされません。クリアするためには本レジスタをリードしてしてください。

## 10.4.8 TBxIM(割り込みマスクレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	TBIMOF	TBIM1	TBIM0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-3	-	R	リードすると"0"が読めます。
2	TBIMOF	R/W	オーバーフロー割り込みマスク 0:割り込みをマスクしない 1:割り込みをマスクする アップカウンタのオーバーフロー割り込みをマスクする/しないを設定します。
1	TBIM1	R/W	一致割り込みマスク(TBxRG1) 0:割り込みをマスクしない 1:割り込みをマスクする タイマレジスタ 1 (TBxRG1)との一致割り込みをマスクする/しないを設定します。
0	TBIM0	R/W	一致割り込みマスク(TBxRG0) 0:割り込みをマスクしない 1:割り込みをマスクする タイマレジスタ 0 (TBxRG0)との一致割り込みをマスクする/しないを設定します。

注) TBxIM レジスタのマスクが有効な場合でも TBxST レジスタへ状態がセットされます。

## 10.4.9 TBxUC(アップカウンタキャプチャレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	TBUC							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TBUC							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます。
15-0	TBUC[15:0]	R	アップカウンタ読み出しによりキャプチャした値 TBxUC をリードすると、現在のアップカウンタの値をキャプチャすることができます。

注) カウンタ動作時に TBxUC をリードすると、リード時のアップカウンタの値をキャプチャしリードすることができます。

10.4.10 TBxRG0(タイマレジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	TBRG0							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TBRG0							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます。
15-0	TBRG0[15:0]	R/W	アップカウンタと比較する値を設定します。

10.4.11 TBxRG1(タイマレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	TBRG1							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TBRG1							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます。
15-0	TBRG1[15:0]	R/W	アップカウンタと比較する値を設定します。

## 10.4.12 TBxCP0(キャプチャレジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	TBCP0							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TBCP0							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます。
15-0	TBCP0[15:0]	R	アップカウンタをキャプチャした値が読めます。

## 10.4.13 TBxCP1(キャプチャレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	TBCP1							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TBCP1							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます。
15-0	TBCP1[15:0]	R	アップカウンタをキャプチャした値が読めます。

## 10.5 回路別の動作説明

各チャンネルは表 10-1 に示される仕様相違点を除いて同一の動作をします。

### 10.5.1 プリスケーラ

アップカウンタ UC のソースクロックを生成する 4 ビットのプリスケーラです。

プリスケーラへの入力クロック  $\phi T0$  は CG 部の CGSYSCR<PRCK[2:0]> にて選択した fperiph/1, fperiph/2, fperiph/4, fperiph/8, fperiph/16, fperiph/32 のいずれかのクロックです。このペリフェラルクロック fperiph は CG 部の CGSYSCR<FPSEL[1:0]> で選択したクロック fgear またはクロックギア分周前のクロック fc のいずれかのクロックです。

プリスケーラは TBxRUN<TBPRUN> により動作/停止の設定をします。"1" をライトするとカウント開始し "0" をライトするとクリアされ停止します。プリスケーラ出力クロックの分解能を、表 10-2, 表 10-3 に示します。

表 10-2 プリスケーラ出力クロック分解能(fc = 40MHz)

ペリフェラル クロック選択 CGSYSCR <FPSEL[1:0]>	クロックギア値 CGSYSCR <GEAR[2:0]>	プリスケーラ クロック選択 CGSYSCR <PRCK[2:0]>	プリスケーラ出力クロック機能		
			$\phi T1$	$\phi T4$	$\phi T16$
00 (fgear)	000 (fc)	000 (fperiph/1)	$fc/2^1$ (0.05 $\mu$ s)	$fc/2^3$ (0.2 $\mu$ s)	$fc/2^5$ (0.8 $\mu$ s)
		001 (fperiph/2)	$fc/2^2$ (0.1 $\mu$ s)	$fc/2^4$ (0.4 $\mu$ s)	$fc/2^6$ (1.6 $\mu$ s)
		010 (fperiph/4)	$fc/2^3$ (0.2 $\mu$ s)	$fc/2^5$ (0.8 $\mu$ s)	$fc/2^7$ (3.2 $\mu$ s)
		011 (fperiph/8)	$fc/2^4$ (0.4 $\mu$ s)	$fc/2^6$ (1.6 $\mu$ s)	$fc/2^8$ (6.4 $\mu$ s)
		100 (fperiph/16)	$fc/2^5$ (0.8 $\mu$ s)	$fc/2^7$ (3.2 $\mu$ s)	$fc/2^9$ (12.8 $\mu$ s)
		101 (fperiph/32)	$fc/2^6$ (1.6 $\mu$ s)	$fc/2^8$ (6.4 $\mu$ s)	$fc/2^{10}$ (25.6 $\mu$ s)
	100 (fc/2)	000 (fperiph/1)	$fc/2^2$ (0.1 $\mu$ s)	$fc/2^4$ (0.4 $\mu$ s)	$fc/2^6$ (1.6 $\mu$ s)
		001 (fperiph/2)	$fc/2^3$ (0.2 $\mu$ s)	$fc/2^5$ (0.8 $\mu$ s)	$fc/2^7$ (3.2 $\mu$ s)
		010 (fperiph/4)	$fc/2^4$ (0.4 $\mu$ s)	$fc/2^6$ (1.6 $\mu$ s)	$fc/2^8$ (6.4 $\mu$ s)
		011 (fperiph/8)	$fc/2^5$ (0.8 $\mu$ s)	$fc/2^7$ (3.2 $\mu$ s)	$fc/2^9$ (12.8 $\mu$ s)
		100 (fperiph/16)	$fc/2^6$ (1.6 $\mu$ s)	$fc/2^8$ (6.4 $\mu$ s)	$fc/2^{10}$ (25.6 $\mu$ s)
		101 (fperiph/32)	$fc/2^7$ (3.2 $\mu$ s)	$fc/2^9$ (12.8 $\mu$ s)	$fc/2^{11}$ (51.2 $\mu$ s)
	101 (fc/4)	000 (fperiph/1)	$fc/2^3$ (0.2 $\mu$ s)	$fc/2^5$ (0.8 $\mu$ s)	$fc/2^7$ (3.2 $\mu$ s)
		001 (fperiph/2)	$fc/2^4$ (0.4 $\mu$ s)	$fc/2^6$ (1.6 $\mu$ s)	$fc/2^8$ (6.4 $\mu$ s)
		010 (fperiph/4)	$fc/2^5$ (0.8 $\mu$ s)	$fc/2^7$ (3.2 $\mu$ s)	$fc/2^9$ (12.8 $\mu$ s)
		011 (fperiph/8)	$fc/2^6$ (1.6 $\mu$ s)	$fc/2^8$ (6.4 $\mu$ s)	$fc/2^{10}$ (25.6 $\mu$ s)
		100 (fperiph/16)	$fc/2^7$ (3.2 $\mu$ s)	$fc/2^9$ (12.8 $\mu$ s)	$fc/2^{11}$ (51.2 $\mu$ s)
		101 (fperiph/32)	$fc/2^8$ (6.4 $\mu$ s)	$fc/2^{10}$ (25.6 $\mu$ s)	$fc/2^{12}$ (102.4 $\mu$ s)
	110 (fc/8)	000 (fperiph/1)	$fc/2^4$ (0.4 $\mu$ s)	$fc/2^6$ (1.6 $\mu$ s)	$fc/2^8$ (6.4 $\mu$ s)
		001 (fperiph/2)	$fc/2^5$ (0.8 $\mu$ s)	$fc/2^7$ (3.2 $\mu$ s)	$fc/2^9$ (12.8 $\mu$ s)
		010 (fperiph/4)	$fc/2^6$ (1.6 $\mu$ s)	$fc/2^8$ (6.4 $\mu$ s)	$fc/2^{10}$ (25.6 $\mu$ s)
		011 (fperiph/8)	$fc/2^7$ (3.2 $\mu$ s)	$fc/2^9$ (12.8 $\mu$ s)	$fc/2^{11}$ (51.2 $\mu$ s)
		100 (fperiph/16)	$fc/2^8$ (6.4 $\mu$ s)	$fc/2^{10}$ (25.6 $\mu$ s)	$fc/2^{12}$ (102.4 $\mu$ s)
		101 (fperiph/32)	$fc/2^9$ (12.8 $\mu$ s)	$fc/2^{11}$ (51.2 $\mu$ s)	$fc/2^{13}$ (204.8 $\mu$ s)
111 (fc/16)	000 (fperiph/1)	$fc/2^5$ (0.8 $\mu$ s)	$fc/2^7$ (3.2 $\mu$ s)	$fc/2^9$ (12.8 $\mu$ s)	
	001 (fperiph/2)	$fc/2^6$ (1.6 $\mu$ s)	$fc/2^8$ (6.4 $\mu$ s)	$fc/2^{10}$ (25.6 $\mu$ s)	
	010 (fperiph/4)	$fc/2^7$ (3.2 $\mu$ s)	$fc/2^9$ (12.8 $\mu$ s)	$fc/2^{11}$ (51.2 $\mu$ s)	
	011 (fperiph/8)	$fc/2^8$ (6.4 $\mu$ s)	$fc/2^{10}$ (25.6 $\mu$ s)	$fc/2^{12}$ (102.4 $\mu$ s)	
	100 (fperiph/16)	$fc/2^9$ (12.8 $\mu$ s)	$fc/2^{11}$ (51.2 $\mu$ s)	$fc/2^{13}$ (204.8 $\mu$ s)	
	101 (fperiph/32)	$fc/2^{10}$ (25.6 $\mu$ s)	$fc/2^{12}$ (102.4 $\mu$ s)	$fc/2^{14}$ (409.6 $\mu$ s)	

表 10-2 プリスケーラ出カクロック分解能( $f_c = 40\text{MHz}$ )

ペリフェラル クロック選択 CGSYSCR <FPSEL[1:0]>	クロックギア値 CGSYSCR <GEAR[2:0]>	プリスケーラ クロック選択 CGSYSCR <PRCK[2:0]>	プリスケーラ出カクロック機能		
			$\phi T1$	$\phi T4$	$\phi T16$
01 (fc)	000 (fc)	000 (fperiph/1)	$fc/2^1$ (0.05 $\mu\text{s}$ )	$fc/2^3$ (0.2 $\mu\text{s}$ )	$fc/2^5$ (0.8 $\mu\text{s}$ )
		001 (fperiph/2)	$fc/2^2$ (0.1 $\mu\text{s}$ )	$fc/2^4$ (0.4 $\mu\text{s}$ )	$fc/2^6$ (1.6 $\mu\text{s}$ )
		010 (fperiph/4)	$fc/2^3$ (0.2 $\mu\text{s}$ )	$fc/2^5$ (0.8 $\mu\text{s}$ )	$fc/2^7$ (3.2 $\mu\text{s}$ )
		011 (fperiph/8)	$fc/2^4$ (0.4 $\mu\text{s}$ )	$fc/2^6$ (1.6 $\mu\text{s}$ )	$fc/2^8$ (6.4 $\mu\text{s}$ )
		100 (fperiph/16)	$fc/2^5$ (0.8 $\mu\text{s}$ )	$fc/2^7$ (3.2 $\mu\text{s}$ )	$fc/2^9$ (12.8 $\mu\text{s}$ )
		101 (fperiph/32)	$fc/2^6$ (1.6 $\mu\text{s}$ )	$fc/2^8$ (6.4 $\mu\text{s}$ )	$fc/2^{10}$ (25.6 $\mu\text{s}$ )
	100 (fc/2)	000 (fperiph/1)	-	$fc/2^3$ (0.2 $\mu\text{s}$ )	$fc/2^5$ (0.8 $\mu\text{s}$ )
		001 (fperiph/2)	$fc/2^2$ (0.1 $\mu\text{s}$ )	$fc/2^4$ (0.4 $\mu\text{s}$ )	$fc/2^6$ (1.6 $\mu\text{s}$ )
		010 (fperiph/4)	$fc/2^3$ (0.2 $\mu\text{s}$ )	$fc/2^5$ (0.8 $\mu\text{s}$ )	$fc/2^7$ (3.2 $\mu\text{s}$ )
		011 (fperiph/8)	$fc/2^4$ (0.4 $\mu\text{s}$ )	$fc/2^6$ (1.6 $\mu\text{s}$ )	$fc/2^8$ (6.4 $\mu\text{s}$ )
		100 (fperiph/16)	$fc/2^5$ (0.8 $\mu\text{s}$ )	$fc/2^7$ (3.2 $\mu\text{s}$ )	$fc/2^9$ (12.8 $\mu\text{s}$ )
		101 (fperiph/32)	$fc/2^6$ (1.6 $\mu\text{s}$ )	$fc/2^8$ (6.4 $\mu\text{s}$ )	$fc/2^{10}$ (25.6 $\mu\text{s}$ )
	101 (fc/4)	000 (fperiph/1)	-	$fc/2^3$ (0.2 $\mu\text{s}$ )	$fc/2^5$ (0.8 $\mu\text{s}$ )
		001 (fperiph/2)	-	$fc/2^4$ (0.4 $\mu\text{s}$ )	$fc/2^6$ (1.6 $\mu\text{s}$ )
		010 (fperiph/4)	$fc/2^3$ (0.2 $\mu\text{s}$ )	$fc/2^5$ (0.8 $\mu\text{s}$ )	$fc/2^7$ (3.2 $\mu\text{s}$ )
		011 (fperiph/8)	$fc/2^4$ (0.4 $\mu\text{s}$ )	$fc/2^6$ (1.6 $\mu\text{s}$ )	$fc/2^8$ (6.4 $\mu\text{s}$ )
		100 (fperiph/16)	$fc/2^5$ (0.8 $\mu\text{s}$ )	$fc/2^7$ (3.2 $\mu\text{s}$ )	$fc/2^9$ (12.8 $\mu\text{s}$ )
		101 (fperiph/32)	$fc/2^6$ (1.6 $\mu\text{s}$ )	$fc/2^8$ (6.4 $\mu\text{s}$ )	$fc/2^{10}$ (25.6 $\mu\text{s}$ )
	110 (fc/8)	000 (fperiph/1)	-	-	$fc/2^5$ (0.8 $\mu\text{s}$ )
		001 (fperiph/2)	-	$fc/2^4$ (0.4 $\mu\text{s}$ )	$fc/2^6$ (1.6 $\mu\text{s}$ )
		010 (fperiph/4)	-	$fc/2^5$ (0.8 $\mu\text{s}$ )	$fc/2^7$ (3.2 $\mu\text{s}$ )
		011 (fperiph/8)	$fc/2^4$ (0.4 $\mu\text{s}$ )	$fc/2^6$ (1.6 $\mu\text{s}$ )	$fc/2^8$ (6.4 $\mu\text{s}$ )
		100 (fperiph/16)	$fc/2^5$ (0.8 $\mu\text{s}$ )	$fc/2^7$ (3.2 $\mu\text{s}$ )	$fc/2^9$ (12.8 $\mu\text{s}$ )
		101 (fperiph/32)	$fc/2^6$ (1.6 $\mu\text{s}$ )	$fc/2^8$ (6.4 $\mu\text{s}$ )	$fc/2^{10}$ (25.6 $\mu\text{s}$ )
111 (fc/16)	000 (fperiph/1)	-	-	$fc/2^5$ (0.8 $\mu\text{s}$ )	
	001 (fperiph/2)	-	-	$fc/2^6$ (1.6 $\mu\text{s}$ )	
	010 (fperiph/4)	-	$fc/2^5$ (0.8 $\mu\text{s}$ )	$fc/2^7$ (3.2 $\mu\text{s}$ )	
	011 (fperiph/8)	-	$fc/2^6$ (1.6 $\mu\text{s}$ )	$fc/2^8$ (6.4 $\mu\text{s}$ )	
	100 (fperiph/16)	$fc/2^5$ (0.8 $\mu\text{s}$ )	$fc/2^7$ (3.2 $\mu\text{s}$ )	$fc/2^9$ (12.8 $\mu\text{s}$ )	
	101 (fperiph/32)	$fc/2^6$ (1.6 $\mu\text{s}$ )	$fc/2^8$ (6.4 $\mu\text{s}$ )	$fc/2^{10}$ (25.6 $\mu\text{s}$ )	

注 1) プリスケーラ出カクロック  $\phi T_n$  は、必ず  $\phi T_n \leq f_{\text{sys}}/2$  を満足するように ( $\phi T_n$  が  $f_{\text{sys}}$  よりも遅くなるように) 選択してください。

注 2) タイマ動作中はクロックギアの切り替えは行わないでください。

注 3) 表中“-”は設定禁止です。

表 10-3 プリスケーラ出カクロック分解能( $f_s = 32.768\text{kHz}$ 、<SYSCK> = "1")

ペリフェラル クロック選択 CGSYSCR <FPSEL[1:0]>	クロックギア値 CGSYSCR <GEAR[2:0]>	プリスケーラ クロック選択 CGSYSCR <PRCK[2:0]>	プリスケーラ出カクロック機能		
			$\phi T1$	$\phi T4$	$\phi T16$
10 11 (fs)	-	-	$f_s/2^1$ (61.0 $\mu\text{s}$ )	$f_s/2^3$ (244.1 $\mu\text{s}$ )	$f_s/2^5$ (976.6 $\mu\text{s}$ )

## 10.5.2 アップカウンタ(UC)

16 ビットのバイナリカウンタです。

- ・ ソースクロック  
ソースクロックは TBxMOD<TBCLK[1:0]>で設定することができます。  
プリスケアラ出力クロック  $\phi$  T1,  $\phi$  T4,  $\phi$  T16、または、TBxIN 入力のいずれかを選択できます。
- ・ カウンタ動作の開始と停止  
カウンタ動作は TBxRUN<TBRUN>で行います。<TBRUN> = "1"でカウントを開始し、"0"でカウント停止と同時にカウンタのクリアを行います。
- ・ カウンタクリアのタイミング
  1. コンペア一致時  
TBxMOD<TBCLE> = "1"に設定することで、TBxRG1 とのコンペア一致とともにカウンタのクリアをすることができます。TBxMOD<TBCLE> = "0"に設定するとカウンタはフリーランニングカウンタとして動作します。
  2. カウンタ停止時  
TBxRUN<TBRUN> = "0"に設定すると、カウンタが停止するとともにクリアされます。
- ・ カウンタのオーバフロー  
アップカウンタ UC がオーバフローすると、オーバフロー割り込み INTTBx が発生します。

## 10.5.3 タイマレジスタ(TBxRG0, TBxRG1)

アップカウンタ UC と比較する値を設定するレジスタで、2 本内蔵されています。タイマレジスタに設定された値とアップカウンタの値をコンパレータで比較し、一致するとコンパレータが一致検出信号を出力します。

TBxRG0/1 はダブルバッファ構成になっており、レジスタバッファとペアになっています。初期状態では、ダブルバッファはディセーブルです。

ダブルバッファのイネーブル/ディセーブル制御は TBxCR<TBWBF> によって行います。<TBWBF> = "0" のときディセーブル、<TBWBF> = "1" のときイネーブルとなります。ダブルバッファイネーブル時、UC と TBxRG1 との一致時にレジスタバッファ 0/1 からタイマレジスタ TBxRG0/1 へデータ転送が行われます。また、ダブルバッファがイネーブルでもカウンタが停止しているときはシングルバッファ動作となり、TBxRG0/1 に直接値を書き込むことができます。

## 10.5.4 キャプチャ制御

アップカウンタ UC の値をキャプチャレジスタ TBxCP0, TBxCP1 にラッチするタイミングを制御する回路です。キャプチャレジスタのラッチタイミングは、TBxMOD<TBCPM[1:0]>で設定します。

また、ソフトウェアによってもアップカウンタ UC の値をキャプチャレジスタへ取り込むことができ、TBxMOD<TBxCP>に "0" を書き込むたびに、その時点の UC の値をキャプチャレジスタ TBxCP0 へキャプチャします。

### 10.5.5 キャプチャレジスタ(TBxCP0, TBxCP1)

アップカウンタ UC の値をキャプチャするレジスタです。

### 10.5.6 アップカウンタキャプチャレジスタ(TBxUC)

キャプチャ制御回路によるキャプチャ機能のほかに、TBxUC レジスタを読み出すことにより、アップカウンタの現在のカウント値をキャプチャすることができます。

### 10.5.7 コンパレータ(CP0, CP1)

アップカウンタ UC と、タイマレジスタ TBxRG0, TBxRG1 への設定値とを比較し、一致を検出します。一致すると、INTTBx0 と INTTBx1 を発生します。

### 10.5.8 タイマフリップフロップ(TBxFF0)

タイマフリップフロップ (TBxFF0) は、コンパレータからの一致信号、キャプチャレジスタへのラッチ信号によって反転するフリップフロップです。反転のディセーブル/イネーブルは、TBxFFCR<TBC1T1, TBC0T1, TBE1T1, TBE0T1>によって設定できます。

リセット後、TBxFF0 の値は不定となります。TBxFFCR<TBFF0C[1:0]>に "00" を書き込むことで反転、"01" を書き込むことで "1" にセット、"10" を書き込むことで "0" にクリアすることが可能です。

TBxFF0 の値は、タイマ出力端子 TBxOUT 端子へ出力することができます。タイマ出力を行う場合、あらかじめ該当するポートの設定を行う必要があります。

### 10.5.9 キャプチャ割り込み(INTCAPx0, INTCAPx1)

キャプチャレジスタ TBxCP0, TBxCP1 にラッチするタイミングで割り込み INTCAPx0, INTCAPx1 をそれぞれ発生します。割り込みの設定は CPU で行います。

## 10.6 機能別の動作説明

### 10.6.1 16 ビットインタバルタイマモード

一定周期の割り込みを発生させる場合、タイマレジスタ TBxRG0 にインタバル時間を設定し、INTTBx0 割り込みを発生します。同様にタイマレジスタ TBxRG1 にインタバル時間を設定することで INTTBx1 割り込みを発生します。

	7	6	5	4	3	2	1	0	
TBxEN	← 1	X	X	X	X	X	X	X	TMRBx モジュールを起動します。
TBxRUN	← X	X	X	X	X	0	X	0	TMRBx を停止します
割り込みイネーブルセットレジスタ	← *	*	*	*	*	*	*	*	INTTBx1 割り込みに対応するビットを"1"にし、割り込みを許可します。
TBxFFCR	← X	X	0	0	0	0	1	1	TBxFF0 反転トリガをディセーブルします。
TBxMOD	← X	0	1	0	0	1	*	*	入カクロックをプリスケアラ出カクロックにし、キャプチャ機能ディセーブルにします。
						(** = 01, 10, 11)			
TBxRG1	← *	*	*	*	*	*	*	*	インタバル時間を設定します。(16 ビット)
	← *	*	*	*	*	*	*	*	
TBxRUN	← *	*	*	*	*	1	X	1	TMRBx を起動します。

X; Don't care  
 -; No change  
 \*; 任意の値

### 10.6.2 16 ビットイベントカウンタモード

入カクロックを外部クロック(TBxIN 端子入力)にすることでイベントカウンタにすることができます。

アップカウンタは TBxIN 端子入力の立ち上がりエッジでカウントアップします。ソフトウェアキャプチャを行い、キャプチャ値をリードすることでカウント値を読むことができます。

	7	6	5	4	3	2	1	0	
TBxEN	← 1	X	X	X	X	X	X	X	TMRBx モジュールを起動します。
TBxRUN	← X	X	X	X	X	0	X	0	TMRBx を停止します
ポートレジスタ設定									該当ポートを TBxIN に割り付けます。
TBxFFCR	← X	X	0	0	0	0	1	1	TBxFF0 反転トリガをディセーブルします。
TBxMOD	← X	0	1	0	0	0	0	0	入カクロックを TBxIN にします。
TBxRUN	← *	*	*	*	*	1	X	1	TMRBx を起動します。
TBxMOD	← X	0	0	0	0	0	0	0	ソフトウェアキャプチャを行います。

X; Don't care  
 -; No change  
 \*; 任意の値

### 10.6.3 16 ビット PPG (プログラマブル矩形波)出力モード

任意周波数, 任意デューティの矩形波 (プログラマブル矩形波) を出力することができます。出力パルスは、ローアクティブ, ハイアクティブどちらでも可能です。

アップカウンタ (UC) とタイマレジスタ (TBxRG0, TBxRG1) への設定値との一致によりタイマフリップフロップ (TBxFF) の反転トリガをかけることで、プログラマブル矩形波を TBxOUT 端子より出力することができます。ただし、TBxRG0 と TBxRG1 の設定値は次の条件を満たす必要があります。

TBxRG0 設定値 < TBxRG1 設定値

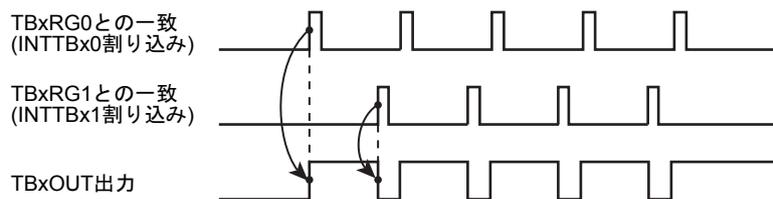


図 10-2 プログラマブル矩形波(PPG)出力波形例

このモードでは、TBxRG0 のダブルバッファをイネーブルにすることにより、TBxRG1 との一致で、レジスタバッファ 0 の値が TBxRG0 へシフトインされます。これにより、小さいデューティへの対応が容易に行えます。

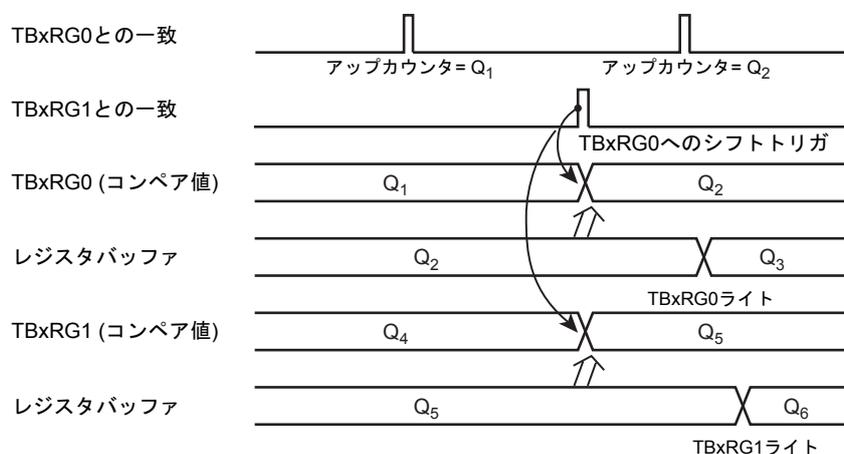


図 10-3 レジスタバッファの動作

このモードのブロック図を示します。

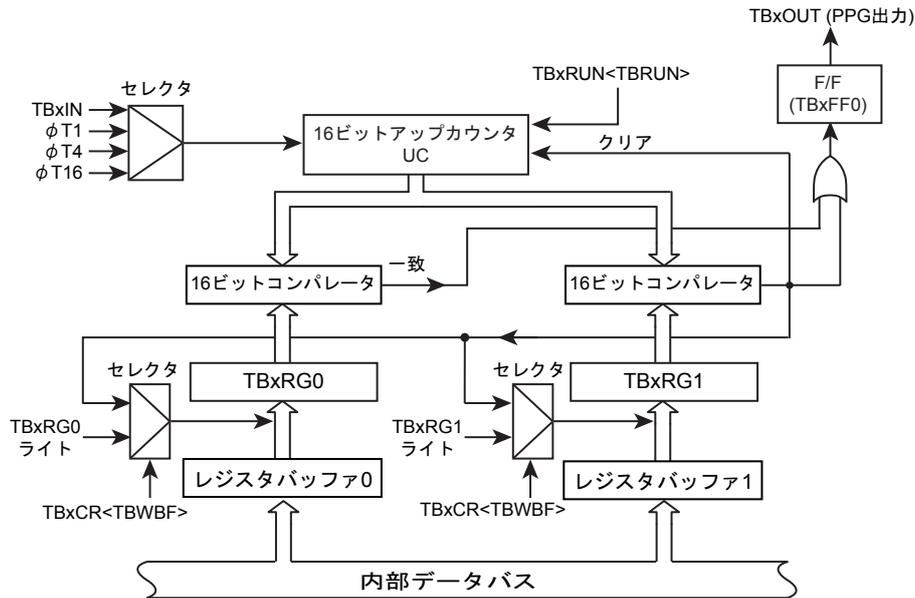


図 10-4 16 ビット PPG モードのブロック図

16 ビット PPG 出力モード時の各レジスタは、次のように設定します。

	7	6	5	4	3	2	1	0	
TBxEN	← 1	X	X	X	X	X	X	X	TMRBx モジュールを起動します。
TBxRUN	← X	X	X	X	X	0	X	0	TMRBx を停止します
TBxCR	← 0	0	-	X	-	X	X	X	ダブルバッファをディセーブルします。
TBxRG0	← *	*	*	*	*	*	*	*	デューティを設定します。(16 ビット)
TBxRG1	← *	*	*	*	*	*	*	*	周期を設定します。(16 ビット)
TBxCR	← 1	0	X	0	0	0	0	0	TBxRG0/TBxRG1 のダブルバッファイネーブル (INTTBx 割り込みでデューティ/周期の変更)
TBxFFCR	← X	X	0	0	1	1	1	0	TBxFF0 を TBxRG0, TBxRG1 との一致検出で反転するように設定します。また、TBxFF0 の初期値を "0" にします。
TBxMOD	← X	0	1	0	0	1	*	*	入力クロックをプリスケアラ出力クロックにし、キャプチャ機能ディセーブルにします。
ポートレジスタ設定									該当ポートを TBxOUT に割り付けます。
TBxRUN	← *	*	*	*	*	1	X	1	TMRBx を起動します。

(\*\* = 01, 10, 11)

X; Don't care  
 -; No change  
 \*; 任意の値

### 10.6.4 外部トリガ PPG (プログラマブル矩形波)出力モード

外部トリガカウントスタートモードを使用すると、小さいディレイでのワンショットパルス出力が可能です。

1. 16 ビットアップカウンタ(UC)が停止状態( $TBxRUN<TBRUN> = "0"$ )で、 $TBxIN$  端子の立ち上がりでカウントアップするように設定しておきます( $TBxCR<TRGSEL,CSSEL> = "01"$ )。タイマレジスタ( $TBxRG0$ )には、ディレイタイム( $d$ )を設定します。タイマレジスタ( $TBxRG1$ )には、 $TBxRG0$  の値とワンショットパルス幅( $p$ )を加算した値( $d + p$ )を設定します。
2. タイマフリップフロップコントロールレジスタ( $TBxFFCR<TBE1T1,TBE0T1>$ )に "11" を設定し、UC と  $TBxRG0$  との一致、および、 $TBxRG1$  との一致により、タイマフリップフロップ( $TBxFF0$ )が反転するようにトリガイネーブルにします。
3.  $TBxRUN<TBRUN>$ を"1"にセットし、外部トリガパルスの立ち上がりで、カウントアップスタートを有効にします。
4.  $TBxIN$  端子の立ち上がりでワンショットパルスが出力された後、 $INTTBx1$  の割り込み処理でタイマフリップフロップ( $TBxFF0$ )の反転をディセーブルにするか、 $TBxRUN<TBRUN>$ を"0"にクリアし 16 ビットアップカウンタの動作を停止します。

なお、文中の( $d$ )、( $p$ )は、下記の図の  $d$ 、 $p$  と対応しています。

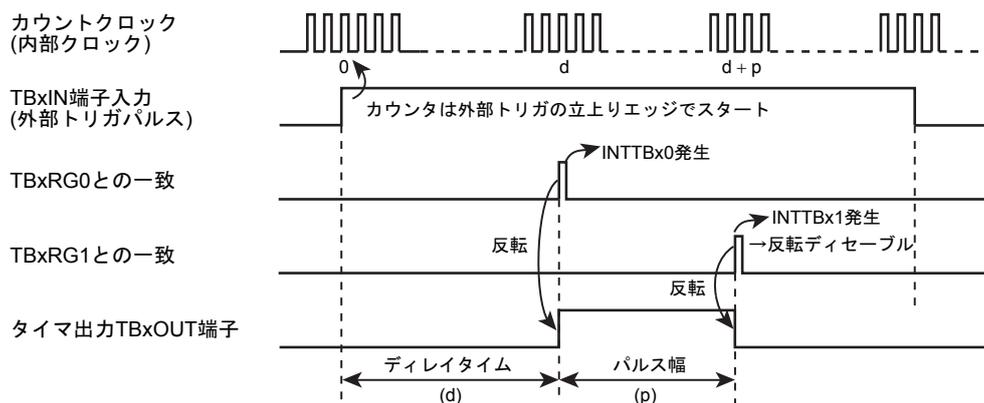


図 10-5 外部トリガカウントスタートを使用したワンショットパルス出力(ディレイあり)

### 10.6.5 タイマ同期モード

タイマ同期モードを使用することにより、タイマ間のスタートの同期を取ることが可能となります。

PPG 出力にて同期モードを使用することによりモータ等の駆動に応用が可能です。

4 チャンネルの TMRB が組になっており、4 チャンネルのうちの 1 チャンネルのスタートに、他の 1 チャンネルのスタートを同期させることができます。TMPM381/383 では以下の組み合わせで使用可能です。

スタートのトリガをかけるチャンネル (マスタチャンネル)	同期して動作するチャンネル (スレーブチャンネル)
TMRB0	TMRB1,2,3
TMRB4	TMRB5,6,7

TBxCR<TBSYNC>ビットの設定により、同期モードの切り替えを行います。

- ・ <TBSYNC>="0" : チャンネルごとの個別動作
- ・ <TBSYNC>="1" : 同期動作

マスタチャンネルの<TBSYNC>ビットは"0"を設定してください。

スレーブチャンネルの<TBSYNC>ビットに "1"を設定するとマスタチャンネルのスタートに同期して動作がスタートします。スレーブチャンネルの TBxRUN<TBPRUN, TBRUN>ビットの設定は不要です。

注) 同時出力モード時以外は、TNxCR<TBSYNC>="0"に設定してください。同時出力モードが設定されている場合、TMRB0,TMRB4 にてスタートが掛かるまで、他のチャンネルスタートは待たされます。

## 10.7 キャプチャ機能を利用した応用例

キャプチャ機能を利用することにより、次に示す例をはじめ、多くの応用が可能です。

1. 外部トリガパルスからのワンショットパルス出力
2. 周波数測定
3. パルス幅測定

### 10.7.1 外部トリガパルスからのワンショットパルス出力

外部トリガパルスからのワンショットパルス出力は、次のように行います。

16 ビットアップカウンタ UC をプリスケアラ出力クロックにてフリーランニングでカウントアップさせておきます。TBxIN 端子より外部トリガパルスを入力し、キャプチャ機能を用いて、外部トリガパルスの立ち上がりで、アップカウンタ値をキャプチャレジスタ(TBxCP0)に取り込みます。

外部トリガパルスの立ち上がり時、割り込み INTCAPx0 が発生するように CPU で設定します。この割り込みで、タイマレジスタ(TBxRG0)には、TBxCP0 の値(c)とディレイタイム(d)を加算した値(c+d)を設定します。

タイマレジスタ(TBxRG1)には、TBxRG0 の値とワンショットパルスのパルス幅(p)を加算した値(c+d+p)を設定します。(TBxRG1 の変更は次の一致までに完了してください)

さらに、タイマフリップフロップコントロールレジスタ(TBxFFCR<TBE1T1, TBE0T1>)に "11" を設定し、TBxUC と TBxRG0 との一致、および、TBxRG1 との一致により、タイマフリップフロップ(TBxFF0)が反転するように、トリガイネーブルにします。ワンショットパルス出力後、INTTBx の割り込み処理により、これをディセーブルに戻します。

なお、文中の(c), (d), (p)は、「図 10-6 ワンショットパルス出力(ディレイあり)」の c, d, p と対応しています。

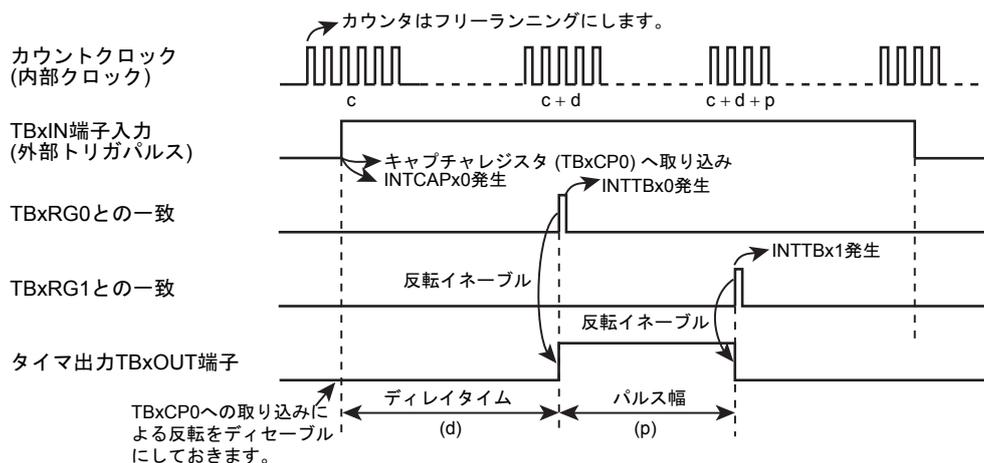


図 10-6 ワンショットパルス出力(ディレイあり)

TBxIN 入力の立ち上がりトリガとして、3ms 後に 2ms 幅のワンショットパルスを出力する場合の設定例を以下に示します。ここではソースクロックに  $\Phi T1$  を使用しています。

	7	6	5	4	3	2	1	0	
[メイン処理] TBxIN でのキャプチャ設定									
ポートレジスタ設定									該当ポートを TBxIN に割り付けます。
TBxEN	← 1	X	X	X	X	X	X	X	TMRBx モジュールを起動します。
TBxRUN	← X	X	X	X	X	0	X	0	TMRBx を停止します
TBxMOD	← X	1	0	1	0	0	0	1	ソースクロックを $\Phi T1$ にし、TBxIN 立ち上がりで TBxCP0 へカウント値を取り込みます。
TBxFFCR	← X	X	0	0	0	0	1	0	TBxFF0 反転トリガをクリアし、ディセーブルします。
ポートレジスタ設定									該当ポートを TBxOUT に割り付けます。
割り込みイネーブルセットレジスタ	← *	*	*	*	*	*	*	*	INTCAPx0 割り込みに対応するビットを"1"にし、割り込みを許可します。
TBxRUN	← *	*	*	*	*	1	X	1	TMRBx を起動します。
[INTCAPx0 割り込みサービスルーチンでの処理] パルス出力設定									
TBxRG0	← *	*	*	*	*	*	*	*	カウント値を設定します。(TBxCAP0 + 3ms/ $\Phi T1$ )
TBxRG1	← *	*	*	*	*	*	*	*	カウント値を設定します。(TBxCAP0 + (3+2)ms/ $\Phi T1$ )
TBxFFCR	← X	X	-	-	1	1	-	-	TBxRG0, TBxRG1 との一致で TBxFF0 を反転します。
TBxIM	← X	X	X	X	X	1	0	1	TBxRG1 との一致割り込み以外をマスクします。
割り込みイネーブルセットレジスタ	← *	*	*	*	*	*	*	*	INTTBx 割り込みに対応するビットを"1"にし、割り込みを許可します。
[INTTBx 割り込みサービスルーチンでの処理] 出力ディセーブル									
TBxFFCR	← X	X	-	-	0	0	-	-	TBxFF0 反転トリガ設定をクリアします。
割り込みイネーブルクリアレジスタ	← *	*	*	*	*	*	*	*	INTTBx 割り込みに対応するビットを"1"にし、割り込みを禁止します。

- 注 1) "m"はポートの該当ビットを示します
- 注 2) X; Don't care
- ; No change

ディレイが不要な場合、TBxCP0 への取り込みによって TBxFF0 を反転させ、割り込み INTCAPx0 で TBxCP0 の値(c) にワンショットパルスの幅(p)を加算した値(c + p)を TBxRG1 に設定します。(TBxRG1 の変更は次の一致までに完了してください。) TBxFF0 は、TBxRG1 と UC の一致によって反転するように、反転イネーブルを選択します。また、INTTBx 割り込みでこれをディセーブルに戻します。

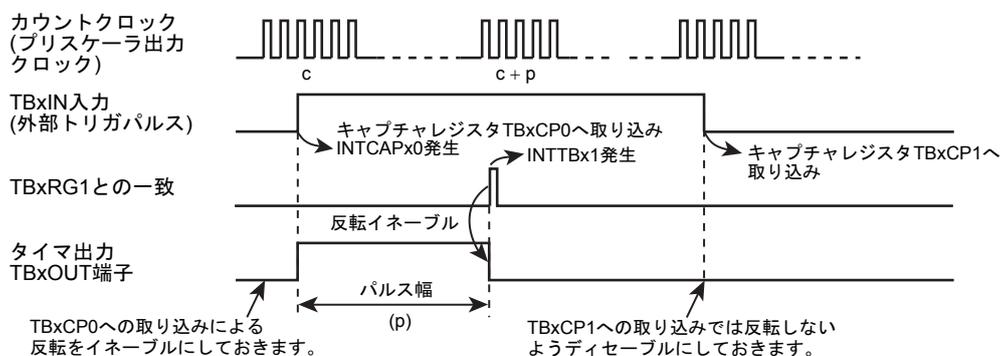


図 10-7 外部トリガパルスのワンショットパルス出力(ディレイなし)

## 10.7.2 周波数測定

キャプチャ機能を用いて外部クロックの周波数測定を行うことができます。

周波数測定は、イベントカウンタモードと他の 16 ビットタイマを組み合わせで行います。TMRB0 と TMRB7 を使う場合を例に説明します。TMRB7 の TB7OUT を測定時間の設定に用います。

TMRB0 のカウントクロックは TB0IN 端子入力を選択し、外部クロック入力によるカウント動作を行います。TB0MOD<TBCPM[1:0]>には "11" を設定することで、TB7OUT の立ち上がりで TB0CP0 にカウンタ値を取り込み、立下りで TB0CP1 にカウンタ値を取り込みます。

この設定により、16 ビットタイマ(TMRB7)のタイマフリップフロップ出力(TB7OUT)の立ち上がりで、キャプチャレジスタ(TB0CP0)に 16 ビットアップカウンタ UC のカウンタ値を取り込み、16 ビットタイマ(TMRB7)の TB7OUT の立ち下がり、キャプチャレジスタ(TB0CP1)に UC のカウンタ値の取り込みを行います。

周波数は、割り込み INTTB7 で測定時間を基準にして TB0CP0, TB0CP1 の差より求めます。

例えば、TB7OUT の "1" レベル幅の設定値が 0.5 s で、TB0CP0 と TB0CP1 の差が 100 であれば、周波数は  $100 \div 0.5 \text{ s} = 200 \text{ Hz}$  となります。

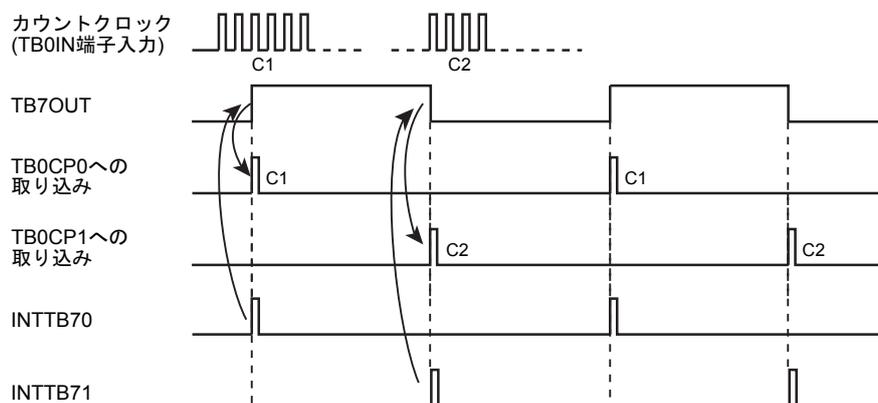


図 10-8 周波数測定

## 10.7.3 パルス幅測定

キャプチャ機能を用いて、外部パルスの "High" レベル幅を測定することができます。TBxIN 端子より外部パルスを入力し、アップカウンタ (UC) をプリスケアラ出力クロックにてフリーランニングでカウントアップさせておきます。キャプチャ機能を用いて、外部パルスの立ち上がり/立ち下がり、それぞれのエッジでトリガをかけ、このときのアップカウンタ値をキャプチャレジスタ (TBxCP0, TBxCP1) に取り込みます。TBxIN 端子の立ち下がりにより、INTCAPx1 が発生するように CPU で設定します。

"High" レベルパルス幅は、TBxCP0 と TBxCP1 の差を求め、その値に内部クロックの周期をかけることにより、求めることができます。

例えば TBxCP0 と TBxCP1 の差が 100 で、プリスケアラ出力クロックの周期が 0.5  $\mu\text{s}$  であれば、パルス幅は、 $100 \times 0.5 \mu\text{s} = 50 \mu\text{s}$  となります。

なお、クロックソースにより定まる UC の最大カウント時間を越えるパルス幅の測定を行う場合は、注意が必要です。この場合、ソフトウェアによる処理を行ってください。

また、外部パルスの"Low"レベル幅を測定することもできます。この場合、「図 10-9 パルス幅測定」における、2 回目の INTCAPx0 割り込み処理により、1 回目の C2 と 2 回目の C1 の差に、プリスケアラ出力クロックの周期をかけることにより、求めることができます。

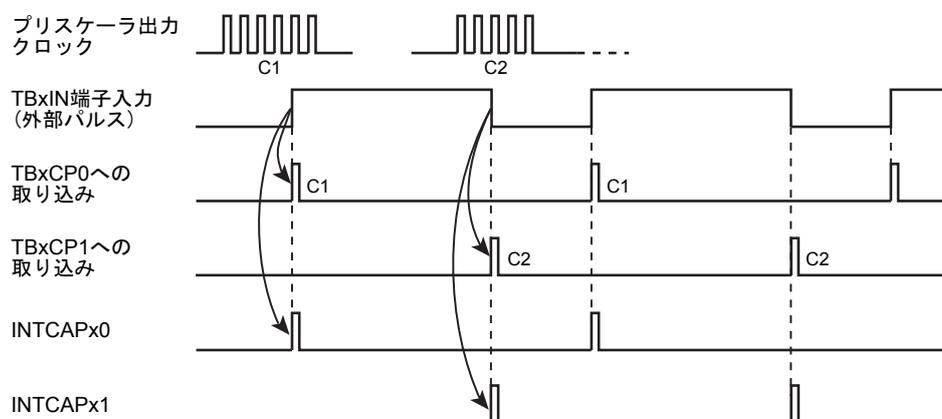


図 10-9 パルス幅測定



## 第 11 章 非同期シリアル通信回路 (UART)

### 11.1 概要

非同期シリアル通信回路は、以下の特徴を持っています。

- ・ 送信 /受信 データフォーマット
  - DATA 長: 5、6、7、8 bits 選択.
  - PARITY 付加: 有り /無し
  - STOP bit 長 : 1bit / 2 bits 選択
- ・ FIFO
  - 送信:8-bit 幅/ 32 段、受信:12-bit 幅/ 32 段
  - 許可/不許可指定可能
- ・ 割り込み機能
  - 複数要因の割り込みを出力
  - 各割り込み要因の許可が指定可能
- ・ ボーレートジェネレータ
  - fsys から、送信、受信用共通のクロックを生成可能
- ・ 50%デューティモード
  - 50%デューティでの通信に対応
  - "0"データを 2 端子交互に振り分けて出力する事が可能

注) 端子名、レジスタ名の x には ch 番号が入ります。

## 11.2 構成

図 11-1 に UART のブロック図を示します。

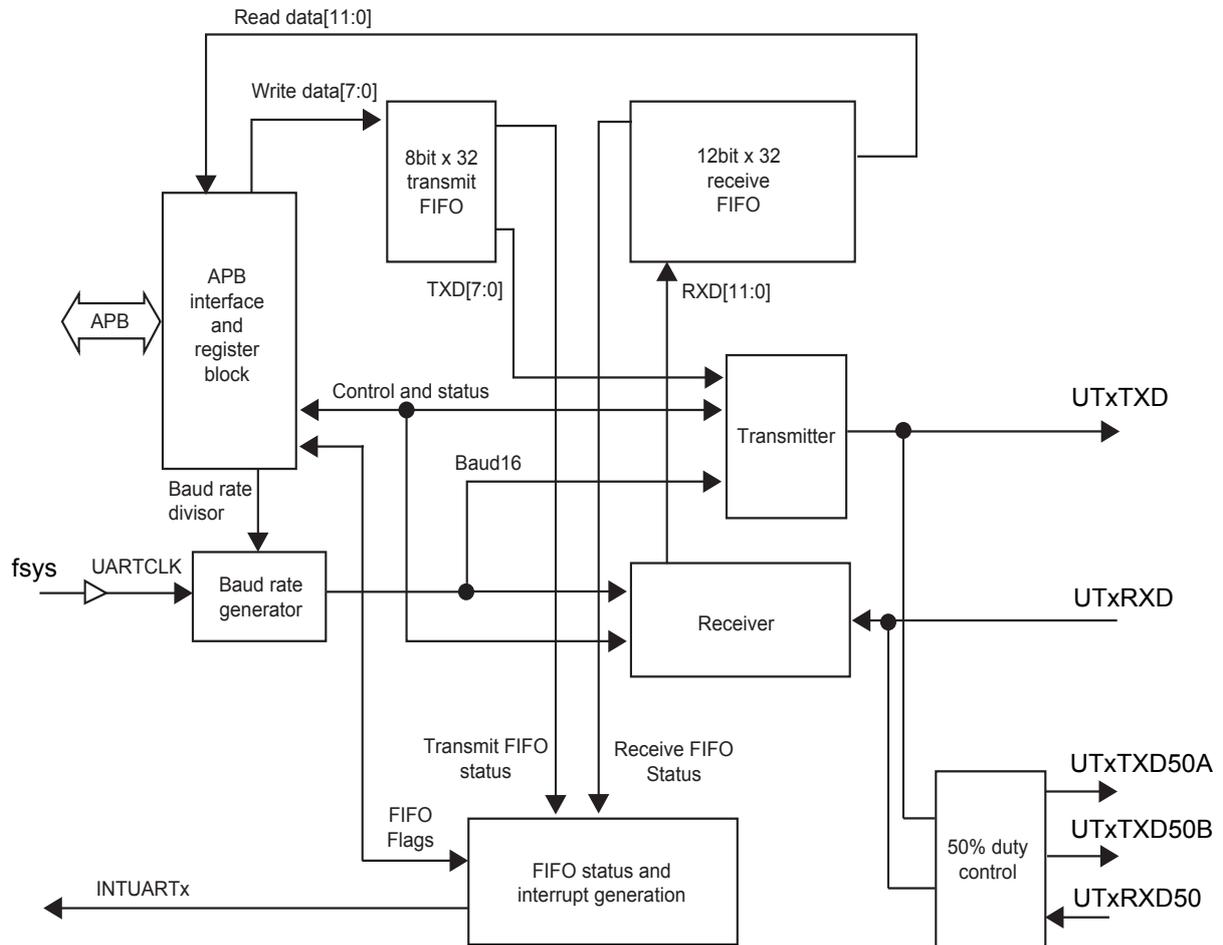


図 11-1 UART ブロック図

## 11.3 レジスタ説明

### 11.3.1 レジスタ一覧

制御レジスタとアドレスは以下の通りです。

ベースアドレスは、「メモリマップ」章の「周辺機能ベースアドレス一覧」を参照ください。

レジスタ名		Address (Base+)
Data レジスタ	UARTxDR	0x0000
Receive status レジスタ	UARTxRSR	0x0004
Error clear レジスタ	UARTxECR	0x0004
Reserved	-	0x0008 to 0x0017
Flag レジスタ	UARTxFR	0x0018
Reserved	-	0x001C
Reserved	-	0x0020
UART 整数ボーレートレジスタ	UARTxIBRD	0x0024
UART 少数ボーレートレジスタ	UARTxFBRD	0x0028
UART ライン制御レジスタ	UARTxLCR_H	0x002C
UART 制御レジスタ	UARTxCR	0x0030
UART 割り込み FIFO レベル選択レジスタ	UARTxIFLS	0x0034
UART 割り込み禁止/許可レジスタ	UARTxIMSC	0x0038
UART 原割り込みステータスレジスタ	UARTxRIS	0x003C
UART マスク割り込みステータスレジスタ	UARTxMIS	0x0040
UART 割り込みクリアレジスタ	UARTxICR	0x0044
Reserved	-	0x0048
50%デューティ制御レジスタ	UARTxHCCR	0x0050
Reserved	-	0x0054 to 0x0FFF

注 1) 制御レジスタを再設定するときは、UART を動作禁止にして下さい。

注 2) 送信または受信の動作途中で動作禁止にすると、動作中の転送が完了しだい停止状態となります。

注 3) Reserved のアドレスはアクセスしないでください。

## 11.3.2 UARTxDR (Data レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	OE	BE	PE	FE
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	DATA							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-12	-	R	読み出すと"0"が読めます。
11	OE	R	オーバランエラー 0: エラーではない 1: エラー データ受信時に FIFO が既に full の場合には、このビットに"1" がセットされます。 FIFO が空き、新しいデータを書き込めるようになると、このビットは"0" にクリアされます。
10	BE	R	ブレークエラー 0: エラーではない 1: エラー ブレーク状態(UTxRXD 入力がスタートビット、データビット、パリティビット、ストップビット、すべての合計の送信時間よりも長く"Low" で保持される)が検出されると、このビットに"1"がセットされます。 FIFO が許可されているときは、このエラーは FIFO の最上位の段に入ります。ブレークエラーが発生すると、FIFO のデータとして"0"が入ります。 次のデータ受信は、UTxRXD 入力が"1" (マーキング状態) になり、スタートビットが受信された後に許可されます。
9	PE	R	パリティエラー 0: エラーではない 1: エラー このビットに"1"がセットされた場合は、受信されたデータのパリティが UARTxLCR_H<EPS>、<SPS>で設定されたパリティと一致しないことを示しています。 FIFO が許可されているときには、このエラーは FIFO の最上位の段に入ります。
8	FE	R	フレーミングエラー 0: エラーではない 1: エラー このビットに"1"がセットされた場合には、受信したデータに有効なストップビット(有効なストップビット長は"1"です)が含まれなかったことを示しています。 FIFO が許可されているときには、このエラーは FIFO の最上位の段に入ります。
7-0	DATA[7:0]	R/W	[読み出し時] 受信データ [書き込み時] 送信データ

注) エラーステータスは UARTxRSR を読み出すことでも知ることができます。

### 11.3.3 UARTxRSR (Receive status レジスタ)

UARTxRSR と UARTxECCR レジスタは同じアドレスにマッピングされています。

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	OE	BE	PE	FE
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-4	-	R	読み出すと"0"が読めます。
3	OE	R	オーバランエラー 0: エラーではない 1: エラー データ受信時に FIFO が既に full の場合には、このビットに"1" がセットされます。 このビットは、UARTxECCR への書き込みにより、"0"にクリアされます。FIFO が full になっている場合は、それ以上データが書き込まれないため、FIFO の内容は有効であり、シフトレジスタの内容だけが上書きされます。CPU は FIFO を空にするためにデータを読み出さなければいけません。
2	BE	R	ブレークエラー 0: エラーではない 1: エラー ブレーク状態(UTxRXD 入力がスタートビット、データビット、パリティビット、ストップビット、すべての合計の送信時間よりも長く "Low" で保持される)が検出されると、このビットに"1"がセットされます。 このビットは、UARTxECCR への書き込みにより、"0"にクリアされます。FIFO が許可されているときは、このエラーは FIFO の最後の段に入ります。ブレークエラーが発生すると、FIFO のデータとして"0"が入ります。次のデータ受信は、UTxRXD 入力が"1" (マーキング状態) になり、スタートビットが受信された後に許可されます。
1	PE	R	パリティエラー 0: エラーではない 1: エラー このビットに"1"がセットされた場合は、受信されたデータのパリティが UARTxLCCR_H<EPS>、<SPS>で設定されたパリティと一致しないことを示しています。このビットは、UARTxECCR への書き込みにより、"0"にクリアされます。FIFO が許可されているときには、このエラーは FIFO の最上位の段に入ります。
0	FE	R	フレーミングエラー 0: エラーではない 1: エラー このビットに"1"がセットされた場合には、受信したデータに有効なストップビット(有効なストップビット長は"1"です)が含まれなかったことを示しています。このビットは、UARTxECCR への書き込みにより、"0"にクリアされます。FIFO が許可されているときには、このエラーは FIFO の最上位の段に入ります。

注 1) オーバランエラーは、エラーが発生するとすぐにセットされます。

注 2) UARTxRSR は、UARTxDR からデータを読み出したときに更新されます。したがって、UARTxRSR からエラーステータスを読み出す前に、UARTxDR から受信データを読み出す必要があります。この読み出しシーケンスを逆にすることはできません。なお、エラーステータスは、UARTxDR を読み出すことでも知ることができます。

## 11.3.4 UARTxECR (Error clear レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	OE	BE	PE	FE
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-4	-	R	読み出すと"0"が読めます。
3	OE	W	UARTxECR への書き込みが行われると、フレーミング、パリティ、ブレーク、オーバランの各エラーがクリアされます。データ値には関係なくクリアを実行します。 このレジスタのアドレスは、UARTxSR レジスタと同じです。
2	BE	W	
1	PE	W	
0	FE	W	

11.3.5 UARTxFR (UART Flag レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TXFE	RXFF	TXFF	RXFE	BUSY	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-9	-	R	読み出すと不定値が読み出されます。
8	-	R	読み出すと不定値が読み出されます。
7	TXFE	R	UARTxLCR_H<FEN>="1"の時 0: 送信 FIFO が empty でない 1: 送信 FIFO が empty UARTxLCR_H<FEN>="0"の時 0: 送信保持レジスタが empty でない 1: 送信保持レジスタが empty
6	RXFF	R	UARTxLCR_H<FEN>="1"の時 0: 受信 FIFO が full でない 1: 受信 FIFO が full UARTxLCR_H<FEN>="0"の時 0: 受信保持レジスタが full でない 1: 受信保持レジスタが full
5	TXFF	R	UARTxLCR_H<FEN>="1"の時 0: 送信 FIFO が full でない 1: 送信 FIFO が full UARTxLCR_H<FEN>="0"の時 0: 送信保持レジスタが full でない 1: 送信保持レジスタが full
4	RXFE	R	UARTxLCR_H<FEN>="1"の時 0: 受信 FIFO が empty でない 1: 受信 FIFO が empty UARTxLCR_H<FEN>="0"の時 0: 受信保持レジスタが empty でない 1: 受信保持レジスタが empty
3	BUSY	R	UART ビジー 0: UART 送信が停止している 1: UART 送信している このビットは、UART 動作が許可されているかに関係なく、送信 FIFO が empty でなくなると"1"にセットされます。
2	-	R	読み出すと不定値が読み出されます。
1	-	R	読み出すと不定値が読み出されます。
0	-	R	読み出すと不定値が読み出されます。

注) <TXFE>はシフトレジスタの状態は示しません。

## 11.3.6 UARTxIBRD (UART 整数ボーレートレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	BAUDDIVINT							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	BAUDDIVINT							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	読み出すと不定値が読み出されます。
15-0	BAUDDIVINT [15:0]	R/W	整数ボーレート除数。(0x0001 ~ 0xFFFF) ボーレート除数値の整数部です。

注 1) UARTxIBRD に書き込んだ値は、現在行われている送信または受信が終わるまで有効になりません。

注 2) UARTxIBRD に書き込んだ値は、UARTxLCR\_H への書き込みが行われると有効になります。

注 3) UARTxCR<UARTEN> を"1"にする前に設定して下さい。

注 4) 0x0000 を設定することはできません。

## 11.3.7 UARTxFBRD(UART 小数ボーレートレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	BAUDDIVFRAC					
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-6	-	R	読み出すと"0"が読めます。
5-0	BAUD DIVFRAC [5:0]	R/W	小数ボーレート除数。(0x01 ~ 0x3F) ボーレート除数値の小数部です。

- 注 1) UARTxFBRD に書き込んだ値は、現在行われている送信または受信が終わるまで有効になりません。
- 注 2) UARTxFBRD 書き込んだ値は、UARTxLCR\_H への書き込みが行われると有効になります。
- 注 3) UARTxCR<UARTEN> を"1"にする前に設定して下さい。
- 注 4) ボーレート除数に設定できる最小値は 1 です。最大値は 65535 です。そのため、ボーレート除数の整数部に 0 を設定することはできません。また、ボーレート除数の整数部に 65535 を設定したときには、小数部は 0 を設定して下さい。

## 11.3.8 UARTxLCR\_H (UART ライン制御レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SPS	WLEN		FEN	STP2	EPS	PEN	BRK
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	読み出すと"0"が読めます。
7	SPS	RW	スティックパリティ選択 0: スティックパリティ禁止 1: <EPS> = "0" のとき、パリティビットとして、"1"を送信または受信 <EPS> = "1" のとき、パリティビットとして、"0"を送信または受信 <SPS>は、<PEN>が"0"に設定され、パリティチェックと生成が禁止されている場合には、意味をもちません。 <SPS>、<EPS>ならびに<PEN>ビットの真値表については、表 11-1 を参照して下さい。
6-5	WLEN[1:0]	RW	ワード長 00: 5bit 01: 6bit 10: 7bit 11: 8bit これらのビットは、フレームで送信または受信されたデータビットの数を示します。
4	FEN	RW	FIFO の許可選択 0: FIFO 禁止(FIFO は 1 段の保持レジスタとなります) 1: FIFO 許可
3	STP2	RW	送信ストップビット長選択 0: 1bit 1: 2 bit 受信のときは、2bit 長のストップビットをチェックしません。
2	EPS	RW	偶数パリティ選択 0: 奇数パリティ 1: 偶数パリティ 送信、受信時のパリティビットの選択を制御します。 <PEN>が"0"に設定され、パリティチェックと生成が禁止されている場合は、意味を持ちません。
1	PEN	RW	パリティイネーブル 0: 禁止 (パリティは禁止され、パリティビットの負荷はされません) 1: 許可 (パリティチェックと生成が許可されます)
0	BRK	RW	ブレーク送信選択 0: ブレーク送信しない 1: ブレーク送信する <BRK>が"1"に設定されると、現在送信しているフレームの送信が終わると、UTxTXD 出力に LOW レベルが出力され続けます。ブレーク条件が生成するためには、少なくとも 2 フレームの送信時間、<BRK>を"1"にする必要があります。ブレーク条件が生成されても、送信 FIFO の内容は影響を受けません。 ブレークを送信しない場合には、<BRK>を"0"に設定する必要があります。

注) UARTxIBRD または UARTxFB RD の内容を更新するには、UARTxLCR\_H の書き込みを常に最後に実行する必要があります。

表 11-1 真理値表 UARTxLCR\_H &lt;SPS&gt;, &lt;EPS&gt;, &lt;PEN&gt;

パリティ イネーブル <PEN>	偶数パリティ 選択 <EPS>	スティックパ リティ選択<SPS>	パリティ選択(送信またはチェック)
0	×	×	パリティの送信およびチェックなし
1	1	0	偶数パリティ送信または偶数パリティ受信
1	0	0	奇数パリティ送信または奇数パリティ受信
1	0	1	パリティビットとして"1"を送信、または受信
1	1	1	パリティビットとして"0"を送信、または受信

11.3.9 UARTxCR (UART 制御レジスタ )

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	RXE	TXE
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	UARTEN
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	読み出すと不定値が読み出されます。
15	-	RW	"0"をライトしてください。
14	-	RW	"0"をライトしてください。
13-12	-	R	読み出すと不定値が読み出されます。
11	-	RW	"0"をライトしてください。
10	-	RW	"0"をライトしてください。
9	RXE	RW	受信許可設定 0: 禁止 1: 許可 <RXE>が"1"に設定されると受信が許可されます。<SIREN>の値に応じて、UART 機能または SIR 機能によってデータが受信されます。受信の途中で受信が禁止されると、現在のデータ受信終了後に停止します。
8	TXE	RW	送信許可設定 0: 禁止 1: 許可 <TXE>が"1"に設定されると送信が許可されます。<SIREN>の値に応じて、UART 機能または SIR 機能によってデータが送信されます。送信の途中で送信が禁止されると、現在のデータ送信終了後に停止します。
7	-	RW	"0"を書いてください。
6-3	-	R	読み出すと不定値が読み出されます。
2	-	RW	"0"をライトしてください。
1	-	RW	"0"をライトしてください。
0	UARTEN	R/W	UART 許可設定 0: 禁止 1: 許可 <UARTEN>が"0"に設定されると UART が禁止されます。送信または受信の途中で禁止にされた場合、送信または受信中のデータの転送が完了した後に停止します。 <UARTEN>が"1"に設定されると、データの送信と受信が行われます。

11.3.10 UARTxIFLS (UART 割り込み FIFO レベル選択レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	RXIFLSEL			TXIFLSEL		
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-6	-	R	読み出すと不定値が読み出されます。
5-3	RXIFLSEL[2:0]	RW	<p>受信割り込み FIFO レベル選                      択000: 受信 FIFO <math>\geq 1/8</math> フル                      001: 受信 FIFO <math>\geq 1/4</math> フル                      010: 受信 FIFO <math>\geq 1/2</math> フル                      011: 受信 FIFO <math>\geq 3/4</math> フル                      100: 受信 FIFO <math>\geq 7/8</math> フル                      上記以外 : Reserved</p> <p>受信 FIFO の割り込み FIFO レベルの選択を行います。割り込みは FIFO レベルにより発生するのではなく、そのレベルを経由する遷移が発生すると発生します。例えば、FIFO レベルに 1/8 フル(4 バイト)が設定されていた場合、4 バイト目のデータが受信 FIFO に格納されたとき(STOP ビット受信後)に割り込みが発生します。</p>
2-0	TXIFLSEL[2:0]	RW	<p>送信割り込み FIFO レベル選                      択000: 送信 FIFO <math>\leq 1/8</math> フル                      001: 送信 FIFO <math>\leq 1/4</math> フル                      010: 送信 FIFO <math>\leq 1/2</math> フル                      011: 送信 FIFO <math>\leq 3/4</math> フル                      100: 送信 FIFO <math>\leq 7/8</math> フル                      上記以外 : Reserved</p> <p>送信 FIFO の割り込み FIFO レベルの選択を行います。割り込みは FIFO レベルにより発生するのではなく、そのレベルを経由する遷移が発生すると発生します。例えば、FIFO レベルに 1/8 フル(4 バイト)が設定されていた場合、5 バイト目のデータが送信 FIFO から読み出され(STOP ビット送信開始時)、FIFO 内のデータが 4 バイトとなったときに割り込みが発生します。</p>

## 11.3.11 UARTxIMSC (UART 割り込み禁止/許可レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	OEIM	BEIM	PEIM
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	FEIM	RTIM	TXIM	RXIM	-	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-11	-	R	読み出すと不定値が読み出されます。
10	OEIM	RW	オーバランエラー割り込みマスク0: 禁止 1: 許可
9	BEIM	RW	ブレークエラー割り込みマスク 0: 禁止 1: 許可
8	PEIM	RW	パリティエラー割り込みマスク0: 禁止 1: 許可
7	FEIM	RW	フレーミングエラー割り込みマスク 0: 禁止 1: 許可
6	RTIM	RW	受信タイムアウト割り込みマスク 0: 禁止 1: 許可
5	TXIM	RW	送信割り込みマスク 0: 禁止 1: 許可
4	RXIM	RW	受信割り込みマスク 0: 禁止 1: 許可
3	-	RW	"0"をライトしてください。
2	-	RW	"0"をライトしてください。
1	-	RW	"0"をライトしてください。
0	-	RW	"0"をライトしてください。

11.3.12 UARTxRIS (UART 原割り込みステータスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	OERIS	BERIS	PERIS
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	FERIS	RTRIS	TXRIS	RXRIS	-	-	-	-
リセット後	0	0	0	0	Undefined	Undefined	Undefined	Undefined

Bit	Bit Symbol	Type	機能
31-11	-	R	読み出すと不定値が読み出されます。
10	OERIS	R	オーバランエラー割り込みステータス : 0: 割り込み要求なし 1: 割り込み要求
9	BERIS	R	ブレークエラー割り込みステータス : 0: 割り込み要求なし 1: 割り込み要求
8	PERIS	R	パリティエラー割り込みステータス : 0: 割り込み要求なし 1: 割り込み要求
7	FERIS	R	フレーミングエラー割り込みステータス : 0: 割り込み要求なし 1: 割り込み要求
6	RTRIS	R	受信タイムアウト割り込みステータス : 0: 割り込み要求なし 1: 割り込み要求
5	TXRIS	R	送信割り込みステータス : 0: 割り込み要求なし 1: 割り込み要求
4	RXRIS	R	受信割り込みステータス : 0: 割り込み要求なし 1: 割り込み要求
3	-	R	読み出すと不定値が読み出されます。
2	-	R	読み出すと不定値が読み出されます。
1	-	R	読み出すと不定値が読み出されます。
0	-	R	読み出すと不定値が読み出されます。

11.3.13 UARTxMIS (UART マスク割り込みステータスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	OEMIS	BEMIS	PEMIS
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	FEMIS	RTMIS	TXMIS	RXMIS	-	-	-	-
リセット後	0	0	0	0	Undefined	Undefined	Undefined	Undefined

Bit	Bit Symbol	Type	機能
31-11	-	R	読み出すと不定値が読み出されます。
10	OEMIS	R	オーバランエラーマスク割り込みステータス: 0: 割り込み要求なし 1: 割り込み要求
9	BEMIS	R	ブレークエラーマスク割り込みステータス: 0: 割り込み要求なし 1: 割り込み要求
8	PEMIS	R	パリティエラーマスク割り込みステータス: 0: 割り込み要求なし 1: 割り込み要求
7	FEMIS	R	フレーミングエラーマスク割り込みステータス: 0: 割り込み要求なし 1: 割り込み要求
6	RTMIS	R	受信タイムアウトマスク割り込みステータス: 0: 割り込み要求なし 1: 割り込み要求
5	TXMIS	R	送信マスク割り込みステータス: 0: 割り込み要求なし 1: 割り込み要求
4	RXMIS	R	受信マスク割り込みステータス: 0: 割り込み要求なし 1: 割り込み要求
3	-	R	読み出すと不定値が読み出されます。
2	-	R	読み出すと不定値が読み出されます。
1	-	R	読み出すと不定値が読み出されます。
0	-	R	読み出すと不定値が読み出されます。

## 11.3.14 UARTxICR (UART 割り込みクリアレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	OEIC	BEIC	PEIC
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	FEIC	RTIC	TXIC	RXIC	-	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-11	-	W	"0"をライトしてください。
10	OEIC	W	オーバランエラー割り込みクリア : 0: 無効 1: クリア
9	BEIC	W	ブレークエラー割り込みクリア : 0: 無効 1: クリア
8	PEIC	W	パリティエラー割り込みクリア : 0: 無効 1: クリア
7	FEIC	W	フレーミングエラー割り込みクリア : 0: 無効 1: クリア
6	RTIC	W	受信タイムアウト割り込みクリア : 0: 無効 1: クリア
5	TXIC	W	送信割り込みクリア : 0: 無効 1: クリア
4	RXIC	W	受信割り込みクリア : 0: 無効 1: クリア
3	-	W	"0"をライトしてください。
2	-	W	"0"をライトしてください。
1	-	W	"0"をライトしてください。
0	-	W	"0"をライトしてください。

注) UARTxICR レジスタは、書き込みオンリーの割り込みクリアレジスタです。このレジスタのビットが1にセットされると、対応する割り込みがクリアされます。0の書き込みは無効です。

11.3.15 UARTxHCCR (50% デューティ制御レジスタ)

	31	30	29	28	27	26	25	24
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
Bit symbol	HCLPB	HCZR			-	HCST	HCMD	HCCR
リセット後	0	0	1	1	0	0	0	0

Bit	Bit symbol	Type	機能
31-8	-	R	"0"をライトしてください。
7	HCLPB	R/W	ループバックテスト制御 (注 1) 0: 禁止 1: 許可
6-4	HCZR[2:0]	R/W	"0"期間検出制御 000: Reserved 001: 1/16 幅以上で"0"検出 010: 2/16 幅以上で"0"検出 011: 3/16 幅以上で"0"検出 (初期値) 100: 4/16 幅以上で"0"検出 101: 5/16 幅以上で"0"検出 110: 6/16 幅以上で"0"検出 111: 7/16 幅以上で"0"検出 UTxRXD50 への受信信号が 1 ビット周期に対して上記で設定された幅以上"0"が続くと"0"と認識します。
3	-	R/W	"0"をライトしてください。
2	HCST	R/W	スタートビット開始端子選択 0: UTxTXD50A (スタートビットは常に UTxTXD50A 端子側から始まります) 1: UTxTXD50B (スタートビットは常に UTxTXD50B 端子側から始まります)
1	HCMD	R/W	送信端子モード選択 0: 1 端子モード (UTxTXD50A 端子, UTxTXD50B 端子ともに同じ信号を送信します) 1: 2 端子モード ("0"データを 2 端子交互に送信します)
0	HCCR	R/W	50%デューティモードの許可・禁止 0: 50%デューティモードの禁止 (50%デューティ制御回路 ON) 1: 50%デューティモードの許可 (50%デューティ制御回路 OFF)

注 1) ループバックテスト制御は開発時のテスト用機能です。最終機器では使用しないでください。

## 11.4 動作説明

### 11.4.1 送信 FIFO と受信 FIFO

#### 11.4.1.1 送信 FIFO

送信 FIFO は、8-bit 幅、32 段の FIFO メモリバッファです。APB インタフェース経由で書き込まれた CPU データは、送信ロジックによって読みだされるまで、この FIFO に積まれます。送信 FIFO は禁止することによって、1 バイト保持レジスタのように動作させることができます。

#### 11.4.1.2 受信 FIFO

受信 FIFO は、12-bit 幅、32 段の FIFO メモリバッファです。受信データと対応するエラービットは、APB インタフェース経由で CPU によって読みだされるまで、受信ロジックによって受信 FIFO に積まれます。受信 FIFO は、ディセーブルすることによって 1 バイト保持レジスタのように動作させることができます。



注) 受信データの空きビットは不定となります。

### 11.4.2 送信データと受信データ

UARTDR に書き込まれたデータは、FIFO が許可されているときには送信 FIFO に積まれます。

FIFO が禁止されているときには送信保持レジスタに転送されます。

データを書き込むことで転送が開始されます。データにはスタートビット、パリティが許可されているときにはパリティ、ストップビットが付加され、送信されます。

受信されたデータは 4 ビットの状態 (ブレークエラー、フレーミングエラー、パリティエラー、オーバーランエラー) とあわせ、12 ビット幅で受信 FIFO に積まれます。FIFO が禁止されているときには、受信されたデータと状態は受信保持レジスタに転送されます。

### 11.4.3 ボーレートジェネレータ

ボーレートジェネレータは、UART 送信/受信制御のタイミングを生成する内部クロック(Baud16)と、低電力モード時に IrDA エンコード送信ビットストリームのパルス幅を生成する内部クロック(IrLPBaud16)を出力します。

ボーレートは UART に入力される  $f_{\text{UARTCLK}}$  とボーレート除数から下記のように設定されます。

$$\text{ボーレート} = (f_{\text{UARTCLK}}) / (16 \times \text{ボーレート除数})$$

#### 11.4.3.1 ボーレート除数の求め方

ボーレート除数は、以下のように求めることができます。

$$\text{ボーレート除数 BAUDDIV} = (f_{\text{UARTCLK}}) / (16 \times \text{baud rate})$$

ここで、 $f_{\text{UARTCLK}}$  は UART クロックの周波数です。

BAUDDIV は整数部(BAUDDIVINT)と小数部(BAUDDIVFRAC)から構成されます。

例: 除数値の計算

要求されるボーレートが、230400 で  $f_{\text{UARTCLK}} = 4 \text{ MHz}$  の場合:

$$\text{ボーレート除数} = (4 \times 10^6) / (16 \times 230400) = 1.085$$

したがって、ボーレート除数の整数部(BAUDDIVINT) = 1、ボーレート除数の小数部 = 0.085 となります。

上記から、BAUDDIVFRAC は、

$$\text{BAUDDIVFRAC} = ((0.085 \times 64) + 0.5) = 5.94 = 5 \text{ (小数点以下切捨て)}$$

となります。

この整数部と小数部から生成されるボーレート除数は

$$\text{BAUDDIV} = 1 + 5/64 = 1.078$$

です。このとき生成されるボーレートは、

$$\text{生成されるボーレート} = (4 \times 10^6) / (16 \times 1.078) = 231911$$

$$\text{誤差} = (231911 - 230400) / 230400 \times 100 = 0.656 \%$$

なお、UARTxFBRD レジスタを使用した時の最大誤差は、 $= 1/64 \times 100 = 1.56 \%$ で、この誤差は、UARTxFBRD = 1 の時に発生します。

### 11.4.4 送信ロジック

送信ロジックは送信 FIFO から読み出されたデータの平行/シリアル変換を行います。制御ロジックは、制御レジスタに設定された設定に従い、スタートビット、LSB から始まるデータ、パリティビット、ストップビットから構成される信号を出力します。

### 11.4.5 受信ロジック

受信ロジックは、スタートビット検出後に受信されたビットストリームのシリアル/平行変換を行います。オーバラン、パリティ、フレームの各エラーチェックとラインブレイクの検出も行われ、オーバラン、パリティ、フレーミング、ブレイクのエラービットに関連するデータが受信 FIFO に書き込まれます。

## 11.4.6 割り込み生成ロジック

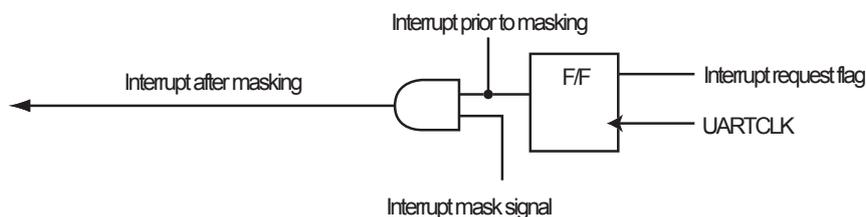
UART は、割り込み要因別にマスク可能な割り込みを出力します。

### 11.4.6.1 UART 割り込み発生回路

#### (1) 割り込み要求フラグ発生回路

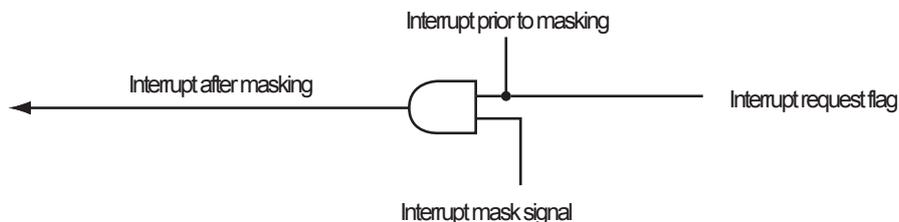
##### 1. ブレークエラー、パリティエラー、フレーミングエラー フラグの発生回路

割り込み要求フラグはリアルタイムに変化し、F/F に連動します。各フラグは、対応する割り込みクリアレジスタに書き込みがあった場合にクリアされます。



##### 2. オーバランエラーフラグの発生回路.

オーバランエラーにより割り込み要求フラグは、リアルタイムに変化し、状態は保持されません。オーバラン フラグは、受信FIFO をリードするとクリアされます。



#### (2) UART 割り込み

各割り込み要因ごとにマスクされた割り込みステータスが OR され、INTUARTx として UART から出力されます。

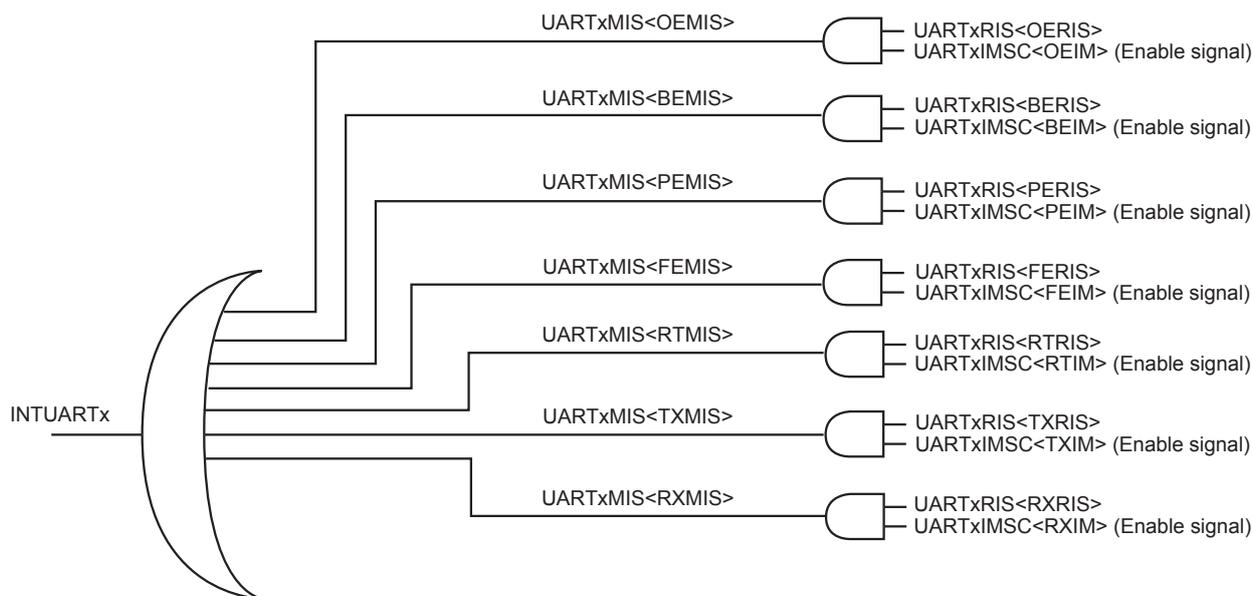


図 11-2 UART 割り込みブロック

11.4.6.2

割り込み発生タイミング

割り込み種類	割り込み発生タイミング
オーバランエラー発生	FIFO がフルになった時の STOP ビット受信後
ブレークエラー 割り込み	STOP ビット受信後
パリティエラー 発生	パリティデータ受信後
フレーミングエラー発生	フレームオーバとなる Bit データを受信した後
受信タイムアウト割り込み	受信 FIFO にデータを取り込んでから、Baud16 の 511 クロック後
送信割り込み	FIFO 未使用時: 送信許可設定後、1 バイト目は START ビット送信開始時と STOP ビット送信開始時、2 バイト目以降は、STOP ビット送信開始時 (それぞれの割り込み発生でデータ書き込みを行い割り込みクリアした場合)
	FIFO 使用時: STOP ビット送信開始時(MSB データ転送後)に FIFO 内が設定された FIFO レベルのデータ数となった時
受信割り込み	FIFO 未使用時: STOP ビット受信後
	FIFO 使用時: 設定した FIFO レベルがフルとなるデータの STOP ビット受信後

注) STOP ビットは最終 STOP ビットのことを意味します。(UARTxLCR\_H<STP2>で STOP ビット長を選択できます。)

## 11.4.7 50%デューティモード

### 11.4.7.1 概要

50%デューティで通信を行うモードで、下記のような機能を持ちます。

- ・ 通信端子：送信 UTxTXD50A, UTxTXD50B、受信 UTxRXD50
- ・ 1 端子送信モード
- ・ 2 端子送信モード
- ・ スタートビット開始端子の選択
- ・ 受信"0"データ期間の検出制御
- ・ ループバックテスト機能

注) 50%デューティモードでは、ループバックテスト機能を使用時以外は、全二重通信は行わないでください。

### 11.4.7.2 制御

UARTxHBSCR<HCCR>を"1"にする事で 50%デューティ制御回路が ON となり 50%デューティモードとなります。送受信信号は 50%デューティ制御回路によりデューティ変換が行われます。

デューティ変換された信号を使うか使わないかは通信端子が割り当てられているポートの端子機能設定で選択をしてください。

回路構成は図 11-1 を参照してください。

注) 通信中に UARTxHBSCR レジスタは変更しないでください。

### 11.4.7.3 動作説明

#### (1) 送信

##### (a) 1 端子送信モード

UTxTXD50A、UTxTXD50B と同じデータを送信するモードです。

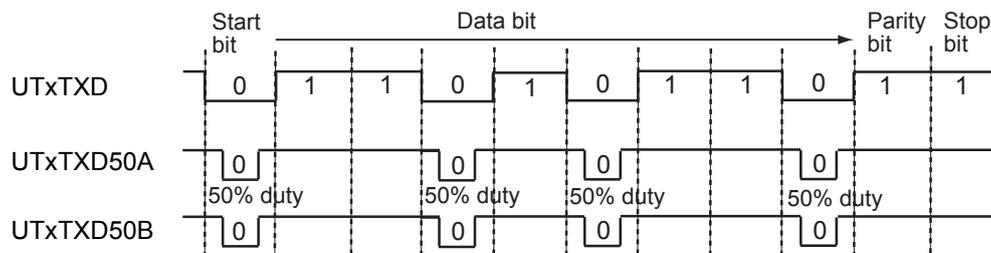


図 11-3 1 端子送信モードの波形例

(b) 2 端子送信モード

UARTxHBSCR<HCMD>=1 で 2 端子モードとなり、"0" データは UTxTXD50A と UTxTXD50B 交互に振り分けて送信されます。

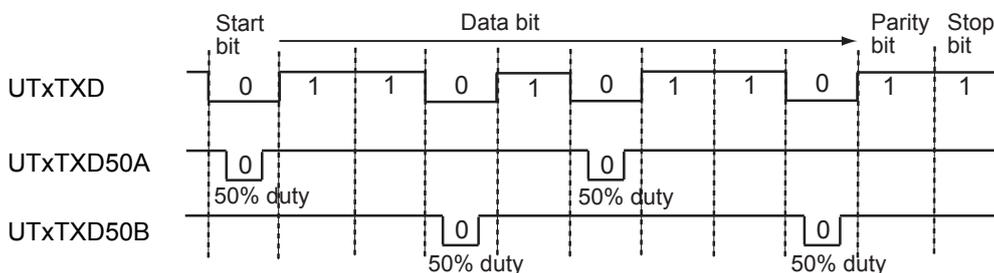


図 11-4 2 端子送信モードの波形例

(2) 受信

1 端子送信モード、2 端子送信モードとも UTxRXD50 端子で受信を行います。

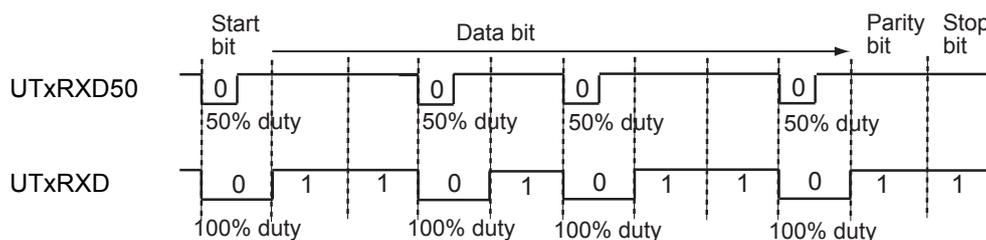


図 11-5 受信の波形例

(3) スタートビット開始端子の選択

UARTxHBSCR<HCST>により 2 端子送信モード時のスタートビットを UTxTXD50A、UTxTXD50B のどちらの端子から始めるかを選択できます。図 11-6 に UTxTXD50B からスタートビット開始設定した時の例をします。UTxTXD50A からスタートビットを開始した例は図 11-4 になります。

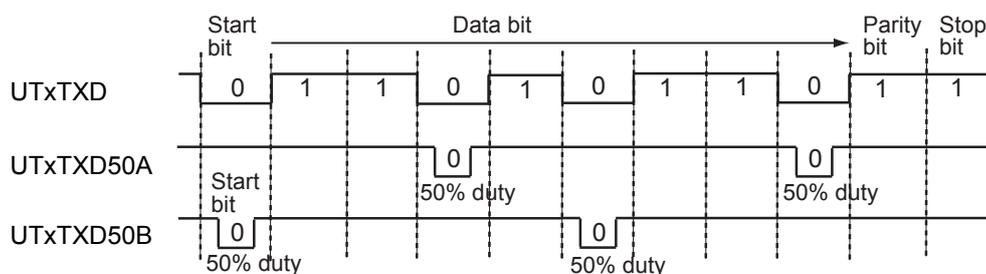


図 11-6 スタートビット開始端子の選択例

## (4) 受信"0"データ期間の検出制御

UARTxHBSCR<HCZR[2:0]>により 100%デューティの 1 ビット幅に対して"0"データとして認識される検出幅を設定することができます。

"0"データの立下りエッジを検出した後、設定された検出幅以上"0"レベルが続くと"0"データとして取り込まれます。

"0"レベルが設定された期間未満だった場合は"0"と認識されません。

また、"0"レベルの幅が全体として設定された期間以上であっても設定した期間中に UARTCLK 幅以上のノイズが入ると"0"として認識されません。

以下に 3/16 幅に設定した例を示します。

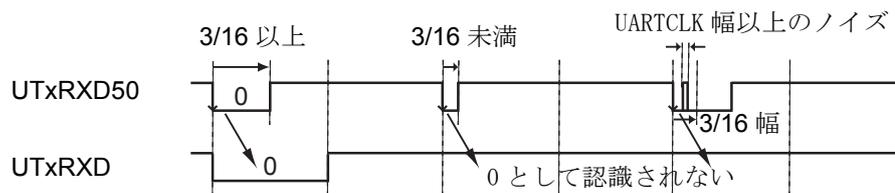


図 11-7 0 データ期間検出制御の例

## (5) ループバックテスト制御

ループバックテスト制御を許可 (UARTxHBSCR<HCLPB>=1) すると UTxTXD50A と UTxTXD50B が UTxRXD50 に内部接続され、TMPM381/383 単体で送信/受信の確認を行うことができます。

UTxTXD50A と UTxTXD50B が AND されて UTxRXD50 へ接続されます。

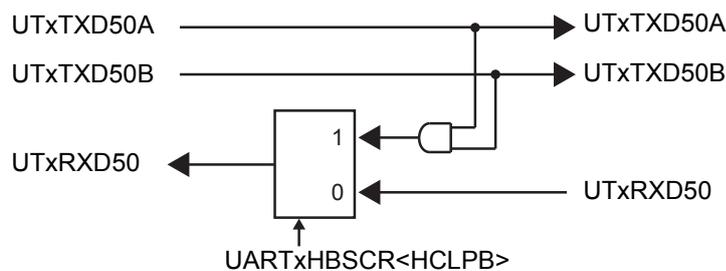


図 11-8 ループバックテストの接続

- 注 1) ループバックテスト制御は開発/評価用に用意されているものです。量産製品では使用しないで下さい。
- 注 2) 50%デューティモード時は、ループバックテスト許可時のみ全二重通信を使用できます。ループバックテスト許可時以外は全二重通信を行わないでください。
- 注 3) ループバックテスト許可時は、外部より通信データを入力しないようにしてください。

## 第 12 章 4 バイト FIFO 付きシリアルチャネル(SIO/UART)

### 12.1 概要

シリアルチャネル(SIO/UART)は次の動作モードを持っています。

- ・ 同期通信モード(I/O インタフェースモード)
- ・ 非同期通信モード(UART モード)

特長は以下のとおりです。

- ・ 転送クロック
  - プリスケーラでペリフェラルクロック( $\phi T0$ )を 1/1、1/2、1/4、1/8、1/16、1/32、1/64、1/128 分周
  - プリスケーラ出力クロックに対し、1~16 分周が可能
  - プリスケーラ出力クロックに対し、 $N + m/16$  ( $N = 2 \sim 15$ ,  $m = 1 \sim 15$ )分周が可能  
(UART モードのみ)
  - システムクロック(fsys)を使用可能(UART モードのみ)
- ・ バッファ
  - ダブルバッファ構成で使用可能
  - 送信バッファのクリアが可能
- ・ FIFO
  - 送受信合わせて 4 バイトの FIFO を使用可能
- ・ I/O インタフェースモード
  - 転送モード：半二重(受信/送信)、全二重
  - クロック：出力(立ち上がりエッジ固定)/入力(立ち上がり/立ち下がりエッジ選択)
  - 連続転送時のインタバル時間設定が可能
  - 最終ビット出力後の TXD<sub>x</sub> 端子の状態を下記から選択可能  
"High"保持/"Low"保持/最終ビット保持
  - クロック入力モード時、アンダランエラーが発生したときの TXD<sub>x</sub> 端子の状態を下記から選択可能  
"High"保持/"Low"保持
  - クロック入力モード時、TXD<sub>x</sub> 端子の最終ビットホールド時間を設定可能
- ・ UART モード
  - データ長：7, 8, 9 ビット
  - パリティ付加(9 ビット長では不可)
  - シリアルリンクでのウエイクアップ機能
  - $\overline{\text{CTS}}_x$  端子を用いたハンドシェイク機能
  - RXD<sub>x</sub> 端子へのノイズキャンセラ付加

以下の説明中、"x"はチャネル番号をあらわします。

## 12.2 構成

下記にシリアルチャネルとシリアルクロック生成回路のブロック図を示します。

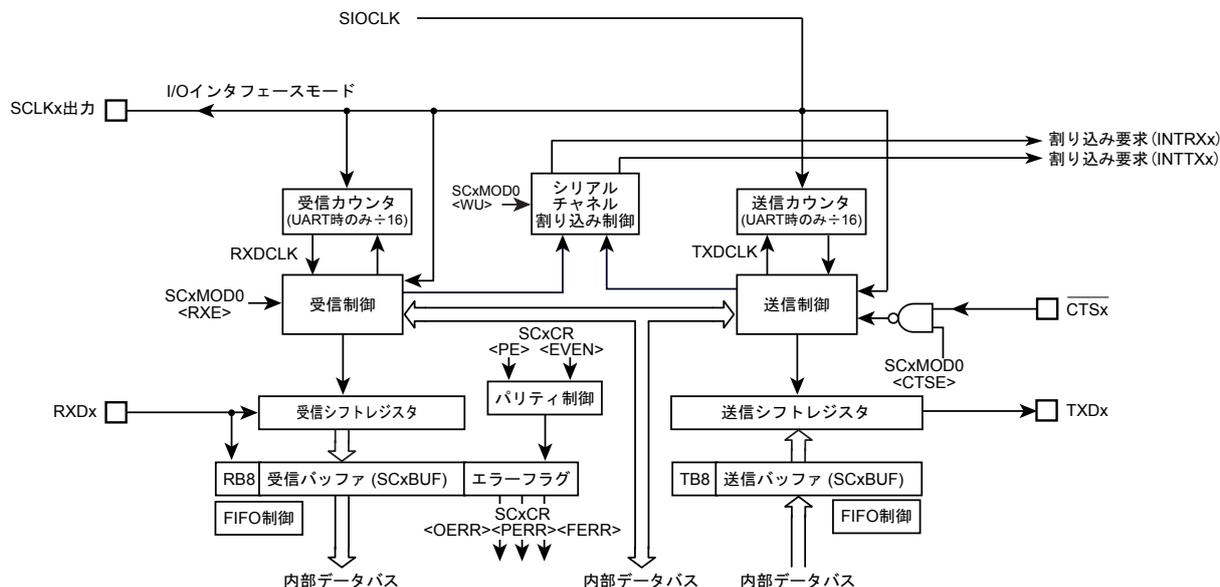


図 12-1 シリアルチャネルブロック図

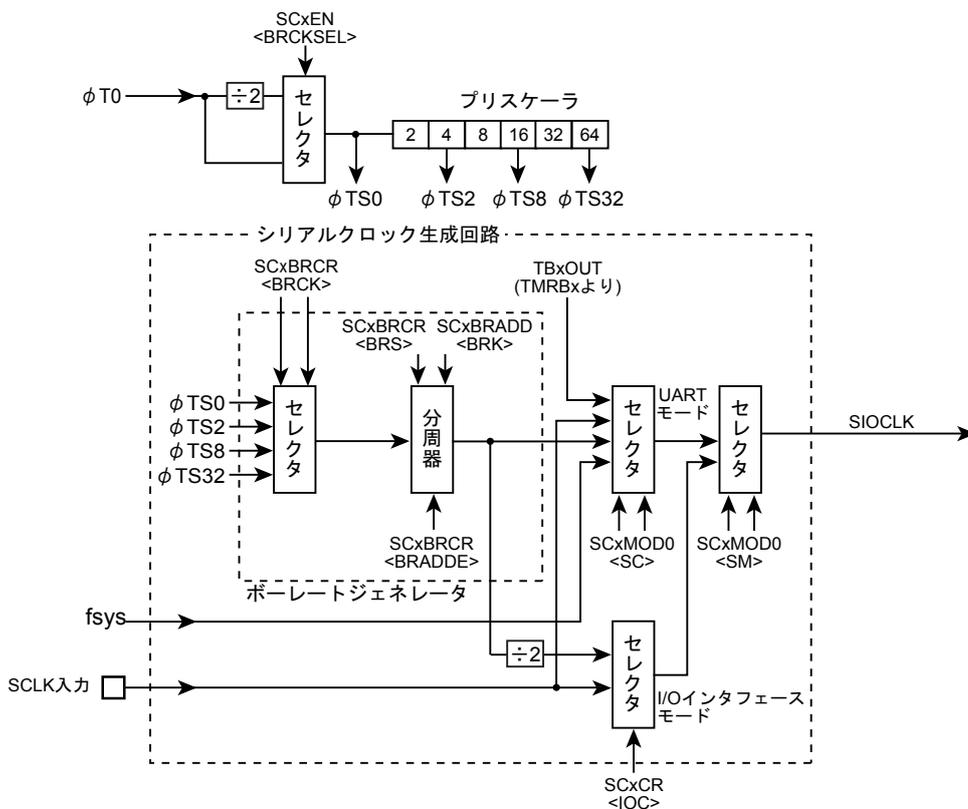


図 12-2 シリアルクロック生成回路ブロック図

## 12.3 レジスタ説明

### 12.3.1 レジスタ一覧

制御レジスタとアドレスは以下の通りです。

ベースアドレスは、「メモリマップ」章の「周辺機能ベースアドレス一覧」を参照ください。

レジスタ名		Address (Base+)
イネーブルレジスタ	SCxEN	0x0000
送受信バッファレジスタ	SCxBUF	0x0004
コントロールレジスタ	SCxCR	0x0008
モードコントロールレジスタ 0	SCxMOD0	0x000C
ボーレートジェネレータコントロールレジスタ	SCxBRCR	0x0010
ボーレートジェネレータコントロールレジスタ 2	SCxBRADD	0x0014
モードコントロールレジスタ 1	SCxMOD1	0x0018
モードコントロールレジスタ 2	SCxMOD2	0x001C
受信 FIFO コンフィグレジスタ	SCxRFC	0x0020
送信 FIFO コンフィグレジスタ	SCxTFC	0x0024
受信 FIFO ステータスレジスタ	SCxRST	0x0028
送信 FIFO ステータスレジスタ	SCxTST	0x002C
FIFO コンフィグレジスタ	SCxFCNF	0x0030

注) 送信中、受信中にコントロールレジスタを書き換えないでください。

## 12.3.2 SCxEN (イネーブルレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	BRCKSEL	SIOE
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	-	R	リードすると"0"が読めます。
1	BRCKSEL	R/W	プリスケーラの入カロックを選択します。 0: $\phi T0/2$ 1: $\phi T0$
0	SIOE	R/W	シリアルチャネル動作 0: 禁止 1: 動作 シリアルチャネルの動作を指定します。シリアルチャネルを使用する場合は、まず<SIOE>に"1"をセットしてください。 動作禁止の状態では、イネーブルレジスタを除くシリアルチャネルのすべてのクロックが停止しますので消費電力の低減が可能です。 シリアルチャネルを一旦動作させた後に動作禁止にした場合は、レジスタの設定は保持されます。

### 12.3.3 SCxBUF (バッファレジスタ)

SCxBUF は、書き込み時は送信バッファまたは FIFO、読み出し時は受信バッファまたは FIFO として機能します。

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TB / RB							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-0	TB[7:0] / RB [7:0]	R/W	[ライト] TB : 送信用バッファまたは FIFO [リード] RB : 受信用バッファまたは FIFO



Bit	Bit Symbol	Type	機能
2	FERR	R	フレーミングエラー (注) 0: エラーではない 1: エラー
1	SCLKS	R/W	入カクロックエッジ選択(I/O インタフェース用) クロック出力モードのときは"0"を設定してください。 0: SCLKx 端子の立ち下がりエッジで送信バッファのデータを 1bit ずつ TXDx 端子へ出力します。 SCLKx 端子の立ち上がりエッジで RXDx 端子のデータを 1bit ずつ受信バッファに取り込みます。 この時、SCLKx 端子は High レベルからスタートします(立ち上がりモード)。 1: SCLKx 端子の立ち上がりエッジで送信バッファのデータを 1bit ずつ TXDx 端子へ出力します。 SCLKx 端子の立ち下がりエッジで RXDx 端子のデータを 1bit ずつ受信バッファに取り込みます。 この時、SCLKx 端子は Low レベルからスタートします。(立ち下りモード)
0	IOC	R/W	クロック選択(I/O インタフェースモード用) 0: クロック出力モード (転送クロックは SCLKx 端子から出力されます) 1: クロック入力モード (転送クロックは SCLKx 端子から入力されます)

注) <OERR>, <PERR>, <FERR>は読み出すとクリアされます。

## 12.3.5 SCxMOD0 (モードコントロールレジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TB8	CTSE	RXE	WU	SM		SC	
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	TB8	R/W	送信データビット 8 (UART モードのみ) 9 ビット UART モード時の 9 ビット目の送信データをセットします。
6	CTSE	R/W	ハンドシェイク機能制御 (UART モードのみ) 0: CTS ディセーブル 1: CTS イネーブル ハンドシェイク機能の制御を行います。 "1"を設定すると CTSx 端子を用いたハンドシェイク機能が使用可能になります。
5	RXE	R/W	受信制御(注 1)(注 2) 0: 禁止 1: 許可
4	WU	R/W	ウェイクアップ機能 (UART モードのみ) 0: ディセーブル 1: イネーブル 9 ビット UART モードの場合のみ有効で、その他のモードでは無視されます。 イネーブルの場合、受信データ 9 ビット目が"1"のときのみ割り込みが発生します。
3-2	SM[1:0]	R/W	シリアル転送モード 00: I/O インタフェースモード 01: 7 ビット UART モード 10: 8 ビット UART モード 11: 9 ビット UART モード
1-0	SC[1:0]	R/W	シリアル転送クロック (UART モードのみ) 00: TMRB 出力 01: ボーレートジェネレータ 10: システムクロック (fsys) 11: 外部クロック (SCLKx 端子入力) (I/O インタフェースモード時の転送クロックは、SCxCR<IOC>で選択します。)

注 1) <RXE>は、すべての設定が終わった後に許可してください。

注 2) 受信中に動作を停止(SCxMOD0<RXE>を"0"にクリア)しないでください。

## 12.3.6 SCxMOD1 (モードコントロールレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	I2SC	FDPX		TXE	SINT			-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	I2SC	R/W	IDLE モード時の動作 0: 停止 1: 動作 IDLE モード時の動作を指定します。
6-5	FDPX[1:0]	R/W	転送モード設定 00: 転送禁止 01: 半二重(受信) 10: 半二重(送信) 11: 全二重 I/O インタフェースモード時の転送モードを設定します。 また FIFO が許可されている場合は、FIFO 構成を指定します。UART モードの場合は、FIFO 構成の指定のみ行われます。
4	TXE	R/W	送信制御(注 1)(注 2) 0: 禁止 1: 許可 全転送モードに有効な送信許可ビットです。
3-1	SINT[2:0]	R/W	連続転送時のインターバル時間(I/O インタフェースモード用) 000: なし 001: 1 x SCLK 周期 010: 2 x SCLK 周期 011: 4 x SCLK 周期 100: 8 x SCLK 周期 101: 16 x SCLK 周期 110: 32 x SCLK 周期 111: 64 x SCLK 周期 I/O インタフェースモードでクロック出力モードの場合に有効なビットです。その他のモードでは意味を持ちません。 I/O インタフェースモードで、ダブルバッファまたは FIFO が許可されている時に連続転送のインターバル時間を指定します。
0	-	R/W	"0"をライトしてください。

注 1) <TXE>ビットは、すべての設定を行った後に許可してください。

注 2) 送信中に動作を停止(SCxMOD1<TXE>を"0"にクリア)しないでください。

### 12.3.7 SCxMOD2 (モードコントロールレジスタ 2)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TBEMP	RBFLl	TXRUN	SBLen	DRCHG	WBUF	SWRST	
リセット後	1	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能											
31-8	-	R	リードすると"0"が読めます。											
7	TBEMP	R	送信バッファエンプティフラグ 0: Full 1: Empty ダブルバッファ不許可の場合はこのフラグは意味を持ちません。 送信ダブルバッファのデータ empty を示すフラグです。送信ダブルバッファのデータが送信シフトレジスタに移され empty になると"1"になり、送信データが書き込まれると"0"になります。											
6	RBFLl	R	受信バッファ full フラグ 0: Empty 1: Full ダブルバッファ不許可の場合はこのフラグは意味を持ちません。 受信ダブルバッファのデータ full を示すフラグです。受信動作が終了して、受信シフトレジスタから受信ダブルバッファヘデータが格納されると"1"になり、受信バッファを読み出すと"0"になります。											
5	TXRUN	R	送信動作中フラグ 0: 停止 1: 動作 送信シフト動作中を示すステータスフラグです。 <TXRUN>と<TBEMP>ビットで以下のような状態を示します。 <table border="1" style="margin-left: 20px;"> <tr> <td>&lt;TXRUN&gt;</td> <td>&lt;TBEMP&gt;</td> <td>状態</td> </tr> <tr> <td>1</td> <td>-</td> <td>送信動作中</td> </tr> <tr> <td rowspan="2">0</td> <td>1</td> <td>送信が完全に終了</td> </tr> <tr> <td>0</td> <td>送信バッファに次のデータがあり送信待ち</td> </tr> </table>	<TXRUN>	<TBEMP>	状態	1	-	送信動作中	0	1	送信が完全に終了	0	送信バッファに次のデータがあり送信待ち
<TXRUN>	<TBEMP>	状態												
1	-	送信動作中												
0	1	送信が完全に終了												
	0	送信バッファに次のデータがあり送信待ち												
4	SBLen	R/W	送信 STOP ビット長(UART モード用) 0: 1 ビット 1: 2 ビット UART モード時の送信 STOP ビットの長さを指定します。 受信の場合は設定に関わらず STOP ビット長は 1 ビットであるとして動作します。											
3	DRCHG	R/W	転送方向設定 0: LSB first 1: MSB first 転送方向を指定します。 UART モード時は LSB first に設定してください。											
2	WBUF	R/W	ダブルバッファの許可 0: 不許可 1: 許可 I/O インタフェースモードの送信(クロック出力/入力モード), 受信(クロック出力モード), UART モードの送信時に、送信、受信のダブルバッファの許可/不許可を指定します。 I/O インタフェースモードの受信(クロック入力モード), UART モードの受信時は設定に関わらず、常にダブルバッファは許可されます。											

Bit	Bit Symbol	Type	機能										
1-0	SWRST[1:0]	R/W	<p>ソフトウェアリセット</p> <p>"10"→"01"の順に書き込むことでソフトウェアリセットが発生します。</p> <p>ソフトウェアリセットにより、以下のビットが初期化されます。また、送受信回路とFIFOは初期状態になります。(注1)(注2)</p> <table border="1"> <thead> <tr> <th>レジスタ名</th> <th>ビット</th> </tr> </thead> <tbody> <tr> <td>SCxMOD0</td> <td>&lt;RXE&gt;</td> </tr> <tr> <td>SCxMOD1</td> <td>&lt;TXE&gt;</td> </tr> <tr> <td>SCxMOD2</td> <td>&lt;TBEMP&gt;, &lt;RBFLL&gt;, &lt;TXRUN&gt;</td> </tr> <tr> <td>SCxCR</td> <td>&lt;OERR&gt;, &lt;PERR&gt;, &lt;FERR&gt;</td> </tr> </tbody> </table>	レジスタ名	ビット	SCxMOD0	<RXE>	SCxMOD1	<TXE>	SCxMOD2	<TBEMP>, <RBFLL>, <TXRUN>	SCxCR	<OERR>, <PERR>, <FERR>
レジスタ名	ビット												
SCxMOD0	<RXE>												
SCxMOD1	<TXE>												
SCxMOD2	<TBEMP>, <RBFLL>, <TXRUN>												
SCxCR	<OERR>, <PERR>, <FERR>												

注1) 転送動作中にソフトウェアリセットを実施する場合は2回連続して実行してください。

注2) ソフトウェアリセット動作が完了するのに、命令実行後2クロックが必要です。

## 12.3.8 SCxBRCR (ボーレートジェネレータコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	BRADDE	BRCK		BRS			
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	-	R/W	"0"をライトしてください。
6	BRADDE	R/W	$N + (16 - K)/16$ 分周機能(UART モードのときのみ) 0: ディセーブル 1: イネーブル
5-4	BRCK[1:0]	R/W	ボーレートジェネレータ入カクロック選択 00: $\phi$ TS0 01: $\phi$ TS2 10: $\phi$ TS8 11: $\phi$ TS32
3-0	BRS[3:0]	R/W	分周値"N"の設定 0000 : N = 16 0001 : N = 1 0010 : N = 2 : 1111 : N = 15

注 1) UART モードで  $N + (16 - K)/16$  分周機能を使用する場合、分周値"N"に 1 分周("0001")と 16 分周("0000")は設定できません。

注 2) I/O インタフェースモードの場合、分周値"N"に 1 分周("0001")を設定できるのはダブルバッファを使用する場合のみです。

12.3.9 SCxBRADD (ボーレートジェネレータコントロールレジスタ 2)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	BRK			
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-4	-	R	リードすると"0"が読めます。
3-0	BRK[3:0]	R/W	N + (16 - K)/16 分周の K 値の設定(UART モード用) 0000: 設定禁止 0001: K = 1 0010: K = 2 : 1111: K = 15

ボーレートジェネレータ分周値の設定方法を表 12-1 にまとめます。

表 12-1 分周値の設定方法

	<BRADDE> = "0"のとき	<BRADDE> = "1"のとき (注 1) (UART モードのみ使用可能)
<BRS>の設定	分周値"N"を設定	
<BRK>の設定	設定不要	"K"値を設定 (注 2)
分周値	N 分周	$N + \frac{(16 - K)}{16}$ 分周

注 1) N + (16 - K)/16 分周機能を使用する場合、必ず<BRK>に"K"値を設定後に<BRADDE> = "1"を設定してください。この機能は、UART モードのときのみ使用可能です。

注 2) "K"値に"0"を設定することはできません。

## 12.3.10 SCxFCNF (FIFO コンフィグレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	RFST	TFIE	RFIE	RXXCNT	CNFG
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能						
31-8	-	R	リードすると"0"が読めます。						
7-5	-	R/W	必ず"000"を書き込んでください。						
4	RFST	R/W	受信 FIFO 使用バイト数 0: 最大 1: 受信 FIFO の FILL レベルに同じ 受信 FIFO 使用バイト数の設定ビットです。(注 1) "0"の場合、構成されている FIFO の最大のバイト数(<CNFG>ビットの説明を参照。)が使用可能です。 "1"の場合、SCxRFC<RIL[1:0]>で指定された FILL レベルのバイト数になります。						
3	TFIE	R/W	送信 FIFO 使用時の送信割り込み許可 0: 禁止 1: 許可 送信 FIFO が有効にされている時の送信割り込みの禁止/許可を切り替えます。						
2	RFIE	R/W	受信 FIFO 使用時の受信割り込み許可 0: 禁止 1: 許可 受信 FIFO が有効にされている時の受信割り込みの禁止/許可を切り替えます。						
1	RXTXCNT	R/W	RXE/TXE の自動禁止 0: なし 1: 自動禁止 送信/受信の自動禁止機能の制御ビットです。 "1"に設定した場合、設定された通信方式により以下のように動作します。 <table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 20%;">半二重受信</td> <td>受信シフトレジスタ、受信バッファおよび受信 FIFO に指定された有効バイト数分のデータが格納されると自動的に受信許可ビット(SCxMOD0 &lt;RXE&gt;)が"0"となり、受信が禁止される。</td> </tr> <tr> <td>半二重送信</td> <td>送信 FIFO、送信バッファおよび送信シフトレジスタのすべてのデータ送信が終了すると自動的に送信許可ビット(&lt;TXE&gt;)が"0"となり、送信が禁止される。</td> </tr> <tr> <td>全二重</td> <td>上記の半二重受信または半二重送信のどちらかの条件が成立すると自動的に送信許可ビット、受信許可ビットとも"0"となり、送受信が禁止される。</td> </tr> </table>	半二重受信	受信シフトレジスタ、受信バッファおよび受信 FIFO に指定された有効バイト数分のデータが格納されると自動的に受信許可ビット(SCxMOD0 <RXE>)が"0"となり、受信が禁止される。	半二重送信	送信 FIFO、送信バッファおよび送信シフトレジスタのすべてのデータ送信が終了すると自動的に送信許可ビット(<TXE>)が"0"となり、送信が禁止される。	全二重	上記の半二重受信または半二重送信のどちらかの条件が成立すると自動的に送信許可ビット、受信許可ビットとも"0"となり、送受信が禁止される。
半二重受信	受信シフトレジスタ、受信バッファおよび受信 FIFO に指定された有効バイト数分のデータが格納されると自動的に受信許可ビット(SCxMOD0 <RXE>)が"0"となり、受信が禁止される。								
半二重送信	送信 FIFO、送信バッファおよび送信シフトレジスタのすべてのデータ送信が終了すると自動的に送信許可ビット(<TXE>)が"0"となり、送信が禁止される。								
全二重	上記の半二重受信または半二重送信のどちらかの条件が成立すると自動的に送信許可ビット、受信許可ビットとも"0"となり、送受信が禁止される。								
0	CNFG	R/W	FIFO の許可 0: 禁止 1: 許可 FIFO 使用の許可ビットです。(注 2) "1"に設定すると FIFO が使用可能となります。設定された通信方式により FIFO の構成は以下のようになります。 <table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 20%;">半二重受信</td> <td>受信 FIFO 4 バイト</td> </tr> <tr> <td>半二重送信</td> <td>送信 FIFO 4 バイト</td> </tr> <tr> <td>全二重</td> <td>受信 FIFO 2 バイト + 送信 FIFO 2 バイト</td> </tr> </table>	半二重受信	受信 FIFO 4 バイト	半二重送信	送信 FIFO 4 バイト	全二重	受信 FIFO 2 バイト + 送信 FIFO 2 バイト
半二重受信	受信 FIFO 4 バイト								
半二重送信	送信 FIFO 4 バイト								
全二重	受信 FIFO 2 バイト + 送信 FIFO 2 バイト								

注 1) 送信 FIFO は常に構成されている FIFO の最大バイト数(<CNFG>の説明を参照)を使用できます。

注 2) 9 ビット UART モードでは FIFO は使用できません。

## 12.3.11 SCxRFC (受信 FIFO コンフィグレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	RFCS	RFIS	-	-	-	-	RIL	
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能															
31-8	-	R	リードすると"0"が読めます。															
7	RFCS	W	受信 FIFO クリア(注 1) 1: クリア "1"を書き込むと受信 FIFO がクリアされ、SCxRST<RLVL>="000"となります。また、リードポインタも初期化されます。 リードすると"0"が読めます。															
6	RFIS	R/W	割り込み発生条件選択 0: FIFO fill レベル(SCxRST<RLVL[2:0]>) = 割り込み発生 fill レベル(<RIL[1:0]>) のとき 1: FIFO fill レベル(SCxRST<RLVL[2:0]>) ≥ 割り込み発生 fill レベル(<RIL[1:0]>) のとき 割り込み発生タイミングの詳細については、12.12.1.2 を参照してください。															
5-2	-	R	リードすると"0"が読めます。															
1-0	RIL[1:0]	R/W	受信割り込みが発生する受信 FIFO の fill レベル <table border="1"> <thead> <tr> <th></th> <th>半二重</th> <th>全二重</th> </tr> </thead> <tbody> <tr> <td>00</td> <td>4 バイト</td> <td>2 バイト</td> </tr> <tr> <td>01</td> <td>1 バイト</td> <td>1 バイト</td> </tr> <tr> <td>10</td> <td>2 バイト</td> <td>2 バイト</td> </tr> <tr> <td>11</td> <td>3 バイト</td> <td>1 バイト</td> </tr> </tbody> </table>		半二重	全二重	00	4 バイト	2 バイト	01	1 バイト	1 バイト	10	2 バイト	2 バイト	11	3 バイト	1 バイト
	半二重	全二重																
00	4 バイト	2 バイト																
01	1 バイト	1 バイト																
10	2 バイト	2 バイト																
11	3 バイト	1 バイト																

注) 送信/受信 FIFO 使用時は、SIO の転送モード設定(半二重/全二重)、FIFO 許可(SCxFCNF<CNFG>="1")の後、必ず送信/受信 FIFO のクリアを実行してください。

12.3.12 SCxTFC (送信 FIFO コンフィグレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	TBCLR
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TFCS	TFIS	-	-	-	-	TIL	
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能															
31-9	-	R	リードすると"0"が読めます。															
8	TBCLR	W	送信バッファクリア 0: Don't care 1: クリア "1"を書き込むと送信バッファがクリアされます。 リードすると"0"が読めます。															
7	TFCS	W	送信 FIFO クリア(注 1) 0: Don't care 1: クリア "1"を書き込むと送信 FIFO がクリアされ、SCxTST<TLVL>="000"となります。また、ライトポインタも初期化されます。 リードすると"0"が読めます。															
6	TFIS	R/W	割り込み発生条件選択 0: FIFO fill レベル(SCxTST<TLVL[2:0]>) = 割り込み発生 fill レベル(<TIL[1:0]>) のとき 1: FIFO fill レベル(SCxTST<TLVL[2:0]>) ≤ 割り込み発生 fill レベル(<TIL[1:0]>) のとき 割り込み発生タイミングの詳細については、12.12.2.2 を参照してください。															
5-2	-	R	リードすると"0"が読めます。															
1-0	TIL[1:0]	R/W	送信割り込みが発生する FIFO の fill レベル <table border="1" style="margin-left: 20px;"> <thead> <tr> <th></th> <th>半二重</th> <th>全二重</th> </tr> </thead> <tbody> <tr> <td>00</td> <td>Empty</td> <td>Empty</td> </tr> <tr> <td>01</td> <td>1 バイト</td> <td>1 バイト</td> </tr> <tr> <td>10</td> <td>2 バイト</td> <td>Empty</td> </tr> <tr> <td>11</td> <td>3 バイト</td> <td>1 バイト</td> </tr> </tbody> </table>		半二重	全二重	00	Empty	Empty	01	1 バイト	1 バイト	10	2 バイト	Empty	11	3 バイト	1 バイト
	半二重	全二重																
00	Empty	Empty																
01	1 バイト	1 バイト																
10	2 バイト	Empty																
11	3 バイト	1 バイト																

注 1) 送信/受信 FIFO 使用時は、SIO の転送モード設定(半二重/全二重)、FIFO 許可(SCxFCNF<CNFG>="1")の後、必ず送信/受信 FIFO のクリアを実行してください。

注 2) SCxEN<SIOE>=0(SIO/UART 動作禁止)、または SCxMOD1<I2SC>=0 で IDLE モードへの移行(IDLE モード中の動作停止)した場合は、必ず SCxTFC の再設定を行ってください。

## 12.3.13 SCxRST (受信 FIFO ステータスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ROR	-	-	-	-	RLVL		
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	ROR	R	受信 FIFO オーバーラン(注) 0: オーバーランは発生していない 1: オーバーラン発生
6-3	-	R	リードすると"0"が読めます。
2-0	RLVL[2:0]	R	受信 FIFO の fill レベル 000: Empty 001: 1 バイト 010: 2 バイト 011: 3 バイト 100: 4 バイト

注) <ROR>はバッファレジスタ(SCxBUF)を読み出すと"0"にクリアされます。

12.3.14 SCxTST (送信 FIFO ステータスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TUR	-	-	-	-	TLVL		
リセット後	1	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	TUR	R	送信 FIFO アンダラン(注) 0: アンダランは発生していない 1: アンダラン発生
6-3	-	R	リードすると"0"が読めます。
2-0	TLVL[2:0]	R	送信 FIFO の fill レベル 000: Empty 001: 1 バイト 010: 2 バイト 011: 3 バイト 100: 4 バイト

注) <TUR>はバッファレジスタ(SCxBUF)に書き込みを行うと"0"にクリアされます。

## 12.4 動作モード

表 12-2 にモードをまとめます。

表 12-2 モードとデータフォーマット

モード	種類	データ長	転送方向	パリティ付加	STOP ビット長(送信)
モード 0	同期通信モード (I/O インタフェースモード)	8 ビット	LSB first/MSB first	-	-
モード 1	非同期通信モード (UART モード)	7 ビット	LSB first	○	1 ビットまたは 2 ビット
モード 2		8 ビット		○	
モード 3		9 ビット		×	

モード 0 は同期通信モードで、I/O を拡張するために使用できます。SCLK クロックに同期してデータの送受信を行います。SCLK クロックはクロック入力/出力モードのいずれでも使用できます。転送方向は、LSB first と MSB first から選択可能です。パリティ付加機能はなく、STOP ビットも使用しません。

モード 1 からモード 3 は非同期通信モードです。転送方向は LSB first のみ選択できます。

モード 1 とモード 2 はパリティビットの付加が可能です。モード 3 は、マスタコントローラが、シリアルリンク(マルチコントローラシステム)でスレーブコントローラを起動させるためのウエイクアップ機能を有しています。送信時の STOP ビットを 1 ビットまたは 2 ビットから選択できます。受信時の STOP ビット長は 1 ビット固定です。

## 12.5 データフォーマット

### 12.5.1 データフォーマット一覧

図 12-3 にデータフォーマットを示します。

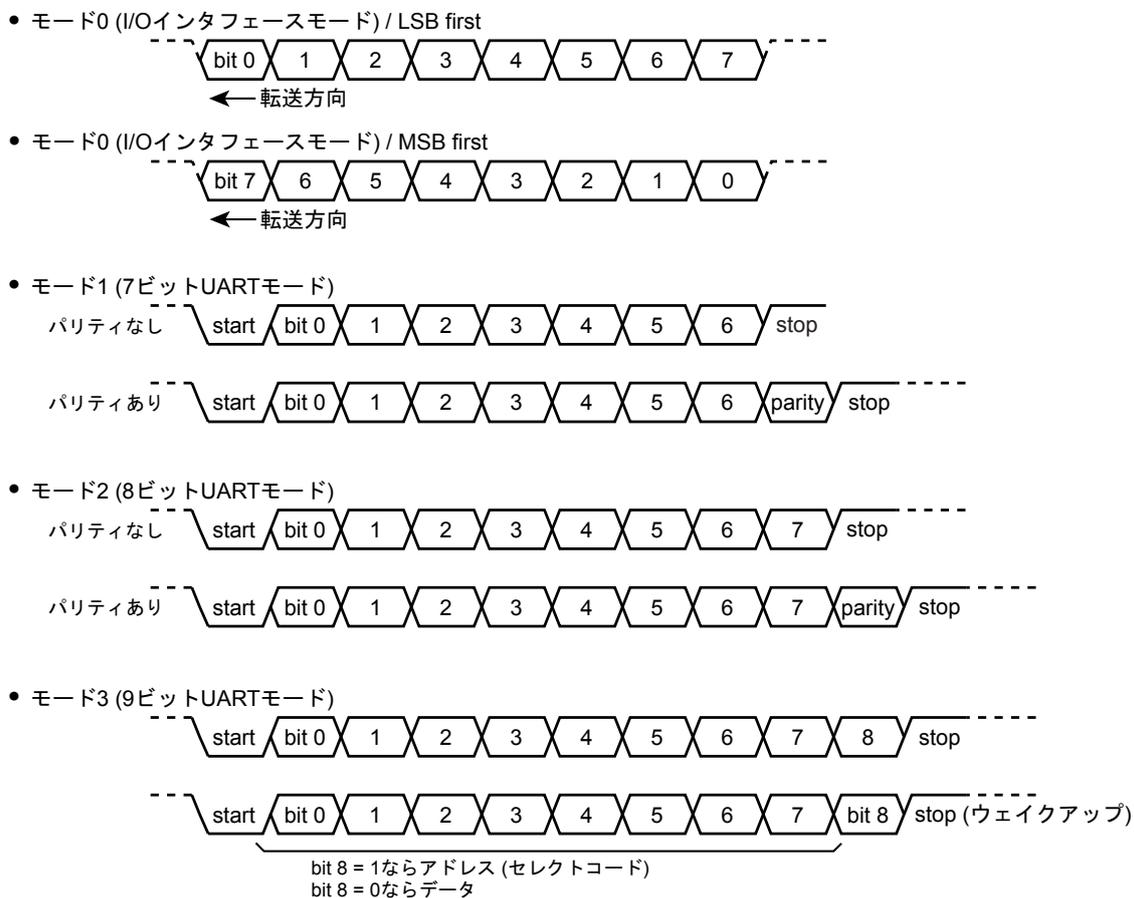


図 12-3 データフォーマット

## 12.5.2 パリティ制御

7 ビット UART モードまたは 8 ビット UART モードでは送信データにパリティビットを付加することができます。また、受信データに付加されているパリティビットを生成されたパリティビットと比較することができます。

SCxCR<PE>に"1"を設定するとパリティが有効になります。SCxCR<EVEN>で偶数/奇数パリティを選択することができます。

### 12.5.2.1 送信

送信時、パリティ制御回路は送信バッファのデータに対して自動的にパリティを発生し、7 ビット UART モードのときは SCxBUF<TB7>に、8 ビット UART モードのときは SCxMOD0<TB8>にパリティが格納されます。

なお<PE>と<EVEN>の設定は、送信データをバッファレジスタに書き込む前に行ってください。

### 12.5.2.2 受信

受信データが受信シフトレジスタから受信バッファに移されるとパリティを自動発生し、7 ビット UART モードのときは SCxBUF<RB7>と、8 ビット UART モードのときは SCxCR<RB8>と生成したパリティを比較します。異なっているとパリティエラーが発生し、SCxCR<PERR>がセットされます。

FIFO を使用する場合、<PERR>は受信したいずれかのデータでパリティエラーが発生したことを示します。

## 12.5.3 STOP ビット長

SCxMOD2<SBLN>で、UART 送信モードの STOP ビット長を 1 ビットまたは 2 ビットに設定できます。受信の場合にはこのビットの設定にかかわらず 1 ビットの STOP ビット長として認識します。

## 12.6 クロック制御

### 12.6.1 プリスケーラ

7ビットのプリスケーラを実装しており、 $\phi T0$ の1/2/4/8/16/32/64/128分周のクロックを生成します。

プリスケーラの入力クロックは、クロック/モード制御部のCGSYSCRとSCxEN<BRCKSEL>で選択します。

プリスケーラは、SCxMOD0<SC[1:0]>="01"でボーレートジェネレータを転送クロックとして選択した場合に動作します。

### 12.6.2 シリアルクロック生成回路

送受信クロック(SIOCLK)を生成するブロックで、ボーレートジェネレータとモードによりクロックを選択する回路で構成されています。

#### 12.6.2.1 ボーレートジェネレータ

ボーレートジェネレータは、シリアルチャネルの転送速度を定める送受信クロックを生成するための回路です。

##### (1) ボーレートジェネレータ入力クロック

ボーレートジェネレータの入力クロックは、プリスケーラ出力の1/4/16/64分周から選択します。入力クロックの選択はSCxEN<BRCKSEL>とSCxBRCR<BRCK>で行います。

SCxEN<BRCKSEL>	SCxBRCR<BRCK>	ボーレートジェネレータ入力 $\phi Tx$
0	00	$\phi T0/2$
0	01	$\phi T0/8$
0	10	$\phi T0/32$
0	11	$\phi T0/128$
1	00	$\phi T0$
1	01	$\phi T0/4$
1	10	$\phi T0/16$
1	11	$\phi T0/64$

##### (2) ボーレートジェネレータ出力クロック

ボーレートジェネレータの出力クロック分周値は、SCxBRCR、SCxBRADDで設定します。

I/O インタフェースモードではN分周、UARTモードではN分周またはN+(16-K)/16分周が使用できます。

以下に設定可能な分周値をまとめます。

モード	分周機能設定 SCxBRCR<BRADDE>	N 分周値 SCxBRCR<BRS[3:0]>	K 値 SCxBRADD<BRK[3:0]>
I/O インタフェース	N 分周	1 ~ 16 (注)	-
UART	N 分周	1 ~ 16	-
	N + (16-K)/16 分周	2 ~ 15	1 ~ 15

注) 1分周は、ダブルバッファ許可時のみ使用できます。

ボーレートジェネレータ分周機へのクロック入力を  $\phi Tx$  とした時、N 分周の場合と N + (16-K)/16 分周の場合のボーレートは以下の計算式であらわされます。

- ・ N 分周

$$\text{ボーレート} = \frac{\phi Tx}{N}$$

- ・ N + (16-K)/16 分周

$$\text{ボーレート} = \frac{\phi Tx}{N + \frac{(16 - K)}{16}}$$

### 12.6.2.2 クロック選択回路

モードとレジスタ設定により、クロックが選択されます。

モードは SCxMOD0<SM[1:0]>で指定します。

I/O インタフェースモード時のクロックは、SCxCR<IOC><SCLKS>で設定します。

UART モード時のクロックは、SCxMOD0<SC[1:0]>で設定します。

#### (1) I/O インタフェースモードの転送クロック

表 12-3 に I/O インタフェースモードで可能なクロックを示します。

表 12-3 I/O インタフェースモードのクロック選択

モード SCxMOD0<SM[1:0]>	入出力選択 SCxCR<IOC>	クロックエッジ選択 SCxCR<SCLKS>	使用クロック
"00" (I/O インタフェース モード)	"0" (クロック出力 モード)	"0" (送信: 立ち下がり、 受信: 立ち上がり)	ポーレートジェネレータ出力の 2分周
	"1" (クロック入力 モード)	"0" (送信: 立ち下がり、 受信: 立ち上がり)	SCLKx 端子入力
		"1" (送信: 立ち上がり、 受信: 立ち下がり)	SCLKx 端子入力

SCLKx 端子入力を使用する場合、以下の条件を満足する必要があります。

- ・ ダブルバッファ使用の場合  
SCLK 周期 > 6/fsys
- ・ ダブルバッファ未使用の場合  
SCLK 周期 > 8/fsys

## (2) UART モードの転送クロック

表 12-4 に UART モードの場合のクロック選択を示します。UART モードでは、選択されたクロックを受信/送信カウンタでさらに 16 分周して使用します。

表 12-4 UART モードのクロック選択

モード SCxMOD0<SM[1:0]>	クロック選択 SCxMOD0<SC[1:0]>
UART モード ("01", "10", "11")	"00" : タイマ出力
	"01" : ボーレートジェネレータ
	"10" : fsys
	"11" : SCLKx 端子入力

SCLKx 端子入力を使用する場合、以下の条件を満足する必要があります。

- SCLK 周期 > 2/fsys

タイマの出力を使用する場合、カウンタと TBxRG1 の一致でタイマフリップフロップ出力を反転させる設定とします。SIOCLK クロック周期は「TBxRG1 設定値 × 2」となります。

ボーレートは以下の計算式で求められます。

## ボーレートの算出方法

$$\text{転送レート} = \frac{\text{CGSYSCR<PRCK[1:0]>で選択されたクロック周波数}}{(\text{TBxRG1} \times 2) \times 2 \times 16}$$

↑ (タイマフリップフロップ反転2回で1クロック周期となる)  
↑ (タイマプリスケラクロックφT1(2分周)を選択した場合)

### 12.6.3 送信/受信バッファと FIFO

#### 12.6.3.1 構成

送信/受信バッファと FIFO の構成を図 12-4 に示します。

バッファと FIFO を使用するには設定が必要です。また、モードによっては構成が決まっている場合があります。

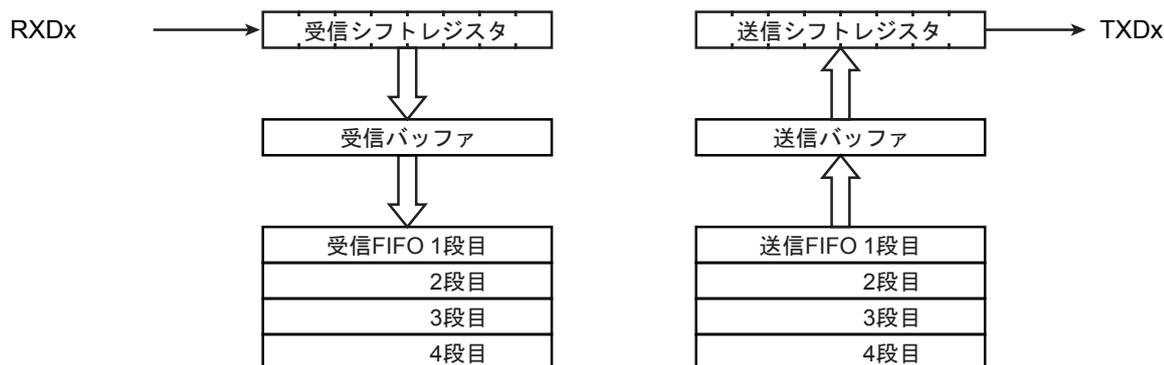


図 12-4 バッファと FIFO の構成

#### 12.6.3.2 送信/受信バッファ

送信および受信バッファはダブルバッファ構造となっています。バッファ構成の設定は、SCxMOD2<WBUF>で行います。

受信の場合、I/O インタフェースモードでクロック入力モードの場合と UART モードでは、<WBUF>の設定によらずダブルバッファ構成になります。

その他のモードでは<WBUF>の設定に従います。

表 12-5 にモードとバッファ構成の関係をまとめます。

表 12-5 モードとバッファ構成

モード		SCxMOD2<WBUF>	
		"0"	"1"
UART モード	送信	シングル	ダブル
	受信	ダブル	ダブル
I/O インタフェースモード (クロック入力モード)	送信	シングル	ダブル
	受信	ダブル	ダブル
I/O インタフェースモード (クロック出力モード)	送信	シングル	ダブル
	受信	シングル	ダブル

### 12.6.3.3 送信バッファの初期化

送信バッファにデータが残っている状態で送信を中断した場合、送信バッファに新たにデータを書き込む前に送信バッファの初期化を行う必要があります。

送信バッファの初期化は、送信動作が停止している状態で行ってください。SCxMOD2<TXRUN>を読み出すことで、送信動作が停止しているかを判断できます。送信動作が停止していることが確認できたら、SCxTFC<TBCLR>に"1"を設定し、送信バッファの初期化を行います。

送信 FIFO が有効な場合、送信 FIFO の状態で動作が変わります。送信 FIFO にデータがある場合、送信 FIFO から送信バッファにデータが転送されます。送信 FIFO が空なら、SCxMOD2<TBEMP>が"1"にセットされます。

注) I/O インタフェースモードのクロック入力モードではクロックが非同期に入力されます。送信動作が停止しているときにクロックを入力しないようにしてください。

### 12.6.3.4 FIFO

ダブルバッファに加えて、4byte の FIFO を使用することができます。

FIFO を有効にするには SCxMOD2<WBUF>を"1"としてダブルバッファをイネーブルにし、SCxFCNF<CNFG>に"1"をセットします。FIFO バッファの構成は SCxMOD1<FDPX>で設定します。

注) 送信/受信 FIFO 使用時は、SIO の転送モード設定(半二重/全二重)、FIFO 許可(SCxFCNF<CNFG>="1")の後、必ず送信/受信 FIFO のクリアを実行して下さい。

表 12-6 にモードと FIFO 構成の関係をまとめます。

表 12-6 モードと FIFO 構成

	SCxMOD1<FDPX[1:0]>	受信 FIFO	送信 FIFO
半二重受信	"01"	4byte	-
半二重送信	"10"	-	4byte
全二重	"11"	2byte	2byte

## 12.7 ステータスフラグ

SCxMOD2 に 2 種類のステータスフラグが準備されています。これらのフラグはダブルバッファ許可の時のみ意味を持ちます。

<RBFL>は、受信バッファ full を示すフラグです。1 データの受信が終了し、データが受信シフトレジスタから受信バッファに移されると"1"にセットされます。受信バッファを読み出すと"0"にクリアされません。

<TBEMP>は、送信バッファ empty を示すフラグです。送信バッファから送信シフトレジスタへデータが移されると、"1"がセットされます。送信バッファにデータをセットすると"0"にクリアされます。

## 12.8 エラーフラグ

SCxCR に 3 種類のエラーフラグが準備されています。フラグによってはモードにより意味が変わります。以下にモードごとのフラグの意味をまとめます。

これらのフラグは、SCxCR を読み出すと"0"にクリアされます。

モード	フラグ		
	<OERR>	<PERR>	<FERR>
UART モード	オーバランエラー	パリティエラー	フレーミングエラー
I/O インタフェース モード (クロック入力モード)	オーバランエラー	アンダランエラー (ダブルバッファまたは FIFO 使用時) "0"固定 (ダブルバッファおよび FIFO 未使用時)	"0"固定
I/O インタフェース モード (クロック出力モード)	不定	不定	"0"固定

### 12.8.1 OERR フラグ

UART モード、I/O インタフェースモード共に、受信バッファのデータを読み出す前に次のフレームの受信が終了すると"1"にセットされます。

受信 FIFO を有効にしている場合は、受信 FIFO ヘデータが自動的に移されるので、受信 FIFO が Full(使用バイト数)になるまではフラグはセットされません。

I/O インタフェースモードのクロック出力モードの設定では、フラグのセットとともにクロック出力が停止します。

注) I/O インタフェースモードのクロック出力モードから他のモードへ切り替える際には、SCxCR を読み出し、オーバランフラグをクリアしてください。

## 12.8.2 PERR フラグ

UART モードではパリティエラーを、I/O インタフェースモードではアンダランエラーまたは送信終了を示します。

パリティエラーは UART モードで受信したデータから生成されたパリティと受信したパリティビットが異なる場合に"1"にセットされます。

アンダランエラーは、I/O インタフェースモードでダブルバッファが有効な場合に以下の条件で"1"にセットされます。

クロック入力モードの場合、送信シフトレジスタのデータを送信終了後、送信バッファにデータがない状態で次の転送クロックが入力されるとセットされます。

クロック出力モードの場合、すべてのデータ送信が終了するとセットされクロック出力を停止します。

注) I/O インタフェースモードのクロック出力モードから他のモードへ切り替える際には、SCxCR を読み出し、アンダランフラグをクリアしてください。

## 12.8.3 FERR フラグ

フレーミングエラーは UART モードの受信データのストップビットを中央付近でサンプリングし、結果が"0"の場合に発生します。SCxMOD2<SBLEN>でのストップビット長設定に関わらず、判定は第 1 ストップビットで行われます。

I/O インタフェースモードではこのビットは"0"固定です。

## 12.9 受信

### 12.9.1 受信カウンタ

受信カウンタは4ビットのバイナリカウンタで、SIOCLKでカウントアップされます。

UARTモードでは、データ1ビットの受信にSIOCLKが16クロック用いられ、8クロック目でデータをサンプリングします。

### 12.9.2 受信制御部

#### 12.9.2.1 I/O インタフェースモードの場合

SCxCR<IOC>="0"のクロック出力モードのときは、SCLKx端子へ出力されるクロックの立ち上がりでRXDx端子をサンプリングします。

SCxCR <IOC>="1"のクロック入力モードのときは、SCxCR<SCLKS>の設定に従って、SCLKx端子の立ち上がり/立ち下がりエッジでシリアル受信データRXDx端子をサンプリングします。

#### 12.9.2.2 UARTモードの場合

受信制御部はスタートビット検出回路を持ち、正常なスタートビットを判断して受信動作を開始します。

### 12.9.3 受信動作

#### 12.9.3.1 受信バッファの動作

受信シフトレジスタに受信データが1ビットずつ格納され、データがそろると割り込みINTRXxが発生します

ダブルバッファ設定の場合は、データは受信バッファ(SCxBUF)へ移され受信バッファのfullフラグ(SCxMOD2<RBFL>)が"1"にセットされます。受信バッファfullフラグは、受信バッファを読み出すと"0"にクリアされます。シングルバッファの場合、受信バッファfullフラグは意味を持ちません。

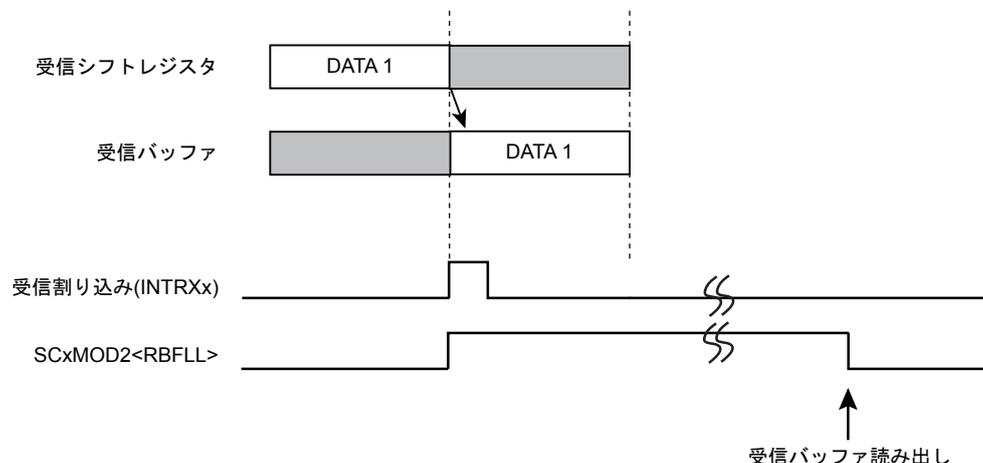


図 12-5 受信バッファの動作

### 12.9.3.2 受信 FIFO の動作

FIFO が許可されている場合、受信データは受信バッファから受信 FIFO に移され、受信バッファ full フラグはただちにクリアされます。割り込みは SCxRFC<RIL[1:0]>の設定に従って発生します。

注) UART モードで、FIFO 使用時にパリティビット付きのデータ受信する場合、パリティエラーフラグは受信したいずれかのデータで発生したことを示します。

以下に、半二重受信の設定と動作を示します。

- SCxMOD1<FDPX[1:0]> = "01" : 転送モードを半二重受信に設定
- SCxFCNF<RFST><TFIE><RFIE> : fill レベル到達後の継続受信自動禁止
- <RXTCNT><CNFG> = "10111" : 受信 FIFO の使用バイト数は割り込み発生 fill レベルに同じ
- SCxRFC<RIL[1:0]> = "00" : 受信割り込みが発生する FIFO の fill レベルを 4 バイトに設定
- SCxRFC<RFCS><RFIS> = "11" : 受信 FIFO のクリアと割り込み発生条件の設定

上記の FIFO 構成の設定後、SCxMOD0<RXE> に 1 を書き込むとデータ受信を開始します。受信シフトレジスタ、受信バッファ、受信 FIFO すべてにデータが格納されると<RXE>を自動クリアして受信を終了します。

上記の設定で、fill レベル到達後の継続受信を許可にしておくと、FIFO のデータを読み出すことにより継続して受信動作を行うことができます。

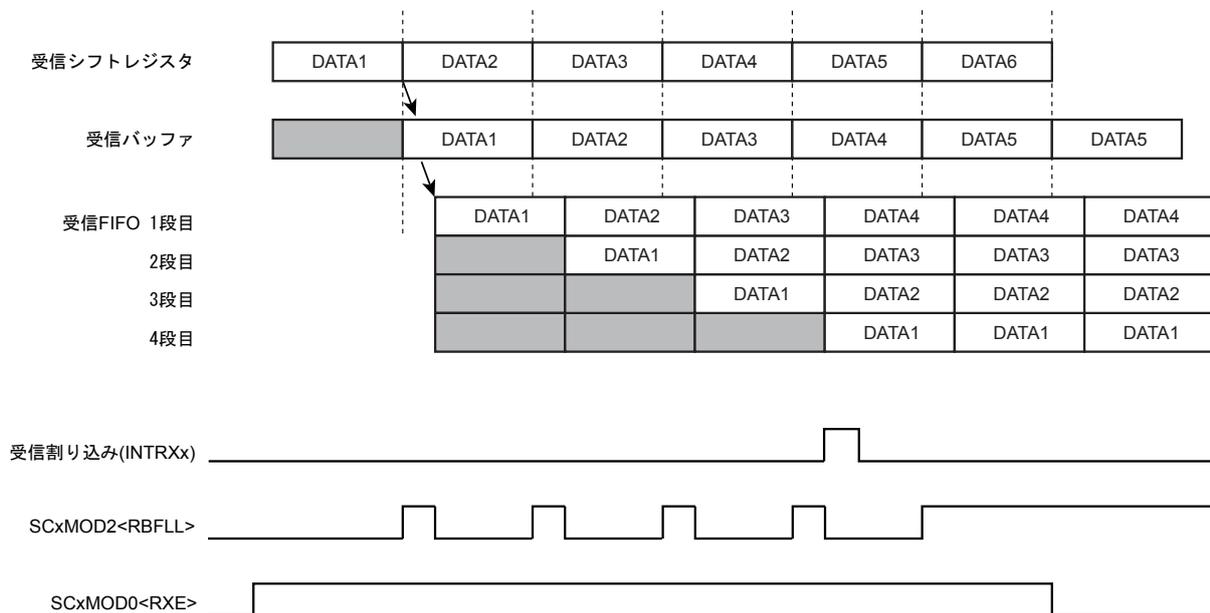


図 12-6 受信 FIFO の動作

### 12.9.3.3 I/O インタフェースモード、クロック出力モードでの受信

I/O インタフェースモードでクロック出力モード設定の場合、使用可能な受信バッファ/FIFO にすべてデータが格納されるとクロック出力が停止されます。このため、このモードではオーバーランエラーフラグは意味を持ちません。

クロック出力の停止/再開のタイミングはバッファ/FIFO の使用状況によって変わります。

#### (1) シングルバッファの場合

1 データ受信後にクロック出力を停止します。このため、通信相手と 1 データごとのハンドシェイクが可能です。バッファからデータが読み出されるとクロック出力を再開します。

#### (2) ダブルバッファの場合

受信シフトレジスタ、受信バッファともにデータが格納されると、クロック出力を停止します。1 データが読み出されるとクロック出力を再開します。

#### (3) FIFO の場合

受信シフトレジスタ、受信バッファ、FIFO すべてにデータが格納されるとクロック出力を停止します。

1 データが読み出されると受信バッファから FIFO へ、受信シフトレジスタから受信バッファへデータが転送され、クロック出力を再開します。

また、SCxFNCF<RXTXCNT>がセットされているとクロック出力停止とともに SCxMOD0 <RXE>がクリアされ受信動作を停止します。

#### 12.9.3.4 受信データの読み出し

FIFO の有効/無効にかかわらず、受信バッファ (SCxBUF) からデータを読み出します。

受信 FIFO が有効にされていない場合は、この読み出しにより受信バッファの full フラグ SCxMOD2<RBFL>は"0"にクリアされます。受信バッファを読み出す前でも、次の受信データは受信シフトレジスタに格納することができます。8 ビット UART モードでパリティ付加の場合と 9 ビット UART モードの場合、最上位ビットは SCxCR <RB8> に格納されます。

受信 FIFO が有効な場合、FIFO に格納できるデータは最大 8 ビットですので、9 ビット UART モードは使用できません。8 ビット UART モードでパリティ付加の場合、パリティビットは失われますがエラー判定は行われ、結果が SCxCR<PERR>に格納されます。

#### 12.9.3.5 ウェイクアップ機能

9 ビット UART モードの場合、ウェイクアップ機能 SCxMOD0<WU> を"1"にすることによって、スレーブコントローラのウェイクアップ動作が可能で、SCxCR<RB8> = "1"のときのみ、割り込み INTRXx を発生させることができます。

#### 12.9.3.6 オーバランエラー

受信 FIFO が有効にされていない場合は、受信シフトレジスタに次のデータが全ビット受信される前に受信バッファ(SCxBUF)を読み出さなければオーバランエラーとなります。オーバランエラーが発生した場合、受信バッファおよび SCxCR <RB8> の内容は保存されていますが、受信シフトレジスタの内容は失われます。

受信 FIFO が有効にされている場合は、受信 FIFO が full になり、受信バッファに次のデータが移される前に受信 FIFO を読み出さないと、受信 FIFO のオーバランが発生してオーバランフラグがセットされます。この場合でも、受信 FIFO のデータは保存されます。

I/O インタフェースモードのクロック出力モードの設定では、クロック出力が自動的に停止するためこのフラグは意味を持ちません。

注) I/O インタフェースのクロック出力モードから他のモードへ切り替える際には、SCxCR を読み出し、オーバランフラグをクリアしてください。

## 12.10 送信

### 12.10.1 送信カウンタ

送信カウンタは4ビットのバイナリカウンタで、受信カウンタ同様 SIOCLK でカウントされます。

UART モードでは、16 クロックごとに送信クロック (TXDCLK) を生成します。

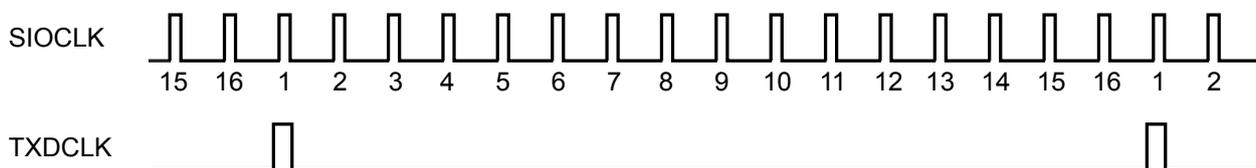


図 12-7 UART モード送信クロックの生成

### 12.10.2 送信制御部

#### 12.10.2.1 I/O インタフェースモードの場合

SCxCR<IOC> = "0" のクロック出力モードのときは、SCLKx 端子より出力されるクロックの立ち下がりエッジで送信バッファのデータを1ビットずつ TXDx 端子へ出力します。

SCxCR<IOC> = "1" のクロック入力モードのときは、SCxCR<SCLKS> の設定に従って SCLKx 端子の立ち上がり/立ち下がりエッジで送信バッファのデータを1ビットずつシリアル送信データ TXDx 端子へ出力します。

#### 12.10.2.2 UART モードの場合

送信バッファに送信データが書き込まれると、次の TXDCLK の立ち上がりエッジから送信を開始し、送信シフトクロックを生成します。

## 12.10.3 送信動作

### 12.10.3.1 送信バッファの動作

ダブルバッファ無効の場合、送信データの書き込みは送信シフトレジスタに対して行われ、送信が終了すると送信割り込み INTTXx が発生します。

ダブルバッファ有効の場合(送信 FIFO が有効な場合も含む)、送信バッファへ書き込まれたデータは送信シフトレジスタに転送されます。同時に送信割り込み INTTXx が発生し、送信バッファエンプティフラグ(SCxMOD2<TBEMP>)がセットされ、次のデータが書き込み可能であることを示します。次のデータを送信バッファに書き込むと<TBEMP>は"0"にクリアされます。

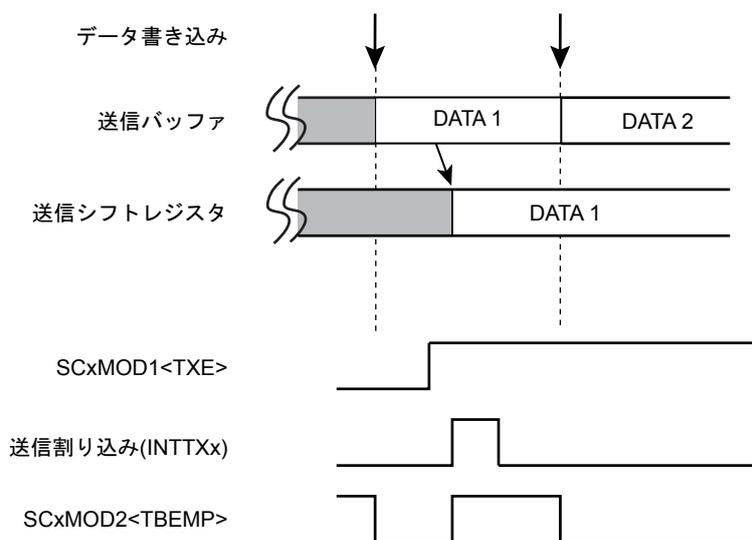


図 12-8 送信バッファの動作(ダブルバッファ有効時)

### 12.10.3.2 送信 FIFO の動作

FIFO が許可されている場合、送信バッファと FIFO で最大 5 バイトのデータを格納することができます。送信を許可すると、送信バッファから送信シフトレジスタにデータが転送されて送信を開始するとともに、FIFO にデータが存在する場合はただちに送信バッファへ移され、<TBEMP> フラグは"0"にクリアされます。

注) 送信 FIFO バッファ使用時は、SIO の転送モード設定(半二重/全二重)、FIFO 許可(SCxFCNF <CNFG>="1")の後、必ず送信 FIFO クリアを実行して下さい。

以下に、5 バイトのデータを半二重送信する場合の設定と動作を示します。

SCxMOD1<FDPX[1:0]> = "10"	: 転送モードを半二重送信に設定
SCxFCNF<RFST><TFIE><RFIE> <RXTXCNT><CNFG> = "11011"	: FIFO が空になると送信を自動的に禁止 受信 FIFO の使用バイト数は割り込み発生 fill レベルに同じ
SCxTFC<TIL[1:0]> = "00"	: 割り込み発生時の fill レベル を 0 に設定
SCxTFC<TFCS><TFIS> = "11"	: 送信 FIFO のクリアと割り込み発生条件の設定
SCxFCNF<CNFG> = "1"	: FIFO の許可

上記の設定後、送信バッファ/FIFO に 5 バイト分の送信データを書き込み、SCxMOD1<TXE> ビットを 1 に設定することによりデータ送信を開始します。最後の送信データが送信バッファに移されると送信 FIFO 割り込みが発生して最後のデータの送信が終了すると送信を終了します。

上記の設定で、送信の自動禁止としなければ送信データを書き込むことにより継続して送信を行うことができます。



### 12.10.3.3 I/O インタフェースモード、クロック出力モードでの送信

I/O インタフェースモードでクロック出力モードの場合、設定されたデータがすべて送信されるとクロック出力は自動的に停止します。このため、このモードではアンダランエラーは発生しません。

バッファ/FIFO 使用状況によってクロック出力の停止/再開のタイミングが変わります。

#### (1) シングルバッファの場合

1 データ送信後にクロック出力を停止します。このため、通信相手と 1 データごとのハンドシェイクが可能です。バッファに次のデータが書き込まれるとクロック出力を再開します。

#### (2) ダブルバッファの場合

送信シフトレジスタと送信バッファのデータがすべて送信されるとクロック出力を停止します。バッファに次のデータが書き込まれるとクロック出力を再開します。

#### (3) FIFO の場合

送信シフトレジスタ、送信バッファ、FIFO すべてのデータ送信が終了するとクロック出力を停止します。次のデータが書き込まれるとクロック出力を再開します。

また、SCxFCNF<RXTXCNT>がセットされていると、クロック出力停止とともに SCxMOD0<TXE>がクリアされ、送信動作を停止します。

### 12.10.3.4 I/O インタフェースモード時の最終ビット出力後の TXDx 端子の状態

最終ビットを出力し、データのホールド時間が終了した後の TXDx 端子の状態を、SCxCR<TIDLE>で指定することができます。

SCxCR<TIDLE>="00"の場合、TXDx 端子は"Low"出力を保持します。SCxCR<TIDLE>="01"の場合、TXDx 端子は"High"出力を保持します。SCxCR<TIDLE>="10"の場合、TXDx 端子は最終ビットを保持します。

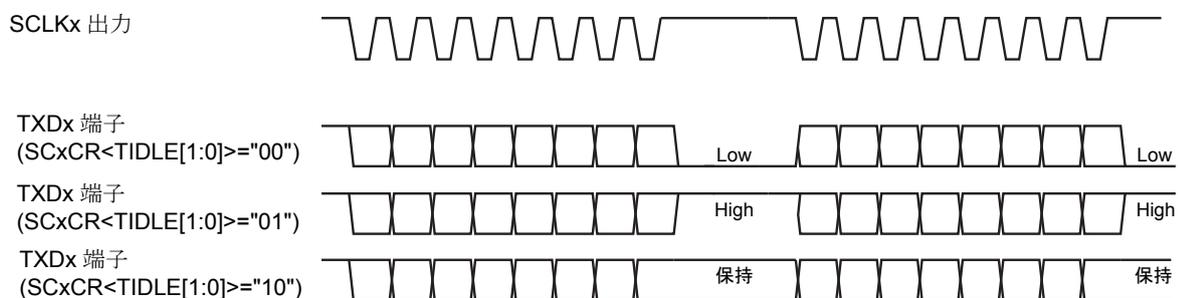


図 12-9 最終ビット出力後の TXDx 端子の状態

### 12.10.3.5 アンダランエラー

I/O インタフェースモードのクロック入力モード時、送信 FIFO が空で、送信シフトレジスタのデータの送信が終了し、次の転送クロックが入力される前に送信バッファヘデータがセットされないときはアンダランエラーになり、SCxCR<PERR>に"1"がセットされます。

アンダランエラーが発生したときの TXDx 端子の状態を SCxCR<TXDEMP>で指定することができます。SCxCR<TXDEMP>が"0"の場合、TXDx 端子はデータ出力期間の間、"Low"出力を保持します。SCxCR<TXDEMP>が"1"の場合、TXDx 端子はデータ出力期間の間、"High"出力を保持します。

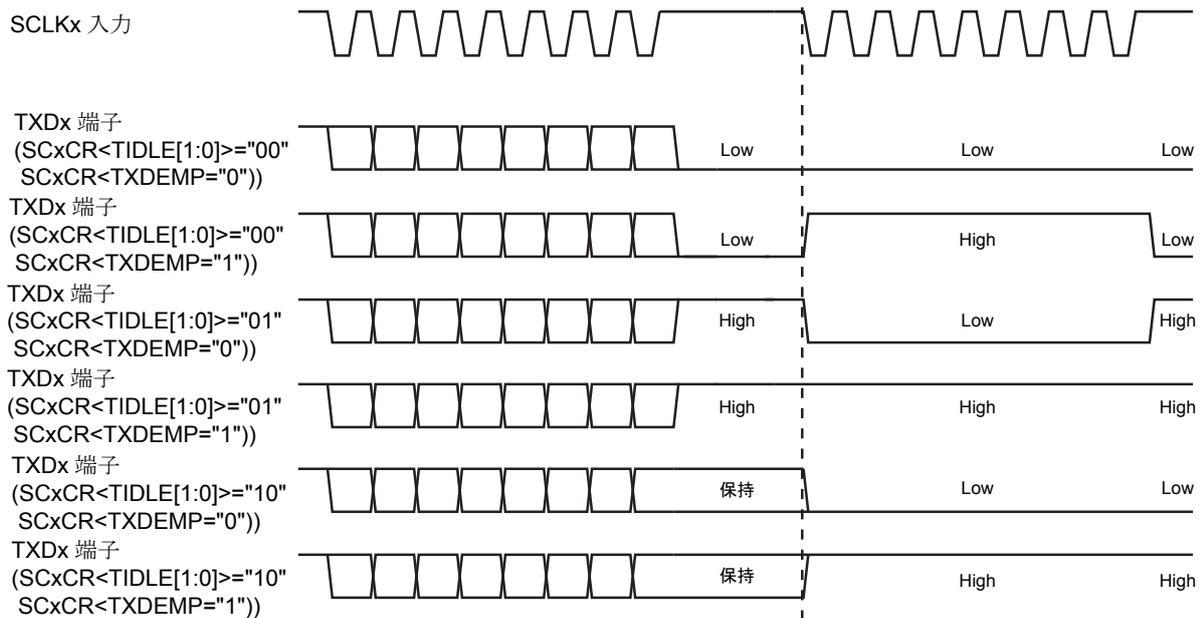


図 12-10 アンダランが発生したときの TXDx 出力

I/O インタフェースモードのクロック出力モードの設定では、クロック出力が自動的に停止するためこのフラグは意味を持ちません。

注) I/O インタフェースのクロック出力モードから他のモードへ切り替える際には、SCxCR を読み出し、アンダランフラグをクリアしてください。

### 12.10.3.6 I/O インタフェースモード、クロック入力モードでのデータのホールド時間

I/O インタフェースモードでクロック入力モードの場合、SCxCR<EHOLD[2:0]>で最終ビットのホールド時間を設定できます。

最終ビットのホールド時間  $\leq$  SCLK 周期/2 を満たすように、最終ビットのホールド時間、SCLK 周期を設定してください。

## 12.11 ハンドシェイク機能

ハンドシェイク機能は  $\overline{\text{CTSx}}$  (Clear to send)端子を用いて 1 データ単位での送信を行う機能で、この機能を使うことでオーバーランエラーの発生を防ぐことができます。ハンドシェイク機能は  $\text{SCxMOD0} <\text{CTSE}>$  によってイネーブル/ディセーブルを設定できます。

$\overline{\text{CTSx}}$  端子が "High" レベルになると、現在送信中のデータを送信完了後、 $\overline{\text{CTSx}}$  端子が "Low" レベルに戻るまで送信を停止します。ただし、 $\text{INTTxx}$  割り込みは通常のタイミングで発生しますので、次の送信データを送信バッファに書き込み、送信待機状態にすることができます。

- 注 1) 送信中に  $\overline{\text{CTSx}}$  信号を立ち上げた場合、送信終了後に停止します。  
 注 2)  $\overline{\text{CTSx}}$  信号立下り後の最初の  $\text{TXDCLK}$  クロックから送信を開始します。

なお、 $\overline{\text{RTS}}$  端子はありませんが、任意のポートの 1 ビットを  $\overline{\text{RTS}}$  機能に割り当て、受信終了時に (受信割り込みルーチン内で)このポートを "High" レベルにし、送信側に送信の一時停止を要求することで容易にハンドシェイク機能を構築できます。

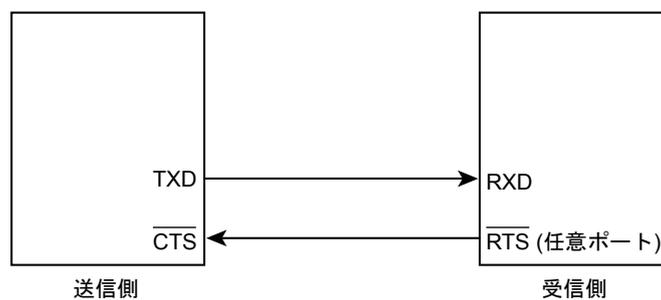


図 12-11 ハンドシェイク機能接続

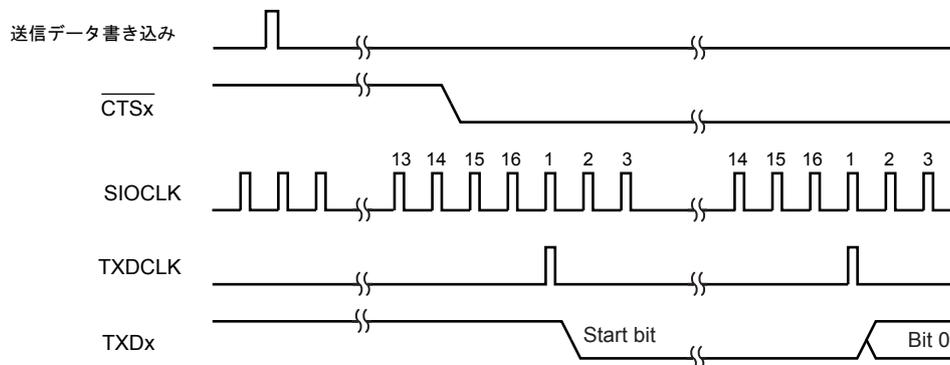


図 12-12  $\overline{\text{CTSx}}$  信号のタイミング

## 12.12 割り込み/エラー発生タイミング

### 12.12.1 受信割り込み

受信動作のデータの流れと読み出しの経路を図 12-13 に示します。

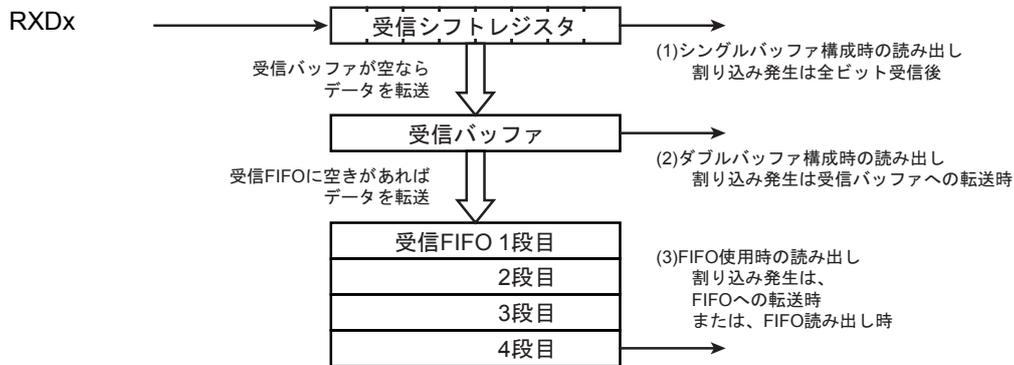


図 12-13 受信バッファ/FIFO 構成図

#### 12.12.1.1 シングルバッファ/ダブルバッファ構成の場合

受信割り込みは、転送モードとバッファ構成により以下のタイミングで発生します。

表 12-7 シングルバッファ/ダブルバッファ構成の場合の受信割り込み発生条件

バッファ構成	UART モード	I/O インタフェースモード
シングルバッファ	-	・ 最終ビットの SCLKx 端子立ち上がり/立ち下がり直後 (立ち上がり/立ち下がりは、SCxCR<SCLKS>設定による)
ダブルバッファ	受信シフトレジスタから受信バッファへ、データの移動が発生するとき。具体的には以下のタイミング。 ・ 受信バッファにデータがない場合、第1ストップビットの中央付近 ・ 受信シフトレジスタと受信バッファの両方にデータがある場合、バッファのリード時	受信シフトレジスタから受信バッファへ、データの移動が発生するとき。具体的には以下のタイミング。 ・ 受信バッファにデータがない場合、最終ビットの SCLKx 端子立ち上がり/立ち下がり直後 (立ち上がり/立ち下がりは、SCxCR<SCLKS>設定による) ・ 受信シフトレジスタと受信バッファの両方にデータがある場合、バッファのリード時

注) オーバーランエラー成立時は割り込みは発生しません。

#### 12.12.1.2 FIFO 使用の場合

FIFO 使用の場合の受信割り込みは、表 12-8 の割り込み発生タイミングに記載の動作が発生したときに、SCxRFC<RFIS>の設定で決まる条件を満たしていると発生します。

表 12-8 FIFO 使用時の受信割り込み発生条件

SCxRFC<RFIS>	割り込み発生条件	割り込み発生タイミング
"0"	FIFO fill レベル(SCxRST<RLVL[2:0]>) = 割り込み発生 fill レベル(<RIL[1:0]>) のとき	・ 受信バッファから受信 FIFO へ受信データの転送がおこなわれるとき ・ 受信 FIFO から受信データをリードしたとき
"1"	FIFO fill レベル(SCxRST<RLVL[2:0]>) ≥ 割り込み発生 fill レベル(<RIL[1:0]>) のとき	・ 受信 FIFO から受信データをリードしたとき

### 12.12.2 送信割り込み

送信動作のデータの流れと書き込みの経路を図 12-14 に示します。

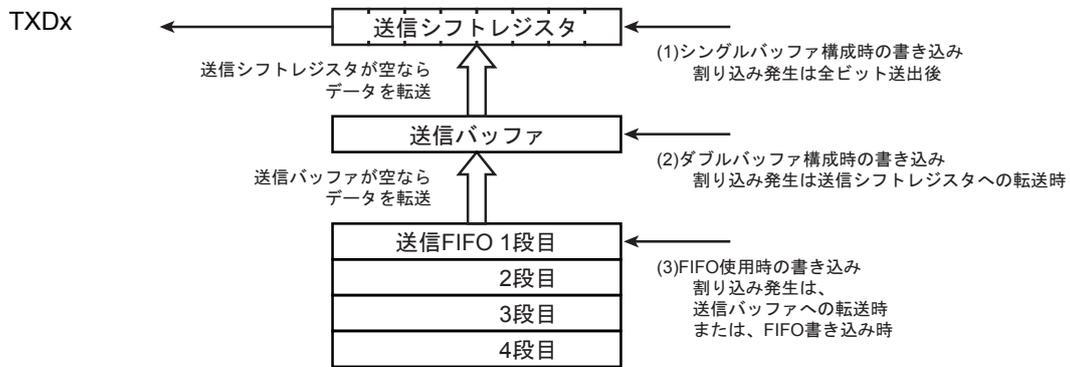


図 12-14 送信バッファ/FIFO 構成図

#### 12.12.2.1 シングルバッファ/ダブルバッファ構成の場合

送信割り込みは、転送モードとバッファ構成により以下のタイミングで発生します。

表 12-9 シングルバッファ/ダブルバッファ構成の場合の送信割り込み発生条件

バッファ構成	UART モード	I/O インタフェースモード
シングルバッファ	ストップビット送出の直前	最終ビットの SCLKx 端子立ち上がり/立ち下がり直後 (立ち上がり/立ち下がりは、SCxCR<SCLKS>設定による)
ダブルバッファ	送信バッファから送信シフトレジスタへのデータ転送時に送信割り込みが発生します。 なお、SCxMOD1<TXE>="1"で、送信シフトレジスタが空の場合、送信バッファにデータを書いた直後に送信バッファから送信シフトレジスタにデータが転送されるため、送信割り込みが発生します。	

## 12.12.2.2 FIFO 使用の場合

FIFO 使用の場合の送信割り込みは、表 12-10 の割り込み発生タイミングに記載の動作が発生したときに、SCxTFC<TFIS>の設定で決まる条件を満たした場合に発生します。

表 12-10 FIFO 使用時の送信割り込み発生条件

SCxTFC<TFIS>	割り込み発生条件	割り込み発生タイミング
"0"	FIFO fill レベル(SCxTST<TLVL[2:0]>) = 割り込み発生 fill レベル(<TIL[1:0]>) のとき	・送信 FIFO から送信バッファへ送信データの転送が行われたとき ・送信 FIFO へ送信データをライトしたとき
"1"	FIFO fill レベル(SCxTST<TLVL[2:0]>) ≤ 割り込み発生 fill レベル(<TIL[1:0]>) のとき	・送信 FIFO へ送信データをライトしたとき

## 12.12.3 エラー発生

## 12.12.3.1 UART モード

モード	9ビット	7ビット 8ビット 7ビット+パリティ 8ビット+パリティ
フレーミングエラー オーバランエラー	ストップビットの中央付近	
パリティエラー	-	判定：パリティビットの中央付近 フラグ変化：ストップビットの中央付近

## 12.12.3.2 I/O インタフェースモード

オーバランエラー	最終ビットの SCLKx 端子立ち上がり/立ち下がり直後 (立ち上がり/立ち下がりは、SCxCR<SCLKS>設定による)
アンダランエラー	次回の SCLKx 端子の立ち上がり/立ち下がり直後 (立ち上がり/立ち下がりは、SCxCR<SCLKS>設定による)

注) クロック出力モードではオーバランエラー、アンダランエラーフラグは意味を持ちません。

## 12.13 ソフトウェアリセット

SCxMOD2<SWRST[1:0]>に"10" → "01"の順でライトすることによりソフトウェアリセットが発生します。

これにより、SCxMOD0<RXE>、SCxMOD1<TXE>、SCxMOD2<TBEMP><RBFLL><TXRUN>、SCxCR<OERR> <PERR> <FERR>が初期化され、送受信回路は初期状態になります。

その他の状態は保持されます。

## 12.14 モード別動作説明

### 12.14.1 モード 0 (I/O インタフェースモード)

SCxMOD0 <SM[1: 0]>を"00"にセットすると I/O インタフェースモードになります。

このモードには、同期クロック SCLK を出力するクロック出力モードと、外部より同期クロック SCLK を入力するクロック入力モードがあります。

以下に FIFO の使用が禁止されている状態での各動作の説明を行います。FIFO の動作については、前述の受信 FIFO 動作および送信 FIFO 動作の項を参照してください。

#### 12.14.1.1 送信

##### (1) クロック出力モード

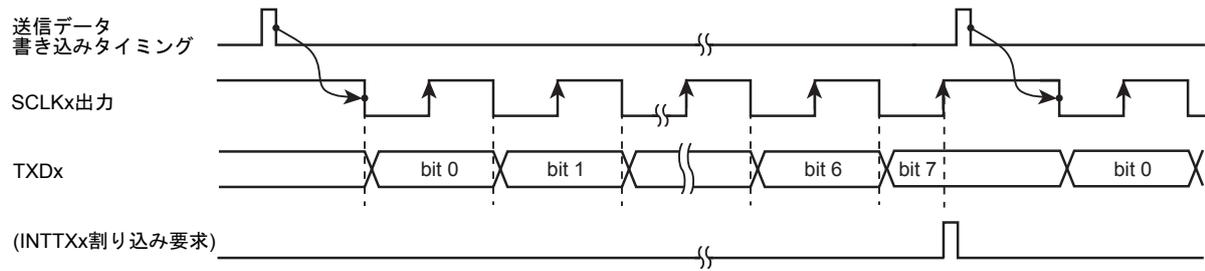
- ・ ダブルバッファ不許可(SCxMOD2<WBUF> = "0")の場合

送信バッファにデータを書き込むたびに、データが TXD<sub>x</sub> 端子から、クロックが SCLK<sub>x</sub> 端子より出力されます。データがすべて出力されると割り込み(INTTX<sub>x</sub>)が発生します。

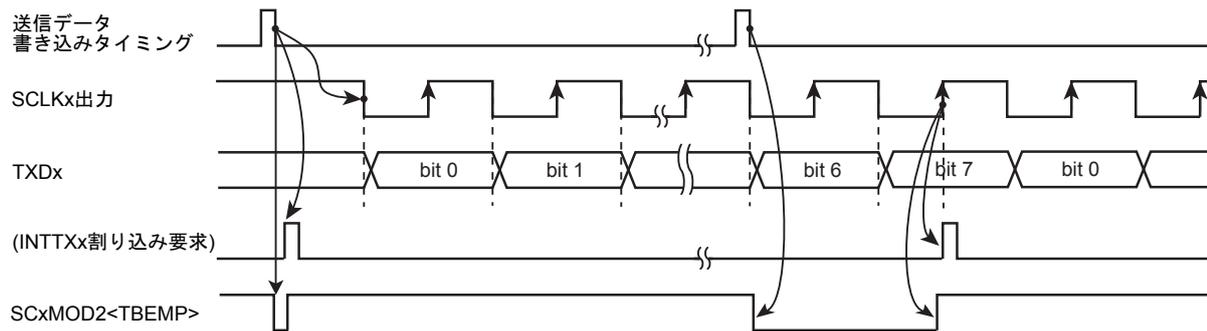
- ・ ダブルバッファ許可(SCxMOD2<WBUF> = "1")の場合

シフトレジスタが空の状態を送信バッファにデータを書き込んだとき、またはシフトレジスタのデータ送出が終了したときに送信バッファよりシフトレジスタにデータが移されます。これと同時に送信バッファ empty フラグ SCxMOD2 <TBEMP> が"1"にセットされ割り込み(INTTX<sub>x</sub>)が発生します。

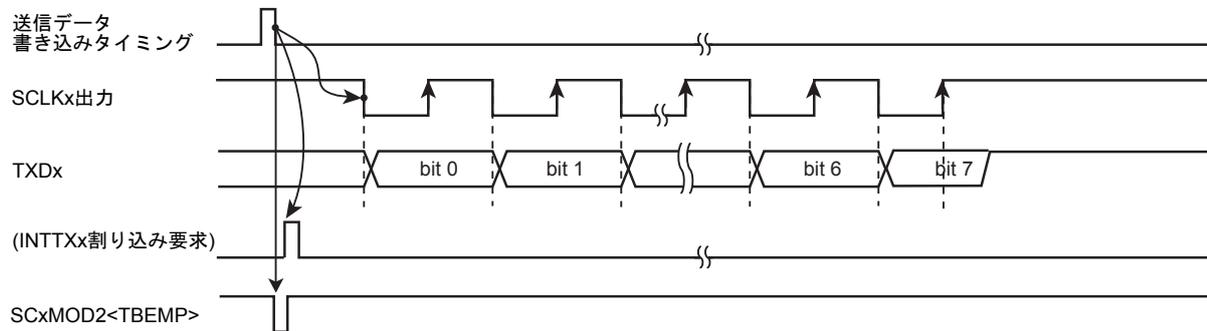
シフトレジスタのデータ送出終了時に送信バッファにデータが存在しない場合は、割り込み(INTTX<sub>x</sub>)が発生せず、クロック出力も停止します。



<WBUF> = "0" (ダブルバッファ不許可)の場合 (SCxCR<TIDLE>="10")



<WBUF> = "1" (ダブルバッファ許可)の場合(バッファデータがある場合)



<WBUF> = "1" (ダブルバッファ許可)の場合(バッファにデータがない場合) (SCxCR<TIDLE>="01")

図 12-15 I/O インタフェースモード送信動作(クロック出力モード)

## (2) クロック入力モード

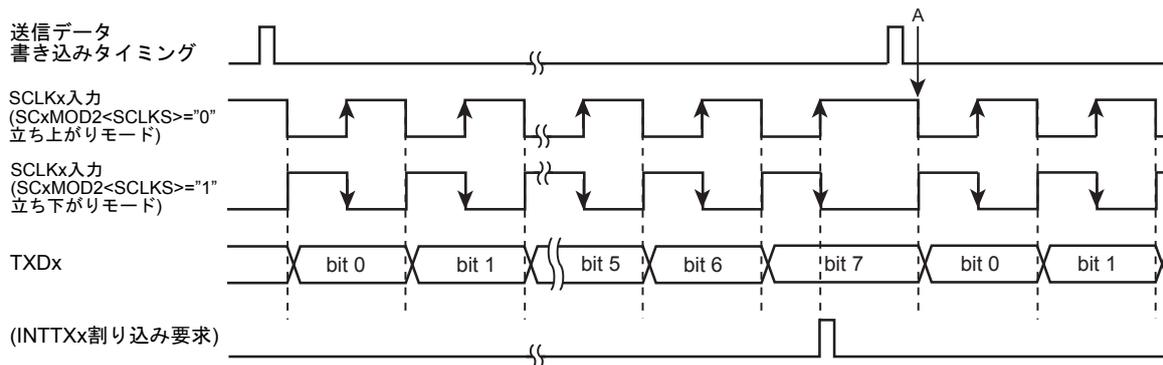
- ・ ダブルバッファ不許可(SCxMOD2<WBUF> = "0")の場合

送信バッファにデータが書き込まれている状態でクロックが入力されると、8ビットのデータが TXD<sub>x</sub> 端子より出力されます。データがすべて出力されると割り込み INTTX<sub>x</sub> が発生します。次の送信データは図 12-16 に示す A 点までに書き込んでください。

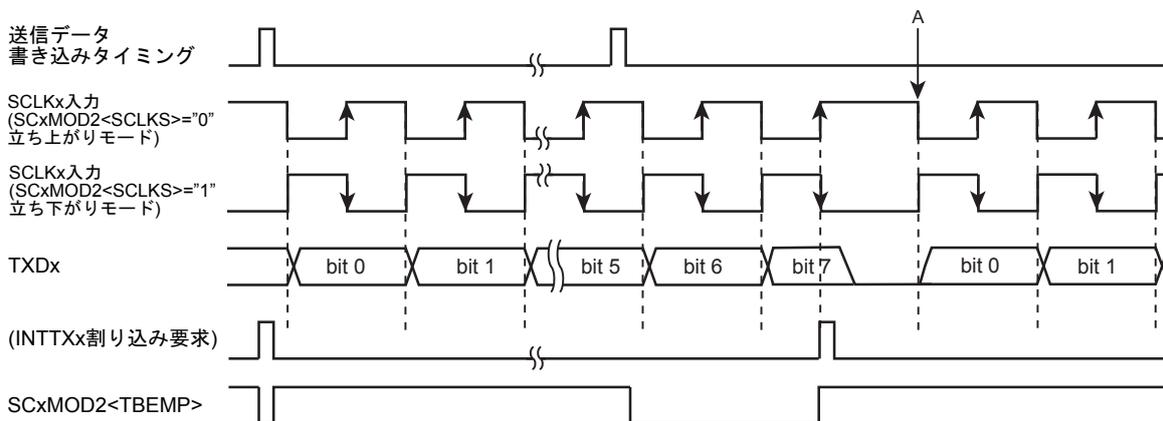
- ・ ダブルバッファ許可(SCxMOD2<WBUF> = "1")の場合

クロックが入力される前に送信バッファにデータを書き込んだとき、または送信シフトレジスタのデータ送出手が終了したときに送信バッファのデータがシフトレジスタへ移されます。これと同時に送信バッファ empty フラグ SCxMOD2<TBEMP> が "1" にセットされ、割り込み(INTTX<sub>x</sub>)が発生します。

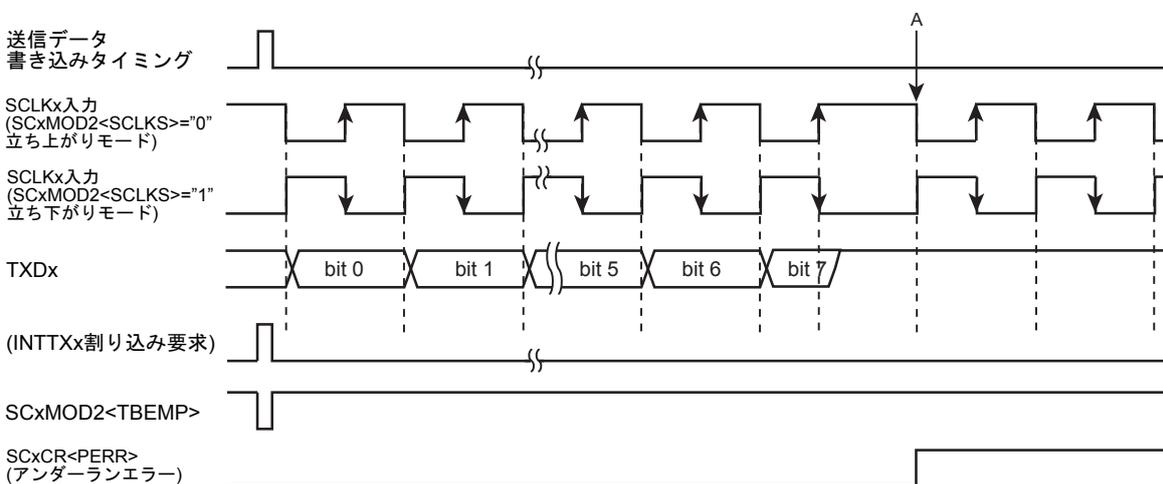
送信バッファにデータが書き込まれていない状態で、クロックが入力された場合、内部ビット数カウンタはカウントを開始しますが、アンダランエラーがセットされ、SCxCR<TXDEMP>で設定したレベルが TXD<sub>x</sub> 端子に出力されます。



<WBUF> = "0" (ダブルバッファ不許可)の場合 (SCxCR<TILDE>="10")



<WBUF> = "1" (ダブルバッファ許可)の場合(バッファ2にデータがある場合) (SCxCR<TILDE>="00")



<WBUF> = "1" (ダブルバッファ許可)の場合(バッファ2にデータがない場合) (SCxCR<TXDEMP><TILDE>="100")

図 12-16 I/O インタフェースモード送信動作(クロック入力モード)

## 12.14.1.2 受信

## (1) クロック出力モード

受信許可ビット SCxMOD0<RXE>を"1"にセットすることでクロック出力が開始されます。

- ・ ダブルバッファ不許可(SCxMOD2<WBUF> = "0")の場合

受信データが読み出されるごとに、SCLKx 端子よりクロックが出力され次のデータがシフトレジスタに格納されます。8 ビットデータが受信されると、割り込み INTRXx が発生します。

- ・ ダブルバッファ許可(SCxMOD2<WBUF> = "1")の場合

シフトレジスタに格納されたデータは受信バッファに移され、続けて次のフレームを受信することができます。シフトレジスタから受信バッファにデータが移されると、受信バッファ full フラグ SCxMOD2<RBFL>が"1"にセットされ、割り込み INTRXx が発生します。

受信バッファにデータが存在する状態で、次の 8 ビット分のデータを受信完了する前に受信バッファのデータが読み出されない場合、割り込み INTRXx は発生せず、クロック出力は停止します。この状態で受信バッファのデータを読み出すと、シフトレジスタのデータを受信バッファに移し、割り込み INTRXx を発生して受信を再開します。

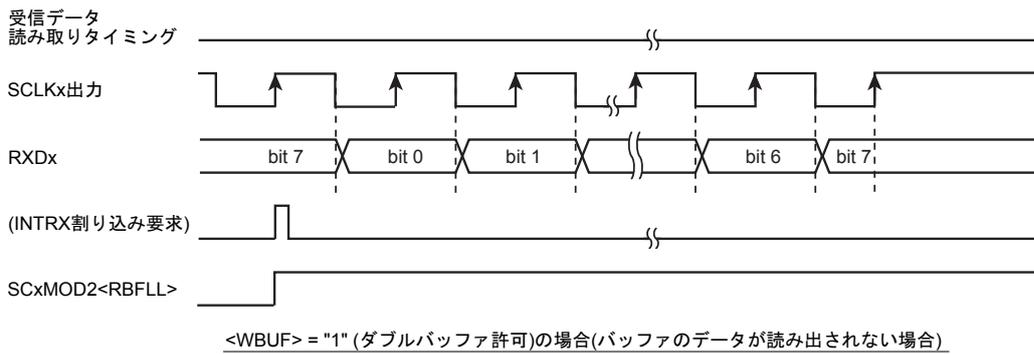
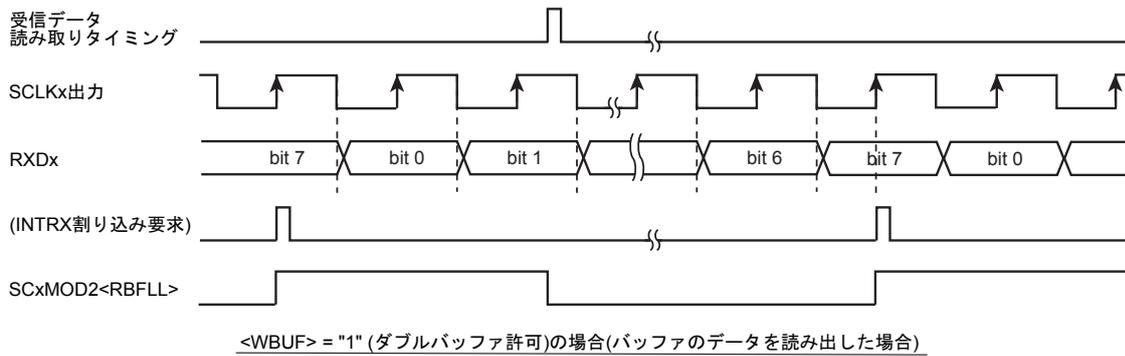
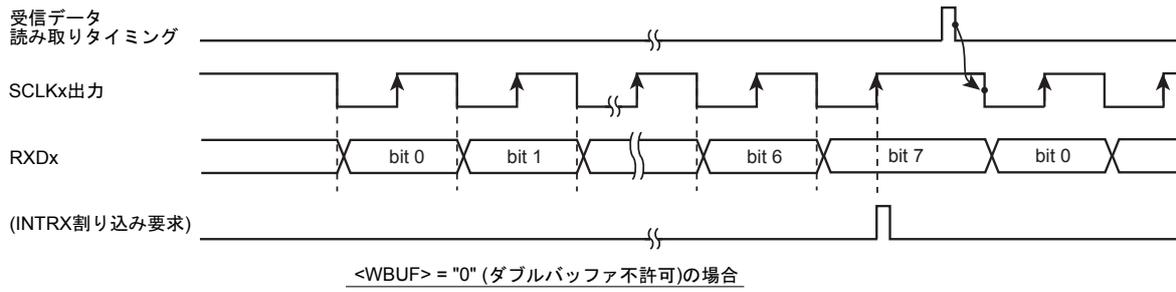
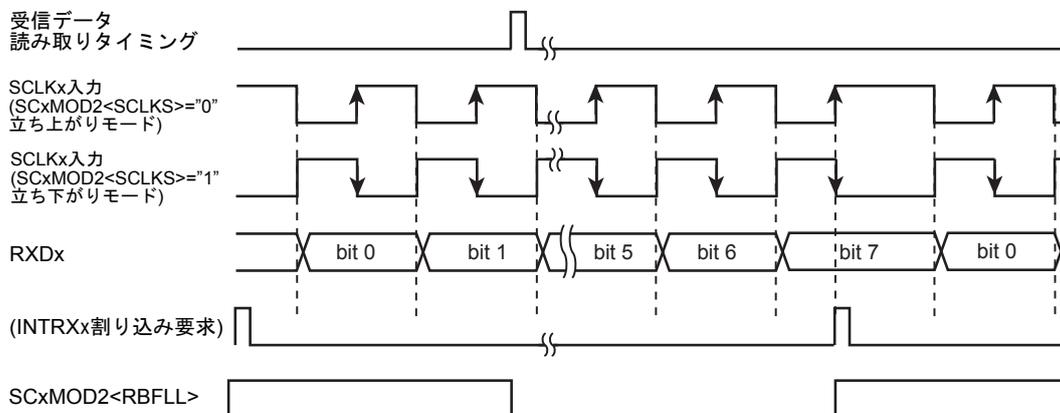


図 12-17 I/O インタフェースモード受信動作(クロック出力モード)

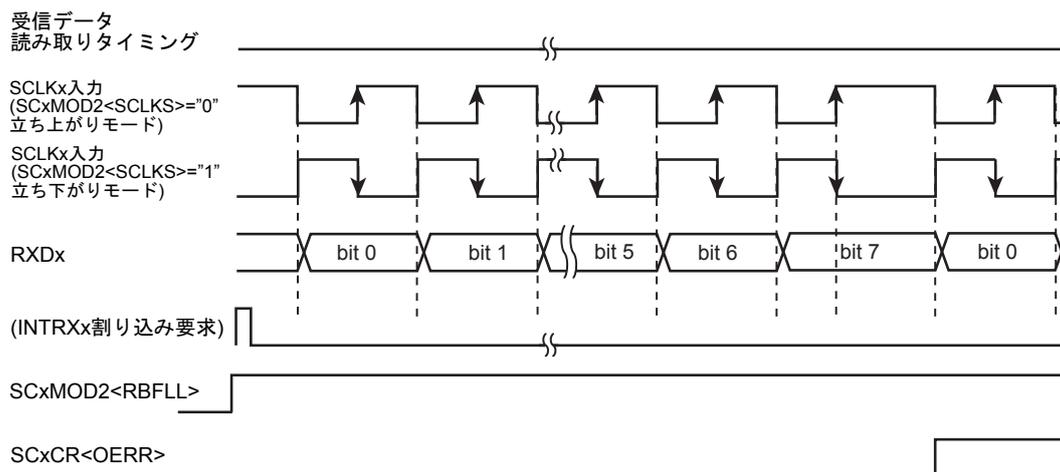
(2) クロック入力モード

クロック入力モードでは常に受信ダブルバッファが許可されており、受信したデータはシフトレジスタから受信バッファに移され、連続して次のデータを受信することができます。

受信データが受信バッファへ移されるごとに受信割り込み INTRX<sub>x</sub> が発生します。



バッファのデータを読み出した場合



バッファのデータが読み出されない場合

図 12-18 I/O インタフェースモード受信動作(クロック入力モード)

### 12.14.1.3 送受信(全二重)

#### (1) クロック出力モード

- ・ ダブルバッファ不許可(SCxMOD2<WBUF> = "0")の場合

送信バッファにデータを書き込むとクロック出力を開始します。

クロック出力によりデータが受信シフトレジスタにシフトインされ、受信割り込み(INTRX<sub>x</sub>)が発生します。それと並行して送信バッファに書き込まれたデータが、TXD<sub>x</sub> 端子より出力され、すべてのデータが送信されると送信割り込み(INTTX<sub>x</sub>)が発生します。この状態でクロック出力は停止します。

受信バッファの読み出しと送信バッファへのデータ書き込みを行うと次の送受信が開始されます。受信バッファの読み出しと送信バッファの書き込み順番は任意です。両方の条件が成立した場合に再開されます。

- ・ ダブルバッファ許可(SCxMOD2<WBUF> = "1")の場合

送信バッファにデータを書き込むとクロック出力を開始します。

データが受信シフトレジスタにシフトインされるとデータは受信バッファに移され、割り込み(INTRX<sub>x</sub>)が発生します。受信と並行してデータが TXD<sub>x</sub> 端子より出力され、データがすべて出力されると割り込み(INTTX<sub>x</sub>)が発生して次のデータが送信バッファから送信シフトレジスタに移されます。

この時、送信バッファに移すデータが存在しない(SCxMOD2 <TBEMP> = "1")または受信バッファにデータが存在している(SCxMOD2 <RBFLL> = "1") 場合はクロック出力が停止します。その後は受信データの読み出しと送信データの書き込みの両方の条件が成立すると、クロック出力が再開されて次の送受信が始まります。

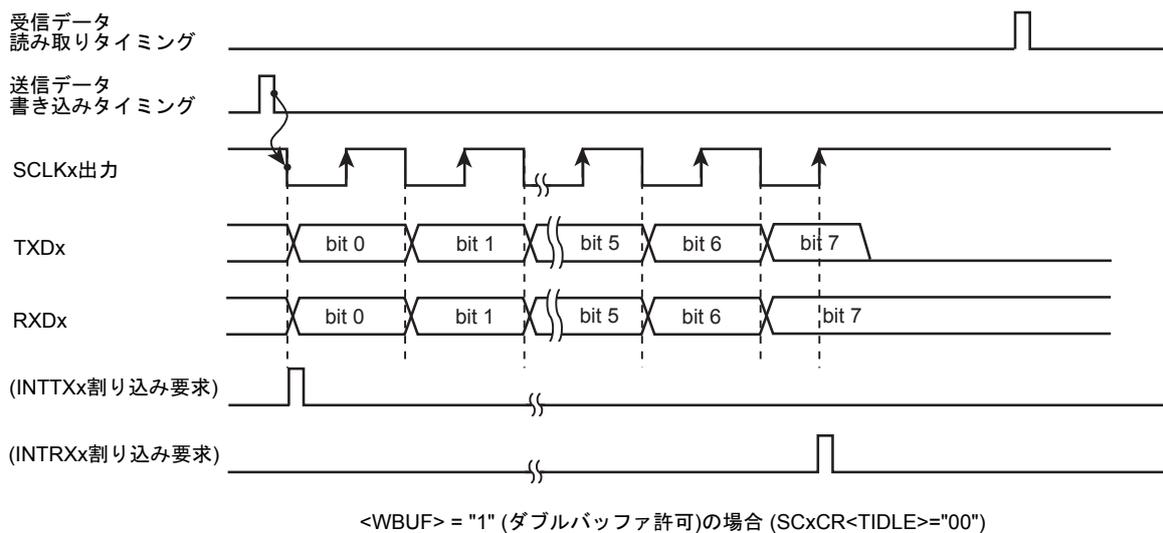
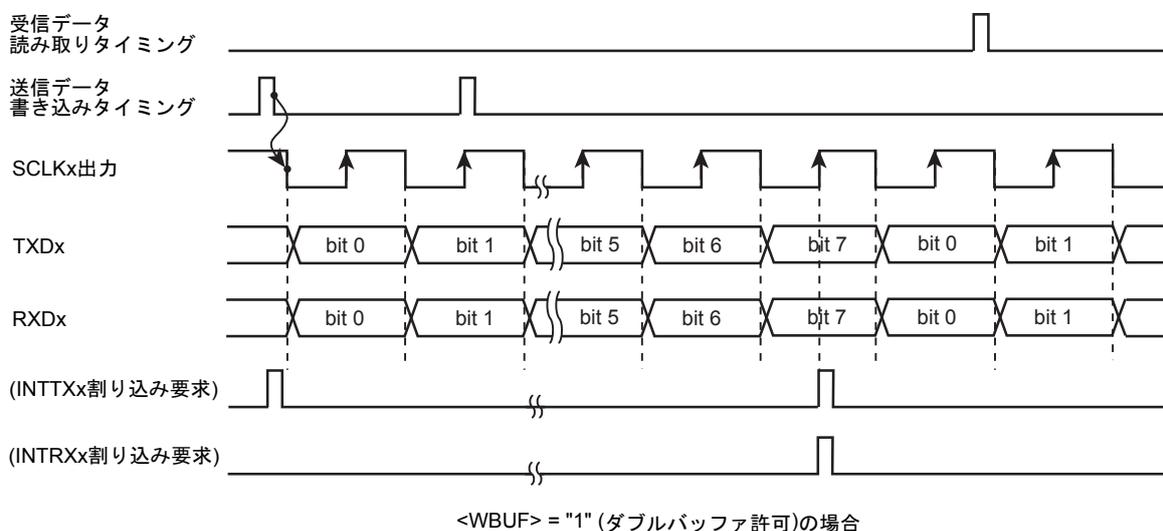
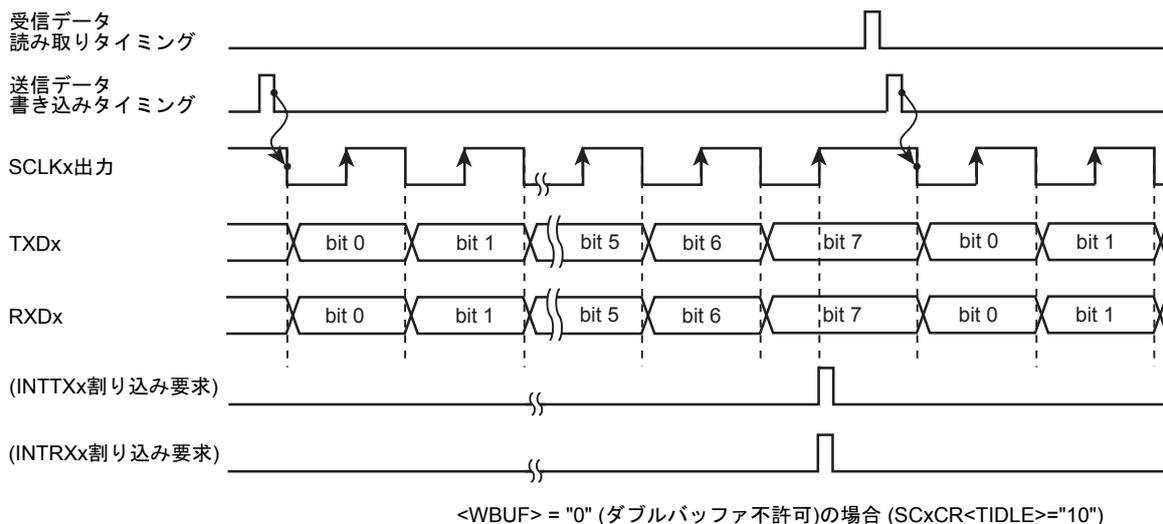


図 12-19 I/O インタフェースモード送受信動作(クロック出力モード)

## (2) クロック入力モード

- 送信ダブルバッファ不許可(SCxMOD2<WBUF> = "0")の場合

受信は SCxMOD2<WBUF>の設定に関わらずダブルバッファが有効になります。

送信バッファにデータが書き込まれている状態でクロックが入力されると、8 ビットのデータが TXDx 端子より出力されると同時に 8 ビットのデータが受信バッファへシフトインされます。送信が終了すると割り込み(INTTXx)が発生し、受信が終了すると受信シフトレジスタから受信バッファへデータが移されると同時に割り込み(INTRXx)が発生します。

次のフレームのクロックが入力される前にデータを送信バッファへ書き込むようにしてください。(図 12-20 に示す A 点までに書き込んでください)。受信データは、次のデータの受信が終了する前に読み出してください。

- ダブルバッファ許可(SCxMOD2<WBUF> = "1")の場合

送信シフトレジスタのデータの送信が終了すると、送信バッファのデータが送信シフトレジスタへ移されると同時に割り込み(INTTXx)が発生します。平行して受信が行われ、シフトレジスタにデータが揃うと受信バッファへ移され、割り込み(INTRXx)が発生します。

次のデータのためのクロックが入力される前に送信データを送信バッファへ書き込むようにしてください。(図 12-20 に示す A 点までに書き込んでください)。受信データは、次のデータの受信が終了する前に読み出してください。

続けて次のデータのためのクロックが入力されると、送信バッファから送信シフトレジスタにデータを移して送信が始まり、並行して受信シフトレジスタでのデータ受信が行なわれます。

データの最終ビットの受信までに受信バッファのデータが読み出されていない場合はオーバランエラーが発生します。

また、次のデータのためのクロック入力までに送信バッファへ転送データが書き込まれていない場合は、アンダランエラーがセットされ、SCxCR<TXDEMP>で設定したレベルが TXDx 端子に出力されます。

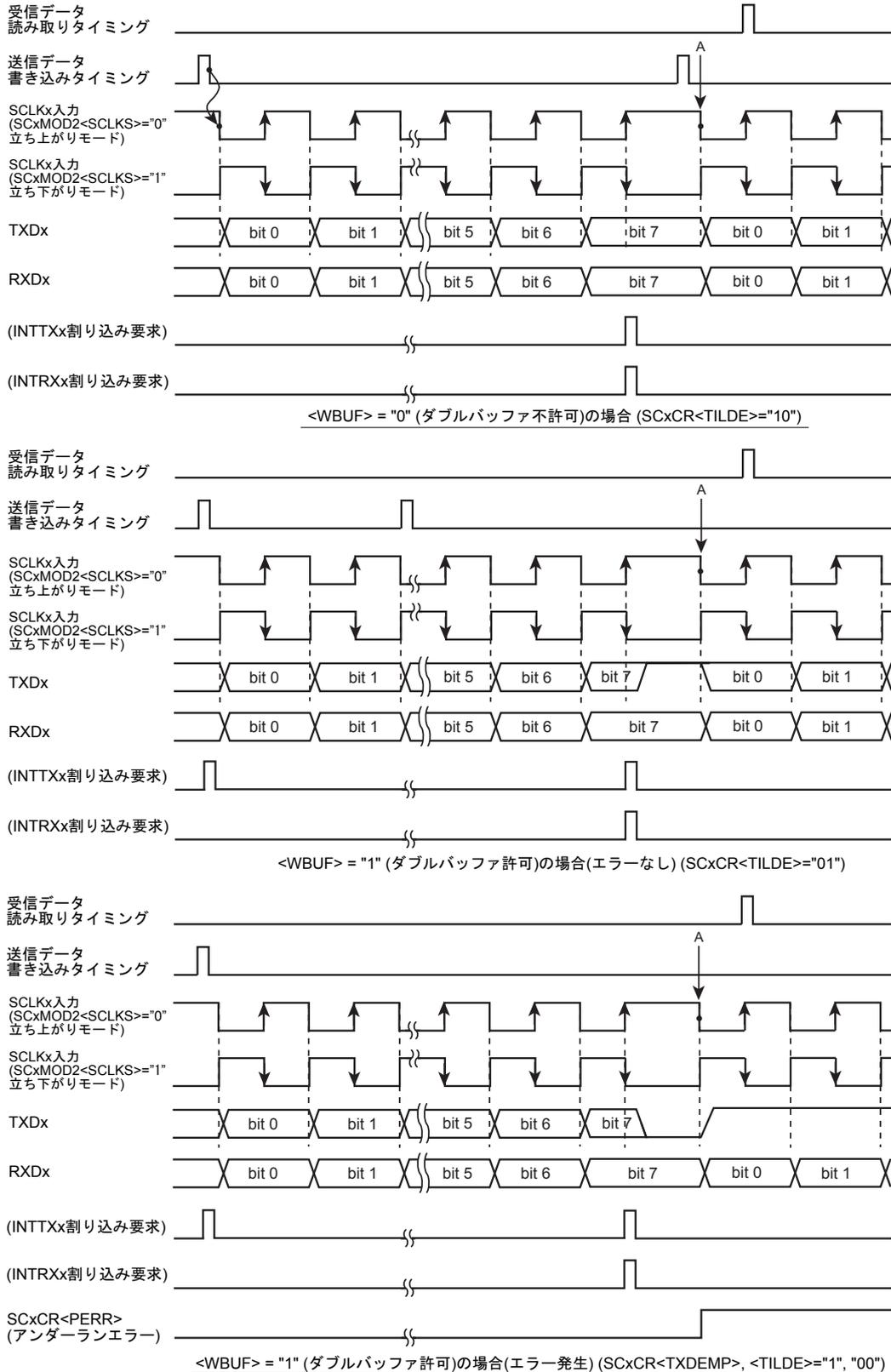


図 12-20 I/O インタフェースモード送受信動作(クロック入力モード)

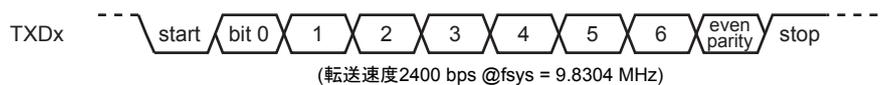
### 12.14.2 モード 1 (7 ビット UART モード)

SCxMOD0 <SM[1: 0]>を"01"にセットすると 7 ビット UART モードになります。

このモードではパリティビットの付加が可能で、シリアルモードコントロールレジスタ (SCxCR <PE>) でパリティビット付加のイネーブル/ディセーブルを制御しています。

<PE> = "1" (イネーブル)のときは、SCxCR<EVEN>で偶数パリティ/奇数パリティを選択できます。STOP ビットの長さは SCxMOD2<SBLEN>で指定することができます。

下記フォーマットのデータを送信する場合の各コントロールレジスタの設定を示します。



クロック条件	[	システムクロック:	高速 (fc)
		高速クロックギア:	1 倍 (fc)
		プリスケラクロック:	fperiph/2 (fperiph = fsys)

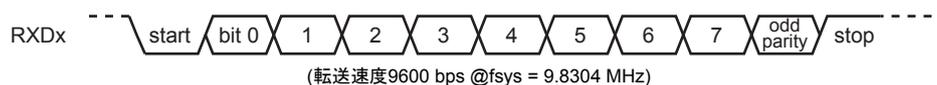
		7	6	5	4	3	2	1	0	
SCxMOD0	←	x	0	-	0	0	1	0	1	7 ビット UART モードに設定
SCxCR	←	x	1	1	x	x	x	0	0	偶数パリティイネーブルに設定
SCxBRCR	←	0	0	1	0	0	1	0	0	2400bps に設定
SCxBUF	←	*	*	*	*	*	*	*	*	送信データを設定

x : don't care - : no change

### 12.14.3 モード 2 (8 ビット UART モード)

SCxMOD0 <SM[1:0]>を"10"にセットすると 8 ビット UART モードになります。このモードでは、パリティビットの付加が可能で SCxCR <PE> でパリティビット付加のイネーブル/ディセーブルを制御できます。<PE> = "1" (イネーブル)のとき、SCxCR <EVEN> で偶数パリティ/奇数パリティの選択も可能です。

下記のフォーマットのデータを受信する場合の各コントロールレジスタの設定を示します。



クロック条件	[	システムクロック:	高速 (fc)
		高速クロックギア:	1 倍 (fc)
		プリスケラクロック:	fperiph/2 (fperiph = fsys)

	7	6	5	4	3	2	1	0	
SCxMOD0	← x	0	0	0	1	0	0	1	8ビットUARTモードに設定
SCxCR	← x	0	1	x	x	x	0	0	奇数パリティイネーブルに設定
SCxBRCR	← 0	0	0	1	0	1	0	0	9600bpsに設定
SCxMOD0	← -	-	1	-	-	-	-	-	受信許可

x : don't care - : no change

### 12.14.4 モード3 (9ビットUARTモード)

SCxMOD0 <SM[1:0]> を "11" にセットすると9ビットUARTモードになります。このモードでは、パリティビットの付加を禁止(SCxCR<PE> = "0")してください。

最上位ビット(9ビット目)は、送信の場合 SCxMOD0 <TB8> に書き込みます。受信の場合 SCxCR<RB8> に格納されます。また、バッファに対する書き込み、読み出しは必ず最上位ビットの方を先に行い、SCxBUFの方を後にします。STOPビットの長さは SCxMOD2<SBLEN>で指定することができます。

#### 12.14.4.1 ウェイクアップ機能

9ビットUARTモードでは、ウェイクアップ機能制御ビット SCxMOD0 <WU>を"1"にすることによって、スレーブコントローラのウェイクアップ動作が可能で、SCxCR<RB8> = "1"のときのみの割り込み (INTRXx) が発生します。

注) スレーブコントローラの TXDx 端子は、必ず PxOD を設定してオープンドレイン出力モードにしてください。

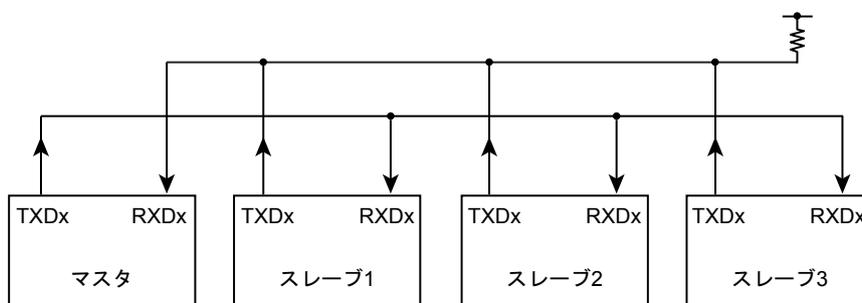
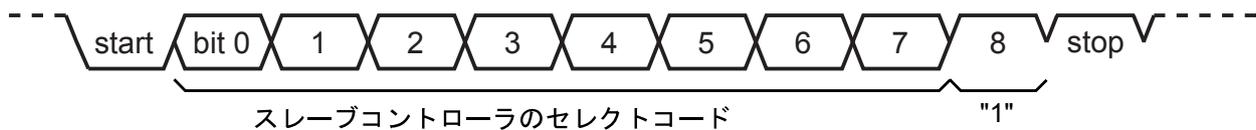


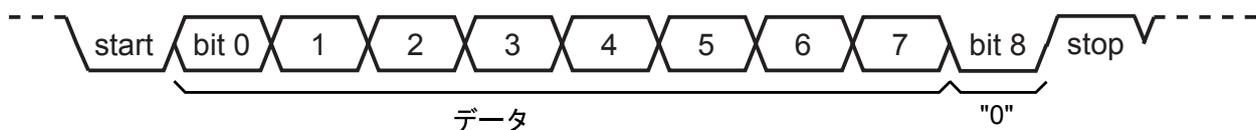
図 12-21 ウェイクアップ機能によるシリアルリンク

## 12.14.4.2 プロトコル

1. マスタおよびスレーブコントローラは 9 ビット UART モードにします。
2. 各スレーブコントローラは SCxMOD0<WU>を"1"にセットし、受信可能状態とします。
3. マスタコントローラは、スレーブコントローラのセレクトコード(8 ビット)を含む 1 フレームを送信します。このとき最上位ビット(ビット 8) <TB8>は"1"にします。



4. 各スレーブコントローラは、上記フレームを受信し、自分のセレクトコードと一致すれば、<WU>を"0"にクリアします。
5. マスタコントローラは指定したスレーブコントローラ(<WU>="0"にクリアされたコントローラ)に対しデータを送信します。このとき、最上位ビット(ビット 8) <TB8>は"0"にします。



6. <WU>="1"のままのスレーブコントローラは、受信データの最上位ビット(ビット 8)の <RB8>が"0"であるため、割り込み(INTRXx)が発生せず、受信データを無視します。また、<WU>="0"になったスレーブコントローラがマスタコントローラにデータを送信し、この送信データで受信終了をマスタコントローラに知らせることもできます。

## 第 13 章 シリアルバスインタフェース(I2C/SIO)

シリアルバスインタフェースを 1 チャンネル内蔵しています。シリアルバスインタフェースは、下記の 2 つの動作モードを持っています。

- ・ I2C バスモード(マルチマスタ)
- ・ クロック同期式 8 ビット SIO モード

I2C バスモードでは、SCL および SDA を通して外部デバイスと接続されます。

SIO モードでは、SCK, SI, SO を通して外部デバイスと接続されます。

チャンネルごとの使用端子とポートの設定は、下記のとおりです。

表 13-1 シリアルバスインタフェース使用時のポート設定

チャンネル	動作モード	端子	ポート ファンクション レジスタ設定	ポート 出力コントロール レジスタ設定	ポート 入力コントロール レジスタ設定	ポート オーブンドレイン コントロール レジスタ設定
SBI0	I2C バスモード	SCL0 :PC1 SDA0 :PC0	PCFR3[1:0] = 11	PCCR[1:0] = 11	PCIE[1:0] = 11	PCOD[1:0] = 11
	SIO モード	SCK0 :PC2 SIO :PC1 SO0 :PC0	PCFR3[2:0] = 111	PCCR[2:0] = 101(SCK0 出力) PCCR[2:0] = 001(SCK0 入力)	PCIE[2:0] = 010(SCK0 出力) PCIE[2:0] = 110(SCK0 入力)	PCOD[2:0] = xxx

### 13.1 構成

構成を図 13-1 に示します。

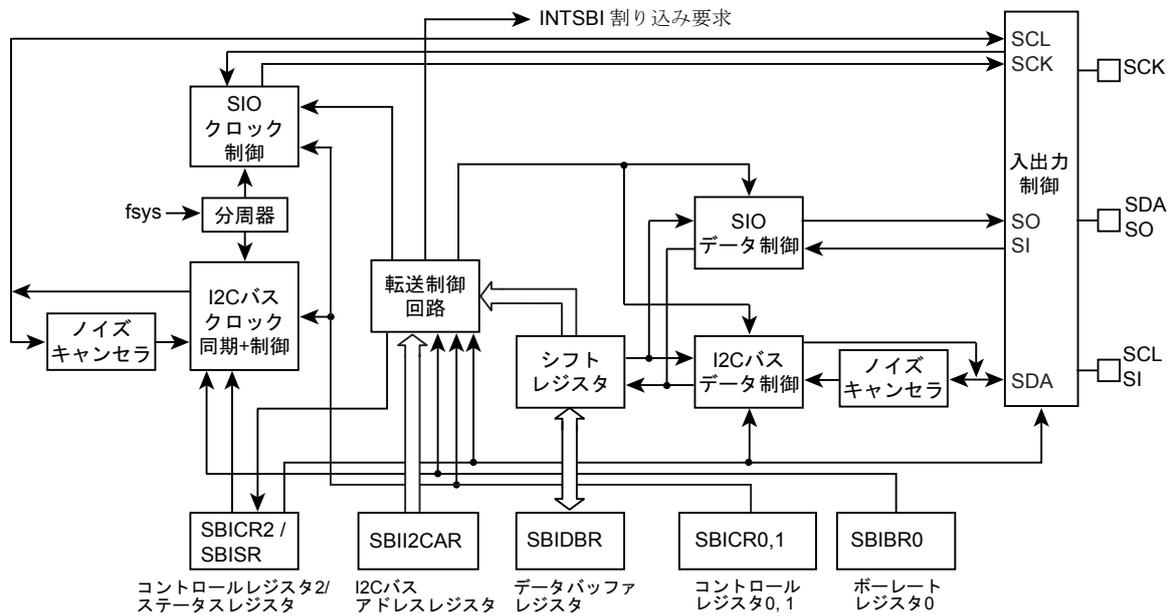


図 13-1 シリアルバスインタフェースブロック図

## 13.2 レジスタ説明

シリアルバスインタフェースの制御および動作状態のモニタを行うレジスタとアドレスは以下のとおりです。

下記レジスタは使用するモードによって、機能が異なります。詳細は「13.4 I2C バスモード時のコントロールレジスタ」および「13.7 SIO モード時のコントロールレジスタ」を参照してください。

### 13.2.1 チャンネル別レジスタ一覧

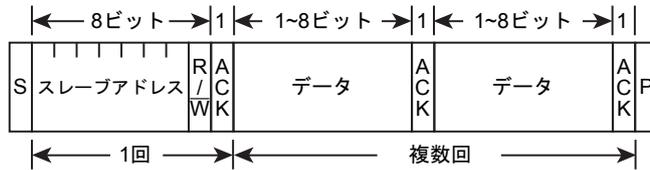
Base Address = 0x4002\_0000

レジスタ名		Address(Base+)
コントロールレジスタ 0	SBICR0	0x0000
コントロールレジスタ 1	SBICR1	0x0004
データバッファレジスタ	SBIDBR	0x0008
I2C バスアドレスレジスタ	SBII2CAR	0x000C
コントロールレジスタ 2	SBICR2(ライト時)	0x0010
ステータスレジスタ	SBISR(リード時)	
ポーレートレジスタ 0	SBIBR0	0x0014

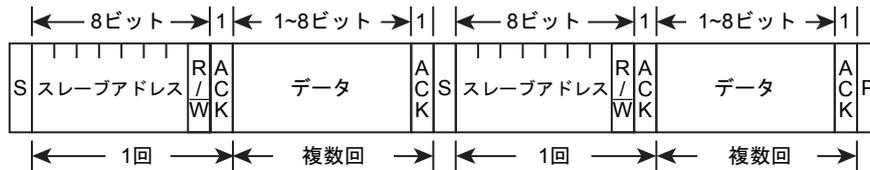
### 13.3 I2C バスモード時のデータフォーマット

I2C バスモード時のデータフォーマットを図 13-2 に示します。

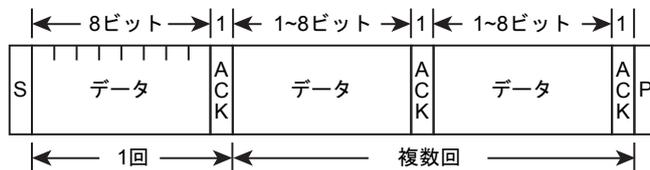
(a) アドレッシングフォーマット



(b) アドレッシングフォーマット (再スタートあり)



(c) フリーデータフォーマット (マスターデバイスからスレーブデバイスへデータを転送する転送フォーマット)



注) S: スタートコンディション  
 RW: 方向ビット  
 ACK: アクノリッジビット  
 P: ストップコンディション

図 13-2 I2C バスモード時のデータフォーマット

## 13.4 I2C バスモード時のコントロールレジスタ

シリアルバスインタフェースをI2Cバスモードで使用するときの制御、および動作状態のモニタは以下のレジスタで行います。

### 13.4.1 SBICR0(コントロールレジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SBIEN	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	SBIEN	R/W	シリアルバスインタフェース動作 0: 禁止 1: 許可  シリアルバスインタフェースを使用する場合、まずこのビットを許可にしてください。 許可の設定をして初めて、SBIに関連するレジスタのリード、ライトが可能になります。 禁止の場合、SBICR0を除くすべてのクロックが停止しますので消費電力の低減が可能です。 いったん許可した後に禁止にした場合、各レジスタの設定は保持されます。
6-0	-	R	リードすると"0"が読めます。

注) シリアルバスインタフェースを使用する場合、まずこのビットを許可にしてください。

### 13.4.2 SBICR1(コントロールレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	BC			ACK	-	SCK2	SCK1	SCK0 / SWRMON
リセット後	0	0	0	0	1	0	0	1(注 3)

Bit	Bit Symbol	Type	機能																																																	
31-8	-	R	リードすると"0"が読めます。																																																	
7-5	BC[2:0]	R/W	転送ビット数の選択(注 1) <table border="1" style="margin-left: 20px;"> <thead> <tr> <th rowspan="2">&lt;BC&gt;</th> <th colspan="2">&lt;ACK&gt; = 0 のとき</th> <th colspan="2">&lt;ACK&gt; = 1 のとき</th> </tr> <tr> <th>クロック数</th> <th>データ長</th> <th>クロック数</th> <th>データ長</th> </tr> </thead> <tbody> <tr><td>000</td><td>8</td><td>8</td><td>9</td><td>8</td></tr> <tr><td>001</td><td>1</td><td>1</td><td>2</td><td>1</td></tr> <tr><td>010</td><td>2</td><td>2</td><td>3</td><td>2</td></tr> <tr><td>011</td><td>3</td><td>3</td><td>4</td><td>3</td></tr> <tr><td>100</td><td>4</td><td>4</td><td>5</td><td>4</td></tr> <tr><td>101</td><td>5</td><td>5</td><td>6</td><td>5</td></tr> <tr><td>110</td><td>6</td><td>6</td><td>7</td><td>6</td></tr> <tr><td>111</td><td>7</td><td>7</td><td>8</td><td>7</td></tr> </tbody> </table>	<BC>	<ACK> = 0 のとき		<ACK> = 1 のとき		クロック数	データ長	クロック数	データ長	000	8	8	9	8	001	1	1	2	1	010	2	2	3	2	011	3	3	4	3	100	4	4	5	4	101	5	5	6	5	110	6	6	7	6	111	7	7	8	7
<BC>	<ACK> = 0 のとき		<ACK> = 1 のとき																																																	
	クロック数	データ長	クロック数	データ長																																																
000	8	8	9	8																																																
001	1	1	2	1																																																
010	2	2	3	2																																																
011	3	3	4	3																																																
100	4	4	5	4																																																
101	5	5	6	5																																																
110	6	6	7	6																																																
111	7	7	8	7																																																
4	ACK	R/W	マスタモード 0: アクノリッジメントのためのクロックを発生しない 1: アクノリッジメントのためのクロックを発生する ----- スレーブモード 0: アクノリッジメントのためのクロックをカウントしない 1: アクノリッジメントのためのクロックをカウントする																																																	
3	-	R	リードすると"1"が読めます。																																																	
2-1	SCK[2:1]	R/W	内部 SCL 出カクロックの周波数選択<SCK[2:0]>@ライト (注 2)																																																	
0	SCK[0]	W	<table border="1" style="margin-left: 20px;"> <tbody> <tr><td>000</td><td>n = 5</td><td>385 kHz</td></tr> <tr><td>001</td><td>n = 6</td><td>294 kHz</td></tr> <tr><td>010</td><td>n = 7</td><td>200 kHz</td></tr> <tr><td>011</td><td>n = 8</td><td>122 kHz</td></tr> <tr><td>100</td><td>n = 9</td><td>68 kHz</td></tr> <tr><td>101</td><td>n = 10</td><td>36 kHz</td></tr> <tr><td>110</td><td>n = 11</td><td>19 kHz</td></tr> <tr><td>111</td><td></td><td>reserved</td></tr> </tbody> </table> <div style="margin-left: 100px;"> <math display="block">\left. \begin{array}{l} \text{システムクロック: } f_{\text{sys}} \\ \text{クロックギア: } fc/1 \\ \text{周波数} = \frac{f_{\text{sys}}}{2^n + 72} \text{ [Hz]} \end{array} \right\} \begin{array}{l} (= 40\text{MHz}) \end{array}</math> </div>	000	n = 5	385 kHz	001	n = 6	294 kHz	010	n = 7	200 kHz	011	n = 8	122 kHz	100	n = 9	68 kHz	101	n = 10	36 kHz	110	n = 11	19 kHz	111		reserved																									
000	n = 5	385 kHz																																																		
001	n = 6	294 kHz																																																		
010	n = 7	200 kHz																																																		
011	n = 8	122 kHz																																																		
100	n = 9	68 kHz																																																		
101	n = 10	36 kHz																																																		
110	n = 11	19 kHz																																																		
111		reserved																																																		
	SWRMON	R	ソフトウェアリセット状態モニタ<SWRMON>@リード 0: ソフトウェアリセット中 1: ソフトウェアリセット中ではない																																																	

- 注 1) SIO モードに切り替える前に<BC[2:0]>を"000"にクリアしてください。
- 注 2) SCL ラインクロックの周波数については、「13.5.1 シリアルクロック」を参照してください。
- 注 3) <SCK[0]/SWRMON>は、リセット後"1"が読み出されますが、SBICR2 レジスタにて SIO モードに設定した場合、<SCK[0]>の初期値は"0"になります。
- 注 4) 読み出しの初期値とは関係なく、周波数選択の初期値は<SCK[2:0]>=000 です。
- 注 5) マスタモードで<BC[2:0]>="001"で<ACK>="0"のとき、ストップコンディション発生後のSCL ラインの立ち下がりによって、SCL ラインが"L"に固定されることがあり、他のマスタデバイスがバスを使用できなくなります。複数のマスタデバイスがバスに接続されている場合、ストップコンディション発生前に、転送ビット数を"2"以上にしてください。

## 13.4.3 SBICR2(コントロールレジスタ 2)

このレジスタをリードすると、SBISR レジスタとして機能します。

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	MST	TRX	BB	PIN	SBIM		SWRST	
リセット後	0	0	0	1	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	MST	W	マスタモード/スレーブモードの選択 0: スレーブモード 1: マスタモード
6	TRX	W	送信/受信の選択 0: 受信 1: 送信
5	BB	W	スタート/ストップ状態の発生 0: ストップ状態発生 1: スタート状態発生
4	PIN	W	INTSBI 割り込み要求解除 0: - 1: 割り込み要求の解除
3-2	SBIM[1:0]	W	シリアルバスインタフェースの動作モード選択(注) 00: ポートモード(シリアルバスインタフェースの出力禁止) 01: SIO モード 10: I2C バスモード 11: Reserved
1-0	SWRST[1:0]	W	ソフトウェアリセットの発生 最初に"10"、次に"01"をライトすると、ソフトウェアリセットが発生します。 詳細は、「13.5.16 ソフトウェアリセット」を参照してください。

注) 通信中はモードを切り替えないでください。ポートモードへの切り替えはバスフリーを確認してから行ってください。また、ポートモードから I2C バスモードへの切り替えは、ポートの状態が"High"になっていることを確認してから行ってください。

## 13.4.4 SBISR(ステータスレジスタ)

このレジスタをライトすると、SBICR2として機能します。

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	MST	TRX	BB	PIN	AL	AAS	ADO	LRB
リセット後	0	0	0	1	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	MST	R	マスタ/スレーブ選択状態モニタ 0: スレーブモード 1: マスタモード
6	TRX	R	トランスミッタ/レシーバ選択状態モニタ 0: レシーバ 1: トランスミッタ
5	BB	R	I2C バス状態モニタ 0: バスフリー 1: バスビジー
4	PIN	R	INTSBI 割り込み要求状態モニタ 0: 割り込みサービス要求中 1: 割り込みサービス要求解除中
3	AL	R	アービトラクションロスト検出モニタ 0: - 1: 検出
2	AAS	R	スレーブアドレス一致検出モニタ 0: - 1: 検出 (ゼネラルコールアドレス検出時もセットされます。)
1	ADO	R	ゼネラルコール検出モニタ 0: - 1: 検出
0	LRB	R	最終受信ビットモニタ 0: 最終受信ビット "0" 1: 最終受信ビット "1"

## 13.4.5 SBIBR0(ポーレートレジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	I2SBI	-	-	-	-	-	-
リセット後	1	0	1	1	1	1	1	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	-	R	リードすると"1"が読めます。
6	I2SBI	R/W	IDLE モード時の動作 0: 停止 1: 動作
5-1	-	R	リードすると"1"が読めます。
0	-	R/W	必ず"0"をライトしてください。

## 13.4.6 SBIDBR(データバッファレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	DB							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-0	DB[7:0]	R	受信データ
		W	送信データ

- 注 1) 送信データ書き込み時は、データを MSB(ビット 7)側につめてライトしてください。また、受信データは LSB 側に格納されます。
- 注 2) SBIDBR は書き込み用のバッファと読み出し用のバッファを個別に持っているため、書き込んだデータを読み出すことはできません。したがって、ビット操作などのリードモディファイライト命令は使用できません。

## 13.4.7 SBII2CAR(I2C バスアドレスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SA							ALS
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-1	SA[6:0]	R/W	スレーブデバイスとして動作するときのスレーブアドレスの設定
0	ALS	R/W	アドレス認識モードの指定 0:スレーブアドレスを認識する 1:スレーブアドレスを認識しない(フリーデータフォーマット)

注 1) <ALS>はフリーデータフォーマット使用時以外は必ず"0"に設定してください。"1"に設定した場合にはフリーデータフォーマットとして動作し、マスタ時は送信に、スレーブ時は受信に転送方向が固定されます。

注 2) スレーブモード時 SBII2CAR を"0x00"に設定しないでください。("0x00"に設定した場合、スレーブモードで I2C バス規格の START バイト("0x01")を受信した時にスレーブアドレスが一致したと判断します。)

## 13.5 I2C バスモード時の制御

### 13.5.1 シリアルクロック

#### 13.5.1.1 クロックソース

SBICR1 <SCK[2:0]>で、マスタモード時に SCL 端子から出力されるシリアルクロックの最大転送周波数を選択します。

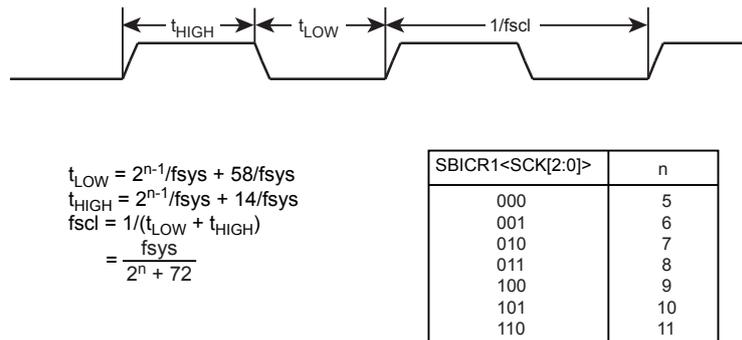


図 13-3 クロックソース

注) 通信規格上、標準モード/高速モードの最高速は 100 kHz/400 kHz です。内部 SCL クロックの周波数の設定は、使用される fsys と上記計算式にて設定されますのでご注意ください。

#### 13.5.1.2 クロック同期化

I2C バスでは、端子の構造上バスをワイヤードアンドで駆動させるため、クロックラインを最初に"Low"レベルに引いたマスタが、"High"レベルを出力しているマスタのクロックを無効にします。このため、"High"レベルを出力しているマスタは、これを検出し対応する必要があります。

シリアルバスインタフェース回路はクロック同期化機能をもっており、バス上に複数のマスタが存在する場合でも、正常に転送が行われます。

クロック同期の手順を、バス上に 2 つのマスタが同時に存在した場合を例に挙げて以下に示します。

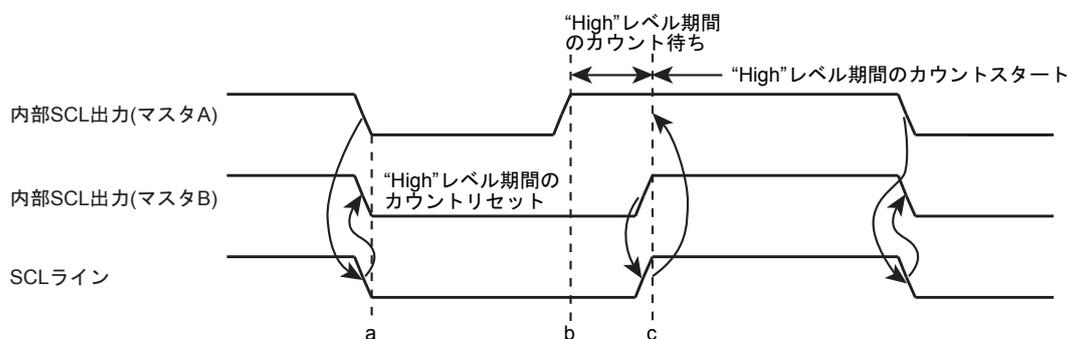


図 13-4 クロック同期化の例

a 点でマスタ A が内部 SCL 出力を"Low"レベルに引くことで、バスの SCL ラインは"Low"レベルになります。マスタ B はこれを検出し、マスタ B の"High"レベル期間のカウントをリセットし、内部 SCL 出力を"Low"レベルに引きます。

b 点でマスタ A は"Low"レベル期間のカウントを終わり、内部 SCL 出力を"High"レベルにします。しかし、マスタ B がバスの SCL ラインを"Low"レベルに保持し続けているので、マスタ A は"High"レベル期間のカウントを止めます。マスタ A は、c 点でマスタ B が内部 SCL 出力を"High"レベルにし、バスの SCL ラインが"High"レベルになったことを検出後、"High"レベル期間のカウントを始めます。その後、"High"レベル期間のカウントを終了したマスタ A が SCL 端子を"Low"に引くことでバスの SCL ラインは"Low"レベルになります。

以上のようにバス上のクロックは、バスに接続されているマスタの中で最も短い"High"レベル期間をもつマスタと最も長い"Low"レベル期間をもつマスタによって決定されます。

### 13.5.2 アクノリッジメントモードの指定

SBICR1<ACK>を"1"に設定するとアクノリッジメントモードとして動作します。マスタモードのときには、アクノリッジ信号のためのクロックを 1 クロック付加します。スレーブモードのときはアクノリッジ信号のためのクロックをカウントします。トランスミッタモードのときには、アクノリッジのためのクロック期間中 SDA 端子を開放し、レシーバからのアクノリッジ信号を受信できる状態にします。レシーバモードのときはクロック期間中 SDA 端子を"Low"レベルに引き、更に、スレーブモードのときにゼネラルコールアドレスを受信した場合にもアクノリッジのためのクロック期間中、SDA 端子を"Low"レベルに引き、アクノリッジ信号を発生します。ゼネラルコールのセカンドバイトは内容によりアクノリッジ信号の発生有無を制御する必要がありますので、ソフトウェアによりアクノリッジ信号の制御を行なってください。

<ACK>を"0"に設定すると、非アクノリッジメントモードとして動作し、マスタモードのときにアクノリッジ信号のためのクロックを発生しません。スレーブモードのときはアクノリッジ信号のためのクロックをカウントしません。

### 13.5.3 転送ビット数の選択

SBICR1<BC[2:0]>により、次に送受信するデータのビット数を選択します。

<BC[2:0]>はスタートコンディションにより"000"にクリアされるため、スレーブアドレス、方向ビットの転送は必ず 8 ビットで行われます。それ以外のときは<BC[2:0]>は一度設定された値を保持します。

### 13.5.4 スレーブアドレスとアドレス認識モードの設定

スレーブアドレスを認識するアドレッシングフォーマットで動作させるときは、SBII2CAR<ALS>に"0"を設定し、SBII2CAR <SA[6:0]>にスレーブアドレスを設定します。

スレーブアドレスを認識しないフリーデータフォーマットで使用するときには<ALS>を"1"に設定します。なお、フリーデータフォーマットで使用した場合、スレーブアドレスと方向ビットの認識は行われず、スタートコンディション直後からデータとして扱われます。

### 13.5.5 動作モード

SBICR2<SBIM[1:0]>で動作モードを設定します。I2C バスモードで使用するときには、シリアルバスインタフェース端子の状態が"High"になっていることを確認後、<SBIM[1:0]>を"10"に設定してください。また、ポートモードへの切り替えは、バスフリーであることを確認してから行ってください。

### 13.5.6 トランスミッタ/レシーバの選択

SBICR2<TRX>を"1"に設定すると、トランスミッタとして動作し、<TRX>を"0"に設定すると、レシーバとして動作します。

スレーブモード時は、

- ・ アドレスリングフォーマットのデータ転送を行うとき
- ・ 受信したスレーブアドレスが SBII2CAR にセットした値と同じとき
- ・ ゼネラルコール(スタートコンディション後の 8 ビットのデータがすべて"0")を受信したとき

ハードウェアによりマスタデバイスから送られてくる方向ビット( $R/\bar{W}$ )が"1"の場合、<TRX>は"1"にセットされ、"0"の場合、<TRX>は"0"にクリアされます。

マスタモード時は、スレーブデバイスからアクノリッジが返ってくると、ハードウェアにより、送信した方向ビットが"1"の場合、<TRX>は"0"に、方向ビットが"0"の場合、<TRX>は"1"に変化します。アクノリッジが返ってこないときは、以前の状態を保ちます。

<TRX>はバス上のストップコンディションの検出、またはアービトレーションロストの検出で、ハードウェアにより"0"にクリアされます。

フリーデータフォーマットで使用する場合、<TRX>はハードウェアによって変化することはありません。

### 13.5.7 マスタ/スレーブの選択

SBICR2<MST>を"1"に設定すると、マスタデバイスとして動作します。

<MST>を"0"に設定すると、スレーブデバイスとして動作します。<MST>はバス上のストップコンディションの検出、またはアービトレーションロストの検出で、ハードウェアにより"0"にクリアされます。

### 13.5.8 スタート/ストップコンディションの発生

SBISR<BB>が"0"のときに、SBICR2<MST, TRX, BB, PIN>に"1"を書き込むと、バス上にスタートコンディションと、あらかじめデータバッファレジスタに書き込んだスレーブアドレスと方向ビットが出力されます。あらかじめ、<ACK>に"1"を設定しておいてください。

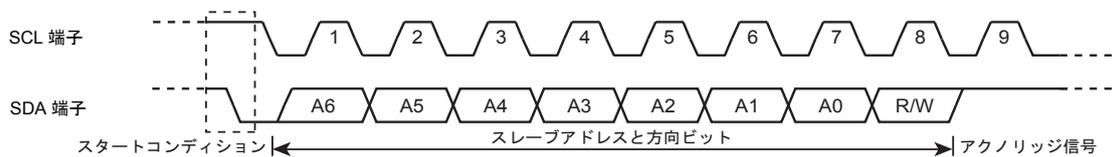


図 13-5 スタートコンディションの発生とスレーブアドレスの発生

<BB>="1"のときに、<MST, TRX, PIN>に"1"、<BB>に"0"を書き込むと、バス上にストップコンディション出力のシーケンスが開始されます。バス上にストップコンディションが発生するまで、<MST, TRX, BB, PIN>の内容を書き替えないでください。

ストップコンディション発生時にバスの SCL ラインがほかのデバイスにより"Low"に引かれていた場合、SCL ラインが開放された後にストップコンディションが発生します。

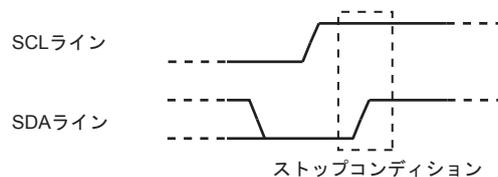


図 13-6 ストップコンディションの発生

また、SBISR<BB>を読み出すことで、バスの状態を知ることができます。<BB>は、バス上のスタートコンディションを検出すると"1"にセットされ(バスビジー状態)、ストップコンディションを検出すると"0"にクリアされます(バスフリー状態)。

### 13.5.9 割り込みサービス要求と解除

マスタモードの時、<BC>と<ACK>によって設定されたクロック数の転送が終了すると、シリアルバスインタフェース割り込み要求(INTSBI)が発生します。

スレーブモードの場合は、以下のときに INTSBI が発生します。

- ・ 受信したスレーブアドレスが SBII2CAR<SA[6:0]>に設定されたスレーブアドレスとアクノリッジ信号出力後
- ・ ゼネラルコールを受信した時のアクノリッジ信号出力後
- ・ スレーブアドレス一致、またはゼネラルコール受信後におけるデータ転送終了時

アドレス認識モード(<ALS> = "0")では、受信したスレーブアドレスが SBII2CAR にセットした値と同じとき、またはゼネラルコール(スタートコンディション後の 8 ビットのデータがすべて"0")を受信したときに INTSBI が発生します。

割り込み要求(INTSBI)が発生すると、SBICR2<PIN>が"0"にクリアされます。<PIN>が"0"の間、SCL ラインを"Low"レベルに引きます。

<PIN>は SBIDBR にデータを書き込むか、SBIDBR からデータを読み出すと"1"にセットされます。<PIN>が"1"にセットされてから、SCL ラインが開放されるまで、 $t_{Low}$  の時間がかかります。プログラムで<PIN>に"1"を書き込むと"1"にセットされますが、"0"を書き込んでも"0"にクリアされません。

注) マスタモードでスレーブアドレスと方向ビットの転送中にアービトレーションロストが発生した場合、受信したスレーブアドレスと SBII2CAR<SA>の一致にかかわらず、<PIN>は"0"にクリアされ、INTSBI が発生します。

### 13.5.10 アービトレーションロスト検出モニタ

I2C バスではマルチマスタ(1 つのバス上で同時に 2 つ以上のマスタが存在する)が可能なため、転送されるデータの内容を保証するためにバスのアービトレーション手順が必要となります。

バスビジーの状態のときにスタートコンディションを出力しようとした場合、SCL, SDA ラインには出力されずにアービトレーションロストが発生します。I2C バスではバスのアービトレーションに SDA ラインのデータを使用します。

アービトレーションの手順を、バス上に 2 つのマスタが同時に存在した場合を例に挙げて以下に示します。

a 点のビットまでマスタ A, マスタ B とも同じデータを出力し、a 点でマスタ A が"Low"レベルを出力、マスタ B が"High"レベルを出力すると、バスの SDA ラインはワイヤードアンドで駆動されるためにマスタ A によって"Low"レベルに引かれます。b 点でバスの SCL ラインが立ち上がると、スレーブデバイスは SDA ラインデータ、すなわち、マスタ A のデータを取り込みます。このとき、マスタ B の出力したデータは無効になります。マスタ B のこの状態を"アービトレーションロスト"と呼びます。マスタ B は SDA 端子を開放し、他のマスタの出力するデータに影響を及ぼさないようにします。また、複数のマスタが 1 ワード目でまったく等しいデータを送信した場合、アービトレーションの手順は 2 ワード目以降も継続されます。

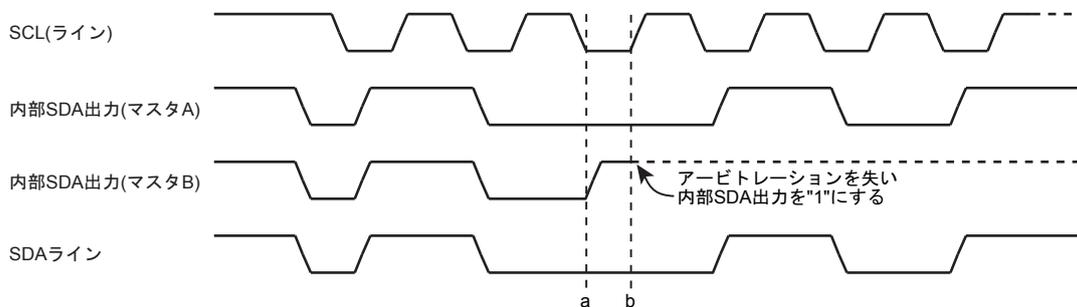


図 13-7 アービトレーションロスト

バスの SDA ラインのレベルと内部 SDA 出力のレベルの比較は、SCL ラインの立ち上がりで行います。この比較結果が不一致の場合アービトレーションロストになり、SBISR<AL>が"1"にセットされます。

アービトレーションロストが発生すると、SBISR<MST>と<TRX>は"0"にクリアされ、スレーブレシーバモードになり、SCL クロックの出力を停止します。スレーブアドレスと方向ビットの転送中にアービトレーションロストが発生したマスタデバイスは、通常のスレーブデバイスのように、他のマスタデバイスが通信するスレーブアドレスを受信します。受信したスレーブアドレスが SBII2CAR<SA>との一致にかかわらず、<PIN>が"0"にクリアされ、INTSBI が発生します。

<AL>は、SBIDBR にデータを書き込むか、SBIDBR からデータを読み込む、または SBICR2 にデータを書き込むと"0"にクリアされます。

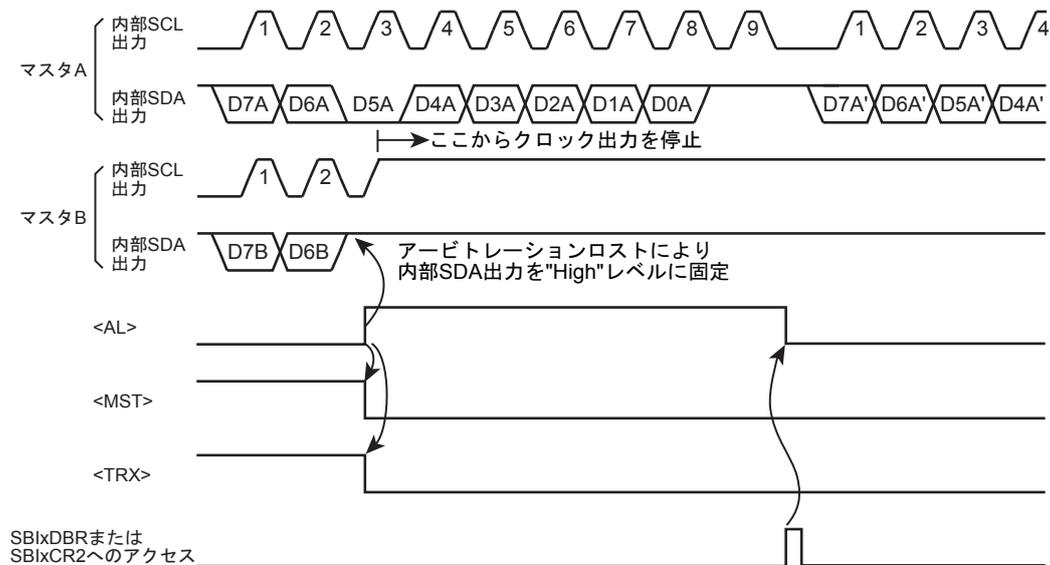


図 13-8 マスタ B の場合の例(D7A=D7B,D6A=D6B)

### 13.5.11 スレーブアドレス一致検出モニタ

SBISR<AAS>は、スレーブモード時、アドレス認識モード(SBII2CAR<ALS>="0")のとき、ゼネラルコールアドレスまたは SBII2CAR にセットした値と同じスレーブアドレスを受信すると"1"にセットされます。フリーデータフォーマット(<ALS>="1")のときは、最初の 1 ワードが受信されると"1"にセットされます。<AAS>は SBIDBR にデータを書き込むか、SBIDBR からデータを読み出すと"0"にクリアされます。

### 13.5.12 ゼネラルコール検出モニタ

SBISR<ADO>は、スレーブモード時、ゼネラルコール(スタートコンディション後の 8 ビットのデータがすべて"0")を受信したとき"1"にセットされます。また、バス上のスタートコンディション、またはストップコンディションが検出されると"0"にクリアされます。

### 13.5.13 最終受信ビットモニタ

SBISR<LRB>には、SCL ラインの立ち上がりで取り込まれた SDA ラインの値がセットされます。アクノリッジメントモードのとき、INTSBI 割り込み要求発生直後に SBISR<LRB> を読み出すと、ACK 信号が読み出されます。

### 13.5.14 データバッファレジスタ(SBIDBR)

SBIDBR をリード/ライトすることで、受信データの読み出し/送信データの書き込みを行います。また、マスタモード時において、このレジスタにスレーブアドレスと方向ビットを設定後、スタートコンディションが発生します。

### 13.5.15 ボーレートレジスタ(SBIBR0)

SBIBR0<I2SBI>は IDLE モードに遷移した際にシリアルバスインタフェース回路の動作の許可/禁止を設定するレジスタです。スタンバイモードに移る命令を実行する前に、あらかじめ設定してください。

### 13.5.16 ソフトウェアリセット

シリアルバスインタフェース回路が、外部からのノイズによりロックした場合、ソフトウェアリセット機能を使い、シリアルバスインタフェース回路を初期化することができます。

SBICR2<SWRST[1:0]>へ、最初に"10"、次に"01"をライトすると、ソフトウェアリセットが発生します。ライトの際、SBIxCR2<MST><TRX><BB><PIN>は"0000"、SBIxCR2<SBIM[1:0]>は"10" (I2C バスモード)を指定してください。ソフトウェアリセットが発生すると、シリアルバスインタフェース回路にリセット信号が入力され、回路が初期化されます。このとき、すべてのコントロールレジスタとステータスフラグはリセット直後の値となります。また、<SWRST>は、シリアルバスインタフェースを初期化すると、自動的に"0"にクリアされます。

注) ソフトウェアリセットをかけると動作モード選択もリセットされ、I2C モードから PORT モードになります。

## 13.6 I2C バスモード時のデータ転送手順

### 13.6.1 デバイスの初期化

最初に SBICR1<ACK, SCK[2:0]>を設定します。<ACK>には"1"を設定してアクノリッジメントモードに設定します。SBICR1<BC[2:0]>には、"000"を設定してください。

次に SBII2CAR にスレーブアドレス<SA[6:0]>と<ALS>(アドレッシングフォーマット時には、<ALS>="0")を設定します。

最後に、シリアルバスインタフェース端子の状態が"High"になっていることを確認し、SBICR2<MST><TRX><BB>に"000", <PIN>に"1", <SBIM[1:0]>に"10", <SWRST[1:0]>に"00"を書き込み、初期状態をスレーブレシーバモードにします。

注) シリアルバスインタフェース回路の初期化は、バスに接続されているすべてのデバイスが初期化された後、どのデバイスも一定期間スタートコンディションを発生しない期間を設け、その期間内に終了させてください。この制約が守られない場合、シリアルバスインタフェース回路の初期化が終了する前にほかのデバイスが転送を開始することがあり、正常にデータを受信することができません。

	7	6	5	4	3	2	1	0	
SBICR1	← 0	0	0	1	0	X	X	X	ACK および SCL クロックの設定をします。
SBII2CAR	← X	X	X	X	X	X	X	X	スレーブアドレスおよびアドレス認識モードの設定をします。
SBICR2	← 0	0	0	1	1	0	0	0	スレーブレシーバモードにします。

注) X; Don't care

### 13.6.2 スタートコンディション, スレーブアドレスの発生

#### 13.6.2.1 マスタモードの場合

マスタモード時は、スタートコンディションとスレーブアドレスを、次の手順で発生します。

はじめに、バスフリー状態(<BB>="0")を確認します。次に、SBICR1<ACK>に"1"を書き込んで、アクノリッジメントモードに設定します。また、SBIDBR に、送信するスレーブアドレスと方向ビットのデータを書き込みます。

<BB>="0"の状態、SBICR2<MST, TRX, BB, PIN>に"1111"を書き込むと、バス上にスタートコンディションが発生します。スタートコンディションの発生に次いで、SCL 端子から 9 クロックを出力します。最初の 8 クロックで、SBIDBR に設定したスレーブアドレスと方向ビットを出力します。9 クロック目で、SDA ラインを解放し、スレーブデバイスからのアクノリッジ信号を受信します。

9 クロック目の立ち下がりで、INTSBI 割り込み要求が発生し、<PIN>="0"にされます。マスタモード時は、<PIN>="0"の間 SCL ラインを"Low"レベルにひきます。また、スレーブデバイスからのアクノリッジ信号が返ってきたときのみ、INTSBI 割り込み要求の発生により、送信した方向ビットに合わせて<TRX>は変化します。

注) スレーブアドレスを出力するために SBIDBR に書き込む時は事前にソフトウェアによってバスフリーを検出してから行ってください。この制約が守られない場合、現在出力中のバス上のデータが破壊されることがあります。

メインルーチンでの設定

		7	6	5	4	3	2	1	0	
Reg.	←	SBISR								
Reg.	←	Reg. e 0x20								
if Reg.	≠	0x00								バスがフリー状態になるまで確認します。
Then										
SBICR1	←	X	X	X	1	0	X	X	X	アクノリッジメントモードに設定します。
SBIDBR	←	X	X	X	X	X	X	X	X	目的のスレーブのスレーブアドレスと方向をセットします。
SBICR2	←	1	1	1	1	1	0	0	0	スタートコンディションの発生を行います。

INTSBI 割り込みルーチンでの処理例

割り込み要求クリア  
 処理  
 割り込み終了

13.6.2.2 スレーブモードの場合

スレーブモードの場合は、スタートコンディションとスレーブアドレスを受信します。

マスタデバイスからのスタートコンディションを受信した後、SCL ラインの最初の 8 クロックで、マスタデバイスからのスレーブアドレスと方向ビットを受信します。ゼネラルコール、または SBII2CAR に設定されたスレーブアドレスと同一のアドレスを受信したとき、9 クロック目で SDA ラインを "Low" レベルに引き、アクノリッジ信号を出力します。

9 クロック目の立ち下がりで、INTSBI 割り込み要求が発生し、<PIN> = "0" にされます。スレーブモード時は、<PIN> = "0" の間 SCL ラインを "Low" レベルに引きます。

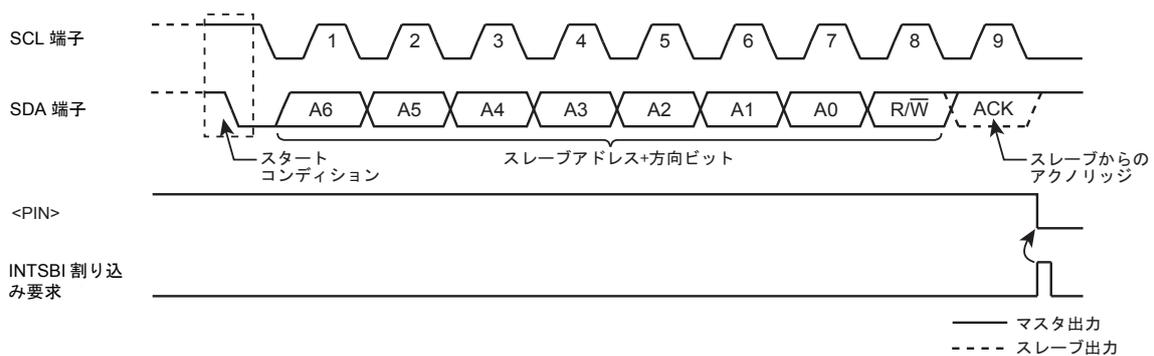


図 13-9 スタートコンディションとスレーブアドレスの発生

### 13.6.3 1ワードのデータ転送

1ワード転送終了の INTSBI 割り込みの処理で<MST>をテストし、マスタモード/スレーブモードの判断をします。

#### 13.6.3.1 マスタモードの場合(<MST> = "1")

<TRX>をテストし、トランスミッタ/レシーバの判断をします。

##### (1) トランスミッタモードの場合(<TRX> = "1")

<LRB>をテストします。<LRB> = "1"のとき、レシーバはデータを要求していないのでストップコンディションを発生する処理(後記参照)を行ってデータ転送を終了します。

<LRB> = "0"のときレシーバが次のデータを要求しています。次に転送するデータのビット数が 8 ビットのとき SBIDBR に転送データを書き込みます。8 ビット以外のときは<BC[2:0]>, <ACK>を設定し、転送データを SBIDBR に書き込みます。データを書き込むと<PIN>が"1"になり SCL 端子から次の 1ワードデータ転送用のシリアルクロックが発生され、SDA 端子から 1ワードのデータが転送されます。転送終了後 INTSBI 割り込み要求が発生し、<PIN>が"0"になり SCL 端子を"Low"レベルに引きます。複数ワードの転送が必要な場合は上記<LRB>のテストから繰り返します。

#### INTSBI 割り込み

```

if MST = 0
Then スレーブモード時の処理へ移行
if TRX = 0
Then レシーバモード時の処理へ移行
if LRB = 0
Then ストップコンディションを発生する処理へ移行
SBICR1    ←  X  X  X  X  0  X  X  X    転送ビット数および ACK を設定します。
SBIDBR    ←  X  X  X  X  X  X  X  X    転送データを書き込みます。
割り込み処理終了
    
```

注) X; Don't care

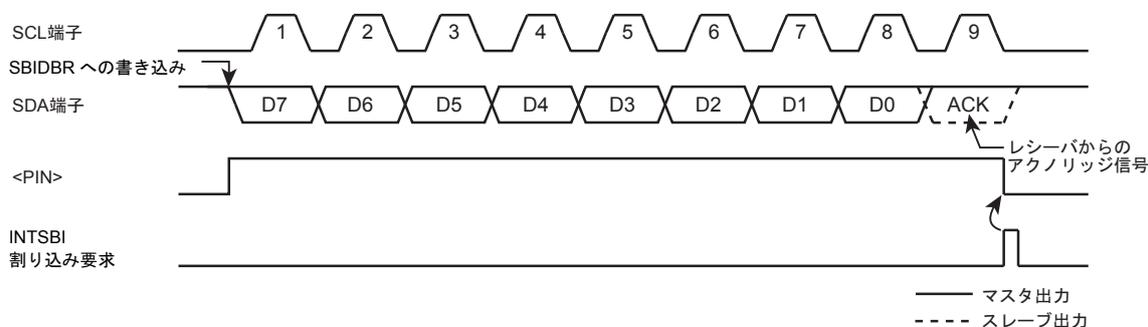


図 13-10 <BC[2:0]>="000", <ACK>="1"の場合 (トランスミッタモード)

(2) レシーバモードの場合(<TRX> = "0")

次に転送するデータのビット数が 8 ビットのときは SBIDBR に転送データを書き込みます。8 ビット以外のときは<BC[2:0]>, <ACK>を設定し、SCL ラインを解放するために SBIDBR から受信データを読み出します(スレーブアドレス送信直後のリードデータは不定です)。データを読み出すと<PIN>は"1"になり、次の 1 ワードデータ転送用のシリアルクロックを SCL 端子に出力します。最後のビットでアクノリッジ信号の"Low"レベルのタイミングで"0"を SDA 端子に出力します。

その後、INTSBI 割り込み要求が発生し、<PIN>が"0"になり SCL 端子を"Low"レベルに引きます。SBIDBR から受信データを読み出すたびに 1 ワードの転送クロックとアクノリッジを出力します。

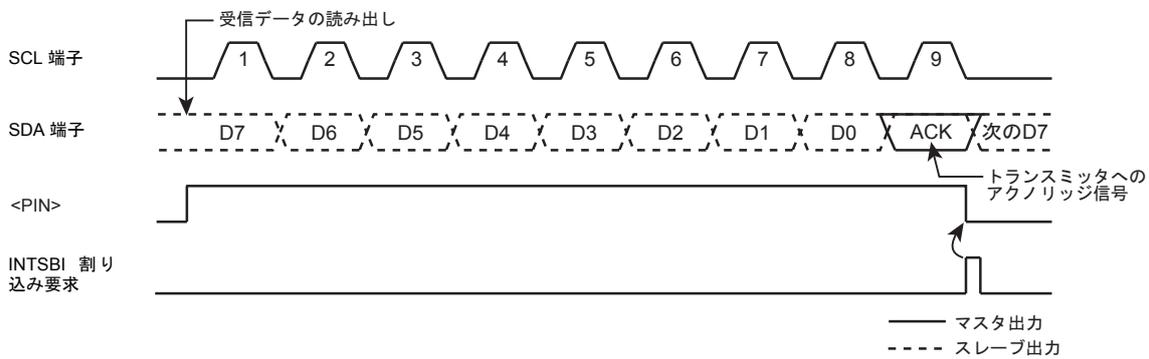


図 13-11 <BC[2:0]>="000", <ACK>="1"のときの例 (レシーバモード)

トランスミッタに対してデータの送信を終了させるときは、最後に受信したいデータの 1 ワード手前のデータを読み出す前に<ACK>を"0"にします。これにより、最終データのアクノリッジのためのクロックは発生されなくなります。転送終了の割り込み要求発生後の処理で、<BC[2:0]> = "001"に設定し、データを読み出すと、1 ビット転送のためのクロックを発生します。このときマスタはレシーバなのでバスの SDA ラインは"High"レベルを保ちます。トランスミッタは ACK 信号としてこの"High"レベルを受信するので、レシーバはトランスミッタへ送信終了を知らせることができます。

この 1 ビット転送の受信終了割り込み要求後の処理で、ストップコンディションを発生させ、データ転送を終了させます。

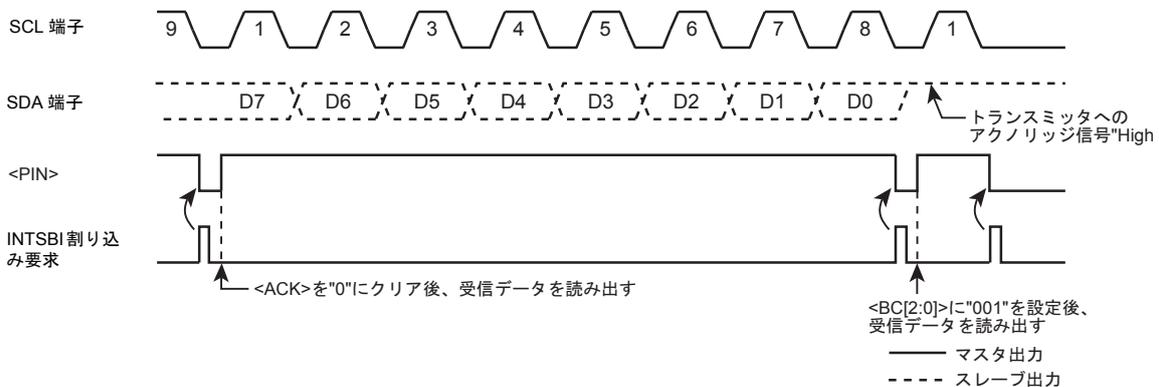


図 13-12 マスタレシーバモード時、データの送信を終了させるときの処理

例:データを N 回受信する場合

#### INTSBI 割り込み(データ送信後)

		7	6	5	4	3	2	1	0
SBICR1	←	X	X	X	X	0	X	X	X
Reg.	←	SBIDBR							

割り込み終了

受信データのビット数および ACK を設定します。

ダミーデータを取り込みます。

#### INTSBI 割り込み(データ受信 1~(N - 2)回目)

		7	6	5	4	3	2	1	0
Reg.	←	SBIDBR							

割り込み終了

1~(N - 2)回目のデータを取り込みます。

#### INTSBI 割り込み(データ受信 (N - 1)回目)

		7	6	5	4	3	2	1	0
SBICR1	←	X	X	X	0	0	X	X	X
Reg.	←	SBIDBR							

割り込み終了

アクノリッジ信号のクロックを発生しないようにします。

(N - 1)回目のデータを取り込みます。

#### INTSBI 割り込み(データ受信 N 回目)

		7	6	5	4	3	2	1	0
SBICR1	←	0	0	1	0	0	X	X	X
Reg.	←	SBIDBR							

割り込み終了

1 ビット転送のためのクロックを発生します。

N 回目のデータを取り込みます。

#### INTSBI 割り込み(データ受信後)

ストップコンディションを発生する処理  
割り込み終了

データ転送を終了させます。

注) X; Don't care

### 13.6.3.2 スレーブモードの場合(<MST> = "0")

スレーブモードのとき、マスタが送ったスレーブアドレス、またはゼネラルコールアドレスを受信したとき、もしくは、受信したスレーブアドレスが一致した後、またはゼネラルコールアドレスを受信した後のデータ転送終了時に INTSBI 割り込み要求が発生します。また、マスタモードのとき、アービトレーションロストを検出するとスレーブモードとして動作し、アービトレーションロストを検出したワード転送の終了時に INTSBI 割り込み要求が発生します。INTSBI 割り込み要求が発生すると <PIN> が "0" にされ、SCL 端子を "Low" レベルに引きます。SBIDBR にデータを書き込む、SBIDBR からデータを読み出す、または <PIN> に "1" を設定すると SCL 端子が  $t_{LOW}$  後に開放されます。なお、ゼネラルコールのセカンドバイトは内容によりアクノリッジ信号の発生有無を制御する必要がありますので、ソフトウェアによりアクノリッジ信号の制御を行なってください。

スレーブモード時は、通常のスレーブモードとしての処理、またはアービトレーションロストを検出し、スレーブモードになったときの処理を行います。

SBISR<AL>, <TRX>, <AAS>, <ADO> をテストし、場合分けを行います。「表 13-2 スレーブモード時の処理」にスレーブモード時の状態と必要な処理を示します。

例: スレーブレシーバモード時スレーブアドレスが一致し、方向ビットが "1" の場合

#### INTSBI 割り込み

```

if TRX = 0
Then その他処理へ移行
if AL = 0
Then その他処理へ移行
if AAS = 0
Then その他処理へ移行
SBICR1    ← X X X 1 0 X X X    送信ビット数を設定します。
SBIDBR    ← X X X X X X X X    送信データをセットします。

```

注) X; Don't care

表 13-2 スレーブモード時の処理

<TRX>	<AL>	<AAS>	<ADO>	状態	処理
1	1	1	0	スレーブアドレス送信中にアービトレーションロストを検出し、他のマスタが送った方向ビットが"1"のスレーブアドレスを受信	1 ワードのビット数を<BC[2:0]>にセットし、送信するデータを SBIDBR に書き込みます。
		1	0	スレーブレシーバモード時、マスタが送った方向ビットが"1"のスレーブアドレスを受信	
	0	0	0	スレーブトランスミッタモード時、1 ワードのデータの送信が終了	<LRB>をテストし、"1"にセットされていた場合、レシーバが次のデータを要求していないので<PIN>に"1"をセット、<TRX>を"0"にリセットしバスを開放します。<LRB>が"0"にリセットされていた場合、レシーバが次のデータを要求しているため 1 ワードのビット数を<BC[2:0]>にセットし、送信するデータを SBIDBR に書き込みます。
0	1	1	1/0	スレーブアドレス送信中にアービトレーションロストを検出し、他のマスタが送った方向ビットが"0"のスレーブアドレス、またはゼネラルコールを受信	<PIN>を"1"にセットするために SBIDBR を読み出します。(ダミー読み出し)または<PIN>に"1"を書き込みます。
		0	0	スレーブアドレスを送信中またはデータ送信中にアービトレーションロストを検出し、そのワードの転送が終了	
	0	1	1/0	スレーブレシーバモード時、マスタの送った方向ビットが"0"のスレーブアドレス、またはゼネラルコールを受信	
		0	1/0	スレーブレシーバモード時、1 ワードのデータの受信が終了	

### 13.6.4 ストップコンディションの発生

SBISR<BB>="1"のときに、SBICR2<MST, TRX, PIN>に"1"、<BB>に"0"を書き込むとバス上にストップコンディション出力のシーケンスを開始します。バス上にストップコンディションが発生するまで、<MST, TRX, BB, PIN>の内容を書き替えないでください。

なお、バスの SCL ラインが他のデバイスにより引かれていた場合、SCL ラインが開放されてから、SDA 端子が立ち上がり、ストップコンディションが発生します。

		7	6	5	4	3	2	1	0	
SBICR2	←	1	1	0	1	1	0	0	0	ストップコンディションを発生させます。

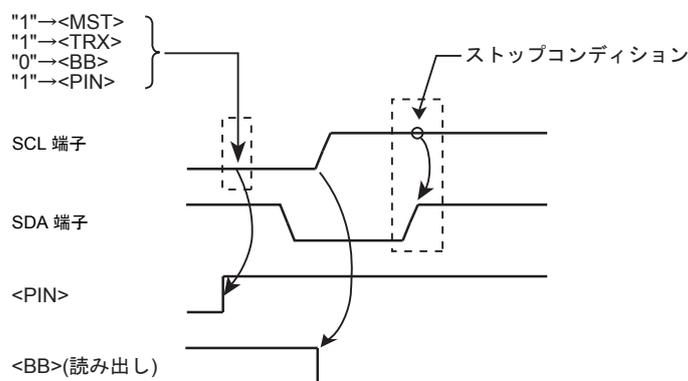


図 13-13 ストップコンディションの発生

### 13.6.5 再スタートの手順

再スタートはマスタデバイスがスレーブデバイスに対して、データ転送を終了させずに転送の方向を変化させるときに使用します。マスタモード時、再スタートが発生する場合の手順を以下に示します。

まず、SBICR2<MST, TRX, BB>に"0"、<PIN>に"1"を書き込み、バスを開放します。このとき SDA 端子は"High"レベルを保ち、SCL 端子が開放され、バス上にストップコンディションが発生されないため、他のデバイスからみるとバスはビジー状態のままです。このあと、SBISR<BB>をテストして"0"になるまで待ち、SCL 端子が開放されたことを確認します。次に<LRB>をテストして"1"になるまで待ち、他のデバイスがバスの SCL ラインを"Low"レベルに引いていないことを確認します。以上の手順によってバスがフリー状態になっていることを確認した後に前記「13.6.2 スタートコンディション、スレーブアドレスの発生」の手順で、スタートコンディションの発生を行います。

なお、再スタート時のセットアップタイムを満たすために、バスフリーの確認からスタートの発生まで最低 4.7 μs (標準モード時)のソフトウェアによる待ち時間が必要です。

注 1) <MST>="0"の状態の時に<MST>="0"をライトしないでください(再スタートできません)。

注 2) マスタデバイスがレシーバのとき、再スタートを発生させる前にトランスミッタとなっているスレーブデバイスからのデータ送信を終了させる必要があります。データ送信を終了させるために、"High"レベルのアクノリッジ信号をスレーブデバイスに受信させます。このため、再スタート発生前の<LBR>は"1"となり、再スタートの手順で<LBR>="1"であることを確認しても、SCL ラインの立ち上がりを確認できません。SCL ラインの状態を確認するにはポートを読み出してください。

		7	6	5	4	3	2	1	0		
→	SBICR2	←	0	0	0	1	1	0	0	0	バスを開放します。
→	if SBISR<BB> ≠ 0										SCL 端子の開放を確認します。
→	Then										
→	if SBISR<LRB> ≠ 1										他のデバイスの SCL 端子"Low"レベルの確認を行います。
→	Then										
	4.7 μs Wait										
	SBICR1	←	X	X	X	1	0	X	X	X	アクノリッジメントモードに設定します。
	SBIDBR	←	X	X	X	X	X	X	X	X	目的のスレーブのスレーブアドレスと方向をセットします。
	SBICR2	←	1	1	1	1	1	0	0	0	スタートコンディションの発生を行います。

注) X; Don't care

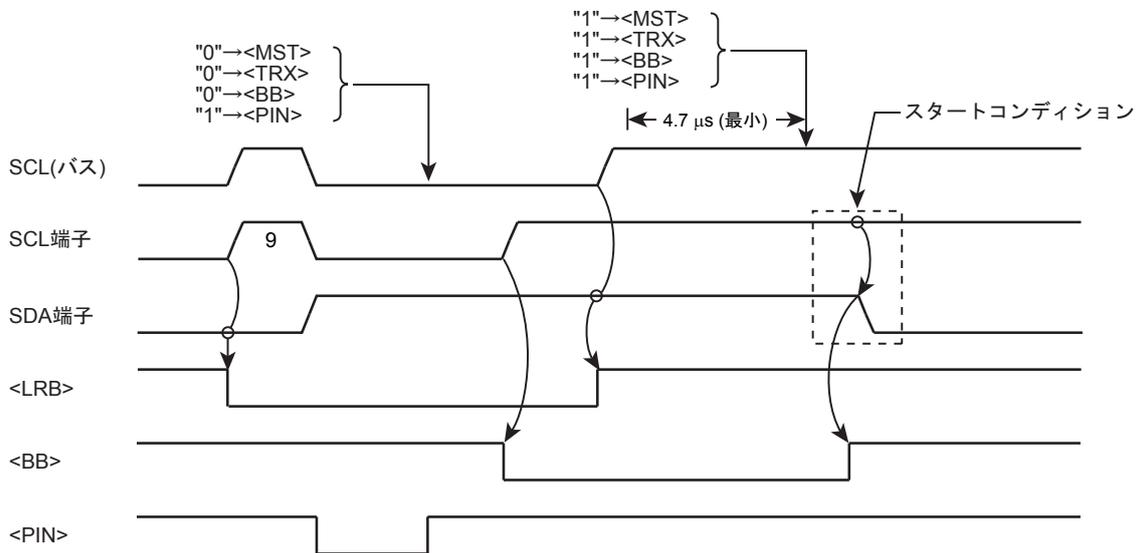


図 13-14 再スタートを発生する場合のタイミングチャート

## 13.7 SIO モード時のコントロールレジスタ

シリアルバスインタフェースをクロック同期式 8 ビット SIO モードで使用するときの制御、および動作状態のモニタは、以下のレジスタで行います。

### 13.7.1 SBICR0(コントロールレジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SBIEN	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	SBIEN	R/W	シリアルバスインタフェース動作 0: 禁止 1: 許可  シリアルバスインタフェースを使用する場合、まずこのビットを許可にしてください。 禁止の場合、SBICR0 を除くすべてのクロックが停止しますので消費電力の低減が可能です。 いったん許可した後に禁止にした場合、各レジスタの設定は保持されます。
6-0	-	R	リードすると"0"が読めます。

### 13.7.2 SBICR1(コントロールレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SIOS	SIOINH	SIOM		-	SCK		
リセット後	0	0	0	0	1	0	0	0(注 1)

Bit	Bit Symbol	Type	機能																								
31-8	-	R	リードすると"0"が読めます。																								
7	SIOS	R/W	転送の開始/終了 0: 終了 1: 開始																								
6	SIOINH	R/W	転送の強制停止 0: 転送継続 1: 強制停止																								
5-4	SIOM[1:0]	R/W	転送モードの設定 00: 送信モード 01: Reserved 10: 送受信モード 11: 受信モード																								
3	-	R	リードすると"1"が読めます。																								
2-0	SCK[2:0]	R/W	シリアルクロックの周波数選択<SCK[2:0]>@ライト(注 1) <table border="1" style="margin-left: 20px;"> <tr> <td>000</td> <td>n = 3</td> <td>2.5 MHz</td> </tr> <tr> <td>001</td> <td>n = 4</td> <td>1.25 MHz</td> </tr> <tr> <td>010</td> <td>n = 5</td> <td>625 kHz</td> </tr> <tr> <td>011</td> <td>n = 6</td> <td>313 kHz</td> </tr> <tr> <td>100</td> <td>n = 7</td> <td>156 kHz</td> </tr> <tr> <td>101</td> <td>n = 8</td> <td>78 kHz</td> </tr> <tr> <td>110</td> <td>n = 9</td> <td>39 kHz</td> </tr> <tr> <td>111</td> <td>-</td> <td>外部クロック</td> </tr> </table> <div style="margin-left: 40px;"> <math display="block">\left. \begin{array}{l} \text{システムクロック: } f_{\text{sys}} \\ \text{クロックギア: } fc/1 \\ \text{周波数} = \frac{f_{\text{sys}}/2}{2^n} \text{ [Hz]} \end{array} \right\} (= 40\text{MHz})</math> </div>	000	n = 3	2.5 MHz	001	n = 4	1.25 MHz	010	n = 5	625 kHz	011	n = 6	313 kHz	100	n = 7	156 kHz	101	n = 8	78 kHz	110	n = 9	39 kHz	111	-	外部クロック
000	n = 3	2.5 MHz																									
001	n = 4	1.25 MHz																									
010	n = 5	625 kHz																									
011	n = 6	313 kHz																									
100	n = 7	156 kHz																									
101	n = 8	78 kHz																									
110	n = 9	39 kHz																									
111	-	外部クロック																									

注 1) <SCK[0]>ビットは、リセット後"1"が読み出されますが、SBICR2 レジスタにて SIO モードに設定後は"0"が初期値として読み出されます。ここでは初期状態で SIO モードに設定した後の値を「リセット後」欄に示します。なお、SBICR2 レジスタ、SBISR レジスタでも同様な記載をしています

注 2) 転送モード、シリアルクロックの設定時は、<SIOS> = "0"、および、<SIOINH> = "1"に設定してください。

注 3) マスタモードで<BC[2:0]>="001"で<ACK>="0"のとき、ストップコンディション発生後の SCL ラインの立下りによって、SCL ラインが"L"に固定されることがあり、他のマスタデバイスがバスを使用できなくなります。複数のマスタデバイスがバスに接続されている場合、ストップコンディション発生前に、転送ビット数を"2"以上にしてください。

## 13.7.3 SBIDBR(データバッファレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	DB							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-0	DB[7:0]	R	受信データ
		W	送信データ

- 注 1) 送信データを書き込み時には、データを MSB(ビット 7)側につめてライトしてください。また、受信データは LSB 側に格納されます。
- 注 2) SBIDBR は書き込み用のバッファと読み出し用のバッファを個別に持っているため、書き込んだデータを読み出すことはできません。したがって、ビット操作などのリードモディファイライト命令は使用できません。

## 13.7.4 SBICR2(コントロールレジスタ 2)

このレジスタをリードすると、SBISR レジスタとして機能します。

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	SBIM		-	-
リセット後	1(注 1)	1(注 1)	1(注 1)	1(注 1)	0	0	1(注 1)	1(注 1)

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-4	-	R	リードすると"1"が読めます。(注 1)
3-2	SBIM[1:0]	W	シリアルバスインタフェースの動作モード選択(注 2) 00:ポートモード 01: SIO モード 10: I2C バスモード 11: Reserved
1-0	-	R	リードすると"1"が読めます。(注 1)

注 1) ここでは SIO モードに設定後の初期値を「リセット後」欄に示します。

注 2) 通信中はモードを切り替えないでください。

## 13.7.5 SBISR(ステータスレジスタ)

このレジスタをライトすると、SBICR2として機能します。

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	SIOF	SEF	-	-
リセット後	1(注 1)	1(注 1)	1(注 1)	1(注 1)	0	0	1(注 1)	1(注 1)

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-4	-	R	リードすると"1"が読めます。(注 1)
3	SIOF	R	シリアル転送動作状態モニタ 0: 転送終了 1: 転送中
2	SEF	R	シフト動作状態モニタ 0: シフト動作終了 1: シフト転送中
1-0	-	R	リードすると"1"が読めます。(注 1)

注 1) ここでは SIO モードに設定後の初期値を「リセット後」欄に示します。

## 13.7.6 SBIBR0(ボーレートレジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	I2SBI	-	-	-	-	-	-
リセット後	1	0	1	1	1	1	1	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	-	R	リードすると"1"が読めます。
6	I2SBI	R/W	IDLE モード時の動作 0: 停止 1: 動作
5-1	-	R	リードすると"1"が読めます。
0	-	R/W	必ず"0"をライトしてください。

## 13.8 SIO モード時の制御

### 13.8.1 シリアルクロック

#### 13.8.1.1 クロックソース

SBICR1 <SCK[2:0]> により、次の選択ができます。

##### (1) 内部クロック

内部クロックモードでは7種類の周波数が選択できます。シリアルクロックは SCK 端子より外部に出力されます。なお、転送開始時 SCK 端子出力は"High"レベルになります。

プログラムでデータの書き込み(送信時)またはデータの読み出し(受信時)がこのシリアルクロックレートに追従できないときには、自動的にシリアルクロックを停止し、それらの処理が終了するまで次のシフト動作を待機させる自動ウェイト機能を有しています。

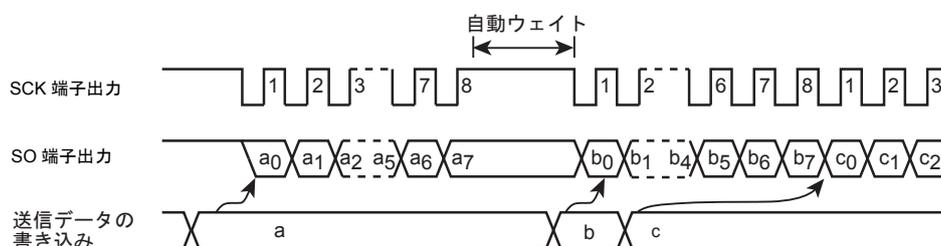


図 13-15 自動ウェイト機能

##### (2) 外部クロック (<SCK[2:0]> = "111")

外部から SCK 端子に供給されるクロックをシリアルクロックとして用います。なお、シフト動作を確実にを行うためには、シリアルクロックの"High"レベル、"Low"レベル幅は下記に示すパルス幅が必要です。

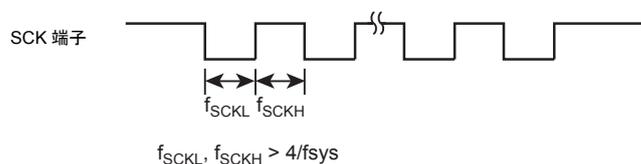


図 13-16 外部クロック入力時の最大転送周波数

### 13.8.1.2 シフトエッジ

送信は前縁シフト, 受信は後縁シフトになります。

- 前縁シフト

シリアルクロックの前縁(SCK 端子入出力の立ち下がりエッジ)でデータをシフトします。

- 後縁シフト

シリアルクロックの後縁(SCK 端子入出力の立ち上がりエッジ)でデータをシフトします。

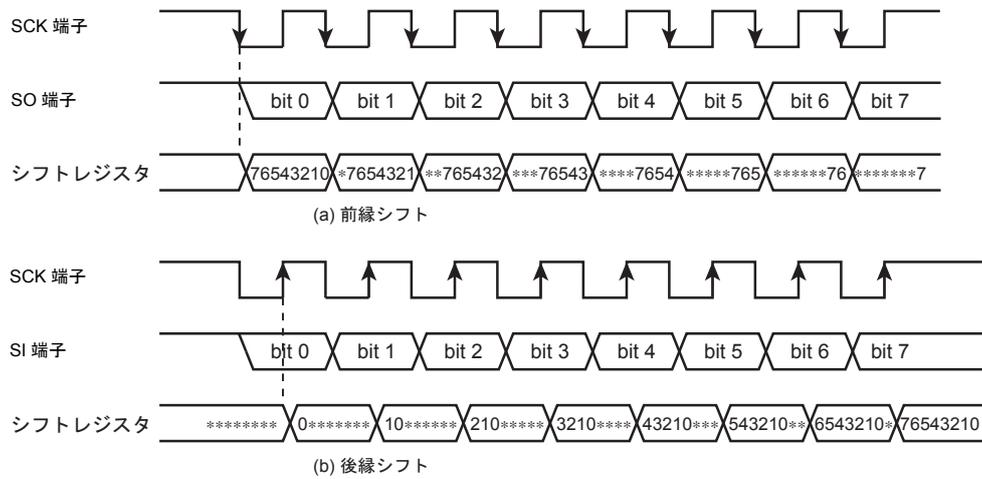


図 13-17 シフトエッジ

## 13.8.2 転送モード

SBICR1<SIOM[1:0]>で、送信/受信/送受信モードを選択します。

### 13.8.2.1 8ビット送信モード

コントロールレジスタに送信モードをセットした後、送信データを SBIDBR に書き込みます。

送信データの書き込み後、SBICR1<SIOS>="1"を書き込むことにより送信が開始されます。送信データは、SBIDBR からシフトレジスタに移され、シリアルクロックに同期して最下位ビット(LSB)側から SO 端子に出力されます。送信データがシフトレジスタに移されると、SBIDBR が空になりますので、次の送信データを要求する INTSBI(バッファエンプティ)割り込み要求が発生します。

内部クロック動作の場合、8ビットのデータをすべて送信したあと、次のデータがセットされていないとシリアルクロックを停止して自動ウェイト動作を行います。次の送信データを書き込むと自動ウェイト動作は解除されます。

外部クロック動作の場合、次のデータのシフト動作に入る前に、SBIDBR にデータが書き込まれている必要があります。したがって、転送速度は割り込み要求の発生から割り込みサービスプログラムにて、SBIDBR にデータを書き込むまでの最大遅れ時間により決まります。

送信開始時、SBISR<SIOF>が"1"となってから SCK の立ち上がりエッジまでの間、前回送信したデータの最後のビットと同じ値が出力されます。

送信を終了させるには、INTSBI 割り込みサービスプログラムで<SIOS>="0"を書き込むか<SIOINH>="1"を書き込みます。<SIOS>がクリアされると、データがすべて出力された時点で送信終了します。プログラムで送信の終了の確認は SBISR<SIOF>で行います。<SIOF>は送信の終了で"0"になります。<SIOINH>="1"を書き込んだ場合はただちに送信を打ち切り、<SIOF>は"0"になります。

外部クロック動作では、次の送信データのシフト動作に入る前に<SIOS>を"0"にクリアする必要があります。もしシフトアウトする前に<SIOS>が"0"にクリアされなかった場合は、ダミーのデータの送信後、停止します。

	7	6	5	4	3	2	1	0	
SBICR1	← 0	1	0	0	0	X	X	X	送信モードをセットします。
SBIDBR	← X	X	X	X	X	X	X	X	送信データを書き込みます。
SBICR1	← 1	0	0	0	0	X	X	X	送信を開始します。

#### INTSBI 割り込み

SBIDBR	← X	X	X	X	X	X	X	X	送信データを書き込みます。
--------	-----	---	---	---	---	---	---	---	---------------

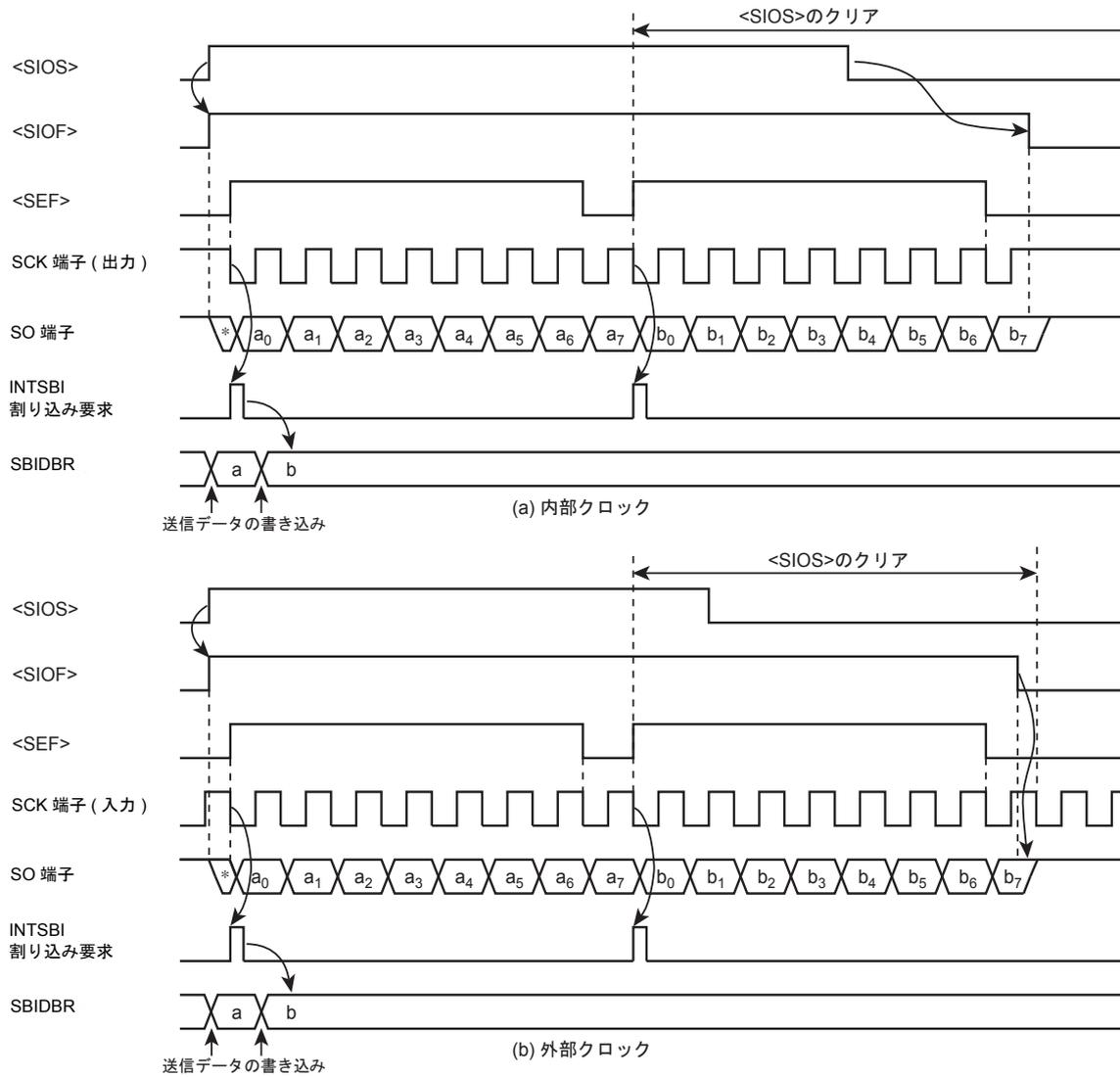


図 13-18 送信モード

例: <SIO> の送信終了指示(外部クロックの場合)のプログラム例

```

    7 6 5 4 3 2 1 0
    if SBISR<SIOF> ≠ 0          転送の終了を確認します。
    Then
    if SCK ≠ 1                  ポートをモニタし、SCK 端子が"1"になったことを確認し
    Then                          ます。
    SBICR1 ← 0 0 0 0 0 0 1 1 1  <SIOS> = 0 を設定し送信を終了します。
    
```

13.8.2.2 8ビット受信モード

コントロールレジスタに受信モードをセットした後、SBICR1<SIOS>="1"を書き込むことにより受信可能となります。シリアルクロックに同期して、SI端子より最下位ビット側からシフトレジスタへデータを取り込みます。8ビットのデータが取り込まれるとシフトレジスタからSBIDBRに受信データが書き込まれ、受信データの読み出しを要求するINTSBI(バッファフル)割り込み要求が発生します。受信データは、割り込みサービスプログラムにてSBIDBRから読み出します。

内部クロック動作の場合、受信データがSBIDBRから読み出されるまでシリアルクロックを停止する自動ウェイト動作を行います。

外部クロック動作の場合は、シフト動作が外部から供給されるクロックに同期します。外部クロック動作での最大転送速度は、割り込み要求の発生から受信データの読み出しまでの最大遅れ時間により決まります。

受信を終了させるにはINTSBI割り込みサービスプログラムで<SIOS>="0"を書き込むか、<SIOINH>="1"を書き込みます。<SIOS>がクリアされると、受信データが全ビット揃い、SBIDBRへの書き込みが完了した時点で受信が終了します。プログラムで受信の終了の確認は、SBISR<SIOF>で行います。<SIOF>は受信の終了で"0"にされます。受信終了の確認のあと最終受信データを読み出します。<SIOINH>="1"を書き込んだ場合は、ただちに受信を打ち切り、<SIOF>は"0"になります(受信データは無効になりますので読み出す必要はありません)。

注) 転送モードを切り替えるとSBIDBRの内容は保持されません。もし、転送モードの切り替えが必要な場合は、受信終了指示(<SIOS>="0"を書き込む)を行い、最終受信データを読み出したあとで切り替えてください。

		7	6	5	4	3	2	1	0	
SBICR1	←	0	1	1	1	0	X	X	X	受信モードをセットします。
SBICR1	←	1	0	1	1	0	X	X	X	受信を開始します。

INTSBI 割り込み

Reg.	←	SBIDBR	受信データを取り込みます。
------	---	--------	---------------

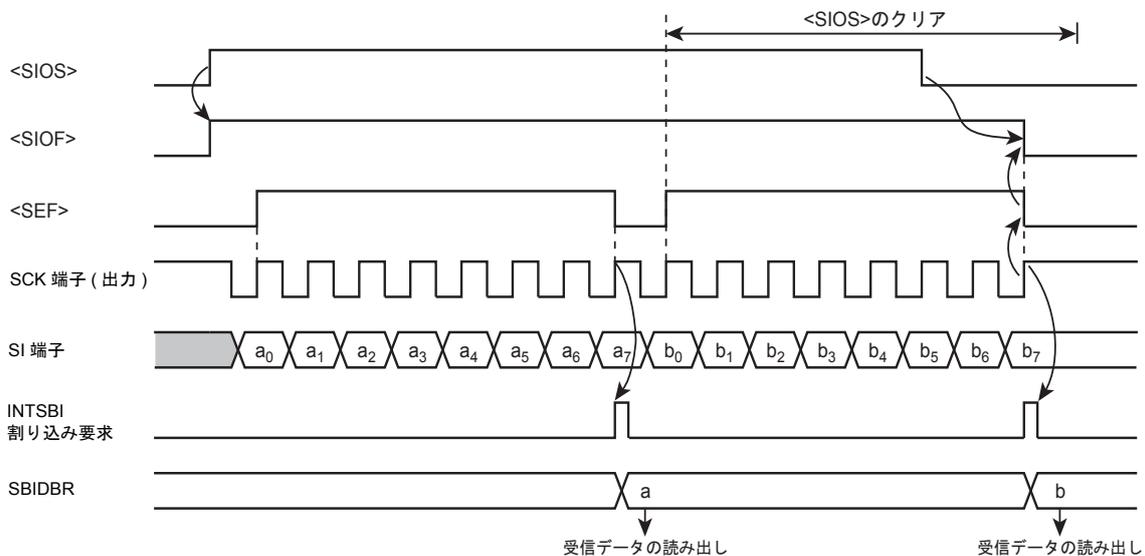


図 13-19 受信モード(例: 内部クロック)

## 13.8.2.3 8 ビット送受信モード

コントロールレジスタに送受信モードをセットした後、送信データを SBIDBR に書き込みます。その後、SBICR1<SIOS>に"1"をセットすることにより送受信可能となります。最下位ビットから、シリアルクロックの立ち下がりで送信データが SOx 端子から出力され、立ち上がりで受信データが SI 端子から取り込まれます。8 ビットのデータが取り込まれると、シフトレジスタから SBIDBR へ受信データが転送され、INTSBI 割り込み要求が発生します。割り込みサービスプログラムにて受信データをデータバッファレジスタから読み出し、そのあと送信データを書き込みます。SBIDBR は、送信/受信モードで兼用していますので、送信データは、必ず受信データを読み出してから書き込むようにしてください。

内部クロック動作の場合、受信データを読み出し、次の送信データを書き込むまで自動ウェイト動作を行います。

外部クロック動作の場合は、シフト動作が外部から供給されるシリアルクロックに同期するので、次のシフト動作に入る前に受信データを読み出し、次の送信データを書き込む必要があります。外部クロック動作での最大転送速度は、割り込み要求の発生から受信データを読み出し、送信データを書き込むまでの最大遅れ時間により決まります。

送信開始時、<SIOF>が"1"となってから SCK の立ち下がりエッジまでの間、前回送信したデータの最後のビットと同じ値が出力されます。

送受信を終了させるには、INTSBI 割り込みサービスプログラムで<SIOS> = "0"を書き込むか SBICR1 <SIOINH> = "1"を書き込みます。<SIOS>が"0"にクリアされると、受信データが揃い、SBIDBR への転送が完了した時点で送受信が終了します。プログラムで送受信の終了の確認は、SBISR<SIOF>で行います。<SIOF>は送受信の終了で"0"にクリアされます。<SIOINH>を"1"にセットした場合は、ただちに送受信を打ち切り、<SIOF>は"0"にされます。

注) 転送モードを切り替えると SBIDBR の内容は保持されません。もし、転送モードの切り替えが必要な場合は、送受信終了指示(<SIOS> = "0"を書き込む)を行い、最終受信データを読み出したあとで切り替えてください。

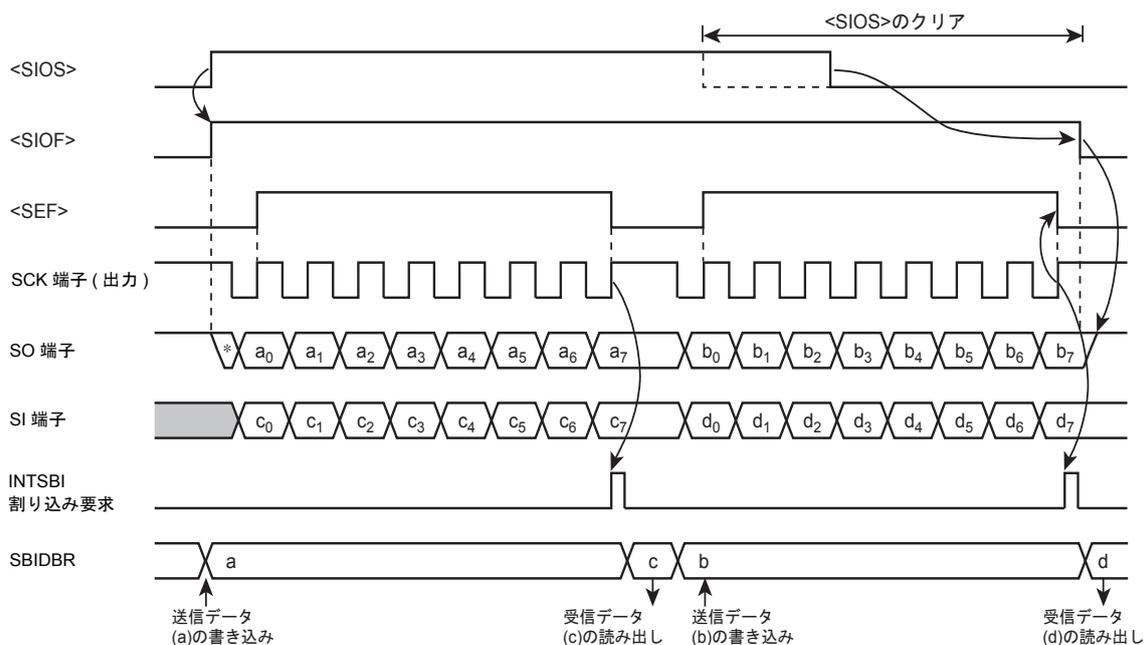


図 13-20 送受信モード(例: 内部クロック)

		7	6	5	4	3	2	1	0	
SBICR1	←	0	1	1	0	0	X	X	X	送受信モードをセットします。
SBIDBR	←	X	X	X	X	X	X	X	X	送信データを書き込みます。
SBICR1	←	1	0	1	0	0	X	X	X	送受信を開始します。

INTSBI 割り込み

Reg.	←	SBIDBR								受信データを取り込みます。
SBIDBR	←	X	X	X	X	X	X	X	X	送信データを書き込みます。

13.8.2.4 送信終了時の最終ビット保持時間

SBICR1<SIOS>="0"の状態では、送信データの最終ビットの SCK 立ち上がりに対するデータ保持時間は以下ようになります。送信モード、送受信モードとも同様です。

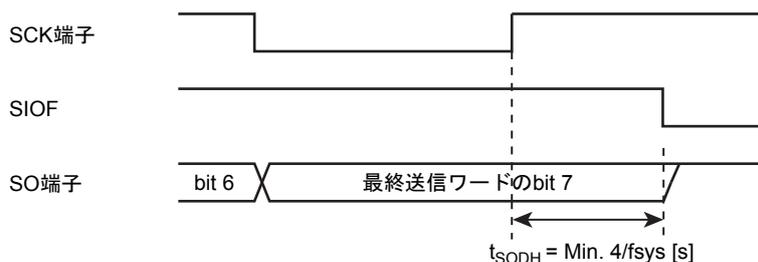


図 13-21 送信終了時の最終ビット保持時間



## 第 14 章 同期式シリアルインタフェース(SSP)

### 14.1 概要

同期式シリアルインタフェース(SSP: Synchronous Serial Port)を 1 チャンネル内蔵しています。各チャンネルの特長を下表に示します。

通信プロトコル	SPI を含む 3 種類の同期式シリアル ・ Motorola SPI (SPI) フレームフォーマット ・ TI synchronous (SSI) フレームフォーマット ・ National Microwire (Microwire) フレームフォーマット	
動作モード	マスタ/スレーブモード	
送信 FIFO	幅 16-bit / 深さ 8 段	
受信 FIFO	幅 16-bit / 深さ 8 段	
送受信データのサイズ	4 ~ 16 ビット	
割り込みの種類	送信割り込み 受信割り込み 受信オーバーラン割り込み タイムアウト割り込み	
通信速度	マスタモード時	$f_{sys} / 2$ (最大 10Mbps)
	スレーブモード時	$f_{sys} (40\text{MHz}) / 12$ (最大 3.3Mbps)
内部テスト機能	内部ループバックテストモードの使用が可能	
制御端子	SPCLK, SPFSS, SPDO, SPDI	

## 14.2 ブロック図

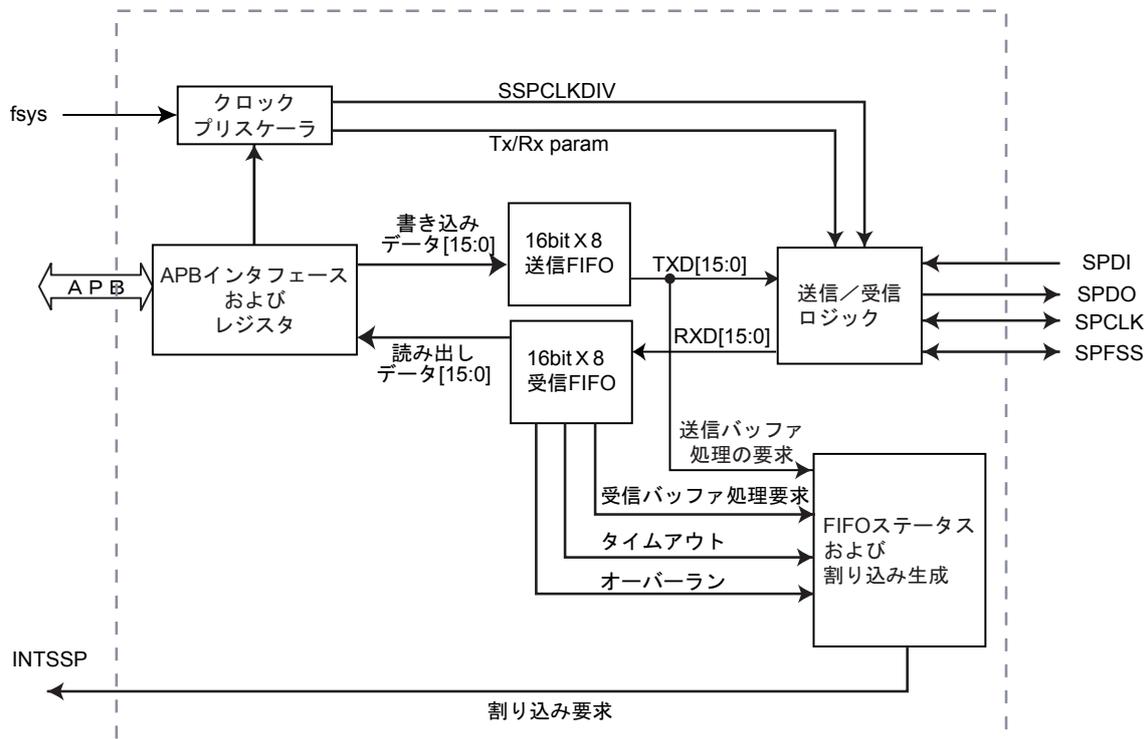


図 14-1 SSP ブロック図

## 14.3 レジスタ

### 14.3.1 レジスタ一覧

制御レジスタとアドレスは以下の通りです。

ベースアドレスは、「メモリマップ」章の「周辺機能ベースアドレス一覧」を参照ください。

レジスタ名		Address(Base+)
制御レジスタ 0	SSPCR0	0x0000
制御レジスタ 1	SSPCR1	0x0004
受信 FIFO(読み出し)および送信 FIFO(書き込み) データレジスタ	SSPDR	0x0008
ステータスレジスタ	SSPSR	0x000C
クロックプリスケールレジスタ	SSPCPSR	0x0010
割り込み許可/禁止レジスタ	SSPIMSC	0x0014
許可前の割り込みステータスレジスタ	SSPRIS	0x0018
許可後の割り込みステータスレジスタ	SSPMIS	0x001C
割り込みクリアレジスタ	SSPICR	0x0020

注) 上記レジスタはワード(32bit) アクセスのみとなります。

### 14.3.2 SSPCR0(制御レジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	SCR							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SPH	SPO	FRF		DSS			
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能																
31-16	-	W	"0"を書き込んでください。																
15-8	SCR[7:0]	R/W	シリアルクロックレート設定 パラメータ:0x00 ~ 0xFF の値  SSP の送信ビットレートおよび受信ビットレートの生成に使用されます。 このビットレートは以下の式から求められます。 ビットレート = $f_{sys} / (<CPSDVSr> \times (1 + <SCR>))$ <CPSDVSr> は、SSPCPSR レジスタからプログラムされる 2 ~ 254 の偶数値であり、<SCR>は 0 ~ 255 の値を取ります。																
7	SPH	R/W	SPCLK フェーズ設定 0:1st クロックエッジでデータを取り込み 1:2nd クロックエッジでデータを取り込み (Motorola SPI フレーム形式のみに適用可能, [Motorola SPI フレーム形式]参照)。																
6	SPO	R/W	SPCLK 極性選択 0:SPCLK は Low 状態 1:SPCLK は High 状態 (Motorola SPI フレーム形式のみに適用可能, [Motorola SPI フレーム形式]参照)。																
5-4	FRF[1:0]	R/W	フレームフォーマット選択 00: SPI フレームフォーマット 01: SSI シリアルフレームフォーマット 10: Microwire フレームフォーマット 11: Reserved(動作未定義)																
3-0	DSS[3:0]	R/W	データサイズ選択 <table border="1" style="width:100%; border-collapse: collapse;"> <tr> <td>0000: Reserved(動作未定義)</td> <td>1000: 9 ビットデータ</td> </tr> <tr> <td>0001: Reserved(動作未定義)</td> <td>1001: 10 ビットデータ</td> </tr> <tr> <td>0010: Reserved(動作未定義)</td> <td>1010: 11 ビットデータ</td> </tr> <tr> <td>0011: 4 ビットデータ</td> <td>1011: 12 ビットデータ</td> </tr> <tr> <td>0100: 5 ビットデータ</td> <td>1100: 13 ビットデータ</td> </tr> <tr> <td>0101: 6 ビットデータ</td> <td>1101: 14 ビットデータ</td> </tr> <tr> <td>0110: 7 ビットデータ</td> <td>1110: 15 ビットデータ</td> </tr> <tr> <td>0111: 8 ビットデータ</td> <td>1111: 16 ビットデータ</td> </tr> </table>	0000: Reserved(動作未定義)	1000: 9 ビットデータ	0001: Reserved(動作未定義)	1001: 10 ビットデータ	0010: Reserved(動作未定義)	1010: 11 ビットデータ	0011: 4 ビットデータ	1011: 12 ビットデータ	0100: 5 ビットデータ	1100: 13 ビットデータ	0101: 6 ビットデータ	1101: 14 ビットデータ	0110: 7 ビットデータ	1110: 15 ビットデータ	0111: 8 ビットデータ	1111: 16 ビットデータ
0000: Reserved(動作未定義)	1000: 9 ビットデータ																		
0001: Reserved(動作未定義)	1001: 10 ビットデータ																		
0010: Reserved(動作未定義)	1010: 11 ビットデータ																		
0011: 4 ビットデータ	1011: 12 ビットデータ																		
0100: 5 ビットデータ	1100: 13 ビットデータ																		
0101: 6 ビットデータ	1101: 14 ビットデータ																		
0110: 7 ビットデータ	1110: 15 ビットデータ																		
0111: 8 ビットデータ	1111: 16 ビットデータ																		

注) スレープモード時はクロックプリスケールを  $SSPCR0<SCR[7:0]>= 0x00$  ,  $SSPCPSR<CPSDVSr[7:0]>=0x02$  に設定してご使用ください。

## 14.3.3 SSPCR1(制御レジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	SOD	MS	SSE	LBM
リセット後	不定	不定	不定	不定	0	0	0	0

Bit	Bit Symbol	Type	機能
31-4	-	W	"0"を書き込んでください。
3	SOD	R/W	スレーブモード SPDO 出力制御 0: 許可 1: 禁止 スレーブモード出力ディセーブル。このビットは、スレーブモード(<MS>=1)の場合にのみ作用します。
2	MS	R/W	マスタ/スレーブモード選択(注) 0: デバイスがマスタ 1: デバイスがスレーブ
1	SSE	R/W	SSP 動作禁止/許可 0: 禁止 1: 許可
0	LBM	R/W	ループバックモード 0: 通常シリアルポート動作イネーブル 1: 送信シリアルシフタの出力が受信シリアルシフタの入力に内部で接続されます。

注) マスタ/スレーブの切り替えビットです。スレーブモードでかつ送信時は、以下の設定順序を必ず守ってください。

- 1) スレーブモードに設定                   :<MS>=1
- 2) 送信データを FIFO に設定           :<DATA>=0x\*\*\*\*\*
- 3) SSP をイネーブルに設定           :<SSE>=1

## 14.3.4 SSPDR(データレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	DATA							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	DATA							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	W	"0"を書き込んでください。
15-0	DATA[15:0]	R/W	送信/受信 FIFO のデータ(0x0000 ~ 0xFFFF) リード時:受信 FIFO ライト時:送信 FIFO  16 ビット未満のデータサイズに合わせてプログラムしている場合は、データを右寄せ(LSB)にする必要があります。先頭の未使用ビットは送信ロジックによって無視されます。受信ロジックは自動的に右寄せを行います。

## 14.3.5 SSPSR(ステータスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	BSY	RFF	RNE	TNF	TFE
リセット後	不定	不定	不定	0	0	0	1	1

Bit	Bit Symbol	Type	機能
31-5	-	W	"0"を書き込んでください。
4	BSY	R	ビジーフラグ 0: アイドル 1: ビジー <BSY>="1" : 現在フレームの送信中/ 受信中であるか、送信 FIFO が空ではないことを示します。
3	RFF	R	受信 FIFO フルフラグ 0: 受信 FIFO がフルではない 1: 受信 FIFO がフル
2	RNE	R	受信 FIFO 空きフラグ 0: 受信 FIFO が空 1: 受信 FIFO が空ではない
1	TNF	R	送信 FIFO フルフラグ 0: 送信 FIFO がフル 1: 送信 FIFO がフルではない
0	TFE	R	送信 FIFO 空きフラグ 0: 送信 FIFO が空ではない 1: 送信 FIFO が空

## 14.3.6 SSPCPSR (クロックプリスケールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	CPSDVSR							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	W	"0"を書き込んでください。
7-0	CPSDVSR[7:0]	R/W	<p>クロックプリスケール除数 設定値:2- 254 の偶数値</p> <p>クロックプリスケール除数。fsys の周波数に基づき、2～254 の偶数値を設定する必要があります。最下位ビットは読み出し時に常に 0 を戻します。</p>

注) スレーブモード時はクロックプリスケールを  $\text{SSPCR0} \langle \text{SCR}[7:0] \rangle = 0x00$  ,  $\text{SSPCPSR} \langle \text{CPSDVSR}[7:0] \rangle = 0x02$  に設定してご使用ください。

## 14.3.7 SSPIMSC(割り込み許可/禁止レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	TXIM	RXIM	RTIM	RORIM
リセット後	不定	不定	不定	不定	0	0	0	0

Bit	Bit Symbol	Type	機能
31-4	-	W	"0"を書き込んでください。
3	TXIM	R/W	送信 FIFO 割り込み許可/禁止設定 0: 禁止 1: 許可 送信 FIFO に半分以下の空領域がある条件割り込みの許可/禁止
2	RXIM	R/W	受信 FIFO 割り込み許可/禁止設定 0: 禁止 1: 許可 受信 FIFO の半分以下がフルである条件割り込みの許可/禁止
1	RTIM	R/W	受信タイムアウト 割り込み許可/禁止設定 0: 禁止 1: 許可 タイムアウト期限までに受信 FIFO にデータが存在し、読み出されていないことを示す割り込みの許可/禁止
0	RORIM	R/W	受信オーバーラン 割り込み許可/禁止設定 0: 禁止 1: 許可 受信 FIFO がフルのときに書き込みが行われたことを示す条件割り込みの許可/禁止

## 14.3.8 SSPRIS (許可前の割り込みステータスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	TXRIS	RXRIS	RTRIS	RORRIS
リセット後	不定	不定	不定	不定	1	0	0	0

Bit	Bit Symbol	Type	機能
31-4	-	W	"0"を書き込んでください。
3	TXRIS	R	許可前の送信割り込みフラグ 0: 割り込み無し 1: 割り込み有り
2	RXRIS	R	許可前の受信割り込みフラグ 0: 割り込み無し 1: 割り込み有り
1	RTRIS	R	許可前の受信タイムアウト割り込みフラグ 0: 割り込み無し 1: 割り込み有り
0	RORRIS	R	許可前の受信オーバーラン割り込みフラグ 0: 割り込み無し 1: 割り込み有り

## 14.3.9 SSPMIS (許可後の割り込みステータスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	TXMIS	RXMIS	RTMIS	RORMIS
リセット後	不定	不定	不定	不定	0	0	0	0

Bit	Bit Symbol	Type	機能
31-4	-	W	"0"を書き込んでください。
3	TXMIS	R	許可後の送信割り込みフラグ 0: 割り込み無し 1: 割り込み有り
2	RXMIS	R	許可後の受信割り込みフラグ 0: 割り込み無し 1: 割り込み有り
1	RTMIS	R	許可後の受信タイムアウト割り込みフラグ 0: 割り込み無し 1: 割り込み有り
0	RORMIS	R	許可後の受信オーバーラン割り込みフラグ 0: 割り込み無し 1: 割り込み有り

## 14.3.10 SSPICR (割り込みクリアレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定						
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定						
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定						
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	RTIC	RORIC
リセット後	不定	不定						

Bit	Bit Symbol	Type	機能
31-2	-	W	"0"を書き込んでください。
1	RTIC	W	受信タイムアウト割り込みフラグをクリア 0:無効 1:クリア
0	RORIC	W	受信オーバーラン割り込みフラグをクリア 0:無効 1:クリア

## 14.4 SSP の概要

SSP は、3 種類の同期シリアルインタフェース機能を持つ周辺デバイスと、シリアル通信が可能なインタフェースです。

SSP は、周辺デバイスから受信したデータのシリアル-パラレル変換を実行します。

送信パスと受信パスは、送信モードと受信モードにおいて 16 ビット幅 8 段のそれぞれ独立した送信 FIFO と受信 FIFO にデータをバッファリングします。シリアルデータは、SPDO から送信し、SPDI から受信します。

SSP には、入力クロック  $f_{sys}$  からシリアル出力クロック SPCLK を生成するために、プログラム可能なプリスケアラが含まれています。SSP の動作モード、フレーム形式ならびにデータサイズは、制御レジスタ SSPCR0 および SSPCR1 を通じてプログラムします。

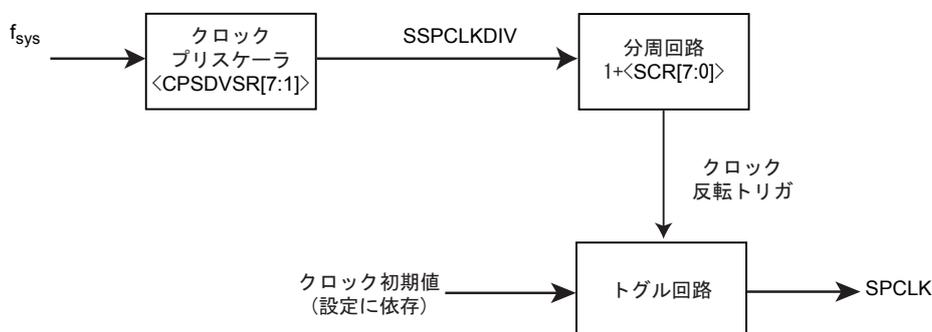
### 14.4.1 クロックプリスケアラ

マスタとして動作する場合、シリアル出力クロック SPCLK を生成するために、シリアルにリンクした 2 つのフリーランカウンタから構成されるクロックプリスケアラが使用されます。

このクロックプリスケアラは、SSPCPSR レジスタを介し、2~254 の偶数ステップで  $f_{sys}$  を除算するようにプログラムすることができます。SSPCPSR レジスタの最下位ビットを使用しないことにより、奇数ステップによるプログラミングはされなくなります。

プリスケアラの出力は、さらに SSPCR0 レジスタにプログラミングされた値に+1 された 1~256 のステップで除算され、マスタ出力クロック SPCLK が生成されます。

$$\text{ビットレート} = f_{sys} / (<CPSDVSR> \times (1 + <SCR>))$$



### 14.4.2 送信 FIFO

マスタおよびスレーブモード共有の 16 ビット幅 8 段の送信 FIFO バッファです。

### 14.4.3 受信 FIFO

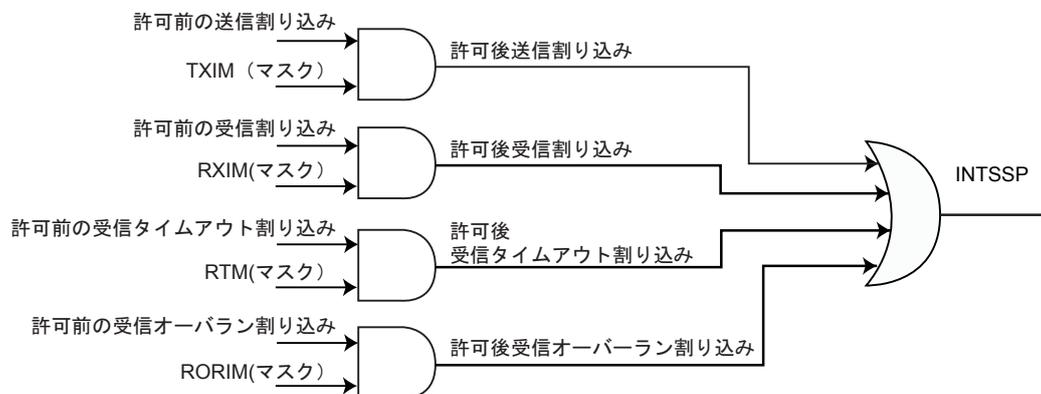
マスタおよびスレーブモード共有の 16 ビット幅 8 段の受信 FIFO バッファです。

### 14.4.4 割り込み生成ロジック

SSP によって、個々にマスク可能なアクティブの割り込みが生成されます。

送信割り込み	送信 FIFO の空領域が半分以上である条件割り込み(送信FIFO内の有効データ数 $\leq 4$ )
受信割り込み	受信 FIFO の有効データが半分以上である条件割り込み(受信FIFO内の有効データ数 $\geq 4$ )
タイムアウト割り込み	タイムアウトまでに読み出されていないデータが受信 FIFO に存在することを示す割り込み
オーバラン割り込み	受信 FIFO がフルのときに書き込みが行われたことを示す条件割り込み

また、マスクされた個々のソースを 1 つの割り込みに結合しています。上記割り込みのいずれかがアサートされると、結合割り込み INTSSP がアサートされます。



#### a. 送信割り込み

送信割り込みは、送信 FIFO 内の有効エントリが 4 エントリ以下になるとアサートされます。SSP 動作ディセーブル(SSPCR1<SSE>=0)でも送信割り込みが発生します。

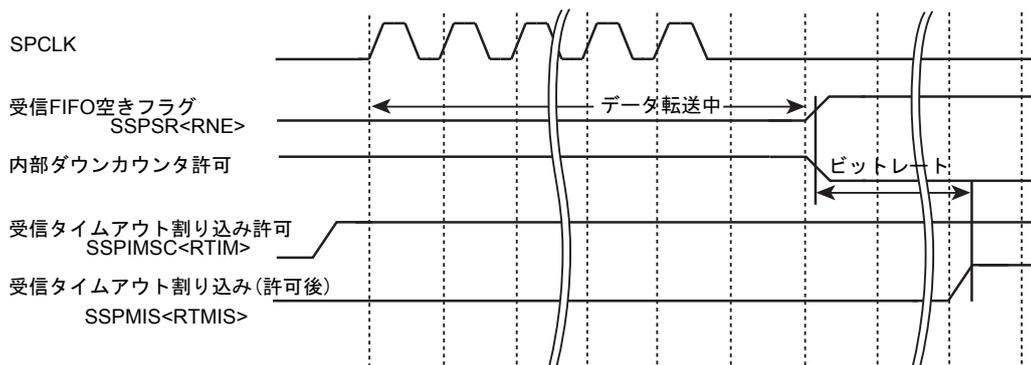
初回の送信データは、本割り込みを使用して FIFO に書き込むことができます。

#### b. 受信割り込み

受信 FIFO 内の有効エントリが 4 エントリ以上になるとアサートされます。

#### c. タイムアウト割り込み

タイムアウト割り込みは、受信 FIFO が空ではないときに SSP が一定の 32 ビット周期(ビットレート)の間アイドル状態を続けるとアサートされます。この機構により、ユーザは受信 FIFO にまだデータが存在し、処理が必要であることを認識することができます。マスタ/スレーブモード共に発生します。タイムアウト割り込みが発生した場合は、受信 FIFO から全データをリードしてください。全データをリードしない場合でも、受信 FIFO に空きがあり、かつ転送データ数が受信 FIFO の空き以下であれば送受信可能です。なお、転送開始でタイムアウト割り込みはクリアされます。また、受信 FIFO に空きがない状態で送受信を行った場合、タイムアウト割り込みはクリアされオーバラン割り込みが発生します。



#### d. オーバラン割り込み

受信 FIFO が既にフルのときに次のデータ(9 個目)を受信すると、転送終了直後、受信オーバーラン割り込みが発生します。オーバーラン割り込み発生以降の受信データ (9 個目のデータを含む) は無効となり、破棄されます。ただし、9 個目のデータ受信前(割り込み発生する前)に受信 FIFO のデータをリードすると、9 個目の受信データは有効データとして受信 FIFO に書き込まれます。オーバーラン割り込みが発生した場合、正しい転送を行なうためには、SSPICR<RORIC>に"1"を書き込んだ後、受信 FIFO から全データをリードしてください。全データをリードしない場合でも、受信 FIFO に空きがあり、かつ転送データ数が受信 FIFO の空き以下であれば送受信可能です。なお、オーバーラン割り込みをクリアした後、一定の 32 ビット周期(ビットレート)の間、受信 FIFO をリードしない場合(受信 FIFO が空ではない時)はタイムアウト割り込みが発生します。

## 14.5 SSP の動作

### 14.5.1 SSP の初期設定

SSP 通信プロトコルの設定は SSP がディセーブルの状態、設定する必要があります。制御レジスタ SSPCR0 および SSPCR1 を使って、以下のいずれかのプロトコルに設定し、本 SSP をマスタまたはスレーブに設定してください。また、通信速度に関して、クロックプリスケールレジスタ SSPCPSR および SSPCR0<SCR>を設定してください。

本 SSP は以下のプロトコルをサポートします。

- SPI
- SSI
- Microwire

### 14.5.2 SSP のイネーブル

送信 FIFO に送信データが書き込まれていて、かつ動作イネーブルした時、もしくは動作イネーブル状態で送信 FIFO に送信データが書き込まれたときに転送が開始されます。

ただし、動作イネーブルにした時に送信 FIFO が 4 エントリ以下の場合には送信割り込みが発生します。この割り込みを使って初回データを書き込むことも可能です。

注) SPI のスレーブモードでかつ SPFSS 端子未使用の場合、イネーブルする前に必ず 1Byte 以上のデータを送信 FIFO に書き込んでください。送信 FIFO が空の状態ではイネーブルすると、転送データが正常に出力されません。

### 14.5.3 クロック比

SPxCLK の周波数設定は以下の条件を満たす必要があります。

- マスタモードの場合
$$f_{\text{SPCLK}}(\text{最大}) \rightarrow f_{\text{sys}} / 2$$
$$f_{\text{SPCLK}}(\text{最小}) \rightarrow f_{\text{sys}} / (254 \times 256)$$
- スレーブモードの場合
$$f_{\text{SPCLK}}(\text{最大}) \rightarrow f_{\text{sys}} / 12$$
$$f_{\text{SPCLK}}(\text{最小}) \rightarrow f_{\text{sys}} / (254 \times 256)$$

注) マスタモード時の最大転送速度は 10Mbps 以下になるように設定してください。

## 14.6 フレーム形式

各フレームフォーマットは、プログラムされたデータのサイズにより、4~16ビットの幅を持ち、MSBから送信が開始されます。

- ・ シリアルクロック (SPCLK)

SSP がアイドル状態の間は SSI と Microwire では Low でホールドされ、SPI では非アクティブでホールドされます。また、データ送信中にのみ設定されたビットレートで出力されます。

- ・ シリアルフレーム (SPFSS)

SPI および Microwire のフレーム形式では、Low アクティブとなり、フレームの送信中は常に Low にアサートされます。

SSI フレーム形式の場合は、各フレームの送信前に 1 ビットレートの間のみアサートされます。このフレーム形式では、SPCLK の立ち上がりエッジで出力データを送信し、その立下りエッジで入力データを受信します。

各フレームフォーマットの詳細は「14.6.1~14.6.3」を参照してください。

### 14.6.1 SSI のフレームフォーマット

このモードでは、SSP はアイドル状態で SPCLK および SPFSS が Low にセットされ、送信データライン SPDO が Hi-Z になります。送信 FIFO にデータをライトすると、マスタは SPFSS ラインに 1 SPCLK 分の High パルスを出力します。送信データは送信 FIFO から送信のシリアルシフトレジスタに転送されます。SPCLK の次の立ち上がりエッジで、MSB から 4～16 ビットのデータが SPDO 端子により出力されます。

同様に、受信データは SPCLK の立ち下がりエッジで MSB から SPDI 端子に入力されます。受信されたデータは、その LSB データがラッチされた後、SPCLK の立ち上がりエッジでシリアルシフトレジスタから受信 FIFO に転送されます。

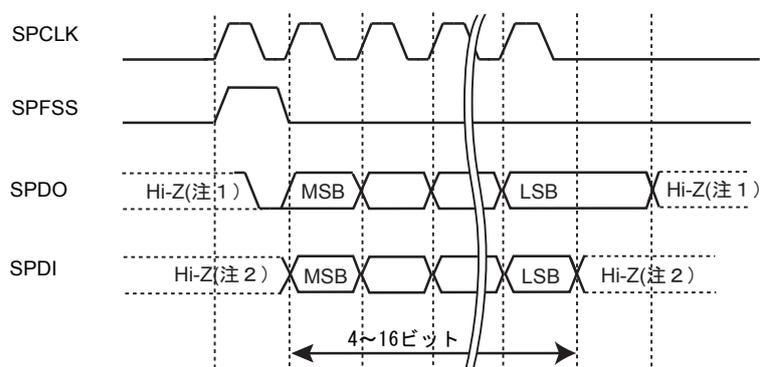


図 14-2 SSI フレームフォーマット (シングル転送送受信)

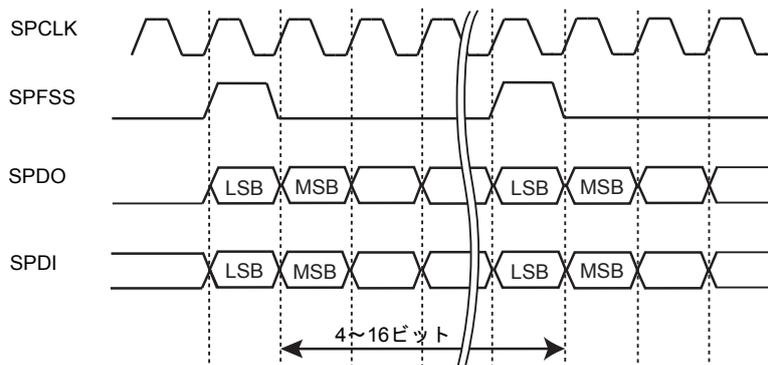


図 14-3 SSI フレームフォーマット (連続転送送受信)

- 注 1) SPDO 端子は非送信中に出力 OFF となり Hi-Z 状態となります。そのため、システムに合わせプルアップ/プルダウン抵抗によるレベル固定をしてください。
- 注 2) SPDI 端子は常時入力となっていますので、送信側が非送信中に出力 OFF となる場合はプルアップ/プルダウン抵抗によるレベル固定をしてください。

## 14.6.2 SPI フレームフォーマット

SPI インタフェースは4線インタフェースであり、SPFSS はスレーブ選択として動作します。SPI フォーマットの主な特長は、SPCLK の動作タイミングを SSPCR0 レジスタ内の<SPO> ビットと<SPH> ビットを使って、設定できます。

SSPCR0<SPO>はアイドル状態時の SPCLK をホールドするレベルを設定します。

SSPCR0<SPH>はデータをラッチするクロックエッジを選択します。

	SSPCR0<SPO>	SSPCR0<SPH>
0	Low 状態	1st クロックエッジでデータを取り込み
1	High 状態	2nd クロックエッジでデータを取り込み

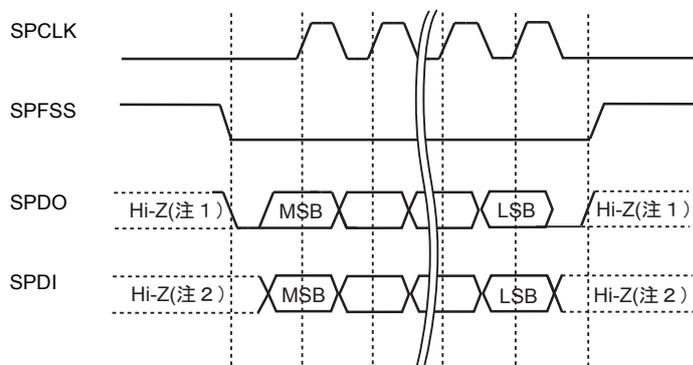


図 14-4 SPI フレームフォーマット（シングル転送、<SPO>=0 & <SPH>=0）

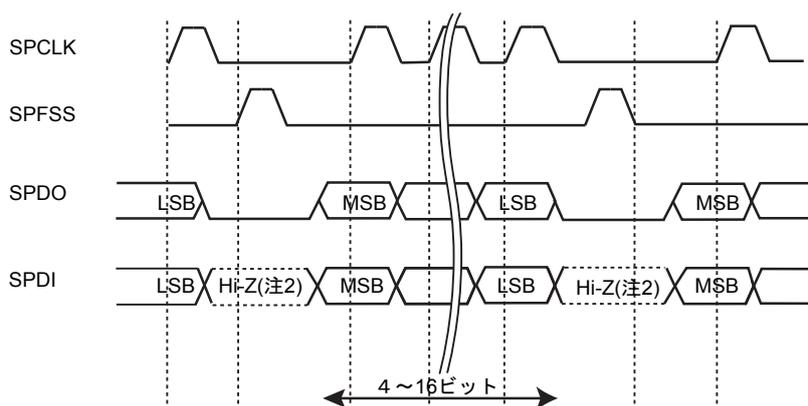


図 14-5 SPI フレームフォーマット（連続転送、<SPO>=0 & <SPH>=0）

注 1) SPDO 端子は非送信中に出力 OFF となり Hi-Z 状態となります。そのため、システムに合わせプルアップ/プルダウン抵抗によるレベル固定をしてください。

注 2) SPDI 端子は常時入力となっていますので、送信側が非送信中に出力 OFF となる場合はプルアップ/プルダウン抵抗によるレベル固定をしてください。

<SPO>=0 におけるアイドル周期では、

- SPCLK が Low にセットされます。
- SPFSS が High にセットされます。
- 送信データライン SPDO が Low にセットされます。

SSP がイネーブルされているときに送信 FIFO 内に有効データが存在する場合、送信開始は Low でドライブされる SPFSS マスタシグナルによって通知されます。これにより、マスタの SPDI 入力ラインでスレーブデータがイネーブルされます。

SPCLK の半周期後、有効マスタデータが SPDO ピンに転送されます。これで、マスタデータとスレーブデータの両方がセットされ、SPCLK のさらに半周期後に SPCLK マスタクロックピンが High になります。その後、データは SPCLK シグナルの立ち上がりエッジで捕捉され、立下りエッジで伝達されます。

シングル転送の場合、そのデータワードの全ビットの転送が完了し、その末尾ビットが捕捉されてから SPCLK 1 周期後に、SPFSS ラインがアイドル High 状態に戻ります。

しかし、連続転送の場合には、各データワード転送間で SPFSS シグナルを High でパルスする必要があります。これは、スレーブ選択ピンがそのシリアルペリフェラルレジスタにデータをフリーズし、<SPH> ビットが論理 0 の場合は変更を許可しないためです。

したがって、シリアルペリフェラルデータの書き込みをイネーブルするには、マスタデバイスが各データ転送間でスレーブデバイスの SPFSS ピンをドライブする必要があります。連続転送が完了すると、末尾ビットが捕捉されてから SPCLK 1 周期後に SPFSS ピンがアイドル状態に戻ります。

### 14.6.3 Microwire のフレームフォーマット

Microwire 形式は半二重モードで動作する特殊なマスター-スレーブ伝達方式を使用します。このモードでは、フレームの開始時に 8 ビットの制御メッセージがスレーブに送信されます。この送信中、SSP はデータを受信しません。メッセージが送信された後、スレーブがそれをデコードし、8 ビット制御メッセージの末尾ビットの送信から 1 シリアルクロック間待機した後、要求されたデータで応答します。戻されるデータの長さは 4~16 ビットであり、全体のフレーム長は 13~25 ビットとなります。

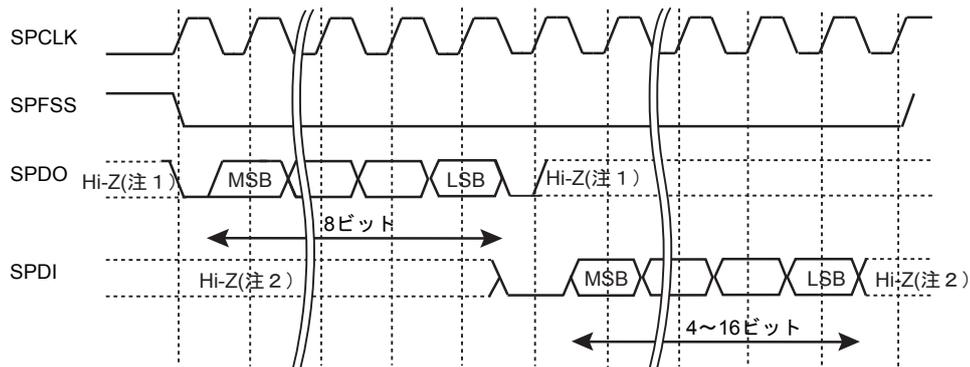


図 14-6 Microwire フレームフォーマット (シングル転送)

- 注 1) SPDO 端子は非送信中に出力 OFF となり Hi-Z 状態となります。そのため、システムに合わせプルアップ/プルダウン抵抗によるレベル固定をしてください。
- 注 2) SPDI 端子は常時入力となっていますので、送信側が非送信中に出力 OFF となる場合はプルアップ/プルダウン抵抗によるレベル固定をしてください

Microwire 形式は SPI 形式と非常に似ていますが、全二重ではなく半二重通信のマスター-スレーブメッセージ伝達方式を使用する点が異なります。各シリアル伝送は、SSP からオフチップスレーブデバイスに送信される 8 ビットの制御ワードで開始されます。この送信中、SSP は入力データを受信しません。このメッセージの送信後、オフチップスレーブがこれをデコードし、8 ビット制御メッセージの末尾ビット送信後から 1 シリアルクロックが経過するまで待機し、要求されたデータで応答します。戻されるデータは 4~16 ビット長、フレーム全体は 13~25 ビット長になります。このコンフィギュレーションにおけるアイドル周期では：

- ・ SPCLK が Low にセットされます。
- ・ SPFSS が High にセットされます。
- ・ 送信データライン SPDO が Low にセットされます。

伝送は送信 FIFO への制御バイトの書き込みによってトリガされます。SPFSS の立下りエッジによって送信 FIFO の最下位エントリにストアされていた値が送信ロジックのシリアルシフトレジスタに転送され、8 ビット制御フレームの MSB が SPDO ピンにシフトアウトされます。

このフレーム伝送の間、SPFSS は Low でホールドされ、SPDI ピンはトライステートでホールドされます。オフチップシリアルスレーブデバイスは、SPCLK の立ち上がりエッジでそのシリアルシフトに各制御ビットをラッチします。

スレーブデバイスによって末尾ビットがラッチされると、1 クロックウェイト状態の間にその制御バイトがデコードされ、スレーブはデータを送信することによって SSP に応答します。各ビットは、SPCLK の立下りエッジで SPDI ラインにドライブされます。

一方、SSP は SPCLK の立ち上がりエッジで各ビットをラッチします。シングル転送の場合は、フレームの終わりで末尾ビットが受信シリアルシフトにラッチされてから 1 クロック周期後に SPFSS シグナルが High にプルされ、これによってデータが受信 FIFO に転送されます。

注) オフチップスレーブデバイスは、受信シフトによって LSB がラッチされた後の SPCLK の立下りエッジで、または SPFSS ピンが High になるときのどちらかで、受信ラインをトライステートでホールドすることができます。

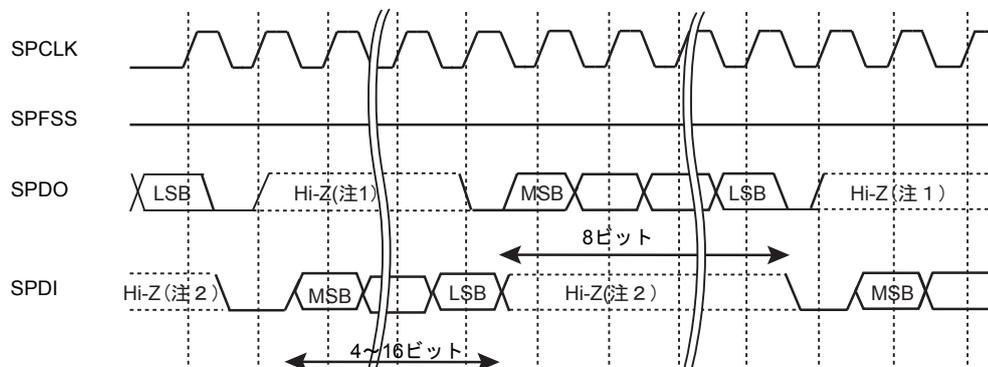


図 14-7 Microwire フレームフォーマット (連続転送)

注 1) SPDO 端子は非送信中に出力 OFF となり Hi-Z 状態となります。そのため、システムに合わせプルアップ/プルダウン抵抗によるレベル固定をしてください。

注 2) SPDI 端子は常時入力となっていますので、送信側が非送信中に出力 OFF となる場合はプルアップ/プルダウン抵抗によるレベル固定をしてください。

連続転送の場合、データ伝送の開始と終了はシングル転送の場合と同じように行われます。しかし、SPFSS ラインは常にアサート(Low でホールド)され、データの伝送が次から次に発生します。

次のフレームの制御バイトは、現在のフレームから受信されたデータの LSB の直後に続きます。受信された各値は、そのフレームの LSB が SSP にラッチされた後、SPCLK の立下りエッジで受信シフトから転送されます。

注) (接続例)SSP は、システム内におけるマスタ/スレーブの dynamics 切り替えをサポートしていません。各 SSP の例は、マスタまたはスレーブのどちらかとして構成/接続されています。

## 第 15 章 リモコン判定機能(RMC)

### 15.1 概要

搬送波が取り除かれたリモコン信号の受信を行います。

#### 15.1.1 リモコン受信

- ・ サンプルングクロックは低周波クロック(32.768 kHz)とタイマ出力(TBxOUT)を選択可能
- ・ ノイズキャンセル時間を調整可能
- ・ リーダ検出
- ・ 最大 72bit まで一括受信

### 15.2 ブロック図

図 15-1 にリモコン判定機能のブロック図を示します。

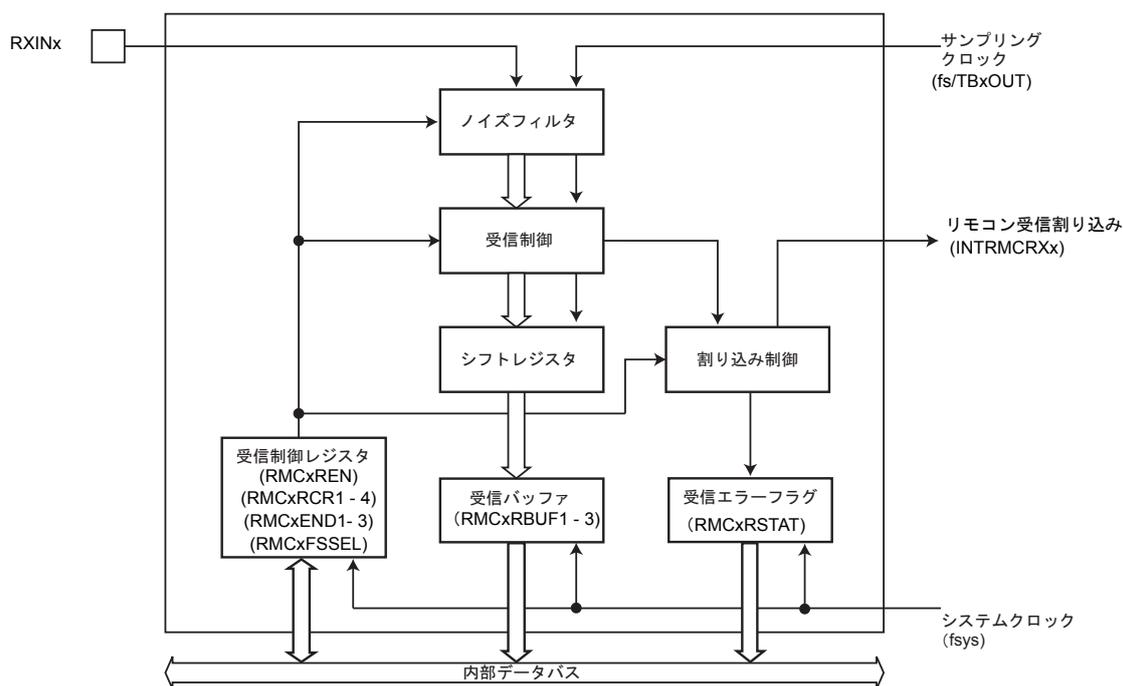


図 15-1 リモコン判定機能ブロック図

## 15.3 レジスタ説明

### 15.3.1 レジスタ一覧

リモコン判定機能の制御レジスタとアドレスは以下のとおりです。

Base Address = 0x4004\_0400

レジスタ名		Address(Base+)
リモコンイネーブルレジスタ	RMCxEN	0x0000
受信イネーブルレジスタ	RMCxREN	0x0004
受信データバッファレジスタ 1	RMCxRBUF1	0x0008
受信データバッファレジスタ 2	RMCxRBUF2	0x000C
受信データバッファレジスタ 3	RMCxRBUF3	0x0010
受信コントロールレジスタ 1	RMCxRCR1	0x0014
受信コントロールレジスタ 2	RMCxRCR2	0x0018
受信コントロールレジスタ 3	RMCxRCR3	0x001C
受信コントロールレジスタ 4	RMCxRCR4	0x0020
受信ステータスレジスタ	RMCxRSTAT	0x0024
受信終了ビット数レジスタ 1	RMCxEND1	0x0028
受信終了ビット数レジスタ 2	RMCxEND2	0x002C
受信終了ビット数レジスタ 3	RMCxEND3	0x0030
ソースクロック選択レジスタ	RMCxFSSEL	0x0034

## 15.3.2 RMCxEN(イネーブルレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	RMCEN
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	-	R	リードすると"0"が読めます。
1	-	R/W	"1"をライトしてください。
0	RMCEN	R/W	リモコン判定機能動作 0: 禁止 1: 許可 リモコン判定機能の動作を制御します。 リモコン判定機能を使用する場合は、まずこのビットを許可に設定してください。 動作禁止の状態では、イネーブルレジスタを除くリモコン判定機能のすべてのクロックが停止しますので消費電力の低減が可能です。 リモコン判定機能をいったん動作させた後に、動作禁止にした場合は各レジスタの設定は保持されます。

## 15.3.3 RMCxREN(受信イネーブルレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	RMCREN
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-1	-	R	リードすると"0"が読めます。
0	RMCREN	R/W	受信 0: 禁止 1: 許可 受信動作を制御します。 このビットを"1"にすることで受信待ち状態になります。

注) <RMCREN>ビットは、RMCxRCR1, 2, 3 を設定した後に許可してください。

## 15.3.4 RMCxRBUF1(受信データバッファレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	RMCxRBUF(受信データ 31 ~ 24 ビット)							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	RMCxRBUF(受信データ 23 ~ 16 ビット)							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	RMCxRBUF(受信データ 15 ~ 8 ビット)							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	RMCxRBUF(受信データ 7 ~ 0 ビット)							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-0	RMCxRBUF[31:0]	R	受信データ(31 ビット ~ 0 ビット) 受信した 4 バイト分のデータ(31 ビット ~ 0 ビット)が読めます。

## 15.3.5 RMCxRBUF2(受信データバッファレジスタ 2)

	31	30	29	28	27	26	25	24
bit symbol	RMCxRBUF(受信データ 63 ~ 54 ビット)							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	RMCxRBUF(受信データ 55 ~ 48 ビット)							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	RMCxRBUF(受信データ 47 ~ 40 ビット)							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	RMCxRBUF(受信データ 39 ~ 32 ビット)							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-0	RMCxRBUF[63:32]	R	受信データ(63 ビット ~ 32 ビット) 受信した 4 バイト分のデータ(63 ビット ~ 32 ビット)が読めます。

## 15.3.6 RMCxRBUF3(受信データバッファレジスタ 3)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	RMCxRBUF(受信データ 71 ~ 64 ビット)							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-0	RMCxRBUF[71:64]	R	受信データ(71 ビット~64 ビット) 受信した 1 バイト分のデータ(71 ビット~64 ビット)が読めます。

注) 受信データは、最初に受信したビットがデータバッファレジスタの MSB 側に、最後に受信したビットが LSB (Bit0)に格納されます。

LSB first のリモコン信号を受信した場合、ビットの重みが逆順のデータがレジスタへ格納されますので、ご注意ください。

15.3.7 RMCxRCR1(受信コントロールレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	RMCLCMAX							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	RMCLCMIN							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	RMCLLMAX							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	RMCLLMIN							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-24	RMCLCMAX[7:0]	R/W	リーダ検出の周期期間の上限設定 上限期間の計算式 : $\langle \text{RMCLCMAX} \rangle \times 4/\text{fs}[\text{s}]$
23-16	RMCLCMIN[7:0]	R/W	リーダ検出の周期期間の下限設定 下限期間の計算式 : $\langle \text{RMCLCMIN} \rangle \times 4/\text{fs}[\text{s}]$
15-8	RMCLLMAX[7:0]	R/W	リーダ検出の Low 期間の上限設定 上限期間の計算式 : $\langle \text{RMCLLMAX} \rangle \times 4/\text{fs}[\text{s}]$
7-0	RMCLLMIN[7:0]	R/W	リーダ検出の Low 期間の下限設定 下限期間の計算式 : $\langle \text{RMCLLMIN} \rangle \times 4/\text{fs}[\text{s}]$ RMCxRCR2<RMCLD> = 1 のときは、Low 幅が設定値未満の場合データビットと判別します。

注) リーダ検出の設定では以下の関係式を守ってください。

リーダ種類	関係式
Low 幅 + High 幅	$\langle \text{RMCLCMAX}[7:0] \rangle > \langle \text{RMCLCMIN}[7:0] \rangle$ $\langle \text{RMCLLMAX}[7:0] \rangle > \langle \text{RMCLLMIN}[7:0] \rangle$ $\langle \text{RMCLCMIN}[7:0] \rangle > \langle \text{RMCLLMAX}[7:0] \rangle$
High 幅のみ	$\langle \text{RMCLCMAX}[7:0] \rangle > \langle \text{RMCLCMIN}[7:0] \rangle$ $\langle \text{RMCLLMAX}[7:0] \rangle = 0\text{x}00$ $\langle \text{RMCLLMIN}[7:0] \rangle = \text{don't care}$
リーダなし	$\langle \text{RMCLCMAX}[7:0] \rangle = 0\text{x}00$ $\langle \text{RMCLCMIN}[7:0] \rangle = \text{don't care}$ $\langle \text{RMCLLMAX}[7:0] \rangle = \text{don't care}$ $\langle \text{RMCLLMIN}[7:0] \rangle = \text{don't care}$

### 15.3.8 RMCxRCR2(受信コントロールレジスタ 2)

	31	30	29	28	27	26	25	24
bit symbol	RMCLIEN	RMCEDIEN	-	-	-	-	RMCLD	RMCPHM
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	RMCLL							
リセット後	1	1	1	1	1	1	1	1
	7	6	5	4	3	2	1	0
bit symbol	RMCDMAX							
リセット後	1	1	1	1	1	1	1	1

Bit	Bit Symbol	Type	機能
31	RMCLIEN	R/W	リーダ検出割り込み発生時の許可 0: 割り込み発生しない 1: 割り込み発生する
30	RMCEDIEN	R/W	リモコン入力立ち下がりエッジ割り込み発生時の許可 0: 割り込み発生しない 1: 割り込み発生する
29-26	-	R	リードすると"0"が読めます。
25	RMCLD	R/W	リーダありとリーダなしのリモコン信号を両方受信可能なモード設定 0: 禁止 1: 許可
24	RMCPHM	R/W	位相方式のリモコン受信モードの設定 0: 位相方式のリモコン信号を受信しない(周期方式で受信) 1: 周期固定の位相方式のリモコン信号を受信する 周期が固定の位相方式のリモコン信号の場合は、"1"を設定します。
23-16	-	R	リードすると"0"が読めます。
15-8	RMCLL[7:0]	R/W	Low 幅の検出による受信終了/割り込み発生時のタイミングの設定 0000_0000~1111_1110: <RMCLL> × 1/fs[s]で受信終了/割り込み発生 1111_1111: Low 幅検出で受信終了/割り込みの設定をしない
7-0	RMCDMAX[7:0]	R/W	データビットの周期 MAX で受信終了/割り込み発生時の設定 0000_0000~1111_1110: <RMCDMAX> × 1/fs[s]で受信終了/割り込み発生 1111_1111: データビットの周期 MAX で受信終了/割り込み発生しない

15.3.9 RMCxRCR3(受信コントロールレジスタ 3)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	RMCDATH						
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	RMCDATL						
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-15	-	R	リードすると"0"が読めます。
14-8	RMCDATH[6:0]	R/W	データビットの3値判定のしきい値上位設定 しきい値の計算式： $\langle \text{RMCDATH} \rangle \times 1/\text{fs}[\text{s}]$ 位相方式のリモコン信号の3値判定の1.5Tと2Tのしきい値の設定をします。 データビットの測定結果がしきい値以上でデータを"10"、しきい値未満でデータを"01"と判別します。
7	-	R	リードすると"0"が読めます。
6-0	RMCDATL[6:0]	R/W	データビットの0/1判別および3値判定のしきい値下位設定 しきい値の計算式： $\langle \text{RMCDATL} \rangle \times 1/\text{fs}[\text{s}]$ データビットの0/1判定のしきい値および、位相方式のリモコン信号の3値判定の1Tと1.5Tのしきい値の設定をします。 データビットの0/1判定の場合、測定結果がしきい値以上でデータ"1"、しきい値未満でデータ"0"と判別します。 位相方式のリモコン信号の3値判定の場合、データビットの測定結果がしきい値以上でデータを"01"、しきい値未満でデータ"00"と判別します。

注) RMCxRCR2<RMCPHM> = "0"のとき、<RMCDATH[6:0]>は有効になりません。<RMCPHM> = "1"のときのみ有効となります。

## 15.3.10 RMCxRCR4(受信コントロールレジスタ 4)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	RMCP0	-	-	-	RMCNC			
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	RMCP0	R/W	リモコン入力信号の極性選択 0: 正極 1: 負極
6-4	-	R	リードすると"0"が読めます。
3-0	RMCNC[3:0]	R/W	ノイズ除去時間の設定 0000: ノイズ除去しない 0001~1111: ノイズ除去 ノイズ除去時間の計算式 : <RMCNC> × 1/fs[s]

## 15.3.11 RMCxRSTAT(受信ステータスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	RMCRILF	RMCLOIF	RMCDMAXIF	RMCEDIF	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	RMCRILDR	RMCNUM						
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます。
15	RMCRILF	R	割り込み要因フラグ 0: リーダ検出割り込みは発生していない 1: リーダ検出割り込みが発生
14	RMCLOIF	R	割り込み要因フラグ 0: Low 幅検出割り込みは発生していない 1: Low 幅検出割り込みが発生
13	RMCDMAXIF	R	割り込み要因フラグ 0: データビット周期 MAX 割り込みは発生していない 1: データビット周期 MAX 割り込みが発生
12	RMCEDIF	R	割り込み要因フラグ 0: 立ち下がりエッジ割り込みは発生していない 1: 立ち下がりエッジが発生
11-8	-	R	リードすると"0"が読めます。
7	RMCRILDR	R	リーダー検出 0: リーダ検出なし 1: リーダ検出あり
6-0	RMCNUM[6:0]	R	リモコン受信したデータビット数 000_0000: データビットなし(リーダーのみ) 000_0001~100_1000: 1~72bit 受信 100_1001~111_1111: 73bit 以上 リモコン受信したデータビット数を示します。データビット数は受信終了後に格納され、受信途中のビット数はモニタすることはできません。

注 1) このレジスタは割り込み発生時に最新状態に更新されます。このレジスタへの書き込み動作は無視されます。

注 2) 73bit 以上のデータを受信しても受信終了の条件を満たす波形が入力されない場合はデータを受信し続けます。このとき、データバッファの内容については保証しません。

## 15.3.12 RMCxEND1(受信終了ビット数レジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	RMCEND1						
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-7	-	R	リードすると"0"が読めます。
6-0	RMCEND1[6:0]	R/W	受信するデータのビット数を設定 000_0000 : 受信ビット数の設定をしない 000_0001 ~ 100_1000 : 受信ビット数(1 ~ 72 ビット)を設定 100_1001 ~ 111_1111 : 設定禁止

## 15.3.13 RMCxEND2(受信終了ビット数レジスタ 2)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	RMCEND2						
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-7	-	R	リードすると"0"が読めます。
6-0	RMCEND2[6:0]	R/W	受信するデータのビット数を設定 000_0000 : 受信ビット数の設定をしない 000_0001 ~ 100_1000 : 受信ビット数(1 ~ 72 ビット)を設定 100_1001 ~ 111_1111 : 設定禁止

## 15.3.14 RMCxEND3(受信終了ビット数レジスタ 3)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	RMCEND3						
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-7	-	R	リードすると"0"が読めます。
6-0	RMCEND3[6:0]	R/W	受信するデータのビット数を設定 000_0000 : 受信ビット数の設定をしない 000_0001 ~ 100_1000 : 受信ビット数(1 ~ 72 ビット)を設定 100_1001 ~ 111_1111 : 設定禁止

注 1) RMCxEND1 ~ 3 を設定することで、最大 3 通りの受信ビット数の設定が可能です。

注 2) RMCxEND1 ~ 3 はデータビット周期 MAX との組み合わせで使用します。

## 15.3.15 RMCxFSSEL(ソースクロック選択レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	RMCLK
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-1	-	R	リードすると"0"が読めます。
0	RMCLK	R/W	RMC サンプリングクロック選択 0: 低速クロック(32.768kHz) 1: タイマ出力(TBxBOUT) RMC 機能のサンプリングクロックとして、低速クロック(32.768kHz)かタイマ出力(TBxBOUT)を選択することができます。使用できるタイマ出力については、「製品情報」の章を参照してください。 TBxBOUT にて設定できるタイマ出力範囲は 30 ~ 34kHz です。

注) RMCxFSSEL レジスタにてサンプリングクロックを切り替える場合は、RMCxEN<RMCEN>で RMC をいったん停止(禁止)させ、再度動作(許可)設定した後、他の RMC 関連レジスタよりも先に設定してください。

## 15.4 動作説明

### 15.4.1 リモコン受信

#### 15.4.1.1 サンプリングブロック

リモコン信号のサンプリングは、32.768kHzの低速クロック(fs)または16ビットタイムフリップフロップ出力TBxOUTで行います。

RMCxFSSEL<RMCLK>で使用するクロックを選択してください。使用できるタイマ出力については、「製品情報」の章を参照してください。

#### 15.4.1.2 基本動作

リーダを検出すると、RMCxRSTAT<RMCLDR>がセットされます。

この時、RMCxRCR2<RMCLIEN>を設定しておく、リーダ検出時にリーダ検出割り込みが発生します。リーダ割り込み発生時には、RMCxRSTAT<RMCLIF>がセットされます。

リーダ検出後、データビットの0/1判定を順次行い、結果をRMCxRBUF1, 2, 3レジスタに最大72bitまで格納します。RMCxRCR2<RMCEDIEN>を設定しておく、データビットの立ち下がりエッジごとにリモコン入力立ち下がりエッジ割り込みが発生します。リモコン入力立ち下がりエッジ割り込み発生時には、RMCxRSTAT<RMCEDIF>がセットされます。

受信動作はデータビット周期MAXの検出および、Low幅の検出が設定値になったところで終了となり、受信終了/割り込み発生となります。RMCxEND1 ~ 3レジスタの<RMCEND1>、<RMCEND2>、<RMCEND3>を設定している場合は、データビット周期MAX検出までの受信したビット数が一致した場合のみ、受信終了/割り込み発生となります。

受信終了時の状態は、リモコン受信ステータスレジスタを読み出すことで知ることができます。

受信終了後、リーダ待ちとなります。

データビットのみのリモコン信号を受信する設定をすると、リーダの検出はせずに最初からデータとして扱い、受信を行います。

受信したデータを読み出す前に、次の受信が終了すると受信データは書き換わります。

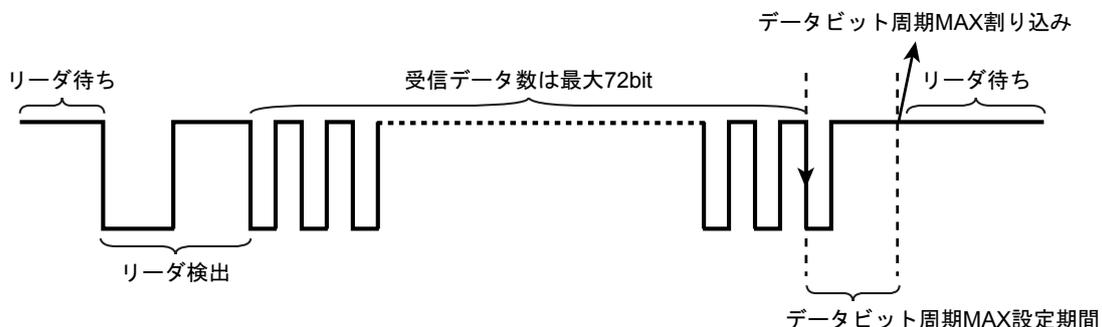


図 15-2 データビットの周期 Max で受信終了の場合

### 15.4.1.3 リモコン受信の準備

受信を開始する前に、リモコン受信コントロールレジスタ(RMCxRCR1, 2, 3, 4)でリモコン受信動作の設定を行います。

#### (1) ノイズキャンセル時間の設定

RMCxRCR4<RMCNC[3:0]>でノイズキャンセル時間を設定します。

ノイズキャンセルは、サンプリングクロックでリモコン信号をサンプリングした信号に対して行います。サンプリングクロックの立ち上がりエッジごとにサンプリング後のリモコン信号を観測し、現在"High"であれば、<RMCNC>で設定されたサイクル分の"Low"が観測されたときに信号が"Low"に変化したと認識し、現在"Low"であれば、<RMCNC>で設定されたサイクル分の"High"が観測されたとき"High"に変化したと認識します。

次の図は、ノイズキャンセルの設定を<RMCNC[3:0]>="0011" (3 サイクル)とした場合の動作です。ノイズキャンセル後の信号は、"High"の状態から、"Low"が 3 サイクル観測されたところで"Low"に変化し、"Low"の状態から、"High"が 3 サイクル観測されたところで"High"に変化します。

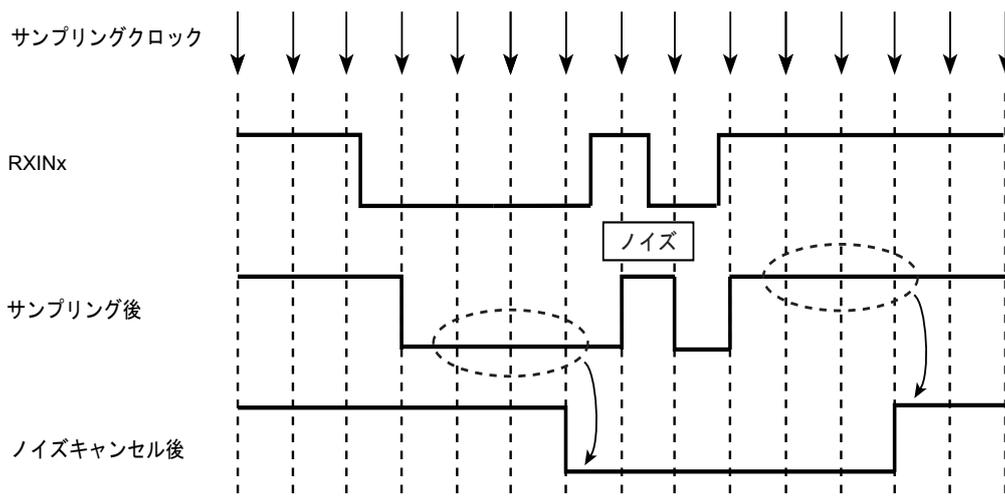


図 15-3 ノイズキャンセル(RMCxRCR4<RMCNC[3:0]>="0011"(3 サイクル)の場合)

## (2) リーダ検出の設定

リーダー検出の設定は、リーダーの周期と Low 幅の値を設定します。RMCxRCR1 レジスタの <RMCLLMIN[7:0]>, <RMCLLMAX[7:0]>, <RMCLCMIN[7:0]>, <RMCLCMAX[7:0]> にリーダー検出のための設定を行います。RMCxRCR1 レジスタを設定するときは、次の関係で行ってください。

リーダー種類	関係式
Low 幅 + High 幅	$\langle \text{RMCLCMAX}[7:0] \rangle > \langle \text{RMCLCMIN}[7:0] \rangle$ $\langle \text{RMCLLMAX}[7:0] \rangle > \langle \text{RMCLLMIN}[7:0] \rangle$ $\langle \text{RMCLCMIN}[7:0] \rangle > \langle \text{RMCLLMAX}[7:0] \rangle$
High 幅のみ	$\langle \text{RMCLCMAX}[7:0] \rangle > \langle \text{RMCLCMIN}[7:0] \rangle$ $\langle \text{RMCLLMAX}[7:0] \rangle = 0000\_0000$ $\langle \text{RMCLLMIN}[7:0] \rangle = \text{don't care}$
リーダーなし	$\langle \text{RMCLCMAX}[7:0] \rangle = 0000\_0000$ $\langle \text{RMCLCMIN}[7:0] \rangle = \text{don't care}$ $\langle \text{RMCLLMAX}[7:0] \rangle = \text{don't care}$ $\langle \text{RMCLLMIN}[7:0] \rangle = \text{don't care}$

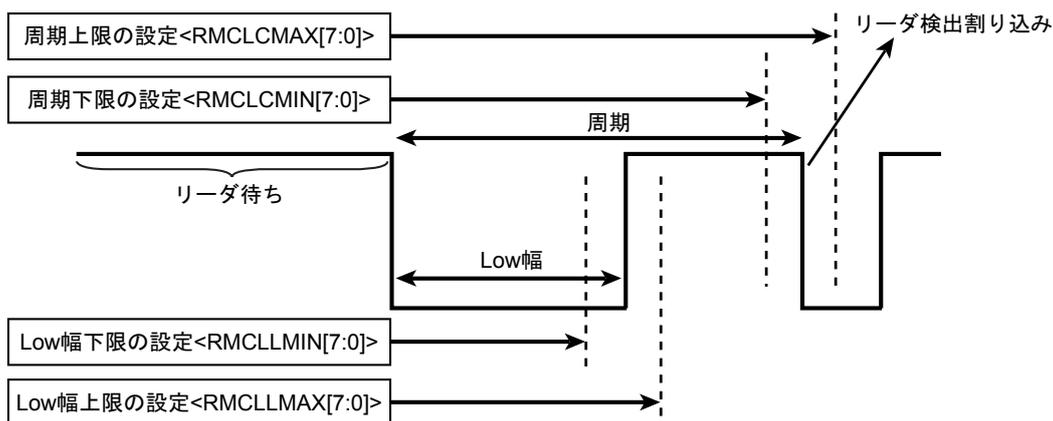


図 15-4 リーダ波形と RMxRCR1

リーダー検出時に割り込みを発生させたい場合は、RMCxRCR2<RMCLIEN>で設定します。リーダーなしのリモコン信号については、リーダー検出割り込みの発生はできません。

## (3) データビットの 0/1 判定の設定

同期方式のデータビットの 0/1 判定は立ち下がりエッジの周期に対して行います。以下の 2 種類の判定方法があります。

位相方式のリモコン信号のデータビットの判定は、「15.4.1.8 周期固定の位相方式のリモコン信号の受信」で説明します。

## 1. しきい値による判断

$RMCxRRCR3<RMC\text{DATL}[6:0]>$ でデータビットの 0/1 判定のしきい値を設定します。0/1 判別はしきい値以上でデータ"1"、しきい値未満でデータ"0"となります。

## 2. 立下りエッジ割り込みによる判断

$RMCxRRCR2<RMC\text{EDIEN}>$ を"1"にセットすることで、データビットの立ち下がりエッジごとにリモコン入力立ち下がりエッジ割り込みを発生させることもできます。リモコン入力立ち下がりエッジ割り込みとタイマを用いることで、ソフトウェア的にリモコン判定を行うことができます。

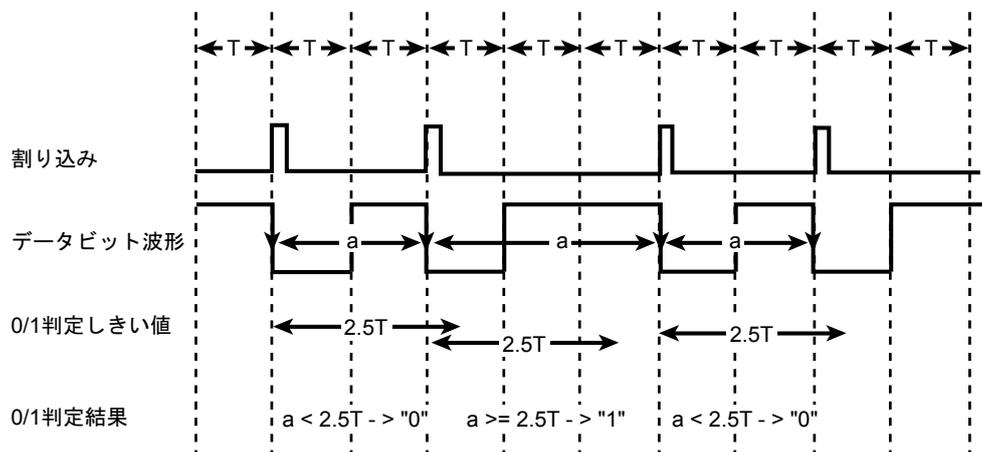


図 15-5 データビットの 0/1 判断の方法(しきい値  $2.5T$  の場合)

#### (4) 受信終了の設定

受信終了はデータビットの周期 MAX 検出および、Low 幅の検出を設定することで行います。複数の要因を設定した場合は、最初に検出した要因で受信終了となります。受信終了の設定は必ず行うようにしてください。

##### 1. データビットの周期 MAX で受信終了する場合

RMCxRCR2<RMCDMAX[7:0]>でデータビット周期 MAX の設定をします。データビットの立ち下がりエッジ周期の値が、<RMCDMAX[7:0]>で設定されたデータビット周期 MAX のしきい値以上のときデータビット周期 MAX 検出で受信終了/割り込み発生となります。割り込み発生後に RMCxRSTAT<RMCDMAXIF>がセットされます。

RMCxEND1 ~ 3 レジスタの<RMCEND1>、<RMCEND2>、<RMCEND3>を設定することで、受信ビット数を指定して受信終了を行うことができます。この場合、データビット周期 MAX の発生時の受信したビット数と RMCxEND1 ~ 3 レジスタの<RMCEND1>、<RMCEND2>、<RMCEND3>で設定された受信ビット数が一致した時のみ、データビット周期 MAX 割り込みを発生します。受信ビット数は、RMCxEND1 ~ 3 レジスタの<RMCEND1>、<RMCEND2>、<RMCEND3>に 3 通り設定することができます。データビット周期 MAX の発生時の受信したビット数が RMCxEND1 ~ 3 レジスタの<RMCEND1>、<RMCEND2>、<RMCEND3>に設定した受信ビット数と一致しない場合は、リーダ待ち/受信待ちとなります。

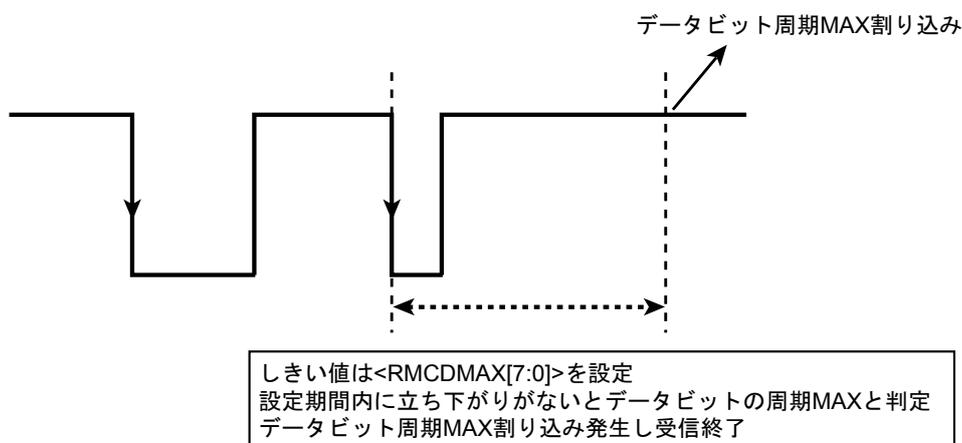


図 15-6 データビットの周期 Max で受信終了する場合

##### 2. Low 幅検出で受信終了する場合

RMCxRCR2<RMCLL[7:0]>で Low 幅の検出による受信終了の設定をします。データビットが立ち下がり後、設定期間を超えて Low のままだと Low 幅検出し、受信終了/割り込み発生となります。割り込み発生後に RMCxRSTAT<RMCLOIF>に"1"がセットされます。

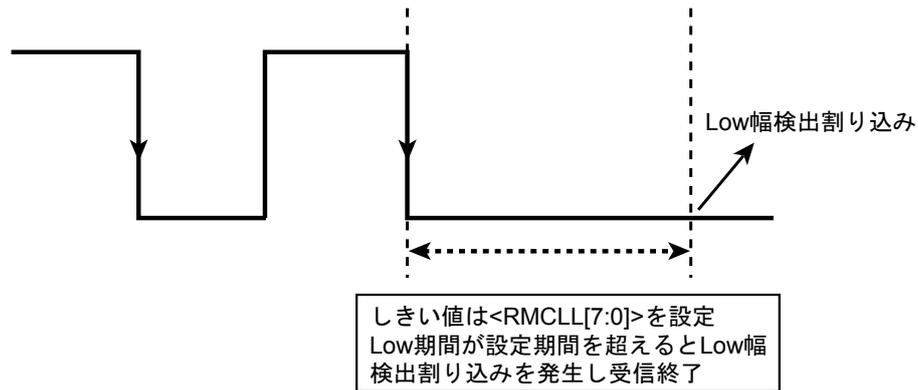


図 15-7 Low 幅検出で受信終了する場合

#### 15.4.1.4 受信許可

RMCxRCR1 レジスタ, RMCxRCR2 レジスタ, RMCxRCR3 レジスタ, RMCxRCR4 レジスタの設定終了後、RMCxREN<RMCREN>を受信許可に設定することで受信待ち状態になり、リーダを検出すると受信動作を開始します。

注) 受信動作中に RMCxRCR1, 2, 3, 4, RMCxEND1, 2, 3 レジスタの設定が変更されると正しく受信できない可能性があります。受信許可中に設定変更を行う場合は注意して行ってください。

#### 15.4.1.5 受信の停止

RMCxREN<RMCREN>を"0" (受信禁止)に設定すると受信動作を停止します。

受信動作中に禁止の設定を行った場合、直ちに受信動作を停止し、それまでに受信したデータは破棄されます。

#### 15.4.1.6 リーダ待ちの状態でリーダなしのリモコン信号の受信

RMCxRCR2<RMCLD>を設定することでリーダありとリーダなしのリモコン信号を両方受信することが可能になります。

RMCxRCR2<RMCLD>を設定すると、RMCxRCR1<RMCLLMAX[7:0]>以下の Low 幅の信号を受信するとデータと判断し受信を開始し、最終ビットまで受信を行います。

この設定を使用する場合、データビットの 0/1 判定、エラー検出、受信終了の設定はリーダあり/リーダなしデータですべて共通となりますので、受信可能なリモコン信号には制限がありません。

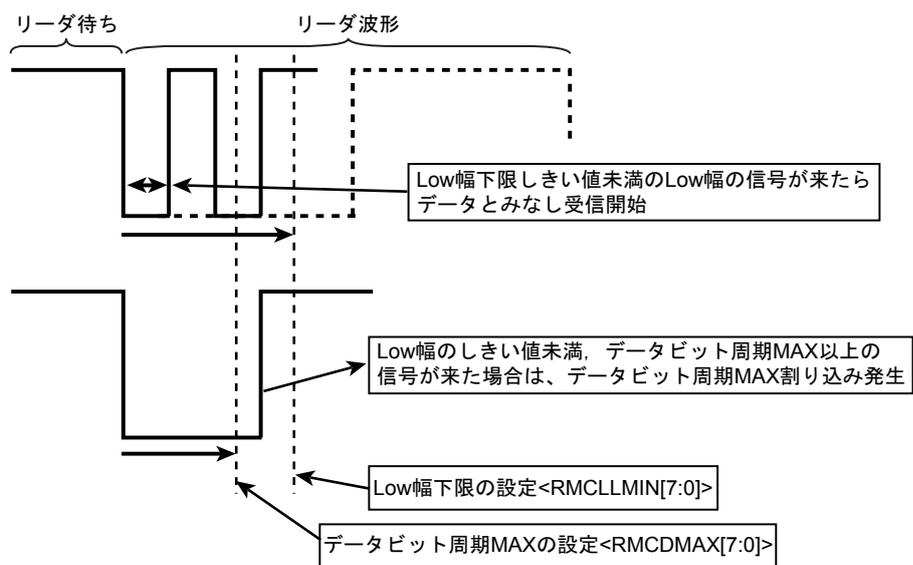


図 15-8 リーダ待ち状態なしでのリーダなしのリモコン信号の場合 (RMCxRCR2<RMCLD>="1"の時)

### 15.4.1.7 Low 幅のみのリーダで始まるリモコン信号の受信

Low 幅のみのリーダで始まるリモコン信号は次図にあるように、リーダが Low 幅のみで始まり、データビットの周期が立ち上がり期間で構成される信号です。データビットの測定を立ち下がりエッジの周期で行う必要があるため、RMCxRCR4<RMCPO> = "1"に設定し、反転した信号にして入力します。

リーダの検出の設定は Low 幅のみのため、RMCxRCR1 の設定を、<RMCLLMAX[7:0]> = "0000\_0000", <RMCLCMAX[7:0]> > <RMCLCMIN[7:0]> の関係で設定します。この場合、<RMCLLMIN[7:0]>の値は don't care となります。

データ 0/1 判定の設定は、RMCxRCR3<RMCDATL[6:0]>で 0/1 判別のしきい値を設定します。

RMCxRCR2 の<RMCDCMAX[7:0]>でデータビットの周期 MAX の設定をします。

受信終了の設定は、RMCxRCR2 の<RMCDCMAX[7:0]>でデータビットの周期 MAX の設定と <RMCLL[7:0]>で Low 幅検出の設定をします。データビットの周期 MAX 検出および、最終ビット後に設定された Low 期間確認後に受信終了/割り込み発生し、リーダ待ちとなります。

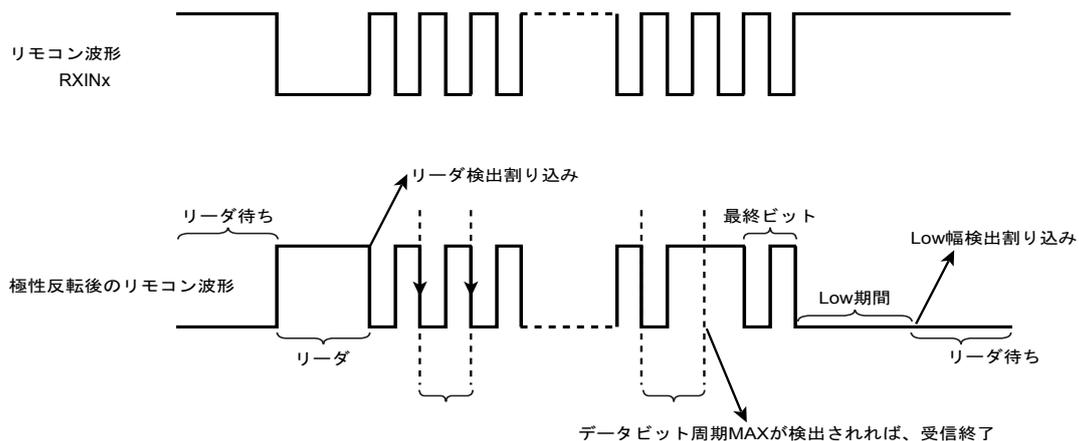


図 15-9 Low 幅のみのリーダで始まるリモコン信号の受信

15.4.1.8 周期固定の位相方式のリモコン信号の受信

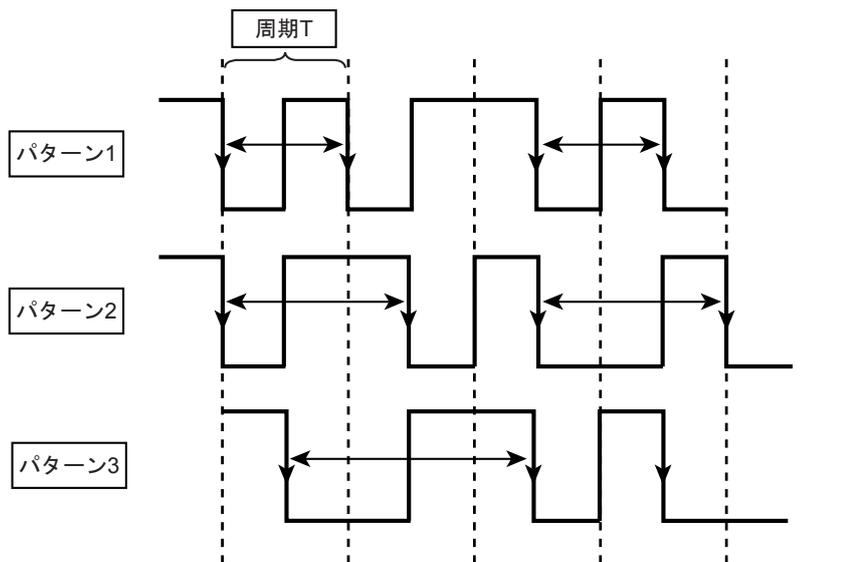
周期固定の位相方式のリモコン信号は、データの変化のパターンが3通りに分けられます。しきい値を2つ設定することでパターンの判別を行い、ハードウェアでリモコンデータに変換を行い、受信終了後、受信データをリモコンデータの形式でRMCxRBUF1, 2, 3に格納します。

周期固定の位相方式のリモコン受信は、RMCxRCR2<RMCPHM>="1"に設定することで有効になります。しきい値の設定は、RMCxRCR3<RMCDATL[6:0]>, <RMCDATH[6:0]>で行います。次図にある、3通りのデータの変化のパターンに対して、2つのしきい値を決めます。3通りのパターンはそれぞれ周期Tに対して、1T, 1.5T, 2Tとなり、しきい値の設定は下表のようになります。

	判別内容	しきい値	設定レジスタ
しきい値1	パターン1とパターン2	1T~1.5T	RMCxRCR3<RMCDATL[6:0]>
しきい値2	パターン2とパターン3	1.5T~2T	RMCxRCR3<RMCDATH[6:0]>

周期固定の位相方式のリモコン信号の判別は、3通りのデータの変化のパターンと直前の周期のデータが必要です。周期固定の位相方式のリモコン信号は必ず、データ"11"で始まる必要があります。

位相方式のリモコン信号の波形パターン



位相方式のリモコンデータ例

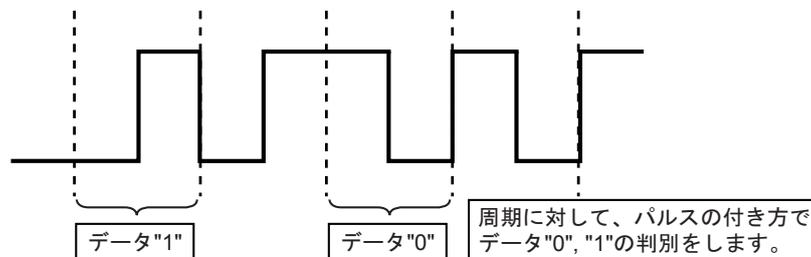


図 15-10 位相固定方式の波形パターンとデータ例

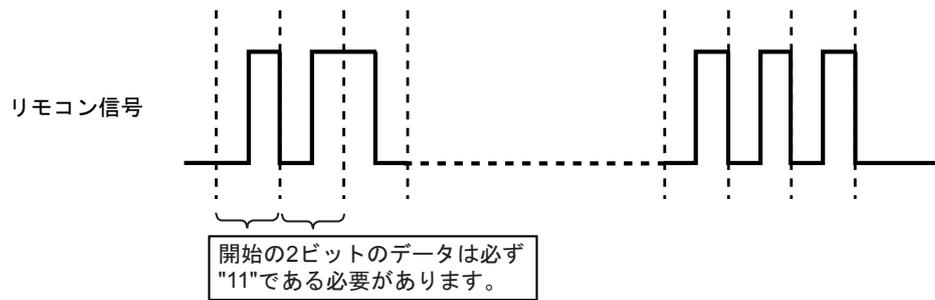


図 15-11 位相方式のリモコン波形例

## 第 16 章 アナログ/デジタルコンバータ(ADC)

TMPM381/383 は、12/10(選択可能)ビット逐次変換方式アナログ/デジタルコンバータ (AD コンバータ) を内蔵しています。

18 本の外部アナログ入力端子 (AIN0 to 17) は、入出力専用ポートと兼用です。

### 16.1 機能と特徴

1. タイマからのトリガ信号に同期して任意のアナログ入力を変換することができます。
2. ソフトウェア起動、常時起動において任意のアナログ入力を変換することができます。
3. AD 変換値レジスタが 12 個あります。
4. トリガ起動によるプログラム終了時に割り込みを発生できます。
5. ソフトウェア起動、常時起動によるプログラム終了時に割り込みを発生できます。
6. AD 監視機能があります。有効時に比較条件と一致した場合は割り込みを発生します。

### 16.2 ブロック図

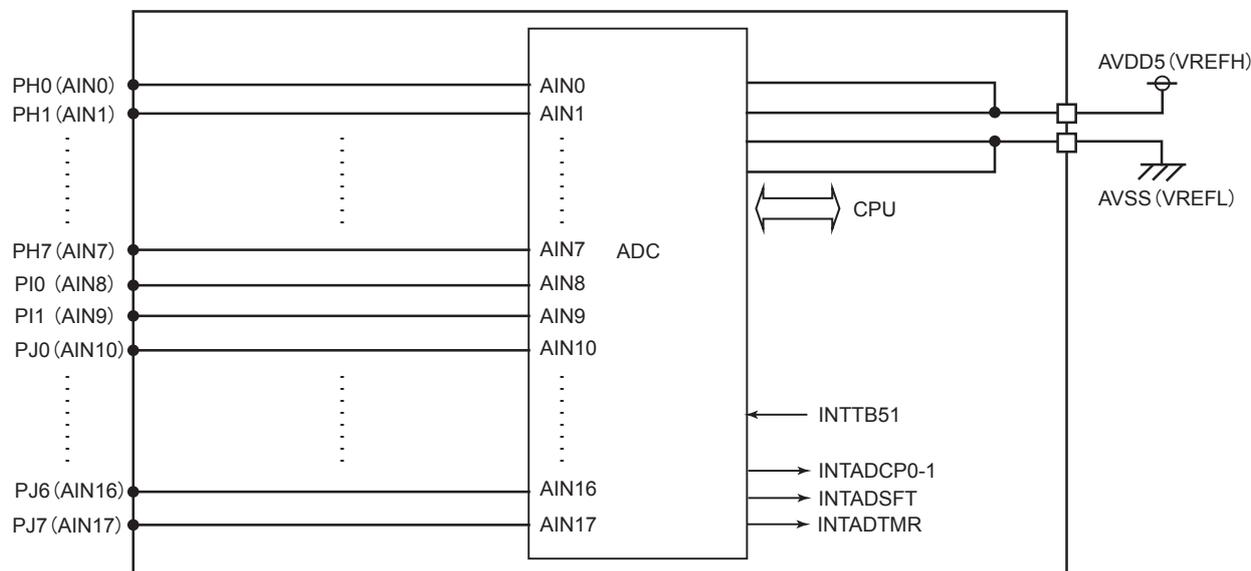


図 16-1 AD コンバータブロック図

## 16.3 レジスタ一覧

Base Address = 0x4003\_0000

レジスタ名		Address(Base+)
クロック設定レジスタ	ADCLK	0x0000
モード設定レジスタ 0	ADMOD0	0x0004
モード設定レジスタ 1	ADMOD1	0x0008
モード設定レジスタ 2	ADMOD2	0x000C
監視割り込み設定レジスタ 0	ADCMPCR0	0x0010
監視割り込み設定レジスタ 1	ADCMPCR1	0x0014
変換結果比較レジスタ 0	ADCMP0	0x0018
変換結果比較レジスタ 1	ADCMP1	0x001C
変換結果格納レジスタ 0	ADREG0	0x0020
変換結果格納レジスタ 1	ADREG1	0x0024
変換結果格納レジスタ 2	ADREG2	0x0028
変換結果格納レジスタ 3	ADREG3	0x002C
変換結果格納レジスタ 4	ADREG4	0x0030
変換結果格納レジスタ 5	ADREG5	0x0034
変換結果格納レジスタ 6	ADREG6	0x0038
変換結果格納レジスタ 7	ADREG7	0x003C
変換結果格納レジスタ 8	ADREG8	0x0040
変換結果格納レジスタ 9	ADREG9	0x0044
変換結果格納レジスタ 10	ADREG10	0x0048
変換結果格納レジスタ 11	ADREG11	0x004C
Reserved	-	0x0050 ~ 0x00AF
タイマトリガ用プログラムレジスタ 0~3	ADTSET03	0x00B0
タイマトリガ用プログラムレジスタ 4~7	ADTSET47	0x00B4
タイマトリガ用プログラムレジスタ 8~11	ADTSET811	0x00B8
ソフトウェアトリガ用プログラムレジスタ 0~3	ADSSET03	0x00BC
ソフトウェアトリガ用プログラムレジスタ 4~7	ADSSET47	0x00C0
ソフトウェアトリガ用プログラムレジスタ 8~11	ADSSET811	0x00C4
常時変換用プログラムレジスタ 0~3	ADASET03	0x00C8
常時変換用プログラムレジスタ 4~7	ADASET47	0x00CC
常時変換用プログラムレジスタ 8~11	ADASET811	0x00D0
モード設定レジスタ 3	ADMOD3	0x00D4

注) "Reserved"表記のアドレスにはアクセスしないでください。

## 16.4 レジスタ詳細

AD 変換は AD コンバータクロック設定レジスタによって選択されたクロックで実行されます。

### 16.4.1 ADCLK (変換クロック設定レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	TSH				ADCLK		
リセット後	0	1	0	0	1	0	0	0

Bit	Bit Symbol	Type	機能
31-7	-	R	リードすると"0"が読めます。
6-3	TSH[3:0]	R/W	"1001"をライトしてください。
2-0	ADCLK[2:0]	R/W	AD 変換クロック選択 000: fc (注) 001 ~ 111: Reserved

注) AD コンバータの変換時間は、12bit モードの場合は  $T = 74 \times (1/SCLK)$ 、10bit モードの場合は  $T = 68 \times (1/SCLK)$  です。

## 16.4.2 ADMOD0 (モード設定レジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	DACON	ADSS
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	-	R	リードすると"0"が読めます。
1	DACON	R/W	ADC 制御 1 0: 停止 1: 動作 AD コンバータを使用する時には必ず<DACON>を"1"にセットしてください。
0	ADSS	W	ソフトウェア変換スタート 0: Don't care 1: 変換開始 ADMOD1 レジスタの<ADEN>を"1"にセットして変換を許可し、<ADSS>を"1"にセットすると AD 変換を開始します。また、タイマ割り込み入力でも AD 変換を開始します。タイマ割り込みの設定はタイマの説明をご参照ください。

16.4.3 ADMOD1 (モード設定レジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ADEN	-	-	-	-	-	-	ADAS
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	ADEN	R/W	AD 変換許可/禁止 0: 禁止 1: 許可 <ADEN>のセットで AD を変換許可します。この状態の時に<ADAS>の常時 AD 変換許可のセットで AD 変換を開始します。
6-1	-	R	リードすると"0"が読めます。
0	ADAS	R/W	常時 AD 変換許可 0: 変換禁止 1: 変換許可

## 16.4.4 ADMOD2 (モード設定レジスタ 2)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	ADSFN	ADBFN
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	-	R	リードすると"0"が読めます。
1	ADSFN	R	ソフトウェア変換フラグ 0: 終了 1: ソフト変換中 <ADSFN>は AD 変換Busy フラグで、ソフトウェア変換が開始されると、"1"にセットされ、変換が終了するとフラグが"0"にクリアされます。
0	ADBFN	R	AD 変換 BUSY フラグ 0: 変換停止 1: 変換中 <ADBFN>は AD 変換 Busy フラグで、タイマ、ソフトウェア、常時変換が開始されると、"1"にセットされ、変換が終了するとフラグが"0"にクリアされます。

## 16.4.5 ADMOD3 (モード設定レジスタ 3)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	BITS		-	RCUT
リセット後	0	0	0	0	0	1	0	1
	7	6	5	4	3	2	1	0
bit symbol	-	-	PMODE			-	-	-
リセット後	0	1	1	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます。
15-12	-	R/W	"0"をライトしてください。
11-10	BITS[1:0]	R/W	12bit/10bit 分解能モード選択 00: 10bit 01: 12bit 10 ~ 11: Reserved
9	-	R/W	"0"をライトしてください。
8	RCUT	R/W	ADC 動作制御 2 0: 動作 1: 停止 ADC 使用時は"0"を書いてください。ADMOD3<RCUT>を"1"に設定する事で消費電流を削減できます。
7	-	R/W	"0"をライトしてください。
6	-	R/W	"1"をライトしてください。
5-3	PMODE[2:0]	R/W	"100"をライトしてください。
2-0	-	R/W	"0"をライトしてください。

注) ADMOD3<PMODE[2:0]>は必ず"100"に設定してください。その他の bit は初期値の値を変更しないでください。

### 16.4.6 ADCMPCR0(監視割り込み設定レジスタ 0)

判定が確定すると割り込み(INTADCP)を発生します。

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	CMPCNT0			
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	CMP0EN	-	-	ADBIG0	REGS0			
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能												
31-12	-	R	リードすると"0"が読めます。												
11-8	CMPCNT0[3:0]	R/W	判定確定するまでの比較回数を設定 0: 毎回有効 1: 2 回以上有効 . . 15: 16 回以上有効 AD 変換結果と ADCMP に設定した値との比較の許可禁止と比較する値の格納されたレジスタを選択します。												
7	CMP0EN	R/W	AD 監視機能 0: 禁止 1: 許可 <CMP0EN>="0"( 禁止) に設定することにより、それまでの大小判定カウンタ数はクリアされます。												
6-5	-	R	リードすると"0"が読めます。												
4	ADBIG0	R/W	大小判定設定 0: 比較 REG より大 1: 比較 REG より小 比較レジスタよりも比較対象アナログ入力の変換結果が、大きいか、小さいかを設定します。 <REGS0[3:0]> で設定した AD 変換が終了するたびに大小比較判定を行い、判定結果が<ADBIG0> の設定にあてはまればカウンタをプラスします。												
3-0	REGS0[3:0]	R/W	比較する AD 変換結果格納レジスタ <table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td>0000: ADREG0</td> <td>0100: ADREG4</td> <td>1000: ADREG8</td> </tr> <tr> <td>0001: ADREG1</td> <td>0101: ADREG5</td> <td>1001: ADREG9</td> </tr> <tr> <td>0010: ADREG2</td> <td>0110: ADREG6</td> <td>1010: ADREG10</td> </tr> <tr> <td>0011: ADREG3</td> <td>0111: ADREG7</td> <td>1011: ADREG11</td> </tr> </table>	0000: ADREG0	0100: ADREG4	1000: ADREG8	0001: ADREG1	0101: ADREG5	1001: ADREG9	0010: ADREG2	0110: ADREG6	1010: ADREG10	0011: ADREG3	0111: ADREG7	1011: ADREG11
0000: ADREG0	0100: ADREG4	1000: ADREG8													
0001: ADREG1	0101: ADREG5	1001: ADREG9													
0010: ADREG2	0110: ADREG6	1010: ADREG10													
0011: ADREG3	0111: ADREG7	1011: ADREG11													

### 16.4.7 ADCMPCR1(監視割り込み設定レジスタ 1)

判定が確定すると割り込み(INTADCP)を発生します。

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	CMPCNT1			
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	CMP1EN	-	-	ADBIG1	REGS1			
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能												
31-12	-	R	リードすると"0"が読めます。												
11-8	CMPCNT1[3:0]	R/W	判定確定するまでの比較回数を設定 0: 毎回有効 1: 2 回以上有効 . . 15: 16 回以上有効 AD 変換結果と ADCMP に設定した値との比較の許可禁止と比較する値の格納されたレジスタを選択します。												
7	CMP1EN	R/W	AD 監視機能 0: 禁止 1: 許可 <CMP1EN>="0"(禁止)に設定することにより、それまでの大小判定カウント数はクリアされます。												
6-5	-	R	リードすると"0"が読めます。												
4	ADBIG1	R/W	大小判定設定 0: 比較 REG より大 1: 比較 REG より小 比較レジスタよりも比較対象アナログ入力の変換結果が、大きいか、小さいかを設定します。 <REGS1[3:0]> で設定した AD 変換が終了するたびに大小比較判定を行い、判定結果が<ADBIG1> の設定にあてはまればカウンタをプラスします。												
3-0	REGS1[3:0]	R/W	比較する AD 変換結果格納レジスタ <table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td>0000: ADREG0</td> <td>0100: ADREG4</td> <td>1000: ADREG8</td> </tr> <tr> <td>0001: ADREG1</td> <td>0101: ADREG5</td> <td>1001: ADREG9</td> </tr> <tr> <td>0010: ADREG2</td> <td>0110: ADREG6</td> <td>1010: ADREG10</td> </tr> <tr> <td>0011: ADREG3</td> <td>0111: ADREG7</td> <td>1011: ADREG11</td> </tr> </table>	0000: ADREG0	0100: ADREG4	1000: ADREG8	0001: ADREG1	0101: ADREG5	1001: ADREG9	0010: ADREG2	0110: ADREG6	1010: ADREG10	0011: ADREG3	0111: ADREG7	1011: ADREG11
0000: ADREG0	0100: ADREG4	1000: ADREG8													
0001: ADREG1	0101: ADREG5	1001: ADREG9													
0010: ADREG2	0110: ADREG6	1010: ADREG10													
0011: ADREG3	0111: ADREG7	1011: ADREG11													

## 16.4.8 ADCMP0(変換結果比較レジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	AD0CMP							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	AD0CMP				-	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます。
15-4	AD0CMP[11:0]	R/W	AD 変換結果比較値格納 AD 変換結果と比較する値を設定します。
3-0	-	R	リードすると"0"が読めます。

注) このレジスタへ値を設定する時、または値を変更する時は、AD 監視機能を禁止 (<CMP0EN>="0", <CMP1EN>="0") にした状態で行ってください。

## 16.4.9 ADCMP1(変換結果比較レジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	AD1CMP							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	AD1CMP				-	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます。
15-4	AD1CMP[11:0]	R/W	AD 変換結果比較値格納 AD 変換結果と比較する値を設定します。
3-0	-	R	リードすると"0"が読めます。

注) このレジスタへ値を設定する時、または値を変更する時は、AD 監視機能を禁止 (<CMP0EN>="0", <CMP1EN>="0") にした状態で行ってください。

## 16.4.10 ADREG0(変換結果格納レジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ADRO							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ADRO				-	-	OVR0	ADR0RF
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます
15-4	ADRO[11:0]	R	AD 変換結果値格納
3-2	-	R	リードすると"0"が読めます
1	OVR0	R	Over Run フラグ 0: 発生なし 1: 発生あり  ADREG0 レジスタを読み出す前に AD 変換結果が上書きされると"1"にセットされます。このフラグは ADREG0 レジスタをリードすると"0"にクリアされます。
0	ADR0RF	R	AD 変換結果格納フラグ 0: 変換結果なし 1: 変換結果あり  AD 変換値が格納されると"1"にセットされます。このフラグは ADREG0 レジスタをリードすると"0"にクリアされます。

## 16.4.11 ADREG1(変換結果格納レジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ADR1							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ADR1				-	-	OVR1	ADR1RF
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます
15-4	ADR1[11:0]	R	AD 変換結果値格納
3-2	-	R	リードすると"0"が読めます
1	OVR1	R	Over Run フラグ 0: 発生なし 1: 発生あり  ADREG1 レジスタを読み出す前に AD 変換結果が上書きされると"1"にセットされます。このフラグは ADREG1 レジスタをリードすると"0"にクリアされます。
0	ADR1RF	R	AD 変換結果格納フラグ 0: 変換結果なし 1: 変換結果あり  AD 変換値が格納されると"1"にセットされます。このフラグは ADREG1 レジスタをリードすると"0"にクリアされます。

## 16.4.12 ADREG2(変換結果格納レジスタ 2)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ADR2							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ADR2				-	-	OVR2	ADR2RF
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます
15-4	ADR2[11:0]	R	AD 変換結果値格納
3-2	-	R	リードすると"0"が読めます
1	OVR2	R	Over Run フラグ 0: 発生なし 1: 発生あり  ADREG2 レジスタを読み出す前に AD 変換結果が上書きされると"1"にセットされます。このフラグは ADREG2 レジスタをリードすると"0"にクリアされます。
0	ADR2RF	R	AD 変換結果格納フラグ 0: 変換結果なし 1: 変換結果あり  AD 変換値が格納されると"1"にセットされます。このフラグは ADREG2 レジスタをリードすると"0"にクリアされます。

## 16.4.13 ADREG3(変換結果格納レジスタ 3)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ADR3							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ADR3				-	-	OVR3	ADR3RF
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます
15-4	ADR3[11:0]	R	AD 変換結果値格納
3-2	-	R	リードすると"0"が読めます
1	OVR3	R	Over Run フラグ 0: 発生なし 1: 発生あり  ADREG3 レジスタを読み出す前に AD 変換結果が上書きされると"1"にセットされます。このフラグは ADREG3 レジスタをリードすると"0"にクリアされます。
0	ADR3RF	R	AD 変換結果格納フラグ 0: 変換結果なし 1: 変換結果あり  AD 変換値が格納されると"1"にセットされます。このフラグは ADREG3 レジスタをリードすると"0"にクリアされます。

16.4.14 ADREG4(変換結果格納レジスタ 4)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ADR4							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ADR4				-	-	OVR4	ADR4RF
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます
15-4	ADR4[11:0]	R	AD 変換結果値格納
3-2	-	R	リードすると"0"が読めます
1	OVR4	R	Over Run フラグ 0: 発生なし 1: 発生あり  ADREG4 レジスタを読み出す前に AD 変換結果が上書きされると"1"にセットされます。このフラグは ADREG4 レジスタをリードすると"0"にクリアされます。
0	ADR4RF	R	AD 変換結果格納フラグ 0: 変換結果なし 1: 変換結果あり  AD 変換値が格納されると"1"にセットされます。このフラグは ADREG4 レジスタをリードすると"0"にクリアされます。

## 16.4.15 ADREG5(変換結果格納レジスタ 5)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ADR5							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ADR5				-	-	OVR5	ADR5RF
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます
15-4	ADR5[11:0]	R	AD 変換結果値格納
3-2	-	R	リードすると"0"が読めます
1	OVR5	R	Over Run フラグ 0: 発生なし 1: 発生あり  ADREG5 レジスタを読み出す前に AD 変換結果が上書きされると"1"にセットされます。このフラグは ADREG5 レジスタをリードすると"0"にクリアされます。
0	ADR5RF	R	AD 変換結果格納フラグ 0: 変換結果なし 1: 変換結果あり  AD 変換値が格納されると"1"にセットされます。このフラグは ADREG5 レジスタをリードすると"0"にクリアされます。

16.4.16 ADREG6(変換結果格納レジスタ 6)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ADR6							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ADR6				-	-	OVR6	ADR6RF
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます
15-4	ADR6[11:0]	R	AD 変換結果値格納
3-2	-	R	リードすると"0"が読めます
1	OVR6	R	Over Run フラグ 0 : 発生なし 1 : 発生あり  ADREG6 レジスタを読み出す前に AD 変換結果が上書きされると"1"にセットされます。このフラグは ADREG6 レジスタをリードすると"0"にクリアされます。
0	ADR6RF	R	AD 変換結果格納フラグ 0 : 変換結果なし 1 : 変換結果あり  AD 変換値が格納されると"1"にセットされます。このフラグは ADREG6 レジスタをリードすると"0"にクリアされます。

## 16.4.17 ADREG7(変換結果格納レジスタ 7)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ADR7							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ADR7				-	-	OVR7	ADR7RF
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます
15-4	ADR7[11:0]	R	AD 変換結果値格納
3-2	-	R	リードすると"0"が読めます
1	OVR7	R	Over Run フラグ 0: 発生なし 1: 発生あり  ADREG7 レジスタを読み出す前に AD 変換結果が上書きされると"1"にセットされます。このフラグは ADREG7 レジスタをリードすると"0"にクリアされます。
0	ADR7RF	R	AD 変換結果格納フラグ 0: 変換結果なし 1: 変換結果あり  AD 変換値が格納されると"1"にセットされます。このフラグは ADREG7 レジスタをリードすると"0"にクリアされます。

16.4.18 ADREG8(変換結果格納レジスタ 8)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ADR8							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ADR8				-	-	OVR8	ADR8RF
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます
15-4	ADR8[11:0]	R	AD 変換結果値格納
3-2	-	R	リードすると"0"が読めます
1	OVR8	R	Over Run フラグ 0: 発生なし 1: 発生あり  ADREG8 レジスタを読み出す前に AD 変換結果が上書きされると"1"にセットされます。このフラグは ADREG8 レジスタをリードすると"0"にクリアされます。
0	ADR8RF	R	AD 変換結果格納フラグ 0: 変換結果なし 1: 変換結果あり  AD 変換値が格納されると"1"にセットされます。このフラグは ADREG8 レジスタをリードすると"0"にクリアされます。

## 16.4.19 ADREG9(変換結果格納レジスタ 9)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ADR9							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ADR9				-	-	OVR9	ADR9RF
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます
15-4	ADR9[11:0]	R	AD 変換結果値格納
3-2	-	R	リードすると"0"が読めます
1	OVR9	R	Over Run フラグ 0: 発生なし 1: 発生あり  ADREG9 レジスタを読み出す前に AD 変換結果が上書きされると"1"にセットされます。このフラグは ADREG9 レジスタをリードすると"0"にクリアされます。
0	ADR9RF	R	AD 変換結果格納フラグ 0: 変換結果なし 1: 変換結果あり  AD 変換値が格納されると"1"にセットされます。このフラグは ADREG9 レジスタをリードすると"0"にクリアされます。

16.4.20 ADREG10(変換結果格納レジスタ 10)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ADR10							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ADR10				-	-	OVR10	ADR10RF
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます
15-4	ADR10[11:0]	R	AD 変換結果値格納
3-2	-	R	リードすると"0"が読めます
1	OVR10	R	Over Run フラグ 0: 発生なし 1: 発生あり  ADREG10 レジスタを読み出す前に AD 変換結果が上書きされると"1"にセットされます。このフラグは ADREG10 レジスタをリードすると"0"にクリアされます。
0	ADR10RF	R	AD 変換結果格納フラグ 0: 変換結果なし 1: 変換結果あり  AD 変換値が格納されると"1"にセットされます。このフラグは ADREG10 レジスタをリードすると"0"にクリアされます。

## 16.4.21 ADREG11(変換結果格納レジスタ 11)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ADR11							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ADR11				-	-	OVR11	ADR11RF
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます
15-4	ADR11[11:0]	R	AD 変換結果値格納
3-2	-	R	リードすると"0"が読めます
1	OVR11	R	Over Run フラグ 0: 発生なし 1: 発生あり  ADREG11 レジスタを読み出す前に AD 変換結果が上書きされると"1"にセットされます。このフラグは ADREG11 レジスタをリードすると"0"にクリアされます。
0	ADR11RF	R	AD 変換結果格納フラグ 0: 変換結果なし 1: 変換結果あり  AD 変換値が格納されると"1"にセットされます。このフラグは ADREG11 レジスタをリードすると"0"にクリアされます。

## 16.4.22 ADTSET03 / ADTSET47 / ADTSET811(タイマトリガ用プログラムレジスタ)

本 AD コンバータはタイマ 5(TMRB5)の INTTB51 が発生するトリガ信号によって AD 変換を開始する事ができます。タイマトリガ用プログラムレジスタは 12 個の設定レジスタから構成されます。<ENSTm>を 1 にセットすると ADTSETm をイネーブルにします。<AINSTm [4:0]>は AIN を選択します。設定レジスタの番号は変換結果レジスタ番号(m=0 ~ 11)にそれぞれ対応しています。ADTSET0 は変換結果レジスタ 0 に対応し、ADTSET11(変換値レジスタ 11)まで全部で 12 個あります。タイマトリガによる AD 変換が終了すると割り込み(INTADTMR)が発生します。

表 16-1 AD 変換入力端子の選択

<AINST00 [4:0]> ~ <AINST53 [4:0]>	AD Ch
0_0000	AIN0
0_0001	AIN1
0_0010	AIN2
0_0011	AIN3
0_0100	AIN4
0_0101	AIN5
0_0110	AIN6
0_0111	AIN7
0_1000	AIN8
0_1001	AIN9
0_1010	AIN10
0_1011	AIN11
0_1100	AIN12
0_1101	AIN13
0_1110	AIN14
0_1111	AIN15
1_0000	AIN16
1_0001	AIN17
1_0010 ~ 1_1111	reserved

ADTSET03 : タイマトリガ用プログラムレジスタ 03

	31	30	29	28	27	26	25	24
bit symbol	ENST3	-	-	AINST3				
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	ENST2	-	-	AINST2				
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ENST1	-	-	AINST1				
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ENST0	-	-	AINST0				
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31	ENST3	R/W	ADREG3 イネーブル 0:disable 1:enable
30-29	-	R	リードすると"0"が読めます。
28-24	AINST3[4:0]	R/W	AIN 選択 「表 16-1 AD 変換入力端子の選択」を参照
23	ENST2	R/W	ADREG2 イネーブル 0:disable 1:enable
22-21	-	R	リードすると"0"が読めます。
20-16	AINST2[4:0]	R/W	AIN 選択 「表 16-1 AD 変換入力端子の選択」を参照
15	ENST1	R/W	ADREG1 イネーブル 0:disable 1:enable
14-13	-	R	リードすると"0"が読めます。
12-8	AINST1[4:0]	R/W	AIN 選択 「表 16-1 AD 変換入力端子の選択」を参照
7	ENST0	R/W	ADREG0 イネーブル 0:disable 1:enable
6-5	-	R	リードすると"0"が読めます。
4-0	AINST0[4:0]	R/W	AIN 選択 「表 16-1 AD 変換入力端子の選択」を参照

ADTSET47 : タイマトリガ用プログラムレジスタ 47

	31	30	29	28	27	26	25	24
bit symbol	ENST7	-	-	AINST7				
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	ENST6	-	-	AINST6				
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ENST5	-	-	AINST5				
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ENST4	-	-	AINST4				
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31	ENST7	R/W	ADREG7 イネーブル 0:disable 1:enable
30-29	-	R	リードすると"0"が読めます。
28-24	AINST7[4:0]	R/W	AIN 選択 「表 16-1 AD 変換入力端子の選択」を参照
23	ENST6	R/W	ADREG6 イネーブル 0:disable 1:enable
22-21	-	R	リードすると"0"が読めます。
20-16	AINST6[4:0]	R/W	AIN 選択 「表 16-1 AD 変換入力端子の選択」を参照
15	ENST5	R/W	ADREG5 イネーブル 0:disable 1:enable
14-13	-	R	リードすると"0"が読めます。
12-8	AINST5[4:0]	R/W	AIN 選択 「表 16-1 AD 変換入力端子の選択」を参照
7	ENST4	R/W	ADREG4 イネーブル 0:disable 1:enable
6-5	-	R	リードすると"0"が読めます。
4-0	AINST4[4:0]	R/W	AIN 選択 「表 16-1 AD 変換入力端子の選択」を参照

ADTSET811 : タイマトリガ用プログラムレジスタ 811

	31	30	29	28	27	26	25	24
bit symbol	ENST11	-	-	AINST11				
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	ENST10	-	-	AINST10				
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ENST9	-	-	AINST9				
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ENST8	-	-	AINST8				
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31	ENST11	R/W	ADREG11 イネーブル 0:disable 1:enable
30-29	-	R	リードすると"0"が読めます。
28-24	AINST11[4:0]	R/W	AIN 選択 「表 16-1 AD 変換入力端子の選択」を参照
23	ENST10	R/W	ADREG10 イネーブル 0:disable 1:enable
22-21	-	R	リードすると"0"が読めます。
20-16	AINST10[4:0]	R/W	AIN 選択 「表 16-1 AD 変換入力端子の選択」を参照
15	ENST9	R/W	ADREG9 イネーブル 0:disable 1:enable
14-13	-	R	リードすると"0"が読めます。
12-8	AINST9[4:0]	R/W	AIN 選択 「表 16-1 AD 変換入力端子の選択」を参照
7	ENST8	R/W	ADREG8 イネーブル 0:disable 1:enable
6-5	-	R	リードすると"0"が読めます。
4-0	AINST8[4:0]	R/W	AIN 選択 「表 16-1 AD 変換入力端子の選択」を参照

### 16.4.23 ADSSET03 / ADSSET47 / ADSSET811(ソフトウェアトリガ用プログラムレジスタ)

本 AD コンバータはソフトウェアによって AD 変換を開始する事ができます。ソフトウェアトリガ用のプログラムレジスタは 12 個の設定レジスタから構成されます。<ENSSm>を 1 にセットすると ADSSETm をイネーブルにします。<AINSSm [4:0]>は AIN を選択します。プログラム設定レジスタの番号(m=0 ~ 11)は変換結果レジスタ番号にそれぞれ対応しており、レジスタは全部で 12 個あります。ソフトウェアトリガによる AD 変換が終了すると割り込み(INTADSFT)が発生します。

表 16-2 AD 変換入力端子の選択

<AINSS00 [4:0]> ~ <AINSS53 [4:0]>	AD Ch
0_0000	AIN0
0_0001	AIN1
0_0010	AIN2
0_0011	AIN3
0_0100	AIN4
0_0101	AIN5
0_0110	AIN6
0_0111	AIN7
0_1000	AIN8
0_1001	AIN9
0_1010	AIN10
0_1011	AIN11
0_1100	AIN12
0_1101	AIN13
0_1110	AIN14
0_1111	AIN15
1_0000	AIN16
1_0001	AIN17
1_0010 ~ 1_1111	reserved

ADSSET03 : ソフトウェアトリガ用プログラムレジスタ 03

	31	30	29	28	27	26	25	24
bit symbol	ENSS3	-	-	AINSS3				
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	ENSS2	-	-	AINSS2				
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ENSS1	-	-	AINSS1				
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ENSS0	-	-	AINSS0				
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31	ENSS3	R/W	ADREG3 イネーブル 0:disable 1:enable
30-29	-	R	リードすると"0"が読めます。
28-24	AINSS3[4:0]	R/W	AIN 選択 「表 16-2 AD 変換入力端子の選択」を参照
23	ENSS2	R/W	ADREG2 イネーブル 0:disable 1:enable
22-21	-	R	リードすると"0"が読めます。
20-16	AINSS2[4:0]	R/W	AIN 選択 「表 16-2 AD 変換入力端子の選択」を参照
15	ENSS1	R/W	ADREG1 イネーブル 0:disable 1:enable
14-13	-	R	リードすると"0"が読めます。
12-8	AINSS1[4:0]	R/W	AIN 選択 「表 16-2 AD 変換入力端子の選択」を参照
7	ENSS0	R/W	ADREG0 イネーブル 0:disable 1:enable
6-5	-	R	リードすると"0"が読めます。
4-0	AINSS0[4:0]	R/W	AIN 選択 「表 16-2 AD 変換入力端子の選択」を参照

ADSSET47 : ソフトウェアトリガ用プログラムレジスタ 47

	31	30	29	28	27	26	25	24
bit symbol	ENSS7	-	-	AINSS7				
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	ENSS6	-	-	AINSS6				
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ENSS5	-	-	AINSS5				
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ENSS4	-	-	AINSS4				
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31	ENSS7	R/W	ADREG7 イネーブル 0:disable 1:enable
30-29	-	R	リードすると"0"が読めます。
28-24	AINSS7[4:0]	R/W	AIN 選択 「表 16-2 AD 変換入力端子の選択」を参照
23	ENSS6	R/W	ADREG6 イネーブル 0:disable 1:enable
22-21	-	R	リードすると"0"が読めます。
20-16	AINSS6[4:0]	R/W	AIN 選択 「表 16-2 AD 変換入力端子の選択」を参照
15	ENSS5	R/W	ADREG5 イネーブル 0:disable 1:enable
14-13	-	R	リードすると"0"が読めます。
12-8	AINSS5[4:0]	R/W	AIN 選択 「表 16-2 AD 変換入力端子の選択」を参照
7	ENSS4	R/W	ADREG4 イネーブル 0:disable 1:enable
6-5	-	R	リードすると"0"が読めます。
4-0	AINSS4[4:0]	R/W	AIN 選択 「表 16-2 AD 変換入力端子の選択」を参照

ADSSET811 : ソフトウェアトリガ用プログラムレジスタ 811

	31	30	29	28	27	26	25	24
bit symbol	ENSS11	-	-	AINSS11				
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	ENSS10	-	-	AINSS10				
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ENSS9	-	-	AINSS9				
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ENSS8	-	-	AINSS8				
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31	ENSS11	R/W	ADREG11 イネーブル 0:disable 1:enable
30-29	-	R	リードすると"0"が読めます。
28-24	AINSS11[4:0]	R/W	AIN 選択 「表 16-2 AD 変換入力端子の選択」を参照
23	ENSS10	R/W	ADREG10 イネーブル 0:disable 1:enable
22-21	-	R	リードすると"0"が読めます。
20-16	AINSS10[4:0]	R/W	AIN 選択 「表 16-2 AD 変換入力端子の選択」を参照
15	ENSS9	R/W	ADREG9 イネーブル 0:disable 1:enable
14-13	-	R	リードすると"0"が読めます。
12-8	AINSS9[4:0]	R/W	AIN 選択 「表 16-2 AD 変換入力端子の選択」を参照
7	ENSS8	R/W	ADREG8 イネーブル 0:disable 1:enable
6-5	-	R	リードすると"0"が読めます。
4-0	AINSS8[4:0]	R/W	AIN 選択 「表 16-2 AD 変換入力端子の選択」を参照

## 16.4.24 ADASET03 / ADASET47 / ADASET811(常時変換用プログラムレジスタ)

本 AD コンバータは常時変換状態に設定する事が出来ます。常時変換用のプログラムレジスタは 12 個の設定レジスタから構成されます。設定レジスタの番号は変換結果レジスタ番号(m=0~11)にそれぞれ対応しています。常時変換用プログラムレジスタの<ENSA<sub>m</sub>>を 1 にセットすると ADPSET<sub>m</sub> をイネーブルにします。<AINSA<sub>m</sub> [4:0]>は AIN を選択します。レジスタは全部で 12 個あります。

表 16-3 AD 変換入力端子の選択

<AINSA00 [4:0]> ~ <AINSA53 [4:0]>	AD Ch
0_0000	AIN0
0_0001	AIN1
0_0010	AIN2
0_0011	AIN3
0_0100	AIN4
0_0101	AIN5
0_0110	AIN6
0_0111	AIN7
0_1000	AIN8
0_1001	AIN9
0_1010	AIN10
0_1011	AIN11
0_1100	AIN12
0_1101	AIN13
0_1110	AIN14
0_1111	AIN15
1_0000	AIN16
1_0001	AIN17
1_0010 ~ 1_1111	reserved

ADASET03 : 常時トリガ用プログラムレジスタ 03

	31	30	29	28	27	26	25	24
bit symbol	ENSA3	-	-	AINSA3				
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	ENSA2	-	-	AINSA2				
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ENSA1	-	-	AINSA1				
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ENSA0	-	-	AINSA0				
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31	ENSA3	R/W	ADREG3 イネーブル 0:disable 1:enable
30-29	-	R	リードすると"0"が読めます。
28-24	AINSA3[4:0]	R/W	AIN 選択 「表 16-3 AD 変換入力端子の選択」を参照
23	ENSA2	R/W	ADREG2 イネーブル 0:disable 1:enable
22-21	-	R	リードすると"0"が読めます。
20-16	AINSA2[4:0]	R/W	AIN 選択 「表 16-3 AD 変換入力端子の選択」を参照
15	ENSA1	R/W	ADREG1 イネーブル 0:disable 1:enable
14-13	-	R	リードすると"0"が読めます。
12-8	AINSA1[4:0]	R/W	AIN 選択 「表 16-3 AD 変換入力端子の選択」を参照
7	ENSA0	R/W	ADREG0 イネーブル 0:disable 1:enable
6-5	-	R	リードすると"0"が読めます。
4-0	AINSA0[4:0]	R/W	AIN 選択 「表 16-3 AD 変換入力端子の選択」を参照

ADASET47 : 常時変換用プログラムレジスタ 47

	31	30	29	28	27	26	25	24
bit symbol	ENSA7	-	-	AINSA7				
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	ENSA6	-	-	AINSA6				
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ENSA5	-	-	AINSA5				
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ENSA4	-	-	AINSA4				
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31	ENSA7	R/W	ADREG7 イネーブル 0:disable 1:enable
30-29	-	R	リードすると"0"が読めます。
28-24	AINSA7[4:0]	R/W	AIN 選択 「表 16-3 AD 変換入力端子の選択」を参照
23	ENSA6	R/W	ADREG6 イネーブル 0:disable 1:enable
22-21	-	R	リードすると"0"が読めます。
20-16	AINSA6[4:0]	R/W	AIN 選択 「表 16-3 AD 変換入力端子の選択」を参照
15	ENSA5	R/W	ADREG5 イネーブル 0:disable 1:enable
14-13	-	R	リードすると"0"が読めます。
12-8	AINSA5[4:0]	R/W	AIN 選択 「表 16-3 AD 変換入力端子の選択」を参照
7	ENSA4	R/W	ADREG4 イネーブル 0:disable 1:enable
6-5	-	R	リードすると"0"が読めます。
4-0	AINSA4[4:0]	R/W	AIN 選択 「表 16-3 AD 変換入力端子の選択」を参照

ADASET811 : 常時変換用プログラムレジスタ 811

	31	30	29	28	27	26	25	24
bit symbol	ENSA11	-	-	AINSA11				
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	ENSA10	-	-	AINSA10				
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ENSA9	-	-	AINSA9				
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ENSA8	-	-	AINSA8				
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31	ENSA11	R/W	ADREG11 イネーブル 0:disable 1:enable
30-29	-	R	リードすると"0"が読めます。
28-24	AINSA11[4:0]	R/W	AIN 選択 「表 16-3 AD 変換入力端子の選択」を参照
23	ENSA10	R/W	ADREG10 イネーブル 0:disable 1:enable
22-21	-	R	リードすると"0"が読めます。
20-16	AINSA10[4:0]	R/W	AIN 選択 「表 16-3 AD 変換入力端子の選択」を参照
15	ENSA9	R/W	ADREG9 イネーブル 0:disable 1:enable
14-13	-	R	リードすると"0"が読めます。
12-8	AINSA9[4:0]	R/W	AIN 選択 「表 16-3 AD 変換入力端子の選択」を参照
7	ENSA8	R/W	ADREG8 イネーブル 0:disable 1:enable
6-5	-	R	リードすると"0"が読めます。
4-0	AINSA8[4:0]	R/W	AIN 選択 「表 16-3 AD 変換入力端子の選択」を参照

## 16.5 動作説明

### 16.5.1 アナログ基準電圧

アナログ基準電圧は AD コンバータの AVDD5, AVSS 端子にそれぞれ High、Low のレベルを入力します。また、ADxMOD3<RCUT> を "1" にする事で、AVDD5 と AVSS 間に流れる電流を制御して消費電流を削減できます。ADC 使用時には "0" を書いてください。

- 注 1) AD 変換精度への影響を避けるために AD 動作(変換)中は出力ポートとして使用しているポート H/I/J の出力データを書き換えないようにしてください。
- 注 2) 電源電圧の変動や周囲のノイズの影響によって AD 変換結果がばらつくことがあります。AD 変換中に AD 入力に兼用となっている端子への入力および端子出力を変化させる、または AD 変換中に出力ポートに設定している端子の出力電流が変動すると AD 変換精度が低下することがあります。プログラムで複数回の平均値をとるなどして対策してください。

### 16.5.2 AD 変換開始

AD コンバータはソフトウェアによる起動（ソフトウェアトリガ）またはタイマからのトリガ信号により任意の AD が変換開始します。

これらの起動要因には優先順位があり、

タイマ > ソフトウェア > 常時

上位要因が発生時は現在の AD 変換終了後に上位のプログラムに移行します。

トリガ要因発生から実際の AD 変換実行までには遅れがあります。トリガ要因による AD 変換タイミングと遅延時間を以下に示します。

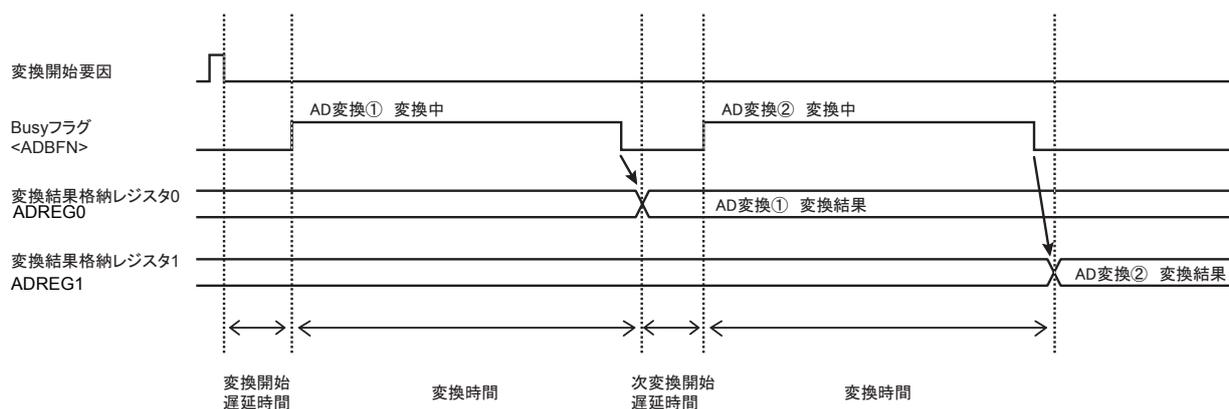


図 16-2 AD 変換開始動作タイミングチャート

表 16-4 AD 変換時間(SCLK = 40MHz)

	変換開始要因	fsys = 40MHz	
		MIN	MAX
開始遅延時間(注 1)	TMRB	0.225	0.5
	ソフトウェア、 常時変換	0.25	0.525
AD 変換時間	-	1.85	
次変換開始遅延時間 (注 2)	TMRB、ソフトウェア、 常時変換	0.175	0.425

注 1) 変換開始要因発生から AD 変換開始までの時間

注 2) 同一変換開始要因で複数の変換を設定する場合の 2 番目以降の開始遅延時間

### 16.5.3 AD 監視機能

本 AD コンバータには AD 監視機能があり、監視機能有効時に比較条件と一致した場合、割り込みが発生します。

ADCMPCR0<CMP0EN>または ADCMPCR1<CMP1EN>を"1"に設定すると AD 監視機能が有効となり、<REGS0>/<REGS1>で指定された変換結果格納レジスタの内容が比較レジスタの値以上または以下になると AD 監視機能割り込みが発生します (<ADBIG0>/<ADBIG1>で以上、以下を指定)

比較動作は監視機能が設定された変換結果格納レジスタに対し、変換結果が格納されるごとにおこなわれ、条件が成立すると割り込みが発生します。

注 1) AD 監視機能による比較動作では AD 変換結果格納フラグ<ADR0RF> ~ <ADR11RF>はクリアされません。

注 2) AD 監視機能は通常の読み出し動作と異なりますので、ソフトによる変換結果読み出しなしに連続して AD 変換がおこなわれる場合は、Over Run フラグ<OVR0> ~ <OVR11>が"1"にセットされます。

## 16.6 AD 変換タイミングチャート

ソフトウェア AD 変換、常時 AD 変換、タイマトリガ受け付け時のタイミングチャートを以下に示します。

### 16.6.1 ソフトウェア AD 変換

ソフトウェア AD 変換では、ADSSET03, ADSSET47, ADSSET811 でプログラムされた AD 変換が終了時に割り込みが発生します(図 16-3)。

ソフトウェア AD 変換中に  $ADM\text{MOD}1\langle ADEN \rangle = "0"$  とした場合、実行中の AD 変換を終了します。このとき、変換途中の結果はレジスタには格納されません(図 16-4)。

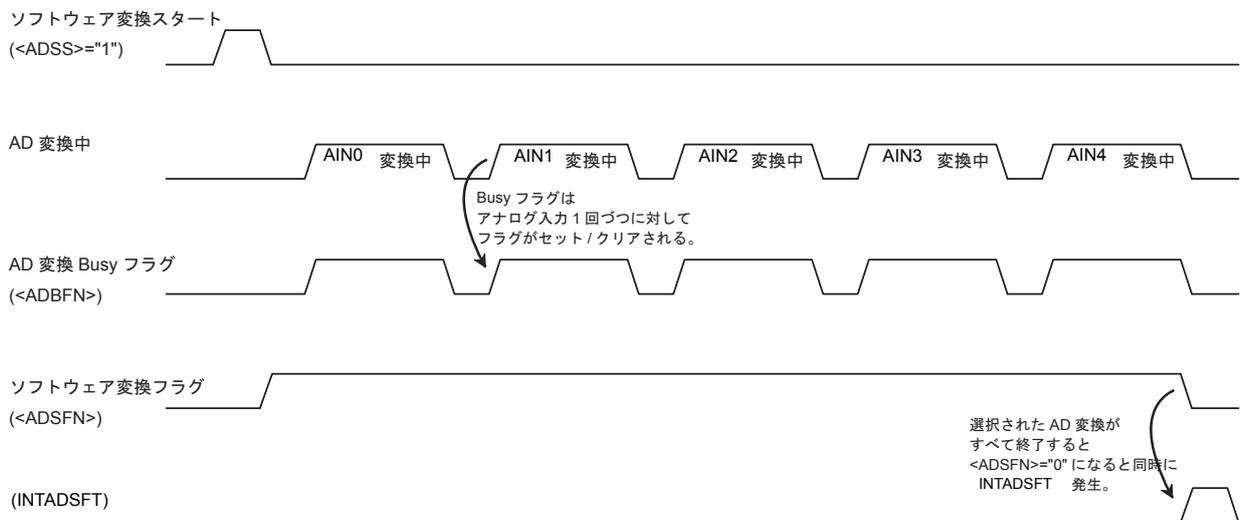


図 16-3 ソフトウェア AD 変換時のタイミングチャート

[ 設定条件 ]

ソフトウェアトリガ設定: AIN0, AIN1, AIN2

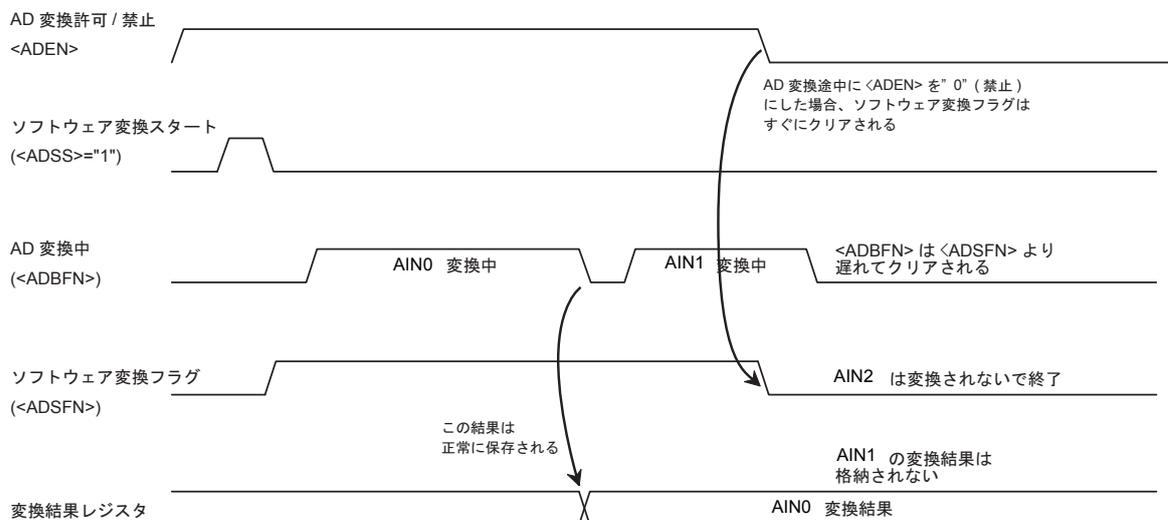


図 16-4 ソフトウェア AD 変換中に <ADEN> = "0" 書き込み

## 16.6.2 常時 AD 変換

常時 AD 変換では、変換結果を読み出す前に次の AD 変換が終了した場合、Over Run フラグが"1"にセットされます。このとき、変換結果レジスタは後続のデータによって上書きされます。OverRun フラグは変換結果を読み出すことにより"0"にクリアされます (図 16-5)。

[設定条件]

常時変換設定: AIN0

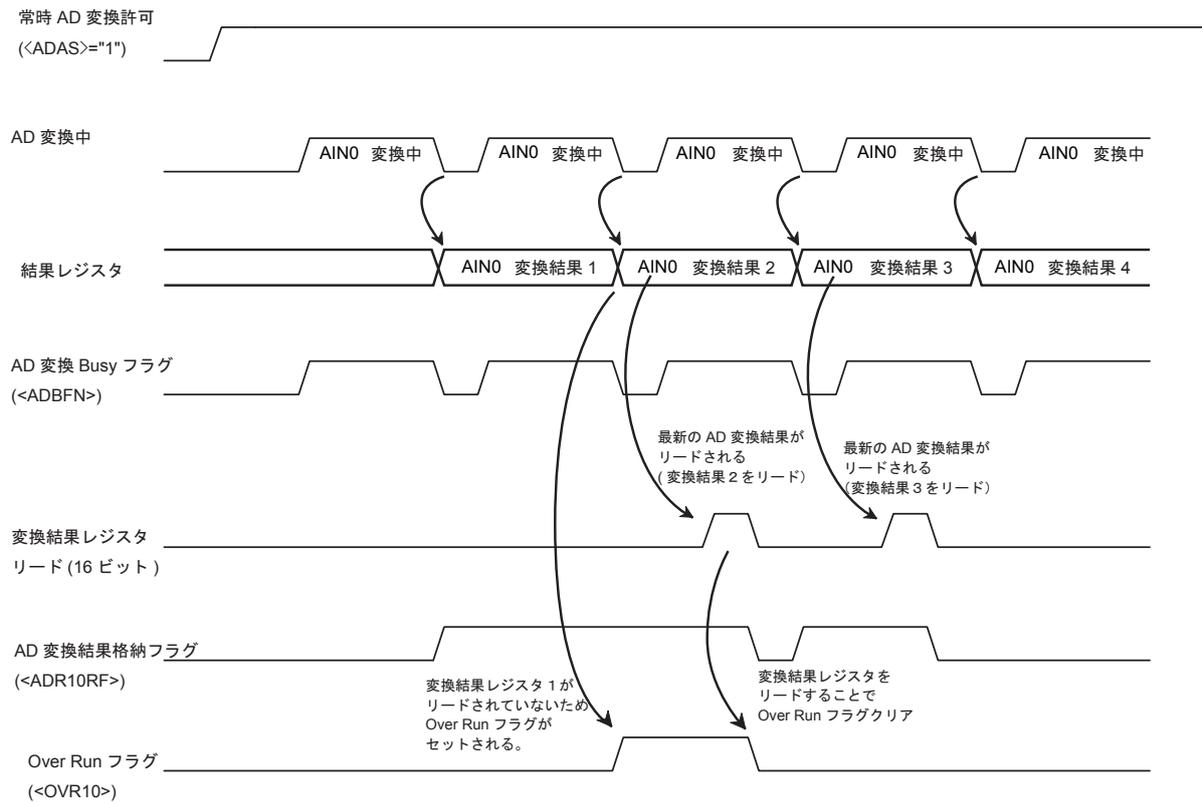


図 16-5 常時 AD 変換時のタイミングチャート

### 16.6.3 トリガによる AD 変換開始

ソフトウェア AD 変換実行中にタイマトリガが発生した場合、実行中の AD 変換が終了してから、タイマトリガによる AD 変換を開始します(図 16-6)。なお、トリガによる AD 変換が終了後、ソフトウェア AD 変換は設定されたプログラムの最初から AD 変換を開始します(図 16-7)。

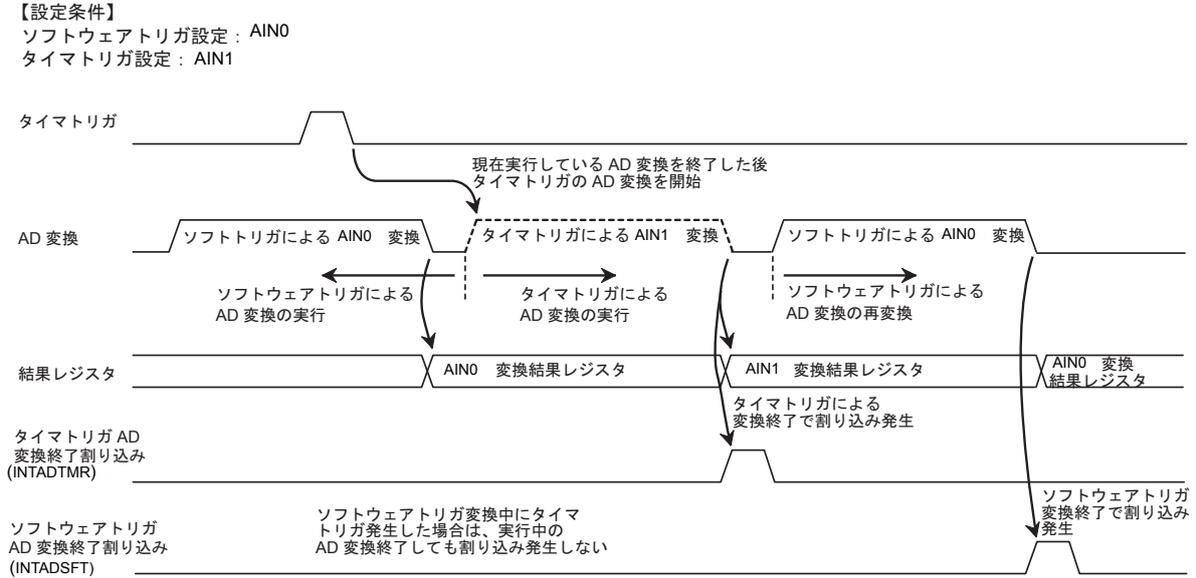


図 16-6 ソフトウェア AD 変換中のタイマ トリガ発生(1)

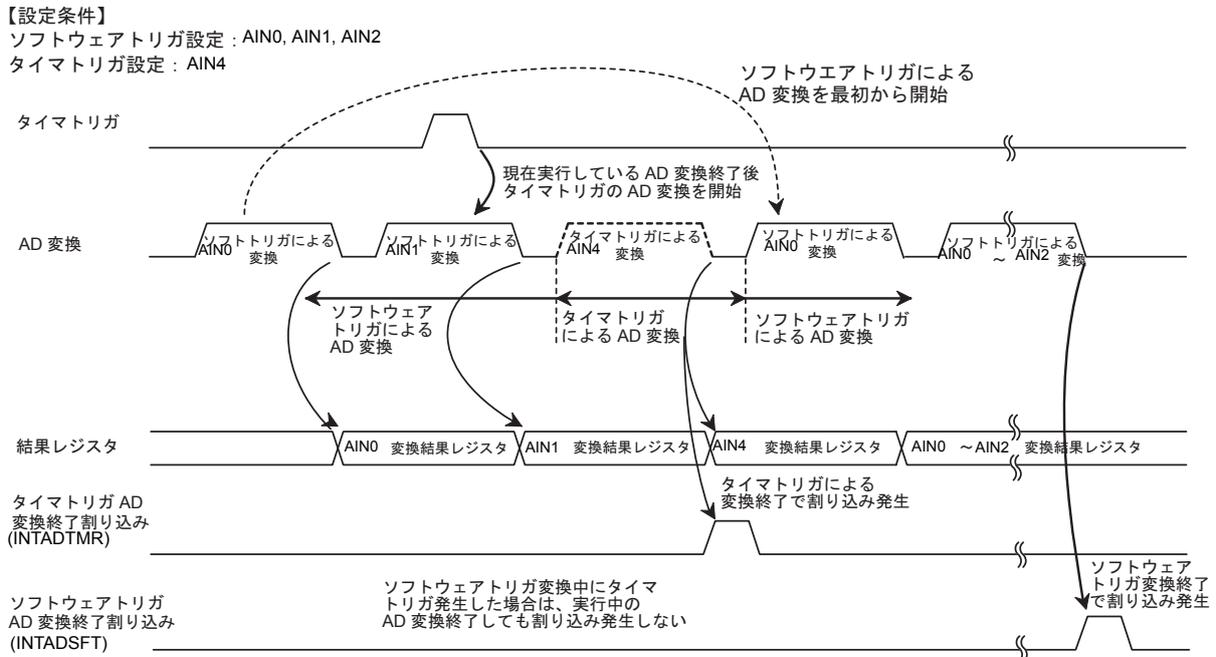


図 16-7 ソフトウェア AD 変換中のタイマ トリガ発生(2)



## 第 17 章 リアルタイムクロック(RTC)

### 17.1 RTC の機能概略

1. 時計機能(時間, 分, 秒)
2. カレンダー機能(月日, 週, うるう年)
3. 24 時間計と 12 時間計(AM/PM)のいずれかを選択可能
4. +/-30 秒補正機能(ソフトウェアによる補正)
5. アラーム機能(アラーム出力)
6. アラーム割り込み

### 17.2 ブロック図

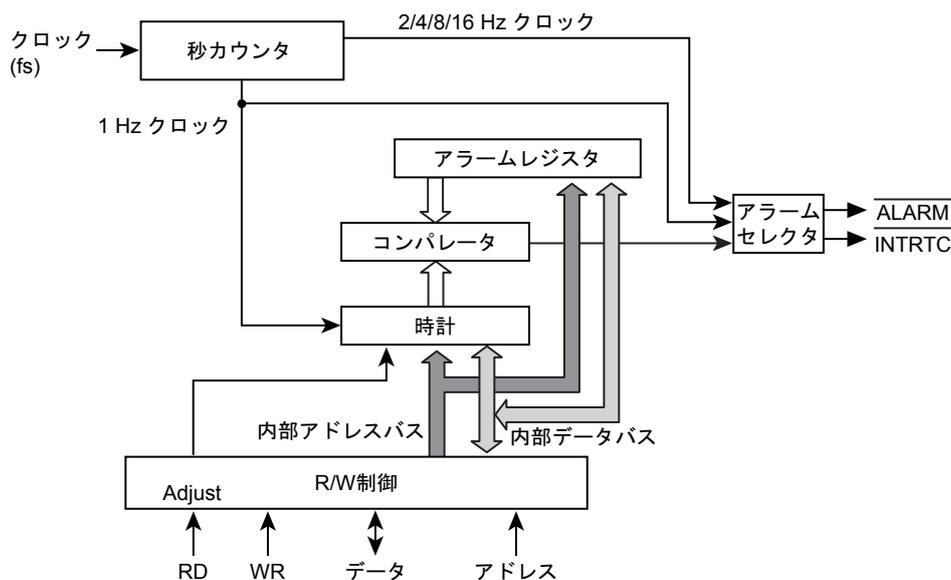


図 17-1 RTC ブロック図

注 1) 西暦年桁について

本製品は、年桁を下 2 桁しか持っていません。そのため 99 年の翌年は 00 年として動作します。使用するシステムにおいて、西暦で年桁を取り扱う場合にはシステム側にて上 2 桁を管理してください。

注 2) うるう年について

うるう年は、4 で割り切れる年ですが、例外があり 100 で割り切れる年はうるう年ではありません。ただし、400 で割り切れる年はうるう年です。しかし、本製品は上記例外に対応していません。4 で割り切れる年のみをうるう年としていますのでこの点が問題であればシステム側にてあらかじめ対策してください。

## 17.3 レジスタ説明

### 17.3.1 レジスタ一覧

RTC 関連のレジスタとアドレスを以下に示します。

RTC には PAGE0(時計機能)と PAGE1(アラーム機能)の 2 つの機能があり、一部のレジスタを共用しています。PAGE の選択は、RTCPAGER<PAGE>で行います。

Base Address = 0x4004\_0100

レジスタ名		Address(Base+)
秒桁レジスタ(PAGE0のみ)	RTCSECR	0x0000
分析レジスタ	RTCMINR	0x0001
時間桁レジスタ	RTCHOURR	0x0002
- (注 1)	-	0x0003
曜日桁レジスタ	RTCDAYR	0x0004
日桁レジスタ	RTCDATER	0x0005
月桁レジスタ(PAGE0)	RTCMONTHR	0x0006
24 時間時計、12 時間時計の選択レジスタ(PAGE1)		
年桁レジスタ(PAGE0)	RTCYEARR	0x0007
うるう年レジスタ(PAGE1)		
PAGE レジスタ	RTCPAGER	0x0008
- (注 1)	-	0x0009
- (注 1)	-	0x000A
- (注 1)	-	0x000B
リセットレジスタ	RTCRESTR	0x000C
Reserved	-	0x000D
- (注 1)	-	0x000E
- (注 1)	-	0x000F

注 1) リードすると"0"が読めます。また、書き込みは無視されます。

注 2) "Reserved"表記のアドレスにはアクセスしないでください。

### 17.3.2 コントロールレジスタ

リセット動作により下記レジスタが初期化されます。

- ・ RTCPAGER<PAGE>, <ADJUST>, <INTENA>
- ・ RTCRESTR<RSTALM>, <RSTTMR>, <DIS16HZ>, <DIS1HZ>, <DIS2HZ>, <DIS4HZ>, <DIS8HZ>

これ以外の時計機能に関するレジスタはリセット動作が行なわれても初期化されません。

RTC を使用する際には各レジスタに時刻/月日曜日年うるう年を設定後、動作を開始します。

時計データの設定、秒補正、時計リセットを行う場合注意が必要です。後述の「17.4.3 低消費電力モードへ遷移する場合」を参照してください。

注) 本製品は、外部低速発振子接続端子(XT1/XT2)が汎用ポートと兼用になります。外部低速発振子接続端子として使用する場合は「クロック/モード制御」の章をご参照ください。

表 17-1 PAGE0 (時計機能)レジスタ

Symbol	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	設定内容
RTCSECR	-	40 秒	20 秒	10 秒	8 秒	4 秒	2 秒	1 秒	秒桁
RTCMINR	-	40 分	20 分	10 分	8 分	4 分	2 分	1 分	分桁
RTCHOURR	-	-	20 時/ PM/AM	10 時	8 時	4 時	2 時	1 時	時間桁
RTCDAYR	-	-	-	-	-	曜日設定			曜日桁
RTCDATER	-	-	20 日	10 日	8 日	4 日	2 日	1 日	日桁
RTCMONTHR	-	-	-	10 月	8 月	4 月	2 月	1 月	月桁
RTCYEARR	80 年	40 年	20 年	10 年	8 年	4 年	2 年	1 年	年桁(西暦下 2 桁)
RTCPAGER	割り込み 許可	-	-	秒補正 設定	時計許可	アラーム 許可	-	PAGE 設定	PAGE レジスタ
RTCRESTR	1 Hz 許可	16 Hz 許可	時計 リセット	アラーム リセット	-	2 Hz 許可	4 Hz 許可	8 Hz 許可	リセット レジスタ

注) PAGE0 の RTCSECR, RTCMINR, RTCHOURR, RTCDAYR, RTCMONTHR, RTCYEARR はリードすると現在の状態がリードされます。

表 17-2 PAGE1 (アラーム機能)レジスタ

Symbol	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	設定内容
RTCSECR	-	-	-	-	-	-	-	-	-
RTCMINR	-	40 分	20 分	10 分	8 分	4 分	2 分	1 分	アラーム分桁
RTCHOURR	-	-	20 時/ PM/AM	10 時	8 時	4 時	2 時	1 時	アラーム時間桁
RTCDAYR	-	-	-	-	-	曜日設定			アラーム曜日桁
RTCDATER	-	-	20 日	10 日	8 日	4 日	2 日	1 日	アラーム日桁
RTCMONTHR	-	-	-	-	-	-	-	24/12	24 時間クロックモード
RTCYEARR	-	-	-	-	-	-	うるう年設定		うるう年モード
RTCPAGER	割り込み 許可	-	-	秒補正 設定	時計許可	アラーム 許可	-	PAGE 設定	PAGE レジスタ
RTCRESTR	1 Hz 許可	16 Hz 許可	時計 リセット	アラーム リセット	-	2 Hz 許可	4 Hz 許可	8 Hz 許可	リセット レジスタ

注 1) PAGE1 の RTCMINR, RTCHOURR, RTCDAYR, RTCMONTHR, RTCYEARR はリードすると現在の状態がリードされます。

注 2) PAGE0 の RTCSECR, RTCMINR, RTCHOURR, RTCDAYR, RTCDATER, RTCMONTHR, RTCYEARR および PAGE1 の RTCYEARR(うるう年)レジスタのリード動作は 2 回行い、比較処理を行ってください。

## 17.3.3 レジスタ詳細

## 17.3.3.1 RTCSECR(秒桁レジスタ(PAGE0のみ))

	7	6	5	4	3	2	1	0
bit symbol	-	SE						
リセット後	0	不定						

Bit	Bit Symbol	Type	機能
7	-	R	リードすると"0"が読めます。
6-0	SE	R/W	秒桁設定 000_0000 : 00 秒      001_0000 : 10 秒      010_0000 : 20 秒 000_0001 : 01 秒      001_0001 : 11 秒      . 000_0010 : 02 秒      001_0010 : 12 秒      011_0000 : 30 秒 000_0011 : 03 秒      001_0011 : 13 秒      . 000_0100 : 04 秒      001_0100 : 14 秒      100_0000 : 40 秒 000_0101 : 05 秒      001_0101 : 15 秒      . 000_0110 : 06 秒      001_0110 : 16 秒      101_0000 : 50 秒 000_0111 : 07 秒      001_0111 : 17 秒      . 000_1000 : 08 秒      001_1000 : 18 秒      . 000_1001 : 09 秒      001_1001 : 19 秒      101_1001 : 59 秒

注) 上記以外の設定はしないでください。

## 17.3.3.2 RTCMINR(分桁レジスタ(PAGE0/1))

	7	6	5	4	3	2	1	0
bit symbol	-	MI						
リセット後	0	不定						

Bit	Bit Symbol	Type	機能
7	-	R	リードすると"0"が読めます。
6-0	MI	R/W	分桁設定 000_0000 : 00 分      001_0000 : 10 分      010_0000 : 20 分      111_1111 : don't care 000_0001 : 01 分      001_0001 : 11 分      .      (PAGE1のみ) 000_0010 : 02 分      001_0010 : 12 分      011_0000 : 30 分 000_0011 : 03 分      001_0011 : 13 分      . 000_0100 : 04 分      001_0100 : 14 分      100_0000 : 40 分 000_0101 : 05 分      001_0101 : 15 分      . 000_0110 : 06 分      001_0110 : 16 分      101_0000 : 50 分 000_0111 : 07 分      001_0111 : 17 分      . 000_1000 : 08 分      001_1000 : 18 分      . 000_1001 : 09 分      001_1001 : 19 分      101_1001 : 59 分

注) 上記以外の設定はしないでください。

17.3.3.3 RTCHOURR(時間桁レジスタ(PAGE0/1))

(1) 24 時間クロックモード(RTCMONTHR<MO0> = "1")の場合

	7	6	5	4	3	2	1	0
bit symbol	-	-	HO					
リセット後	0	0	不定	不定	不定	不定	不定	不定

Bit	Bit Symbol	Type	機能
7-6	-	R	リードすると"0"が読めます。
5-0	HO	R/W	時間桁設定 00_0000 : 00 時      01_0000 : 10 時      10_0000 : 20 時 00_0001 : 01 時      01_0001 : 11 時      10_0001 : 21 時 00_0010 : 02 時      01_0010 : 12 時      10_0010 : 22 時 00_0011 : 03 時      01_0011 : 13 時      10_0011 : 23 時 00_0100 : 04 時      01_0100 : 14 時 00_0101 : 05 時      01_0101 : 15 時      11_1111 : don't care 00_0110 : 06 時      01_0110 : 16 時      (PAGE1 のみ) 00_0111 : 07 時      01_0111 : 17 時 00_1000 : 08 時      01_1000 : 18 時 00_1001 : 09 時      01_1001 : 19 時

注) 上記以外の設定はしないでください。

(2) 12 時間クロックモード(RTCMONTHR<MO0> = "0")の場合

	7	6	5	4	3	2	1	0
bit symbol	-	-	HO					
リセット後	0	0	不定	不定	不定	不定	不定	不定

Bit	Bit Symbol	Type	機能
7-6	-	R	リードすると"0"が読めます。
5-0	HO	R/W	時間桁設定 (AM)                      (PM) 00_0000 : 00 時      10_0000 : 00 時      11_1111 : don't care 00_0001 : 01 時      10_0001 : 01 時      (PAGE1 のみ) 00_0010 : 02 時      10_0010 : 02 時 00_0011 : 03 時      10_0011 : 03 時 00_0100 : 04 時      10_0100 : 04 時 00_0101 : 05 時      10_0101 : 05 時 00_0110 : 06 時      10_0110 : 06 時 00_0111 : 07 時      10_0111 : 07 時 00_1000 : 08 時      10_1000 : 08 時 00_1001 : 09 時      10_1001 : 09 時 01_0000 : 10 時      11_0000 : 10 時 01_0001 : 11 時      11_0001 : 11 時

注) 上記以外の設定はしないでください。



## 17.3.3.6 RTCMONTHR(月桁レジスタ(PAGE0のみ))

	7	6	5	4	3	2	1	0
bit symbol	-	-	-	MO				
リセット後	0	0	0	不定	不定	不定	不定	不定

Bit	Bit Symbol	Type	機能
7-5	-	R	リードすると"0"が読めます。
4-0	MO	R/W	月桁設定 0_0001 : 1月      0_0111 : 7月 0_0010 : 2月      0_1000 : 8月 0_0011 : 3月      0_1001 : 9月 0_0100 : 4月      1_0000 : 10月 0_0101 : 5月      1_0001 : 11月 0_0110 : 6月      1_0010 : 12月

注) 上記以外の設定はしないでください。

## 17.3.3.7 RTCMONTHR(24 時間時計, 12 時間時計の選択レジスタ(PAGE1のみ))

	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	MO0
リセット後	0	0	0	0	0	0	0	不定

Bit	Bit Symbol	Type	機能
7-1	-	R	リードすると"0"が読めます。
0	MO0	R/W	0 : 12 時間 1 : 24 時間

注) RTC 動作時(RTCPAGER<ENATMR> = "1")には、RTCMONTHR<MO0>を操作しないでください。

## 17.3.3.8 RTCYEARR(年桁レジスタ(PAGE0 のみ))

	7	6	5	4	3	2	1	0
bit symbol	YE							
リセット後	不定							

Bit	Bit Symbol	Type	機能		
7-0	YE	R/W	年桁設定		
			0000_0000 : 00 年	0001_0000 : 10 年	0110_0000 : 60 年
			0000_0001 : 01 年	.	.
			0000_0010 : 02 年	0010_0000 : 20 年	0111_0000 : 70 年
			0000_0011 : 03 年	.	.
			0000_0100 : 04 年	0011_0000 : 30 年	1000_0000 : 80 年
			0000_0101 : 05 年	.	.
			0000_0110 : 06 年	0100_0000 : 40 年	1001_0000 : 90 年
			0000_0111 : 07 年	.	.
			0000_1000 : 08 年	01001_0000 : 50 年	.
			0000_1001 : 09 年	.	1001_1001 : 99 年

注) 上記以外の設定はしないでください。

## 17.3.3.9 RTCYEARR(うるう年レジスタ(PAGE1 のみ))

	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	LEAP	
リセット後	0	0	0	0	0	0	不定	不定

Bit	Bit Symbol	Type	機能
7-2	-	R	リードすると"0"が読めます。
1-0	LEAP	R/W	00 : 現在の年(今年)がうるう年 01 : 現在がうるう年から 1 年目 10 : 現在がうるう年から 2 年目 11 : 現在がうるう年から 3 年目

## 17.3.3.10 RTCPAGER(PAGE レジスタ(PAGE0/1))

	7	6	5	4	3	2	1	0
bit symbol	INTENA	-	-	ADJUST	ENATMR	ENAALM	-	PAGE
リセット後	0	0	0	0	不定	不定	0	0

Bit	Bit Symbol	Type	機能
7	INTENA	R/W	INTRTC 0: 禁止 1: 許可
6-5	-	R	リードすると"0"が読めます。
4	ADJUST	R/W	[ライト] 0: Don't care 1: ADJUST 要求セット 秒を補正します。要求は秒カウンタのカウントアップ時にサンプリングされ、秒が 0~29 秒の場合秒桁のみ "0" になります。また、30~59 秒のときは分を桁上げて秒を"0"にします。 [リード] 0: ADJUST 要求なし 1: ADJUST 要求あり "1"の場合 ADJUST 実行中を示し、"0"で処理が終了したことを示します。
3	ENATMR	R/W	時計 0: 禁止 1: 許可
2	ENAALM	R/W	ALARM 0: 禁止 1: 許可
1	-	R	リードすると"0"が読めます。
0	PAGE	R/W	PAGE 設定 0:Page0 が選択されます。 1:Page1 が選択されます。

注 1) このレジスタはリードモディファイライトできません。

注 2) <ENATMR>割り込み許可ビットと、<INTENA>の割り込み許可ビットは下記の設定順番を守り、同時に設定しないようにしてください。(時計許可と割り込み許可の設定間に時間差を設ける。)

また、<ENATMR><ENAALM>の設定を変更する際には、<INTENA>を禁止してから行ってください。

## (例)現時刻、アラーム設定

	7	6	5	4	3	2	1	0	
RTCPAGER ←	0	0	0	0	1	1	0	0	時計、アラーム許可
RTCPAGER ←	1	0	0	0	1	1	0	0	割り込み許可

## 17.3.3.11 RTCRESTR(リセットレジスタ(PAGE0/1))

	7	6	5	4	3	2	1	0
bit symbol	DIS1HZ	DIS16HZ	RSTTMR	RSTALM	-	DIS2HZ	DIS4HZ	DIS8HZ
リセット後	1	1	0	0	0	1	1	1

Bit	Bit Symbol	Type	機能
7	DIS1HZ	R/W	1 Hz 割り込み 0: 許可 1: 禁止
6	DIS16HZ	R/W	16 Hz 割り込み 0: 許可 1: 禁止
5	RSTTMR	R/W	[ライト] 0: Don't care 1: 秒カウンタリセット 秒カウンタをリセットします。要求は低速クロックでサンプリングされます。 [リード] 0: リセット要求なし 1: リセット要求あり "1"の場合リセット実行中を示し、"0"で処理が終了したことを示します。
4	RSTALM	R/W	0: Don't care 1: アラームリセット アラームレジスタ(分, 時, 日, 週桁レジスタ)を初期化します。 初期化後は、00 分, 00 時, 01 日, 日曜日になります。
3	-	R	リードすると"0"が読めます。
2	DIS2HZ	R/W	2 Hz 割り込み 0: 許可 1: 禁止
1	DIS4HZ	R/W	4 Hz 割り込み 0: 許可 1: 禁止
0	DIS8HZ	R/W	8 Hz 割り込み 0: 許可 1: 禁止

注) このレジスタはリードモディファイライトできません。

アラーム、1Hz 割り込み、2Hz 割り込み、4Hz 割り込み、8Hz 割り込み、16Hz 割り込み、で使用する場合の<DIS1HZ>,<DIS2HZ>,<DIS4HZ>,<DIS8HZ>,<DIS16HZ>,RTCPAGER<ENAALM>の設定を以下に示します。

表 17-3 割り込みソース信号の選択

<DIS1HZ>	<DIS2HZ>	<DIS4HZ>	<DIS8HZ>	<DIS16HZ>	RTCPAGER <ENAALM>	割り込みソース信号
1	1	1	1	1	1	アラーム
0	1	1	1	1	0	1 Hz
1	0	1	1	1	0	2 Hz
1	1	0	1	1	0	4Hz
1	1	1	0	1	0	8Hz
1	1	1	1	0	0	16 Hz
その他						割り込みは発生しません。

## 17.4 動作説明

RTC 内部には 32.768 kHz の信号から 1 Hz の信号を発生する秒カウンタが内蔵されており、このカウンタの動作を考慮して使用する必要があります。

注) リセット後、低速クロックの発振は停止します。また、XT1/XT2 端子はポート(PP0,PP1)に初期化されます。RTC のレジスタを再度セットアップして下さい。

### 17.4.1 時計データをリードする場合

#### 1. 1 Hz 割り込みを利用する

秒カウンタのカウントアップに同期して 1 Hz の割り込みが発生しますので、1 Hz 割り込みを待って、データをリードすれば、正常にデータリードできます。

#### 2. 2 度読みを利用する

時計データのリード動作の途中で内部カウンタの桁上げが起こると誤ったデータをリードする場合があります。従って、データを正しく読み込むために、下記の方法で 2 度以上リードしてください。

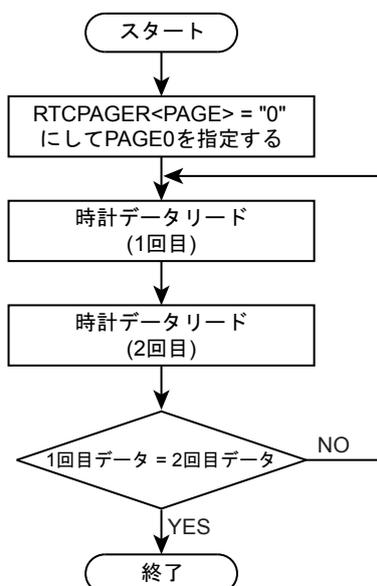


図 17-2 時計データのリードフロー

### 17.4.2 時計データをライトする場合

一連のデータライト動作の途中で桁上げ信号が入ってくると、期待するデータはライトできません。従って、データを正しくライトするためには次の方法があります。

#### 1. 1 Hz 割り込みを利用する

秒カウンタのカウントアップに同期して 1 Hz の割り込みが発生しますので、1Hz 割り込みを待って、次の 1 s カウントアップまでの間にデータをライトすれば、正常にデータライトできます。

#### 2. カウンタをリセットする

秒カウンタをリセットした後にデータをライトします。

カウンタリセット後に 1 Hz 割り込みを許可した場合、1 秒後に 1 Hz 割り込みが発生しますので、1 秒以内に時間設定を行うようにしてください。

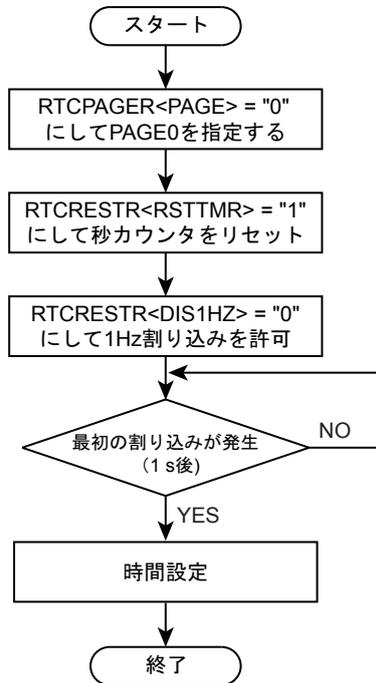


図 17-3 データライトのフロー

### 3. 時計を禁止する

RTCPAGER<ENATMR>に"0"をライトすると、時計は禁止となって桁上げは禁止されま

す。1 Hz 割り込み発生後に時計を停止し(このとき秒カウンタは動作を継続)、次の 1 Hz 割り込みが発生する前(1 s 以内)に再度時計データを設定し時計を許可してください。

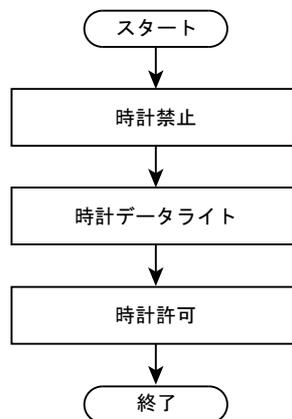


図 17-4 時計を禁止するフローチャート

### 17.4.3 低消費電力モードへ遷移する場合

時計データの設定, 秒補正, 時計リセット後にシステムクロックが停止するモード(SLEEP モード)へ遷移する場合、必ず以下のどちらかの手順で行ってください。

1. 時計データの変更または<ADJUST>, <RSTTMR>操作後に 1 秒割り込みの発生を待つ。
2. 時計データの変更または<ADJUST>, <RSTTMR>操作後、時計レジスタ値<ADJUST>/<RSTTMR>の値を Read し、反映を確認する。

## 17.5 アラーム機能の説明

RTCPAGER<PAGE>に"1"をライトすることにより、PAGE1 のレジスタ群でアラーム機能が使用できます。ALARM 端子からは以下 2 つの信号のいずれかを出力できます。

1. アラームレジスタと時計の一致時、"Low"パルスを出力
2. 1Hz, 2Hz, 4Hz, 8Hz, 16Hz 周期の"Low"パルスを出力

いずれの場合も、低速クロック 1 周期分のパルスを出力します。また、同時に INTRTC 割り込みの要求を出力します。INTRTC 割り込み信号は、立ち下がりエッジが有効ですので、CG 割り込みモードコントロールレジスタのアクティブ状態の設定は、"立ち下がりエッジ"に設定してください。

### 17.5.1 アラームレジスタと時計の一致時、ALARM 端子からパルスを出力

PAGE1 のアラームレジスタと PAGE0 の時計の内容が一致したときに ALARM 端子に"Low"パルスを出力するとともに、INTRTC 割り込みを発生し、その時刻になったことを知らせます。

アラームを使用する方法を下記に説明します。

まずアラーム禁止状態で、初期化を行います。アラームの初期化は RTCRESTR<RSTALM>に"1"をライトすることにより行われ、アラーム分析、アラーム時桁、アラーム日桁、アラーム曜日桁は 00 分、00 時、01 日、日曜日になります。

PAGE1 のアラーム分析、アラーム時桁、アラーム日桁、アラーム曜日桁の設定を行い、RTCPAGER<ENAALM>でアラームを許可します。

最後に RTCPAGER<INTENA>で割り込みを許可します。

例えば、月曜日 5 日正午(12:00)にアラームを出力させる場合のプログラムを下記に示します。

	7	6	5	4	3	2	1	0	
RTCPAGER ←	0	0	0	0	1	0	0	1	アラーム禁止, PAGE1 設定
RTCRESTR ←	1	1	0	1	0	0	0	0	アラーム初期化
RTCDAYR ←	0	0	0	0	0	0	0	1	月曜日
RTCDATER ←	0	0	0	0	0	1	0	1	5日
RTCHOURR ←	0	0	0	1	0	0	1	0	12時設定
RTCMINR ←	0	0	0	0	0	0	0	0	00分設定
RTCPAGER ←	0	0	0	0	1	1	0	0	アラーム許可
RTCPAGER ←	1	0	0	0	1	1	0	0	割り込み許可

アラーム設定は、低速クロックに同期して動作していますので、CPU が高周波で動作している場合、レジスタ設定してから有効になるまでに最大 fs の 1 クロック分(約 30 μs)の遅れが生じることがあります。

### 17.5.2 1 Hz, 2 Hz, 4 Hz, 8 Hz, 16 Hz のパルスを出力する場合

RTCPAGER<ENAALM>, RTCRESTR を表 17-3 のように設定後、RTCPAGER<INTENA> = "1"を設定すると ALARM 端子に 1 Hz, 2 Hz, 4 Hz, 8 Hz, 16 Hz 周期の低速クロック 1 周期分の "Low" パルスを出力します。また、同時に INTRTC 割り込みを出力します。



## 第 18 章 パワーオンリセット回路(POR)

パワーオンリセット回路(POR)は、電源投入時にパワーオンリセット信号を発生します。

電源電圧とは、RVDD5 を指しています。

### 18.1 構成

パワーオンリセット回路は、基準電圧発生回路、コンパレータ、VLTD リセット回路およびパワーオンカウンタから構成されます。

電源電圧をラダー抵抗によって分圧した電圧を基準電圧発生回路が発生した基準電圧とコンパレータで比較します。

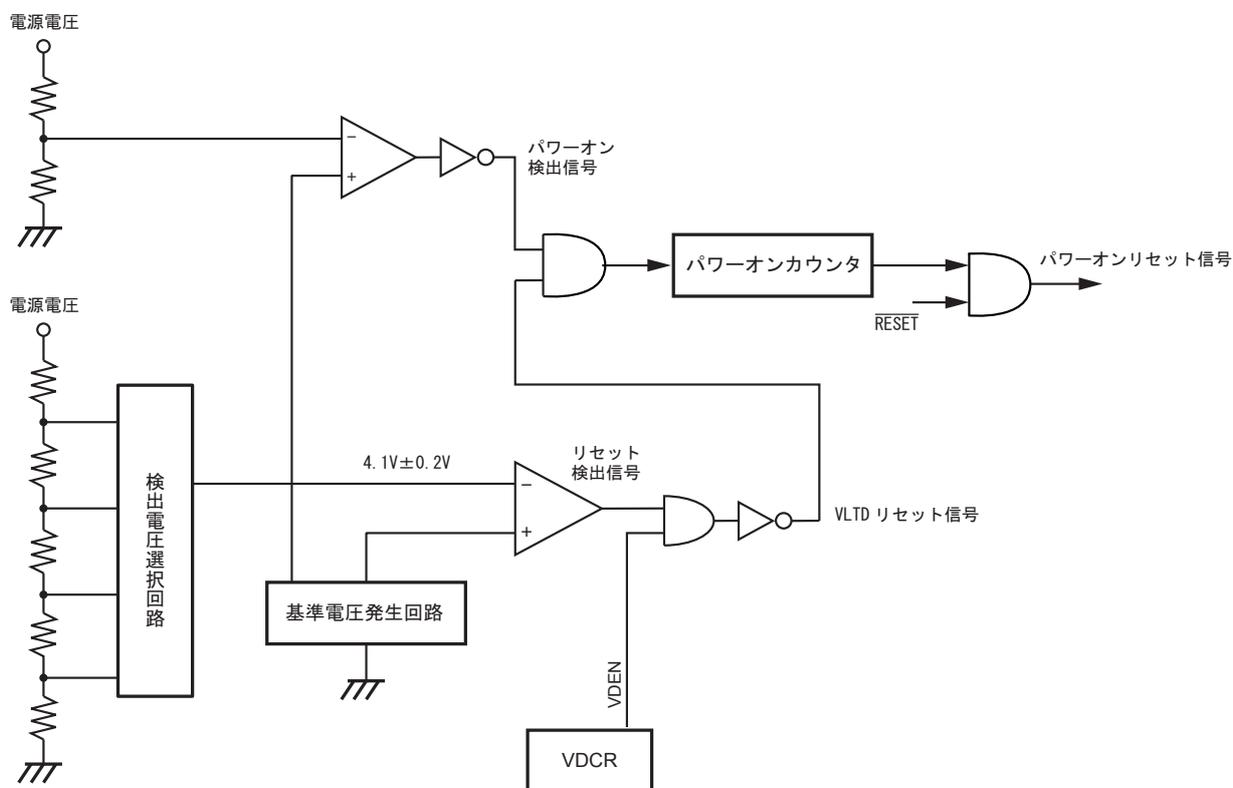


図 18-1 パワーオンリセット回路

VLTD リセット回路のレジスタ VDCR は、電圧検出回路(VLTD)の章を参照願います。

## 18.2 機能

電源投入時、電源電圧が解除電圧以下の間、パワーオン検出信号が発生されます。パワーオン検出信号が解除されるのは、RVDD5 が  $3.0 \pm 0.2 \text{ V}$  を超えるタイミングです。

パワーオン検出信号が解除され、さらに VLTD リセット信号が解除されるとパワーオンカウンタ回路が動作し待機時間(約 0.9 ms)後にパワーオンリセット信号が解除されます。

パワーオンリセット信号が発生している間、CPU および周辺機能はリセットされます。

リセット端子入力を使用しない場合、パワーオンリセット信号解除までに電源電圧を推奨動作範囲まで上昇させてください。電源電圧が推奨動作範囲に到達しない場合、TMPM381/383 は正常に動作することができません。

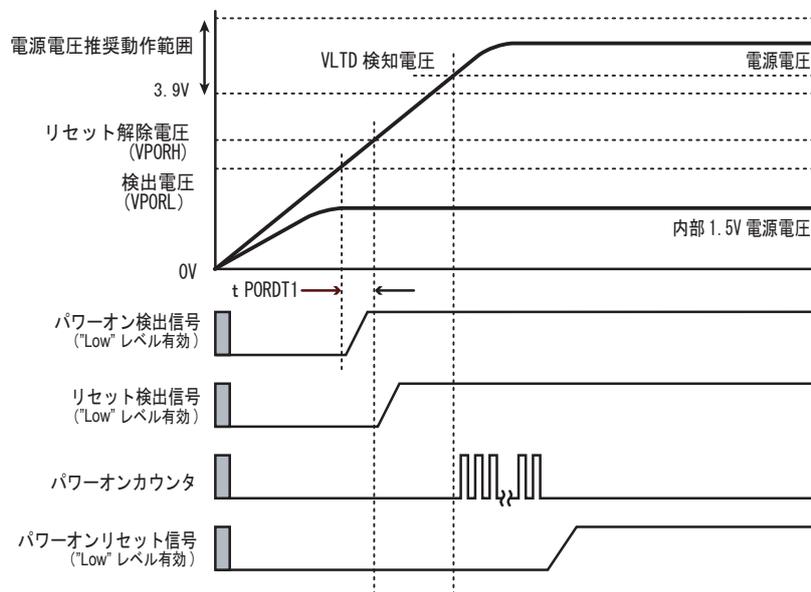


図 18-2 パワーオンリセット動作タイミング

記号	項目	Min	Typ	Max	単位
t PWUP	ウォーミングアップカウンタ時間	-	$2^{13}/f_{OSC}$	-	s
tDVDD	電源立ち上がり時間	-	-	3	ms
VPORH	パワーオンリセット解除電圧	2.8	3	3.2	V
VPORL	パワーオンリセット検出電圧	2.6	2.8	3.0	V
tPORDT1	パワーオンリセット解除応答時間		30		$\mu\text{s}$

注) パワーオンリセット解除電圧(VPORH)とパワーオンリセット検出電圧(VPORL) は、相対的に変動するため検出電圧が逆転することはありません。

注) 電源電圧の変動によりパワーオンリセット回路が完全な動作をしないことがあります。機器設計的には電気的特性を参照の上十分な考慮をしてください。

## 第 19 章 電圧検出回路(VLTD)

電圧検出回路は、電源電圧の低下を検出し、リセット信号を発生します。

電源電圧とは、RVDD5 を指しています。

注) 電源電圧の変動によっては電圧検出回路が完全な動作をしないことがありますので、機器設計時には電気的特性を参照の上、十分な考慮が必要です。

### 19.1 構成

電圧検出回路は、基準電圧発生回路、検出電圧レベル選択回路、コンパレータ、制御レジスタから構成されます。

電源電圧はラダー抵抗で分圧され、検出電圧レベル選択回路に入力されます。検出電圧レベル選択回路で検出電圧 ( $4.1V \pm 0.2V$ ) が選択され、コンパレータで基準電圧と比較されます。電源電圧が検出電圧 ( $4.1V \pm 0.2V$ ) を下回ると、リセット信号を発生します。

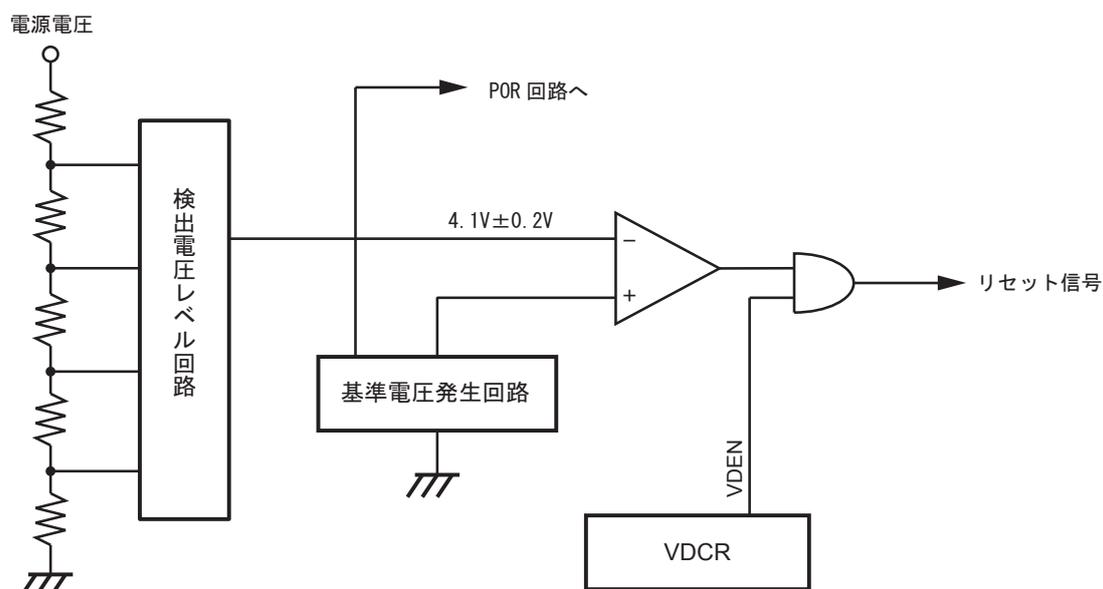


図 19-1 電圧検出回路

## 19.2 レジスタ説明

### 19.2.1 レジスタ一覧

レジスタ名		Address(Base+)
電圧検出制御レジスタ	VDCR	0x0000

Base Address = 0x4004\_0900

### 19.2.2 VDCR (電圧検出制御レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-		VDEN
リセット後	0	0	0	0	0	0	1	1

Bit	Bit Symbol	Type	機能
31-3	-	R	リードすると"0"が読めます。
2-1	-	R/W	かならず"01"を書き込んでください。
0	VDEN	R/W	電圧検出の許可/禁止 0: 禁止 1: 許可

注) VDCR はパワーオンリセット、外部リセット入力で初期化されます。

## 19.3 動作説明

### 19.3.1 制御

電圧検出回路は、電圧検出制御レジスタで制御されます。

### 19.3.2 機能

電圧検出回路の許可/禁止は  $VDCR<VDEN>$  で設定します。電圧検出の許可/禁止を設定し、電源電圧が検出電圧 ( $4.1V \pm 0.2V$ ) を下回ったとき、リセット信号を発生します。

#### 19.3.2.1 電圧検出動作の許可/禁止

$VDCR<VDEN>$  はパワーオンリセット、外部リセット解除後、“1” にセットされ動作許可されます。“0” にクリアすると電圧検出動作が禁止されます。

注) 電源電圧 < 検出電圧  $VDCR<VDLVL[1:0]>$  の状態で、 $VDCR<VDEN> = "0"$  (禁止) から“1” (許可) に設定すると、設定した時点でリセット信号が発生します。

#### 19.3.2.2 検出電圧レベル

検出電圧は  $4.1V \pm 0.2V$  です。

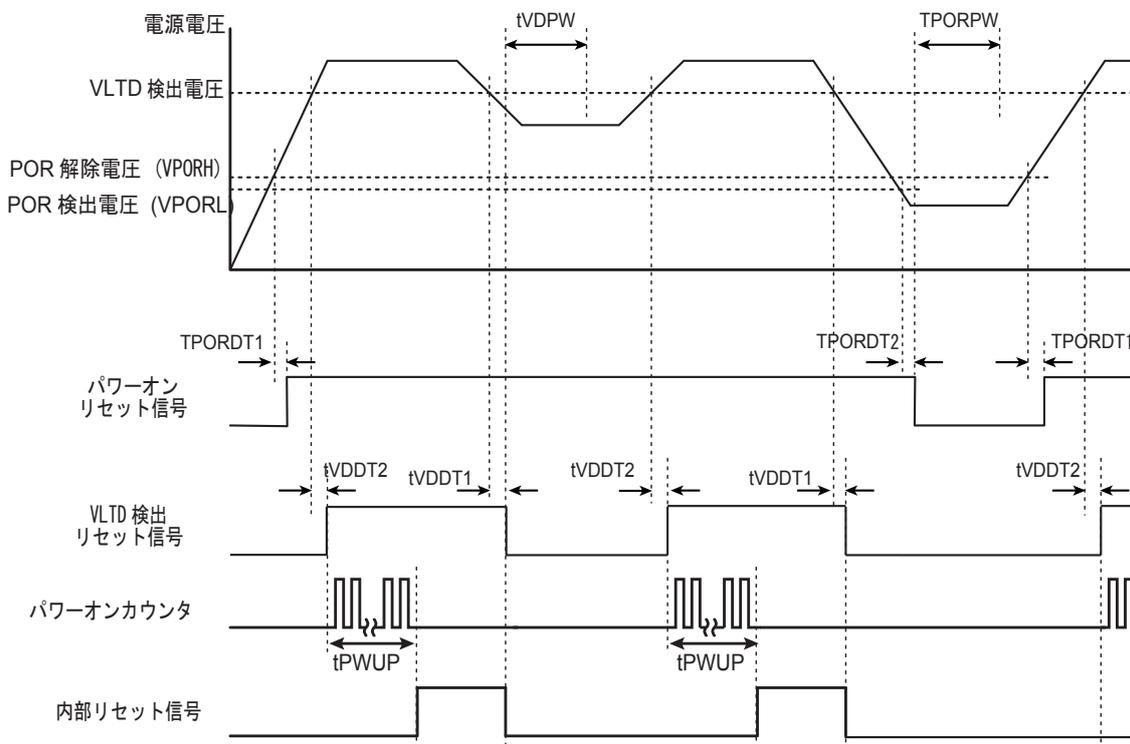


図 19-2 電圧検出タイミング

---

記号	項目	Min	Typ	Max	単位
tVDEN	電圧検出回路が有効になる時間	-	40	-	μs
tVDDT1	電圧検出回路検出応答時間	-	40	-	
tVDDT2	電圧検出回路検出解除時間	-	40	-	
tVDPW	電圧検出回路検出最小パルス幅	45	-	-	
LDLVL	検出電圧レベル	3.9	4.1	4.3	V

## 第 20 章 周波数検知回路(OFD)

周波数検知回路(OFD)はクロック周波数の異常を検出する回路です。OFD を使用することで、高調波、低調波、停止といったクロックの異常を検出することができます。

OFD は、基準となるクロックを用いて対象のクロックを観測し、異常を検出するとリセットを発生します。また、基準クロックが停止した場合もリセットを発生します。

TMPM381/383 では、基準クロックは内蔵高速発振器クロック、検出対象クロックは外部高速発振器クロックです。

注) いかなる異常も検知できるわけではありません。また、クロックの誤差を測定するための回路ではありません。

### 20.1 構成

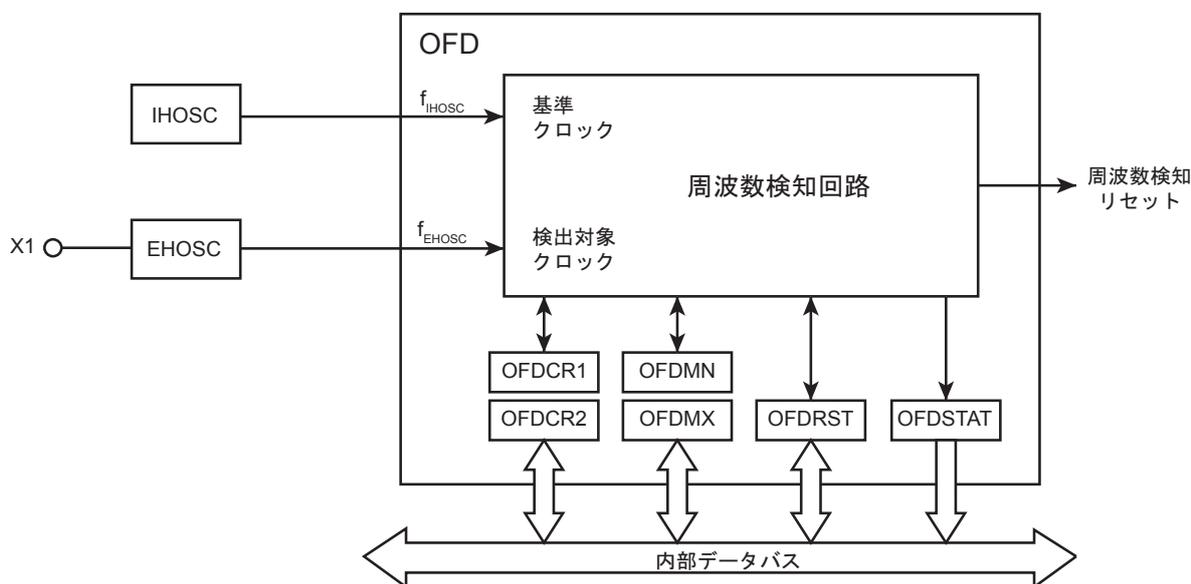


図 20-1 周波数検知回路ブロック図

## 20.2 レジスタ説明

### 20.2.1 レジスタ一覧

Base Address = 0x4004\_0800

レジスタ名		Address(Base+)
制御レジスタ 1	OFDCR1	0x0000
制御レジスタ 2	OFDCR2	0x0004
検知周波数下限値レジスタ	OFDMN	0x0008
Reserved	-	0x000C
検知周波数上限値レジスタ	OFDMX	0x0010
Reserved	-	0x0014
リセット制御レジスタ	OFDRST	0x0018
ステータスレジスタ	OFDSTAT	0x001C

注) "Reserved"表記のアドレスにはアクセスしないでください。

#### 20.2.1.1 OFDCR1(制御レジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	OFDWEN							
リセット後	0	0	0	0	0	1	1	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-0	OFDWEN[7:0]	R/W	レジスタ書き込み制御 0x06: 禁止 0xF9: 許可 0xF9 を設定すると、OFDCR1 以外のレジスタへの書き込みができるようになります。 0x06、0xF9 以外の値を書いた場合、0x06 が書かれます。 書き込みが禁止されていても、各レジスタを読み出すことは可能です。

20.2.1.2 OFDCR2(制御レジスタ 2)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	OFDEN							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-0	OFDEN[7:0]	R/W	周波数検知動作制御 0x00: 禁止 0xE4: 許可 0x00、0xE4 以外の値の書き込みは無効で値は変化しません。

## 20.2.1.3 OFDMN(検知周波数下限値レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	OFDMN							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-0	OFDMN[7:0]	R/W	検知周波数の下限値を設定します

注) 本レジスタは、周波数検知動作が許可されているときは書き込みできません。

## 20.2.1.4 OFDMX(検知周波数上限値レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	OFDMX							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-0	OFDMX[7:0]	R/W	検知周波数の上限値を設定します

注) 本レジスタは、周波数検知動作が許可されているときは書き込みできません。

20.2.1.5 OFDRST(リセット制御レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	OFDRSTEN
リセット後	0	0	0	0	0	0	0	1

Bit	Bit Symbol	Type	機能
31-1	-	R	リードすると"0"が読めます。
0	OFDRSTEN	R/W	リセット発生制御 0: 禁止 1: 許可

注) 本レジスタは、周波数検知動作が許可されているときは書き込みできません。

## 20.2.1.6 OFDSTAT(ステータスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	OFDBUSY	FRQERR
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	-	R	リードすると"0"が読めます。
1	OFDBUSY	R	OFD 動作状態 0: 停止中 1: 動作中
0	FRQERR	R	異常検知フラグ 0: 異常でない 1: 異常

## 20.3 動作説明

### 20.3.1 設定

リセットにより、OFDCR1 以外のレジスタには書き込みができない状態になります。OFDCR1 に"0xF9"を書き込むことにより、OFDCR1 以外のレジスタに書き込みができるようになります。

検知する周波数の範囲は OFDMX と OFDMN で設定します。OFDRST でリセット発生の許可/禁止を設定し、OFDCR2 に"0xE4"を書き込むと動作を開始します。

誤書き込み防止のため、すべてのレジスタの設定後、OFDCR1 に"0x06"を設定し書き込み禁止にしてください。また、設定の変更は動作が停止した状態で行ってください。

### 20.3.2 動作

動作開始から検知開始まで検知周期 2 周期分の時間が必要です。検知動作中かどうかは、OFDSTAT<OFDBSY>で確認することができます。検知周期は基準クロック周波数/2<sup>8</sup>MHz です。

リセットの発生が許可されている場合、以下の条件でリセットを発生します。

- ・ 検出対象クロックが OFDMN,OFDMN で設定した周波数範囲を超えた場合
- ・ 基準クロックが停止した場合

周波数検知リセットはウォームリセットと同じ動作で、周波数検知回路自身もリセットされます。

リセットの発生を禁止している場合は OFDSTAT<FRQERR>で状態を確認することができます。

注) リセットの要因は複数あります。クロックジェネレータレジスタの CGRSTFLG で要因を確認することができます。CGRSTFLG については例外の章を参照してください。

### 20.3.3 検知周波数

検知周波数には、発振精度の関係上、検出範囲と非検出範囲が存在します。検出範囲と非検出範囲の間の周波数では、検出されるかどうかは未確定です。

図 20-2 に、検出対象クロックの誤差を±10%、基準クロックの誤差を±5%の場合の検出範囲/非検出範囲を示します。

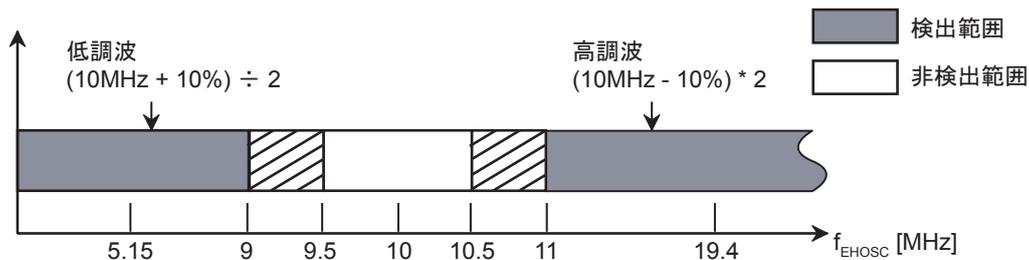


図 20-2 検出周波数範囲例(10MHz の場合)

検知周波数上限値、下限値は、検出対象クロックと基準クロックの最大誤差より計算します。

検出対象クロック誤差を±10%、基準クロック誤差を±5%の場合の OFDMN/OFDMX の設定値の算出方法を以下に示します。

検出対象クロック	10MHz ± 10%	Max. 11MHz	----- ①
		Min. 9MHz	----- ②
基準クロック	10MHz ± 5%	Max. 10.5MHz	----- ③
		Min. 9.5MHz	----- ④

$$\text{検知周波数上限値} = 1 \div \{(\text{④} \div 2^8) \div (\text{①} \div 4)\}$$

$$\text{検知周波数下限値} = 1 \div \{(\text{③} \div 2^8) \div (\text{②} \div 4)\}$$

$$\text{検知周波数上限値} = 1 \div \{(9.5 \times 10^6 \div 2^8) \div (11 \times 10^6 \div 4)\} = 74.10 = 74(\text{小数点以下切捨て}) = 0x4a$$

$$\text{検知周波数下限値} = 1 \div \{(10.5 \times 10^6 \div 2^8) \div (9 \times 10^6 \div 4)\} = 54.85 = 55(\text{小数点以下切上げ}) = 0x37$$

よって、レジスタ OFDMX に 0x4a、OFDMN に 0x37 を設定すると、11MHz 以上と 9MHz 以下の外部発振を検知した場合、周波数検知リセットが発生します。

### 20.3.4 使用可能な動作モード

周波数検知回路は NORMAL モードと IDLE モードのときのみ使用可能です。他のモードに遷移する際は、周波数検知回路を停止させてください。

### 20.3.5 動作手順例

周波数検知回路を使用する場合の動作手順例を示します。

リセット発生後、CGRSTFLG でリセットの要因を確認します。要因が周波数検知リセットでなければ、外部発振を有効にし、周波数検知回路を使用するためのレジスタ設定を行い、動作を許可します。このときリセット出力は禁止しておきます。

検知開始を待って、OFDSTAT で異常検知フラグを確認し、異常がなければ外部発振クロックに切り替えます。

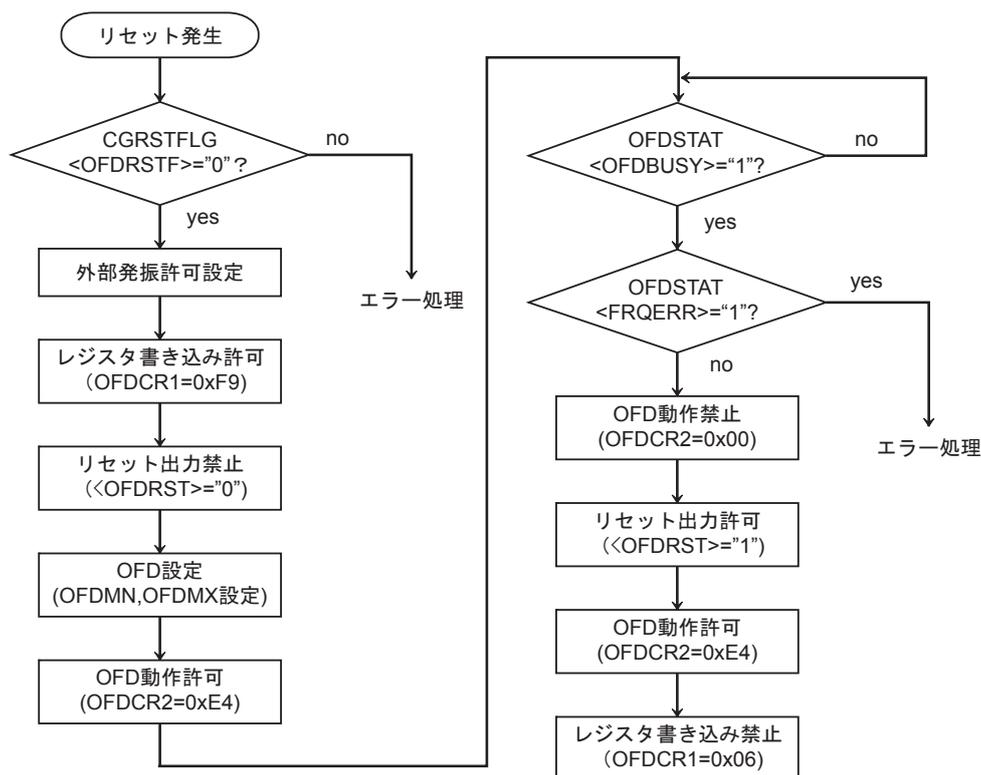


図 20-3 動作手順例



## 第 21 章 ウォッチドッグタイマ(WDT)

ウォッチドッグタイマは、ノイズなどの原因により CPU が誤動作(暴走)を始めた場合、これを検出し正常な状態に戻すことを目的としています。

暴走を検出した場合、INTWDT 割り込みを発生またはマイコンをリセットします。

注) INTWDT 割り込みはマスク不能割り込み(NMI)要因のひとつです。

また、外部周辺装置に対しては、ウォッチドッグタイマアウト端子(WDTOUT)より"Low"を出力して暴走の検出を知らせます。

注) 本製品にはウォッチドッグタイマアウト端子(WDTOUT)はありません。

### 21.1 構成

図 21-1 にウォッチドッグタイマのブロック図を示します。

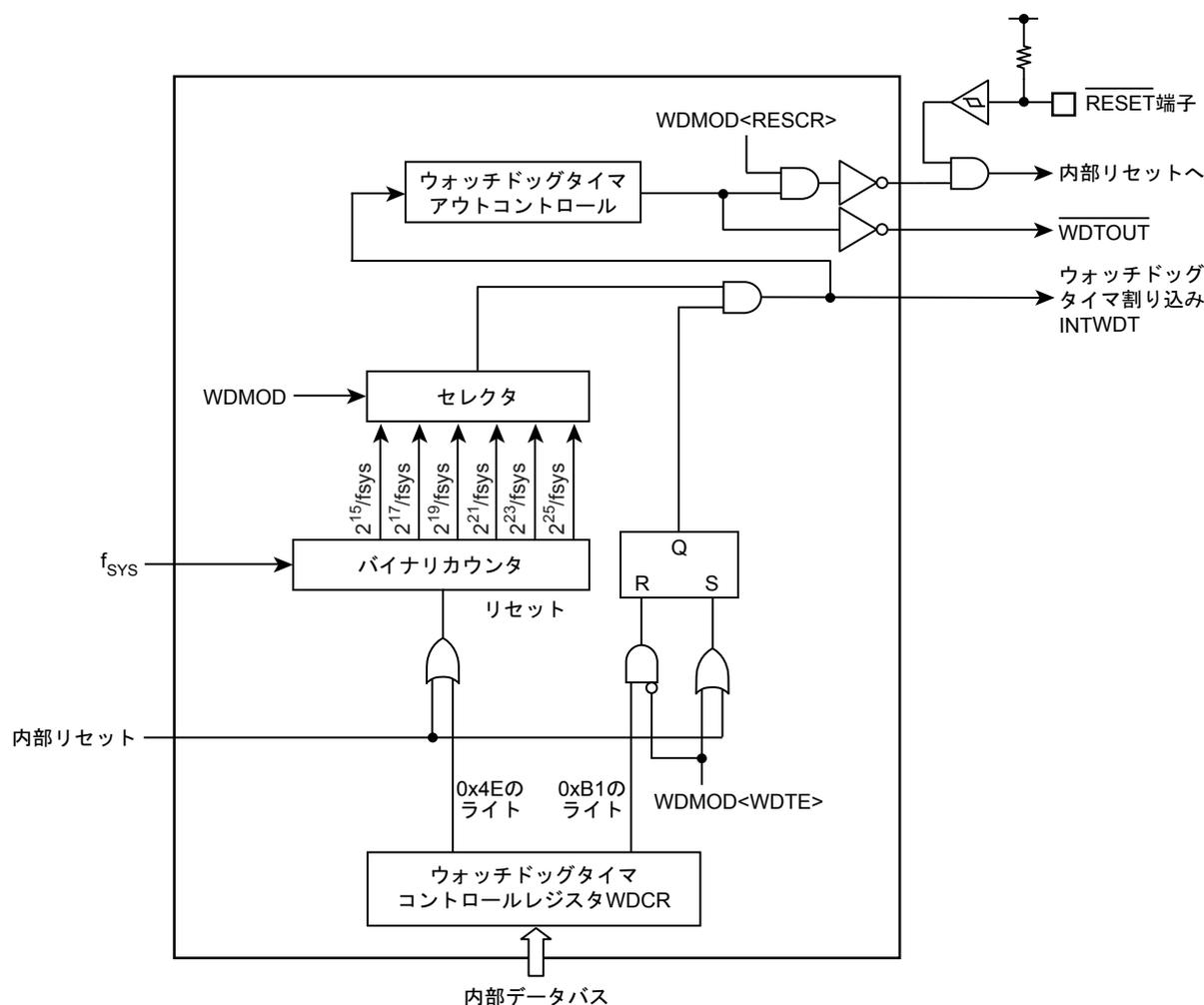


図 21-1 ウォッチドッグタイマのブロック図

## 21.2 レジスタ一覧

ウォッチドッグタイマの制御レジスタとアドレスは以下の通りです。

Base Address = 0x4004\_0000

レジスタ名		Address(Base+)
ウォッチドッグタイマモードレジスタ	WDMOD	0x0000
ウォッチドッグタイマコントロールレジスタ	WDCR	0x0004

### 21.2.1 WDMOD(ウォッチドッグタイマモードレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	WDTE	WDTP			-	I2WDT	RESCR	-
リセット後	1	0	0	0	0	0	1	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	WDTE	R/W	許可/禁止制御 0: 禁止 1: 許可
6-4	WDTP[2:0]	R/W	検出時間の選択(表 21-1 を参照) 000: $2^{15}/f_{SYS}$ 100: $2^{23}/f_{SYS}$ 001: $2^{17}/f_{SYS}$ 101: $2^{25}/f_{SYS}$ 010: $2^{19}/f_{SYS}$ 110: 設定禁止 011: $2^{21}/f_{SYS}$ 111: 設定禁止
3	-	R	リードすると"0"が読めます。
2	I2WDT	R/W	IDLE 時の動作 0: 停止 1: 動作
1	RESCR	R/W	暴走検出後の動作 0: INTWDT 割り込み要求を発生します。(注) 1: マイコンをリセットします。
0	-	R/W	"0"をライトしてください。

注) INTWDT 割り込みはマスク不能割り込み(NMI)要因のひとつです。

表 21-1 ウォッチドッグタイマの検出時間 (fc = 40MHz)

クロックギア値 CGSYSCR<GEAR[2:0]>	WDMOD<WDTP[2:0]>					
	000	001	010	011	100	101
000 (fc)	0.82 ms	3.28 ms	13.11 ms	52.43 ms	209.72 ms	838.86 ms
100 (fc/2)	1.63 ms	6.55 ms	26.21 ms	104.86 ms	419.43 ms	1.68 s
101 (fc/4)	3.28 ms	13.11 ms	52.43 ms	209.72 ms	838.86 ms	3.36 s
110 (fc/8)	6.55 ms	26.21 ms	104.86 ms	419.43 ms	1.68 s	6.71 s
111 (fc/16)	13.12 ms	52.43 ms	209.72 ms	838.86 ms	3.36 s	13.42 s

## 21.2.2 WDCR(ウォッチドッグタイマコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	WDCR							
リセット後	-	-	-	-	-	-	-	-

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-0	WDCR	W	ディセーブル/クリアコード 0xB1: ディセーブルコード 0x4E: クリアコード 上記以外:Reserved

## 21.3 動作説明

### 21.3.1 基本動作

ウォッチドッグタイマは、システムクロック  $f_{\text{sys}}$  を入力クロックとするバイナリカウンタで構成されています。検出時間は  $\text{WDMOD}<\text{WDTP}[2:0]>$  によって  $2^{15}, 2^{17}, 2^{19}, 2^{21}, 2^{23}$  および  $2^{25}$  から選択します。検出時間経過後にウォッチドッグタイマ割り込み(INTWDT)が発生し、ウォッチドッグタイマアウト端子(WDTOUT)より"Low"が出力されます。

ノイズなどの原因による CPU の暴走を検出するために、ソフトウェア(命令)でウォッチドッグタイマ用のバイナリカウンタを INTWDT 割り込みが発生する前にクリアするように設定しておきます。クリアが行われなかった場合、INTWDT によってマスク不能割り込みが発生しますので、CPU は暴走を検知し、暴走対策プログラムにより正常な状態に戻すことができます。

また、ウォッチドッグタイマアウト端子を外部周辺装置のリセットなどへ接続することにより、CPU の誤動作(暴走)に対処することができます。

注) 本製品にはウォッチドッグタイマアウト端子(WDTOUT)はありません。

### 21.3.2 動作モードと動作状態

ウォッチドッグタイマは、リセット解除後ただちに動作を開始します。使用しない場合はディセーブルの処理を行ってください。

ウォッチドッグタイマは高速クロックが停止するモードでは使用できません。以下に示すモードに遷移する前にディセーブルしてください。IDLE モード中は  $\text{WDMOD}<12\text{WDT}>$  の設定に従います。

- STOP mode
- SLEEP mode
- SLOW mode

また、デバッグモード中は自動的にバイナリカウンタが停止します。

## 21.4 暴走検出時の動作

### 21.4.1 INTWDT 割り込み発生の場合

図 21-2 に INTWDT 割り込み発生(WDMOD<RESCR>="0")の場合の動作を示します。

バイナリカウンタのオーバーフローにより INTWDT 割り込みが発生します。INTWDT 割り込みはマスク不能割り込み(NMI)の要因であるため、CPU はマスク不能割り込みを検出し処理を行います。

マスク不能割り込み要因は複数あり、CGNMIFLG レジスタでマスク不能割り込み要因を識別できます。INTWDT 割り込みの場合、CGNMIFLG<NMIFLG0>がセットされます。

INTWDT 割り込み発生と同時にウォッチドッグタイマアウト(WDTOUT)より"Low"を出力します。WDTOUT は、ウォッチドッグタイマのクリア(WDCR レジスタにクリアコード 0x4E をライト)により"High"に戻ります。

注) 本製品にはウォッチドッグタイマアウトの外部出力端子はありません。

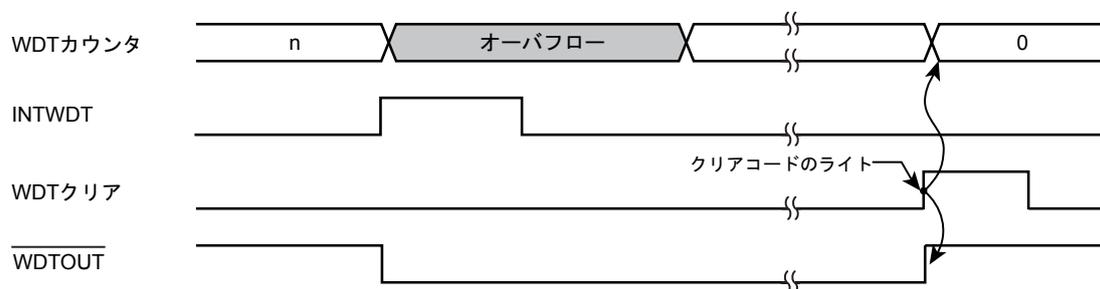


図 21-2 INTWDT 割り込み発生

### 21.4.2 内部リセット発生の場合

図 21-3 に内部リセット発生(WDMOD<RESCR>="1")の場合の動作を示します。

バイナリカウンタのオーバフローによりマイコンをリセットします。この場合、32 ステートの期間、リセットを行います。クロックの設定も初期化され、入力クロック  $f_{SYS}$  と内蔵高速発振器のクロック  $f_{OSC}$  の関係は、 $f_{SYS} = f_{OSC}$  となります。

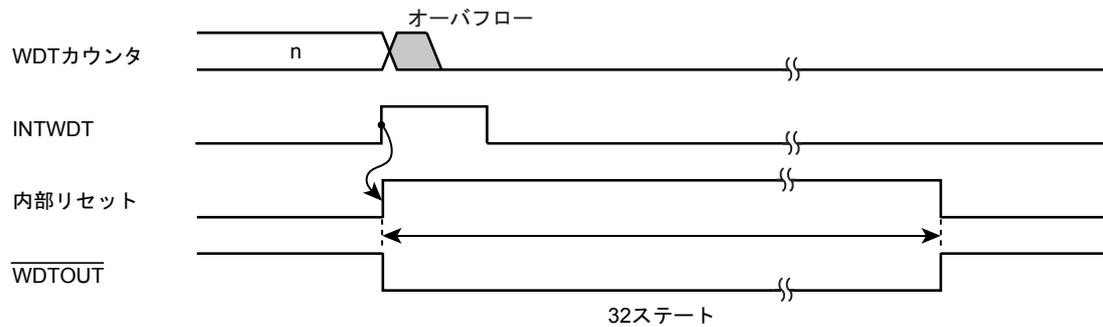


図 21-3 内部リセット発生

## 21.5 コントロールレジスタ

ウォッチドッグタイマ(WDT)は、2つのコントロールレジスタ(WDMOD, WDCR)によって制御されています。

### 21.5.1 ウォッチドッグタイマモードレジスタ(WDMOD)

1. ウォッチドッグタイマ検出時間の設定<WDTP[2:0]>

ウォッチドッグタイマ検出時間を設定します。リセット時 WDMOD<WDTP[2:0]> = "000" に初期化されます。

2. ウォッチドッグタイマのイネーブル/ディセーブル制御<WDTE>

リセット時 WDMOD<WDTE> = "1" に初期化されますので、ウォッチドッグタイマはイネーブルになっています。

暴走による誤書き込みを防止するため、ディセーブルにするには、このビットを"0"にした後で、WDCR にディセーブルコード(0xB1)を書き込む必要があります。

ディセーブル状態からイネーブル状態に戻す場合は、WDMOD<WDTE>を"1"に設定します。

3. ウォッチドッグタイマアウトのリセット接続<RESCR>

WDTOUT を内部リセットとして使用するか割り込みとして使用するかを設定するレジスタです。リセット時 WDMOD<RESCR> = "1"に初期化されますので、バイナリカウンタのオーバーフローにより内部リセットが発生します。

### 21.5.2 ウォッチドッグタイマコントロールレジスタ(WDCR)

ウォッチドッグタイマ機能のディセーブルおよびバイナリカウンタのクリアを制御するレジスタです。

## 21.5.3 設定例

### 21.5.3.1 ディセーブル制御

WDMOD<WDTE>に"0"を設定したあと、WDCR レジスタにディセーブルコード(0xB1)を書き込むとウォッチドッグタイマはディセーブルになり、バイナリカウンタはクリアされます。

		7	6	5	4	3	2	1	0	
WDMOD	←	0	-	-	-	-	-	-	-	<WDTE>に"0"を設定します。
WDCR	←	1	0	1	1	0	0	0	1	ディセーブルコード(0xB1)を書き込みます。

### 21.5.3.2 イネーブル制御

WDMOD<WDTE>に"1"を設定します。

		7	6	5	4	3	2	1	0	
WDMOD	←	1	-	-	-	-	-	-	-	<WDTE>に"1"を設定します。

### 21.5.3.3 ウォッチドッグタイマのクリア制御

WDCR レジスタにクリア コード (0x4E) を書き込むと、バイナリカウンタはクリアされ、再カウントします。

		7	6	5	4	3	2	1	0	
WDCR	←	0	1	0	0	1	1	1	0	クリアコード(0x4E)を書き込みます。

### 21.5.3.4 ウォッチドッグタイマ検出時間の設定

検出時間を  $2^2/f_{SYS}$  に設定する場合、WDMOD<WDTP[2:0]>に"011"を設定します。

		7	6	5	4	3	2	1	0	
WDMOD	←	1	0	1	1	-	-	-	-	

## 第 22 章 フラッシュメモリ動作説明

フラッシュメモリについて、構成およびその動作を説明します。本文中の「1ワード」は、32ビットをあらわします。

### 22.1 フラッシュメモリの特長

#### 22.1.1 メモリ容量と構成

TMPM381/383 の内蔵するフラッシュメモリの容量と構成は、表 22-1 および図 22-1、図 22-2 のとおりです。

表 22-1 メモリ容量と構成

メモリ容量	ブロック構成				1 ページのワード数	ページ数	書き込み時間		消去時間	
	128 KB	64 KB	32 KB	16 KB			1 ページ	全エリア	ブロック消去	チップ消去
128 KB	-	-	4	-	32	1024	1.25ms	1.28 sec	0.1 sec	0.2 sec
64KB	-	-	2	-	32	512	1.25ms	0.64 sec	0.1 sec	0.2 sec

注) 上記の値は理論時間を表しており、データ転送時間などは含まれていません。チップ当たりの時間はユーザの書き替え方法により異なります。

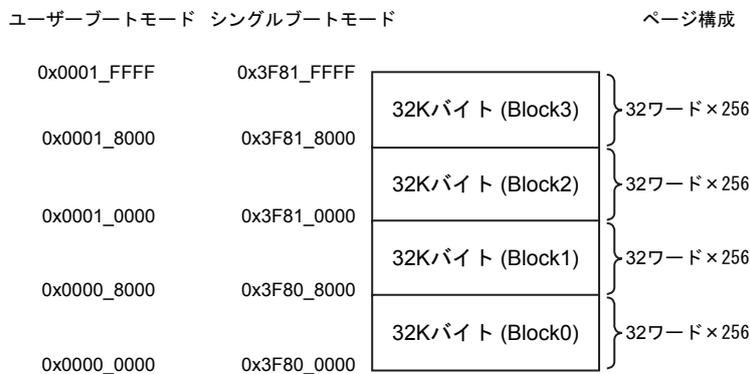


図 22-1 ブロック構成 (128KB)

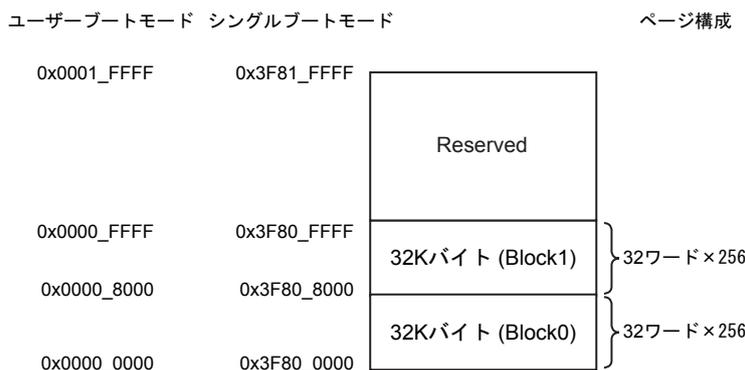


図 22-2 ブロック構成 (64KB)

フラッシュメモリ構成の単位として、「ブロック」と「ページ」があります。

- ・ ページ
  - 1 ページは 32 ワードで、アドレス[31:7]が同じで、先頭アドレス[6:0]=0、最後のアドレス[6:0]=0x7F のグループです。
- ・ ブロック
  - 1 ブロックは 32KB で、128KB は 4 ブロック、64KB は 2 ブロックで構成されます。

書き込みはページ単位で行います。1 ページあたりの書き込み時間は 1.25ms (Typ.)です。

消去はブロック単位(自動ブロック消去コマンド使用)またはフラッシュメモリ全体(自動チップ消去コマンド使用)で行います。消去時間は使用するコマンドによって異なり、自動ブロック消去コマンドを使用した場合は 1 ブロックあたり 0.1 s (Typ.)、自動チップ消去コマンドを使用して全領域を消去した場合は 0.2s(Typ.)です。

また、ブロック単位でプロテクト機能を使用することができます。プロテクト機能については「22.1.5 プロテクト/セキュリティ機能」を参照してください

### 22.1.2 機能

本製品内蔵のフラッシュメモリは、一部の機能を除き JEDEC 標準機能に準拠しています。このため、外部メモリとしてフラッシュメモリをご使用になられている場合でも、本製品への移行が容易です。また、フラッシュメモリ内に書き込み、チップ消去など自動で行う回路を内蔵していますので、書き込み、消去動作を容易に実現できます。

JEDEC 準拠の機能	変更, 追加, 削除した機能
<ul style="list-style-type: none"> <li>・ 自動プログラム</li> <li>・ 自動チップ消去</li> <li>・ 自動ブロック消去</li> <li>・ データポーリング/トグルビット</li> </ul>	<変更>ブロック単位でのライト/消去プロテクト(ソフトウェアプロテクトのみサポート) <削除>消去レジューム/サスペンド機能

## 22.1.3 動作モード

### 22.1.3.1 モードの説明

本製品には、シングルチップモードとシングルブートモードがあり、シングルチップモードにはノーマルモードとユーザブートモードがあります。モード遷移図を図 22-3 に示します。

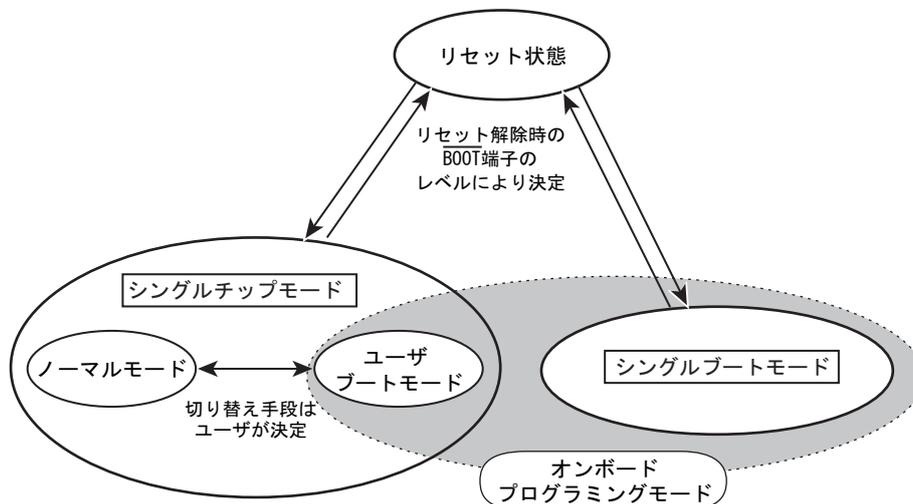


図 22-3 モード遷移図

#### (1) シングルチップモード

リセット解除後、フラッシュメモリから起動するモードで、以下の2つのモードがあります。

- ・ ノーマルモード  
ユーザのアプリケーションプログラムを実行するモードです。
- ・ ユーザブートモード  
ユーザのセット上でフラッシュメモリの書き替えを実行するモードです。

ノーマルモードとユーザブートモードの切り替えはユーザが独自に設定できます。例えばポート A の PA0 が "1" のときノーマルモード、"0" のときにユーザブートモードというように自由に設計することが可能です。ユーザはアプリケーションプログラムの一部に切り替えを判定するためのルーチンを準備してください。

#### (2) シングルブートモード

リセット解除後、内蔵する BOOT ROM (Mask ROM) から起動するモードです。

BOOT ROM には、本デバイスのシリアルポートを経由してユーザのセット上で書き替えを行うことができるアルゴリズムがプログラムされています。シリアルポートにより外部ホストと接続し、規定されたプロトコルでデータの転送を行うことでフラッシュメモリの書き替えが実行できます。

### (3) オンボードプログラミングモード

ユーザのセット上でフラッシュメモリの書き替えが可能なモードは、ユーザブートモードとシングルブートモードです。この2つをオンボードプログラミングモードと定義します。

#### 22.1.3.2 モードの決定

シングルチップ、シングルブートの各動作モードは、リセットを解除するときの  $\overline{\text{BOOT}}$  端子の状態により決定されます。

表 22-2 動作モード設定表

動作モード	端子	
	$\overline{\text{RESET}}$	$\overline{\text{BOOT}}$
シングルチップモード	0 → 1	1
シングルブートモード	0 → 1	0

### 22.1.4 メモリマップ

図 22-4 および図 22-5 にシングルチップモードとシングルブートモードのメモリマップの比較を示します。図のように、シングルブートモードでは、フラッシュメモリは 0x3F80\_0000 番地からマッピングされます。また、0x0000\_0000 番地から 0x0000\_0FFF 番地には BOOT ROM がマッピングされます。

フラッシュメモリと RAM のマッピングは以下のとおりです。

FLASH サイズ	RAM サイズ	FLASH アドレス	RAM アドレス
128 KB	10 KB	0x0000_0000 ~ 0x0001_FFFF(シングルチップモード) 0x3F80_0000 ~ 0x3F81_FFFF(シングルブートモード)	0x2000_0000 ~ 0x2000_27FF
64K	8KB	0x0000_0000 ~ 0x0000_FFFF(シングルチップモード) 0x3F80_0000 ~ 0x3F80_FFFF(シングルブートモード)	0x2000_0000 ~ 0x2000_1FFF

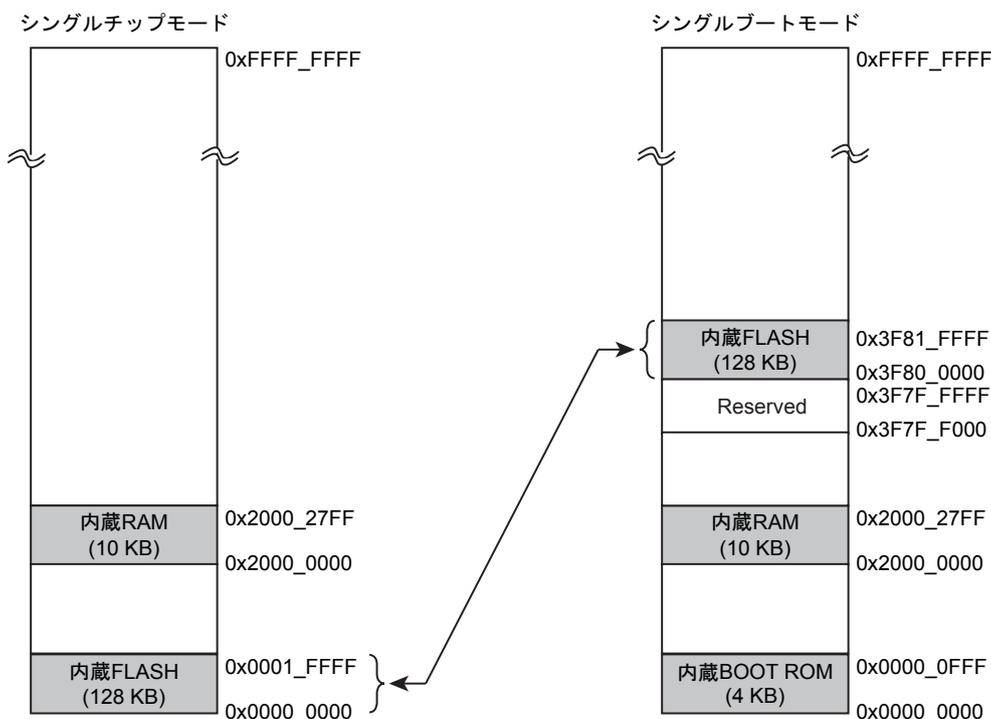


図 22-4 メモリマップの比較 (FLASH 128KB)

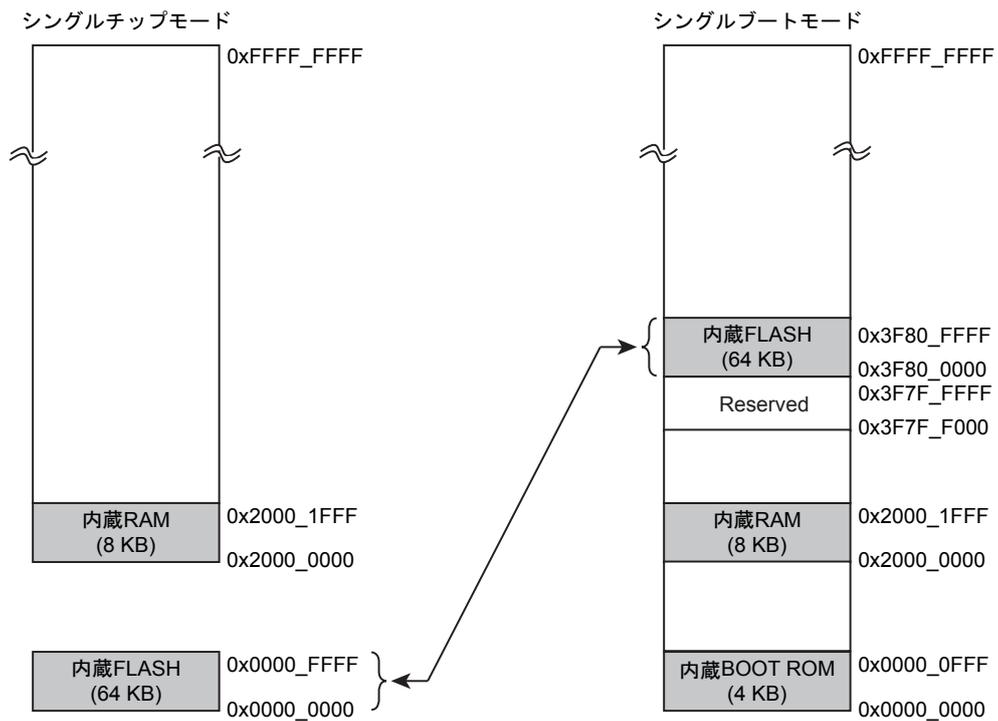


図 22-5 メモリマップの比較 (FLASH 64KB)

## 22.1.5 プロテクト/セキュリティ機能

本製品は、フラッシュメモリに対して、プロテクトとセキュリティの2つの機能を持っています。

### 1. プロテクト機能

フラッシュメモリへの書き込み、消去をブロック単位で禁止

### 2. セキュリティ機能

フラッシュライタによるフラッシュメモリの読み出しの禁止

デバッグ機能の使用制限

### 22.1.5.1 プロテクト機能

ブロック単位で書き込みと消去の動作を禁止することができます。

プロテクト機能を有効にするためには、プロテクトビットプログラムコマンドを用いて対応するプロテクトビットを"1"にします。プロテクトビット消去コマンドによりプロテクトビットを"0"にすることでブロックプロテクトは解除されます。プロテクトビットは、FCPSRA <BLK[3:0]>でモニタすることができます。

プロテクトビットのプログラムは1ビット単位、消去は4ビット単位で行います。プロテクトビットのプログラムと消去の方法については、「22.2.5 コマンド説明」の章を参照してください。

### 22.1.5.2 プロテクトビットマスク機能

プロテクトビットをマスクすることにより、プロテクト機能を一時的に解除することができます。

マスク機能を有効にするには、FCPMRA<BLKM[3:0]>の該当ビットを"0"にします。

FCPMRA<BLK[3:0]>はシステムリセットで"1"にセットされ、プロテクトビットの状態が非マスク状態となって保持されます。

FCPMRA<BLK[3:0]>の書き換えは以下の手順で行います。

注) 以下の1,2の書き込みは32bit 転送命令で行ってください。

1. FCPMRA に対して特定のコード(0xa74a9d23)を書き込む。
2. 1の書き込みから16クロック以内にデータ(FCPMRA<BLKM[3:0]>の該当ビットへ)を書き込む。

注) セキュリティ機能が有効な時、全プロテクトビットをマスクしても、自動チップ消去は使用できません。

### 22.1.5.3 セキュリティ機能

セキュリティ機能が有効な場合の動作を、表 22-3 に示します。

表 22-3 セキュリティ機能が有効な場合の動作

項目	内容
フラッシュメモリの読み出し	CPU からの読み出しは可能です。
デバッグポート	JTAG、シリアルワイヤ、トレースの通信ができなくなります。
フラッシュメモリに対するコマンドの実行	フラッシュに対してのコマンドライトが受け付けられません。またプロテクトビットを消去しようとする、チップ消去が行われ、すべてのプロテクトビットも消去されます。

セキュリティ機能が有効になる条件は以下のとおりです。

1. FCSECBIT<SECBIT>が"1"にセットされている。
2. すべてのプロテクトビット(FCPSRA<BLK>)が"1"にセットされている。

FCSECBIT<SECBIT>はパワーオンリセットで"1"にセットされます。

FCSECBIT<SECBIT>の書き替えは以下の手順で行います。

注) 以下の 1., 2.の書き込みは 32bit 転送命令で行ってください。

1. FCSECBIT に対して特定のコード(0xa74a9d23)を書き込む。
2. 1.の書き込みから 16 クロック以内にデータを書き込む。

## 22.1.6 レジスタ

## 22.1.6.1 レジスタ一覧

Base Address=0x41FF\_F000

レジスタ名		Address(Base+)
セキュリティビットレジスタ	FCSECBIT	0x0010
フラッシュIFコントロールレジスタ	FCCR	0x001C
フラッシュステータスレジスタ	FCSR	0x0020
フラッシュプロテクトステータスレジスタ	FCPSRA	0x0030
フラッシュプロテクトマスクレジスタ	FCPMRA	0x0038

## 22.1.6.2 FCSECBIT(セキュリティビットレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	SECBIT
リセット後	0	0	0	0	0	0	0	1

Bit	Bit Symbol	Type	機能
31-1	-	R	リードすると"0"が読めます。
0	SECBIT	R/W	セキュリティビット 0:セキュリティ機能設定不可 1:セキュリティ機能設定可能

注) 本レジスタは、パワーオンリセットで初期化されます。

## 22.1.6.3 FCCR(フラッシュ IF コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	FLBOFF
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-1	-	R	リードすると"0"が読めます。
0	FLBOFF	R/W	Flash IF の分岐バッファの制御 (注1) 0: 分岐バッファ Enable 1: 分岐バッファ Disable( バッファクリア) 本ビットは Flash IF のバッファを制御するための機能ビットです。 分岐バッファを使用する場合は、"0"を、使用しない場合は、"1"を設定します。 TMPM381/383 で、Flash をアクセスする場合は必ず、"0"を設定して下さい。

注 1) TMPM381/383 で Flash 書換えや消去実行後には、必ず本ビットを使用して分岐バッファをクリアするか、端子リセットを入れて下さい。

バッファクリア操作は下記の通り

RAM 上で、FCCR<FLBOFF>="1"を実行後、FCCR<FLBOFF>="0"へ書き戻す。

## 22.1.6.4 FCSR(フラッシュステータスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	RDY_BSY
リセット後	0	0	0	0	0	0	0	1

Bit	Bit Symbol	Type	機能
31-1	-	R	リードすると"0"が読めます。
0	RDY_BSY	R	Ready/Busy (注 1) 0: Busy(自動動作中) 1: Ready(自動動作終了) 本ビットはフラッシュメモリの状態を CPU からモニタするための機能ビットです。フラッシュメモリが自動動作中は "0" を出力し、ビジー状態であることを示します。自動動作が終了するとレディ状態となり "1" を出力し、次のコマンドを受け付けます。 自動動作の結果が不良であった場合、本ビットは "0" 出力を継続します。ハードウェアリセットにより "1" に復帰します。

- 注 1) コマンド発行は、必ずレディ状態であることを確認してから発行してください。ビジー中にコマンド発行を行なった場合、正常なコマンドが送られないだけでなく、それ以降のコマンドを入力できなくなる可能性があります。その際は、ハードウェアリセットで復帰してください。ハードウェアリセットを行う場合は、システムクロックによらず 0.5  $\mu$ s 以上のリセット期間が必要となります。またこの場合、リセット解除後読み出しが可能になるまで 2 ms 程度の時間がかかります。

## 22.1.6.5 FCPSRA(フラッシュプロテクトステータスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	BLK3	BLK2	BLK1	BLK0
リセット後	0	0	0	0	(注 1)	(注 1)	(注 1)	(注 1)

Bit	Bit Symbol	Type	機能
31-4	-	R	リードすると"0"が読めます。
3-0	BLK3- BLK0	R	Block3～0のプロテクト状態 0: プロテクト状態ではない 1: プロテクト状態 プロテクトビット値は各ブロックのプロテクト状態に対応します。該当ビットが"1"の時は対応するブロックがプロテクト状態であることを示します。プロテクト状態のブロックは書き換えはできません。

注 1) プロテクト状態に応じた値になります。

注 2) TMPM383FS はブロック 1～0 で構成されていますが、セキュリティ機能を有効にする場合ブロック 2,3 もプロテクトビットをプログラムしてください。

## 22.1.6.6 FCPMRA(フラッシュプロテクトマスクレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	BLKM3	BLKM2	BLKM1	BLKM0
リセット後	0	0	0	0	1	1	1	1

Bit	Bit Symbol	Type	機能
31-4	-	R	リードすると"0"が読めます。
3-0	BLKM3- BLKM0	R/W	Block3～0のプロテクト Bit をマスクします 0: プロテクト状態 (プロテクト Bit マスク) 1: - (プロテクト Bit 非マスク) 該当ビットが"0"の時は、対応するブロックのプロテクトが解除されます。 "1"の時は、対応する FLASH 内のプロテクト Bit (FCPSRA の各 Bit) のプロテクト状態となります。

- 注 1) FCPMRA は、FLASH 書き込み／消去中は書き換えできません。
- 注 2) FCPMRA を書き換えた場合は、レジスタを読み出して書き換えを確認後に FLASH をアクセスしてください。
- 注 3) FLASH 64KB 版に BLKM3, BLKM2 は使用できません。

## 22.2 フラッシュメモリ詳細

オンボードプログラミングモードでは、制御プログラム中でコマンドを実行することで、フラッシュメモリの書き込み/消去を行います。この書き込み/消去の制御プログラムはユーザがあらかじめ用意しておきます。フラッシュメモリの書き込み/消去を行っている間、フラッシュメモリ上のプログラムは実行できませんので、書き込み/消去制御プログラムは RAM 上で実行してください。また、リセットを除く割り込み/フォールトは、処理が正しく終了しない可能性があるため発生させないようにしてください。

### 22.2.1 機能

一部の機能を除き、フラッシュメモリの書き込みおよび消去などは JEDEC 標準コマンドに準拠していますが、動作コマンドのアドレス指定が標準コマンドとは異なります。

書き込み、消去を行う場合、32 ビット(1 ワード)のストア命令を用いてフラッシュメモリへコマンドを入力します。コマンド入力後、書き込みおよび消去は内部で自動的行われます。

表 22-4 フラッシュメモリの機能

主な機能	説明
自動ページプログラム	データ書き込みを自動で行います。
自動チップ消去	フラッシュメモリの全エリアの一括消去を自動で行います。
自動ブロック消去	ブロック単位での消去を自動で行います。
ライト/消去プロテクト	ブロック単位ごとに書き込みおよび消去を禁止することができます。

注) TMPM381/383 で、書き込み、消去を実施した後は、必ず分岐バッファのクリアを行って下さい。クリアの方法については、「22.1.6.3 FCCR(フラッシュ IF コントロールレジスタ)」を参照下さい。

注) フラッシュメモリへの書き込み、消去、プロテクトビットプログラム、プロテクトビット消去の各コマンドシーケンスの処理終了を FCSR<RDY\_BSY> で確認した後、フラッシュメモリからのデータ読み出し、または命令フェッチを開始するまで 200 $\mu$ s 以上のウェイト時間を確保してください。

### 22.2.2 フラッシュメモリの動作モード

フラッシュメモリには、大きく分けて以下の 2 種類の動作モードがあります。

- ・ メモリデータを読み出すモード(リードモード)
- ・ メモリデータを自動的に消去/書き替えるモード(自動動作)

電源投入後、リセット解除後、および自動動作の正常終了時にフラッシュメモリはリードモードになります。フラッシュメモリに書かれた命令の実行、およびデータの読み出しはリードモードで行います。

リードモード中にコマンドを入力すると自動動作へ移り、コマンドの処理が正常に終了するとリードモードに戻ります(ID-Read コマンドを除く)。自動動作中は、フラッシュメモリデータの読み出しとフラッシュメモリ上の命令の実行ができません。

コマンドが正常に終了しないなど、強制的にリードモードに復帰させる場合には、後述する Read コマンド、Read/リセットコマンドもしくはハードウェアリセットを用います。

### 22.2.3 ハードウェアリセット

ハードウェアリセットとはパワーオンリセットおよびウォームリセットを指しており、自動プログラム/消去動作の強制的な実行中止や、自動動作が異常終了した場合のリードモードへの復帰のために使用します。

自動動作中にハードウェアリセットが発生すると、フラッシュメモリは自動動作を中止しリードモードに戻ります。フラッシュメモリの自動プログラム/消去動作中にハードウェアリセットを行う場合は、システムクロックによらず  $0.5\mu\text{s}$  以上のリセット期間が必要となります。またこの場合、リセット解除後読み出しが可能になるまで  $2\text{ms}$  程度の時間がかかります。なお、自動動作の実行中にハードウェアリセットが入った場合は、データの書き替えが正常に行えませんが注意が必要です。再度、書き替えを行う処置をしてください。

本製品のリセット動作については、「リセット動作」の章を参照してください。所定のリセット入力後、CPUはフラッシュメモリよりリセットベクタデータをリードし、リセット解除後の動作を開始します。

### 22.2.4 コマンド実行方法

コマンド実行は、ストア命令を用いてフラッシュメモリに対してコマンドシーケンスを書き込むことで行います。フラッシュメモリは、入力されたアドレスとデータの組み合わせによって各自動動作コマンドを実行します。コマンド実行の詳細は、「22.2.5 コマンド説明」を参照してください。

フラッシュメモリに対するストア命令の実行を"バスライトサイクル"と呼びます。各コマンドはいくつかのバスライトサイクルで構成されています。フラッシュメモリは、バスライトサイクルのアドレスとデータが規定の順番で実行された時はコマンドの自動動作を実施します。規定の順番で実行されなかった場合、フラッシュメモリはコマンドの実行を中止してリードモードになります。

コマンドシーケンスの途中でキャンセルしたい場合や、間違ったコマンドシーケンスを入力した場合は、Read コマンドまたは Read/リセットコマンドを実行します。フラッシュメモリはコマンド実行を中止してリードモードになります。Read コマンドおよび Read/リセットコマンドをソフトウェアリセットと呼びます。

コマンドシーケンスの書き込みが終了すると自動動作を開始し、FCSR<RDY\_BSY>が"0"になります。自動動作が正常終了した時に FCSR<RDY\_BSY>="1" となり、リードモードに復帰します。

自動動作中は、新たなコマンドシーケンスを受け付けません。動作を中止する場合はハードウェアリセットを用います。また、自動動作が正常終了しない場合(FCSR<RDY\_BSY>が"0"のままの場合)、フラッシュメモリはこのモードのままロックされリードモードには復帰しません。リードモードに復帰させるにはハードウェアリセットを行う必要があります。ハードウェアリセットで動作を中止させた場合は、コマンドは正常に実行されません。

コマンドを実行する際には以下の事項に留意してください。

1. コマンドシーケンスがコマンドを認識するために、コマンド開始前の状態がリードモードである必要があります。各コマンドシーケンスの第1バスライトサイクル前に FCSR<RDY\_BSY>=1 であることを確認してください。続いて Read コマンドを実行することを推奨します。
2. 各コマンドシーケンスは、フラッシュメモリ外のエリアから実行します。
3. 各バスライトサイクルは連続して、1ワード(32ビット)のデータ転送命令で行って下さい。
4. 各コマンドシーケンスの実行中に、フラッシュメモリへのアクセスはしないで下さい。また、リセットを除く割り込み/フォールトは発生させないようにしてください。
5. コマンド発行時、誤ったアドレスやデータをライトした場合は、必ずソフトウェアリセットを発行して、リードモードに戻して下さい。

## 22.2.5 コマンド説明

各コマンドの内容について説明します。具体的なコマンドシーケンスは「22.2.6 コマンドシーケンス」を参照してください。

### 22.2.5.1 自動ページプログラム

#### (1) 動作内容

自動ページプログラムは、ページごとにデータを書き込みます。複数のページに対してデータの書き込みを行うときは、ページごとにページプログラムコマンドを実行する必要があります。ページを跨ってデータを書き込むことはできません。

フラッシュメモリへの書き込みは、「1」データセルを「0」データにすることです。「0」データセルを「1」データにすることはできません。「0」データセルを「1」データにするには消去動作を行う必要があります。

自動ページプログラムは消去後のページに対して 1 回のみ可能で、「1」データセルであっても「0」データセルであっても 2 回以上の実行はできません。一度書き込み動作を行ったページに対して再度書き込みを行う場合は、自動ブロック消去または自動チップ消去コマンドを行った後に自動ページプログラムを実行しなおす必要があります。

注 1) 消去動作を伴わない同一ページへの 2 回以上ページプログラム実施はデバイス破損の可能性があります。

注 2) プロテクトされたブロックへの書き込みはできません。

#### (2) 実行方法

第 1～第 3 バスライトサイクルが自動ページプログラムのコマンドシーケンスです。

第 4 バスライトサイクルでページの先頭アドレスとデータを書き込みます。第 5 バスライトサイクル以降、連続して 1 ページ分のデータを書き込みます。データは 1 ワード(32 ビット)単位で書き込んでください。

ページの一部分に書き込みを行う場合、書き込みが不要なアドレスのデータを「0xFFFFFFFF」として 1 ページ分の書き込みを行ってください。

本デバイス内部で自動的なベリファイ動作は行いませんので、正常に書き込みができたか、実行後に読み出しをして確認してください。

自動プログラム動作が正常終了しなかった場合、このページへの書き込みが不良になっていますので、デバイスの使用を停止するか、以後このアドレスを含むブロックを使用しないことを推奨します。

### 22.2.5.2 自動チップ消去

#### (1) 動作内容

自動チップ消去は、全アドレスのメモリセルに対して消去動作を行います。プロテクトされているブロックがある場合、そのブロックの消去は行いません。すべてのブロックがプロテクトされている場合は自動チップ消去を実行せず、コマンドシーケンスの入力後にリードモードに戻ります。

## (2) 実行方法

第1～第6バスライトサイクルが自動チップ消去のコマンドシーケンスです。コマンドシーケンス入力後、自動チップ消去動作を行います。

本デバイス内部で自動的なベリファイ動作は行いませんので、正常に消去ができたか、実行後に読み出しをして確認してください。

### 22.2.5.3 自動ブロック消去

#### (1) 動作内容

自動ブロック消去コマンドは、指定されたブロックに対する消去動作を行います。指定されたブロックがプロテクトされている場合、消去を行いません。

#### (2) 実行方法

第1～第5バスライトサイクルが自動ブロック消去のコマンドシーケンスです。第6バスライトサイクルで消去するブロックを指定します。コマンドシーケンス入力後、自動ブロック消去動作を行います。

本デバイス内部で自動的なベリファイ動作は行いませんので、正常に消去ができたか、実行後に読み出しをして確認してください。

### 22.2.5.4 自動プロテクトビットプログラム

#### (1) 動作内容

自動プロテクトビットプログラムは、プロテクトビットにビット単位で"1"を書き込みます。プロテクトビットを"0"にするためには自動プロテクトビット消去コマンドを使用します。

プロテクトの機能については「22.1.5 プロテクト/セキュリティ機能」を参照してください。

#### (2) 実行方法

第1～第6バスライトサイクルが自動プロテクトビットプログラムのコマンドシーケンスになります。第7バスライトサイクルで書き込むプロテクトビットを指定します。コマンドシーケンス入力後、自動プロテクトビットプログラム動作を行います。正しく書き込みができたかどうか、FCPSRA<BLK>で確認してください。

### 22.2.5.5 自動プロテクトビット消去

#### (1) 動作内容

自動プロテクトビット消去コマンドは、実行する際のセキュリティの状態によって動作内容が異なります。セキュリティ状態については、「22.1.5 プロテクト/セキュリティ機能」を参照してください。

- ・ セキュリティ状態でない場合

指定されたプロテクトビットを"0"にクリアします。プロテクトビットの消去は4ビット単位で行われます。

- ・ セキュリティ状態の場合

フラッシュメモリの全アドレスのデータを消去した後、すべてのプロテクトビットを消去します。

## (2) 実行方法

第 1～第 6 バスライトサイクルが自動プロテクトビット消去のコマンドシーケンスになります。第 7 バスライトサイクルで消去するプロテクトビットを指定します。コマンドシーケンス入力後、自動動作を行います。

セキュリティ状態でない場合、指定されたプロテクトビットが消去されます。正常に消去が行われたか、FCPSRA<BLK>で確認してください。

セキュリティ状態の場合、フラッシュメモリの全アドレスのデータ消去およびすべてのプロテクトビットが消去されます。データの消去およびプロテクトビットの消去が正常に行われたか読み出して確認し、必要に応じて再度自動プロテクトビット消去、自動チップ消去あるいは自動ブロック消去を実行してください。

いずれの場合も他のコマンドと同様、自動動作中は FCSR<RDY\_BSY>が"0"となり、終了後"1"となりリードモードに戻ります。自動動作を中断するためにはハードウェアリセットが必要です。

### 22.2.5.6 ID-Read

#### (1) 動作内容

ID-Read コマンドは、フラッシュメモリのタイプ等の情報を読み出すことができます。読み出せる内容は、メーカーコード、デバイスコード、マクロコードの 3 種類です。

#### (2) 実行方法

第 1～第 3 バスライトサイクルが ID-Read のコマンドシーケンスになります。第 4 バスライトサイクルで読み出すコードを指定します。第 4 バスライトサイクル以降、任意のフラッシュ領域からのリード動作でコードが得られます。

ID-Read コマンドは連続実行が可能です。第 4 バスライトサイクルと ID の値の読み出しは繰り返し実行できます。

ID-Read コマンドは自動的にリードモードに戻りません。リードモードへの復帰は Read コマンド、Read/リセットコマンドまたはハードウェアリセットで行います。

### 22.2.5.7 Read コマンド、Read/リセットコマンド (ソフトウェアリセット)

#### (1) 動作内容

フラッシュメモリをリードモードに戻すコマンドです。

ID-Read コマンドを実行した場合、マクロは自動的にリードモードに復帰せず、その状態で停止します。このような状態からリードモードに復帰させるために、Read コマンドまたは Read/リセットコマンドを使用します。また、途中まで入力したコマンドをキャンセルする場合にも使用します。

## (2) 実行方法

Read コマンドでは第 1 バスサイクルが、Read/リセットコマンドでは第 1~3 バスライトサイクルがコマンドシーケンスになります。コマンドシーケンス実行後、フラッシュメモリはリードモードになります。

## 22.2.6 コマンドシーケンス

## 22.2.6.1 コマンドシーケンス一覧

表 22-5 に各コマンドのバスライトサイクルのアドレスとデータを示します。

ID-Read コマンドの第 5 バスサイクル以外はすべて「バスライトサイクル」です。バスライトサイクルは 32 ビット(1 ワード)のデータ転送命令で実施します(表では、データの低位 8 ビットのデータのみ示しています)。

アドレスの詳細は、表 22-6 を参照してください。表 22-6 で「コマンド」と記載された、Addr [15:9]に下記の値を使用します。

- 注 1) アドレスビット[1:0]へは常に"0"を設定してください。
- 注 2) アドレスビット[19]はフラッシュメモリサイズにより以下の値を設定してください。  
メモリサイズが 1MB 以下 : 常に"0"  
メモリサイズが 1MB を超える : 1MB 以下の領域へのバスライトサイクルでは"0"  
1MB を超える領域へのバスライトサイクルでは"1"

表 22-5 コマンドシーケンス

コマンド	第 1 バス サイクル	第 2 バス サイクル	第 3 バス サイクル	第 4 バス サイクル	第 5 バス サイクル	第 6 バス サイクル	第 7 バス サイクル
	Addr.						
	Data						
Read	0xXX	-	-	-	-	-	-
	0xF0	-	-	-	-	-	-
Read/リセット	0xX55X	0xAAX	0x55X	-	-	-	-
	0xAA	0x55	0xF0	-	-	-	-
ID-Read	0xX55X	0xAAX	0x55X	IA	0xXX	-	-
	0xAA	0x55	0x90	0x00	ID	-	-
自動ページ プログラム	0xX55X	0xAAX	0x55X	PA	PA	PA	PA
	0xAA	0x55	0xA0	PD0	PD1	PD2	PD3
自動チップ消去	0xX55X	0xAAX	0x55X	0x55X	0xAAX	0x55X	-
	0xAA	0x55	0x80	0xAA	0x55	0x10	-
自動 ブロック消去	0xX55X	0xAAX	0x55X	0x55X	0xAAX	BA	-
	0xAA	0x55	0x80	0xAA	0x55	0x30	-
自動プロテクトビット プログラム	0xX55X	0xAAX	0x55X	0x55X	0xAAX	0x55X	PBA
	0xAA	0x55	0x9A	0xAA	0x55	0x9A	0x9A
自動プロテクトビット 消去	0xX55X	0xAAX	0x55X	0x55X	0xAAX	0x55X	0xXX
	0xAA	0x55	0x6A	0xAA	0x55	0x6A	0x6A

補足説明

- ・ IA: ID アドレス

- ・ ID: ID データ
- ・ PA: プログラム ページアドレス
- ・ PD: プログラムデータ(32 ビットデータ)  
第 4 バスサイクル以降 1 ページ分をアドレス順にデータ入力
- ・ BA: ブロックアドレス(表 22-7 参照)
- ・ PBA: プロテクトビットアドレス(表 22-8 参照)

## 22.2.6.2 バスライトサイクル時のアドレスビット構成

表 22-6 は「表 22-5 コマンドシーケンス」と併せてご使用願います。

第 1 バスサイクルから「通常のバスライトサイクルアドレス設定」に従い、アドレス設定を行ってください。

表 22-6 バスライトサイクル時のアドレスビット構成

アドレス	Addr [31:15]	Addr [14]	Addr [13:12]	Addr [11:9]	Addr [8:7]	Addr [6:4]	Addr [3:0]
------	-----------------	--------------	-----------------	----------------	---------------	---------------	---------------

通常 コマンド	通常のバスライトサイクルアドレス設定						
	フラッシュ領域	"0"推奨	コマンド	Addr[1:0] = "0"固定、 他ビットは"0"推奨			
ID-READ	IA: ID アドレス(ID-READ の第 4 バスライトサイクルアドレス設定)						
	フラッシュ領域	"0"推奨	ID アドレス	Addr[1:0] = "0"固定、他ビットは"0"推奨			
ブロック 消去	BA: ブロックアドレス(ブロック消去の第 6 バスライトサイクルアドレス設定)						
	ブロックアドレス(表 22-7)	Addr[1:0] = "0"固定、他ビットは"0"推奨					
Auto ページ プログラム	PA: プログラムページアドレス(ページプログラムの第 4 バスライトサイクルアドレス設定)						
	ページアドレス					Addr[1:0] = "0"固定、 他ビットは"0"推奨	
プロテクト ビットプログラ ム	PBA: プロテクトビットアドレス(プロテクトビットプログラムの第 7 バスライトサイクルアドレス設定)						
	フラッシュ領域	"0"固定			プロテクトビ ット選択 (表 22-8)	Addr[1:0] = "0"固定、 他ビットは"0"推奨	

## 22.2.6.3 ブロックアドレス(BA)

表 22-7 にブロックアドレスを示します。自動ブロック消去コマンドの第 6 バスライトサイクルで、消去するブロックに含まれる任意のアドレスを指定します。

表 22-7 ブロックアドレス表

Block	アドレス (ユーザブートモード)	アドレス (シングルブートモード)	サイズ (Kbyte)
3	0x0001_8000 ~ 0x0001_FFFF	0x3F81_8000 ~ 0x3F81_FFFF	32
2	0x0001_0000 ~ 0x0001_7FFF	0x3F81_0000 ~ 0x3F81_7FFF	32
1	0x0000_8000 ~ 0x0000_FFFF	0x3F80_8000 ~ 0x3F80_FFFF	32
0	0x0000_0000 ~ 0x0000_7FFF	0x3F80_0000 ~ 0x3F80_7FFF	32

### 22.2.6.4 プロテクトビットの指定(PBA)

プロテクトビットは、プログラム時は 1 ビット単位、消去時は 4 ビット単位の操作になります。

自動プロテクトビットプログラムのプロテクトビット選択表を表22-8 に示します。アドレス例の、上段はユーザブートモード時のアドレス、下段はシングルブートモード時のアドレスです。

消去は、自動プロテクトビット消去コマンドを実行することで 4 ビットのプロテクトビットがまとめて消去されます。

表 22-8 プロテクトビットプログラムアドレス表

Block	プロテクト ビット	第 7 バスライトサイクルのアドレス			アドレス例 [31:0]
		アドレス [14:9]	アドレス [8]	アドレス [7]	
Block0	<BLK[0]>	"0"固定	0	0	0x0000_0000 0x3F80_0000
Block1	<BLK[1]>		0	1	0x0000_0080 0x3F80_0080
Block2	<BLK[2]>	"0"固定	1	0	0x0000_0100 0x3F80_0100
Block3	<BLK[3]>		1	1	0x0000_0180 0x3F80_0180

### 22.2.6.5 ID-Read のコード(IA, ID)

ID-Read コマンドでのコード指定方法と読み出される内容を表 22-9 に示します。

下表のアドレス例の、上段はユーザブートモード時のアドレス、下段はシングルブートモード時のアドレスです。

表 22-9 ID-Read コマンドのコード指定とコードの内容

Code	ID[7:0]	IA[13:12]	アドレス例[31:0]
メーカーコード	0x98	0b00	0x0000_0000 0x3F80_0000
デバイスコード	0x5A	0b01	0x0000_1000 0x3F80_1000
-	Reserved	0b10	-
マクロコード	0x33	0b11	0x0000_3000 0x3F80_3000

## 22.2.6.6 コマンドシーケンス例

## (1) ユーザブートモード

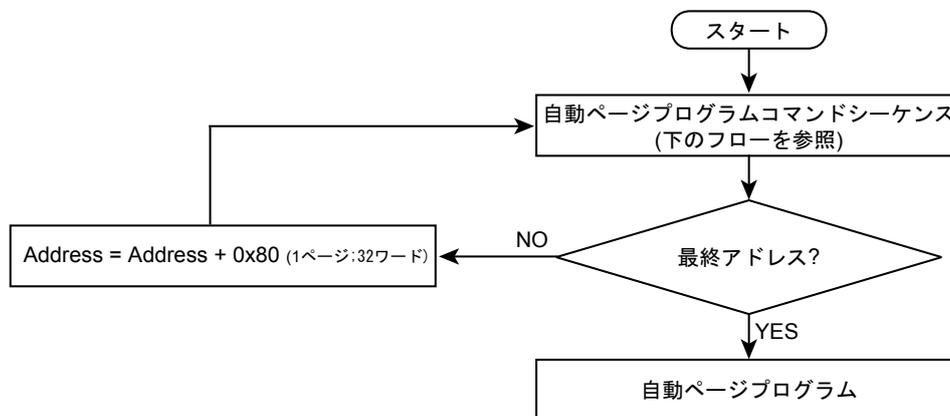
コマンド	バスサイクル							
		1	2	3	4	5	6	7
Read	アドレス	0x0000_0000	-	-	-	-	-	-
	データ	0x0000_00F0	-	-	-	-	-	-
Read/リセット	アドレス	0x0000_0550	0x0000_0AA0	0x0000_0550	-	-	-	-
	データ	0x0000_00AA	0x0000_0055	0x0000_00F0	-	-	-	-
ID-Read	アドレス	0x0000_0550	0x0000_0AA0	0x0000_0550	IA	0x0000_0000	-	-
	データ	0x0000_00AA	0x0000_0055	0x0000_0090	0x0000_0000	ID	-	-
自動ページプログラム	アドレス	0x0000_0550	0x0000_0AA0	0x0000_0550	PA	以降、連続して1ページ分のアドレスとデータを書き込み		
	データ	0x0000_00AA	0x0000_0055	0x0000_00A0	PD			
自動チップ消去	アドレス	0x0000_0550	0x0000_0AA0	0x0000_0550	0x0000_0550	0x0000_0AA0	0x0000_0550	-
	データ	0x0000_00AA	0x0000_0055	0x0000_0080	0x0000_00AA	0x0000_0055	0x0000_0010	-
自動ブロック消去	アドレス	0x0000_0550	0x0000_0AA0	0x0000_0550	0x0000_0550	0x0000_0AA0	BA	-
	データ	0x0000_00AA	0x0000_0055	0x0000_0080	0x0000_00AA	0x0000_0055	0x0000_0030	-
自動プロテクトビットプログラム	アドレス	0x0000_0550	0x0000_0AA0	0x0000_0550	0x0000_0550	0x0000_0AA0	0x0000_0550	PBA
	データ	0x0000_00AA	0x0000_0055	0x0000_009A	0x0000_00AA	0x0000_0055	0x0000_009A	0x0000_009A
自動プロテクトビット消去	アドレス	0x0000_0550	0x0000_0AA0	0x0000_0550	0x0000_0550	0x0000_0AA0	0x0000_0550	0x0000_0550
	データ	0x0000_00AA	0x0000_0055	0x0000_006A	0x0000_00AA	0x0000_0055	0x0000_006A	0x0000_006A

## (2) シングルブートモード

コマンド	バスサイクル							
		1	2	3	4	5	6	7
Read	アドレス	0x3F80_0000	-	-	-	-	-	-
	データ	0x0000_00F0	-	-	-	-	-	-
Read/リセット	アドレス	0x3F80_0550	0x3F80_0AA0	0x3F80_0550	-	-	-	-
	データ	0x0000_00AA	0x3F80_0055	0x3F80_00F0	-	-	-	-
ID-Read	アドレス	0x3F80_0550	0x3F80_0AA0	0x3F80_0550	IA	0x0000_0000	-	-
	データ	0x0000_00AA	0x0000_0055	0x0000_0090	0x0000_0000	ID	-	-
自動ページプログラム	アドレス	0x3F80_0550	0x3F80_0AA0	0x3F80_0550	PA	以降、連続して1ページ分のアドレスとデータを書き込み		
	データ	0x0000_00AA	0x0000_0055	0x0000_00A0	PD			
自動チップ消去	アドレス	0x3F80_0550	0x3F80_0AA0	0x3F80_0550	0x3F80_0550	0x3F80_0AA0	0x3F80_0550	-
	データ	0x0000_00AA	0x0000_0055	0x0000_0080	0x0000_00AA	0x0000_0055	0x0000_0010	-
自動ブロック消去	アドレス	0x3F80_0550	0x3F80_0AA0	0x3F80_0550	0x3F80_0550	0x3F80_0AA0	BA	-
	データ	0x0000_00AA	0x0000_0055	0x0000_0080	0x0000_00AA	0x0000_0055	0x0000_0030	-
自動プロテクトビットプログラム	アドレス	0x3F80_0550	0x3F80_0AA0	0x3F80_0550	0x3F80_0550	0x3F80_0AA0	0x3F80_0550	PBA
	データ	0x0000_00AA	0x0000_0055	0x0000_009A	0x0000_00AA	0x0000_0055	0x0000_009A	0x0000_009A
自動プロテクトビット消去	アドレス	0x3F80_0550	0x3F80_0AA0	0x3F80_0550	0x3F80_0550	0x3F80_0AA0	0x3F80_0550	0x3F80_0550
	データ	0x0000_00AA	0x0000_0055	0x0000_006A	0x0000_00AA	0x0000_0055	0x0000_006A	0x0000_006A

## 22.2.7 フローチャート

### 22.2.7.1 自動プログラム



自動ページプログラムコマンドシーケンス(アドレス/コマンド)

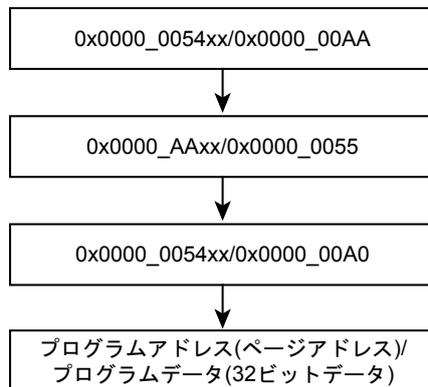
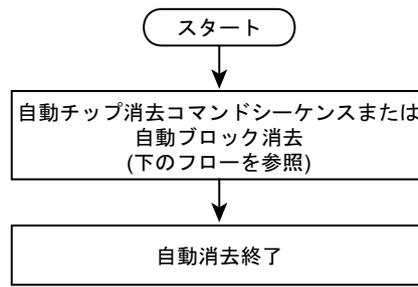
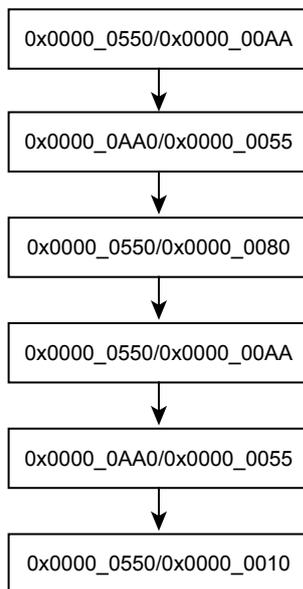


図 22-6 自動プログラムフローチャート

22.2.7.2 自動消去



自動チップ消去コマンドシーケンス  
(アドレス/コマンド)



自動ブロック消去コマンドシーケンス  
(アドレス/コマンド)

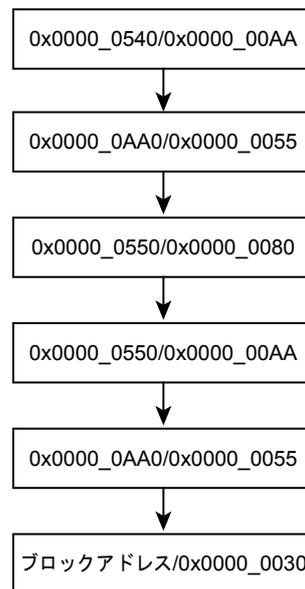


図 22-7 自動消去フローチャート

## 22.3 シングルブートモードによる書き替え方法

内蔵 BOOT ROM のプログラムを利用してフラッシュメモリを書き替える方法です。このモードでは、BOOT ROM が割り込みベクタテーブルを含む領域にマッピングされ、フラッシュメモリは BOOT ROM 領域とは別のアドレス空間にマッピングされます。

シングルブートモードでは、コマンドおよびデータをシリアル転送してフラッシュメモリの書き替えを行います。本デバイスのシリアルチャネル(SIO/UART) と外部ホストを接続し、外部ホスト側から内蔵 RAM に書き替えプログラムをコピーし、RAM 上の書き替えルーチンを実行してフラッシュメモリの書き替えを行います。ホスト側との通信の詳細は後述のプロトコルに従ってください。

シングルブートモードでも、リセットを除く割り込み/フォールトは、処理が正しく終了しない可能性があるため発生させないようにしてください。

シングルチップモード(通常動作モード)中に誤ってフラッシュメモリの内容を書き替えないよう、書き替え処理が完了したら必要なブロックにライト/消去プロテクトをかけておくことを推奨します。

### 22.3.1 モード設定

オンボードプログラミングを実行するためには、本デバイスをシングルブートモードで立ち上げます。シングルブートモードで立ち上がるための設定を以下に示します。

```
BOOT = 0  
RESET = 0 → 1
```

$\overline{\text{RESET}}$  入力端子を"0"の状態にして、 $\overline{\text{BOOT}}$  端子をあらかじめ上記条件に設定します。その後 RESET 解除を行うとシングルブートモードで起動します。

### 22.3.2 インタフェース仕様

シングルブートモードでの SIO/UART 通信フォーマットを以下に示します。シリアル動作のモードは、UART (非同期通信) に対応しています。オンボードプログラミングを実行するためには、書き込みコントローラ側の通信フォーマットも同様に設定する必要があります。

- UART で通信する場合

通信チャネル: チャンネル 0

シリアル転送モード: UART (非同期通信) モード, 半二重通信, LSB ファースト

データ長: 8 ビット

パリティビット: なし

STOP ビット: 1 ビット

ボーレート: 任意のボーレート

ブートプログラムは、クロック/モード制御ブロックの設定は初期状態のまま動作します。クロック設定の初期状態は、「クロック/モード制御」の章を参照してください。

ボーレートは、「22.3.5.1 シリアル動作モード判定」で説明しているように 16 ビットタイマ(TMRB)を用いて判定します。判定時のボーレートは所望のボーレートの 1/16 で通信するため、このボーレートがタイマで計測可能な範囲である必要があります。タイマのカウントクロックは  $\Phi T1(fc/2)$  で動作します。

ブートプログラムで使用する端子を表 22-10 にまとめます。これ以外の端子はブートプログラムでは操作しません。

表 22-10 端子の接続

端子		インタフェース
		UART
モード設定端子	$\overline{\text{BOOT}}$	o
リセット端子	$\overline{\text{RESET}}$	o
通信端子	TXD0 (PE0)	o
	RXD0 (PE1)	o

o;必要、\*;不要

### 22.3.3 メモリの制約について

シングルブートモードでは、内蔵 RAM, 内蔵フラッシュメモリに対して表 22-11 のような制約がありますのでご注意ください。

表 22-11 シングルブート時のメモリの制約

メモリ	制約内容
内蔵 RAM	0x2000_0000 ~ 0x2000_03FF 番地は BOOT プログラムのワークエリアになります。プログラムは 0x2000_0400 から RAM の最終番地に格納してください。プログラムの開始アドレスは偶数アドレスでなければいけません。
内蔵フラッシュメモリ	以下の番地はソフトなどの ID 情報やパスワードの格納エリアとなりますので、なるべくプログラムエリアとしての使用はさけてください。 0x3F81_FFF0 ~ 0x3F81_FFFF

注) パスワードが消去データ(0xFF)の場合、容易にパスワードの照合が可能になり、セキュリティの確保が難しくなります。シングルブートモードを使用しない場合も固有の値を置くことを推奨します。

## 22.3.4 動作コマンド

ブートプログラムには、以下の動作コマンドが準備されています。

表 22-12 動作コマンドデータ

動作コマンドデータ	動作モード
0x10	RAM 転送
0x40	フラッシュメモリチップ消去およびプロテクトビット消去

### 22.3.4.1 RAM 転送

RAM 転送は、コントローラから送られてくるデータを内蔵 RAM へ格納します。転送が正常に終了するとユーザプログラムの実行を開始します。ユーザプログラム領域として、ブートプログラムで使用する領域(0x2000\_0000 ~ 0x2000\_03FF)を除く、0x2000\_0400 以降を使用可能です。実行開始アドレスは、RAM 格納開始アドレスになります。実行開始アドレスは偶数アドレスでなければいけません。

この RAM 転送機能により、ユーザ独自のオンボードプログラミング制御を行うことができます。ユーザプログラムでオンボードプログラミングを実行するためには、「22.2.6 コマンドシーケンス」で説明するフラッシュメモリコマンドシーケンスを使う必要があります。

### 22.3.4.2 フラッシュメモリチップ消去およびプロテクトビット消去

このコマンドはすべてのブロックのフラッシュメモリを消去します。ライト/消去プロテクトおよび、セキュリティ状態にかかわらず、メモリセルのすべてのブロックを消去し、すべてのブロックのライト/消去プロテクトを消去します。

## 22.3.5 コマンドによらず共通の動作

ブートプログラム実行において、共通に行われる動作について説明します。

### 22.3.5.1 シリアル動作モード判定

コントローラは、UART で通信したい場合、所望のボーレートで 1 バイト目を 0x86 にし送信してください。図 22-8 に波形を示します。

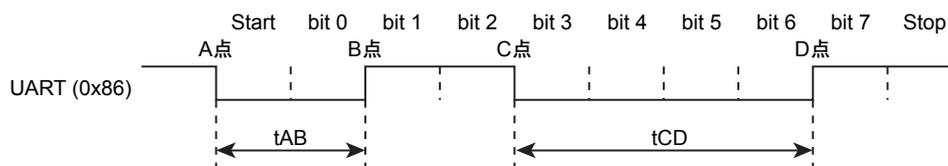


図 22-8 シリアル動作モード判定データ

ブートプログラムは図 22-9 に示すフローチャートで、リセット解除後の 1 バイト目のシリアル動作モード判定データ(0x86)を、16 ビットタイマ(TMRB)を用いての tAB, tAC と、tAD の時間から求めています。図 22-9 のフローチャートに示すように、CPU が受信端子のレベルをモニタして

レベルの変化があると、そのときのタイマ値を取り込みます。このため、 $t_{AB}$ ,  $t_{AC}$  と、 $t_{AD}$  のタイマ値には誤差が生じます。また、ボーレートが速いときには、CPU は受信端子のレベルの変化を判断できない場合がありますので注意してください。

のフローチャートに示すように、シリアル動作モードの判定は、受信端子が"L"レベルのときの時間幅の大小関係で判定しています。 $t_{AB} \leq t_{CD}$  の場合 UART と判定し、ボーレートの自動設定が可能かどうかを  $t_{AD}$  の時間から判定します。なお、先に述べたように、 $t_{AB}$ ,  $t_{AC}$ ,  $t_{AD}$  のタイマ値には誤差が生じているため、ボーレートが速く、動作周波数が低い場合、各タイマ値が小さくなり、意図しない判断を行うことがありますので注意してください(書き換えルーチン内で UART の再設定を行ってください)。

例えば、コントローラは UART で通信したい場合、1 バイト目のデータを送信後、タイムアウト時間内にデータ 0x86 を正常受信できなければ通信不可能と判断してください。

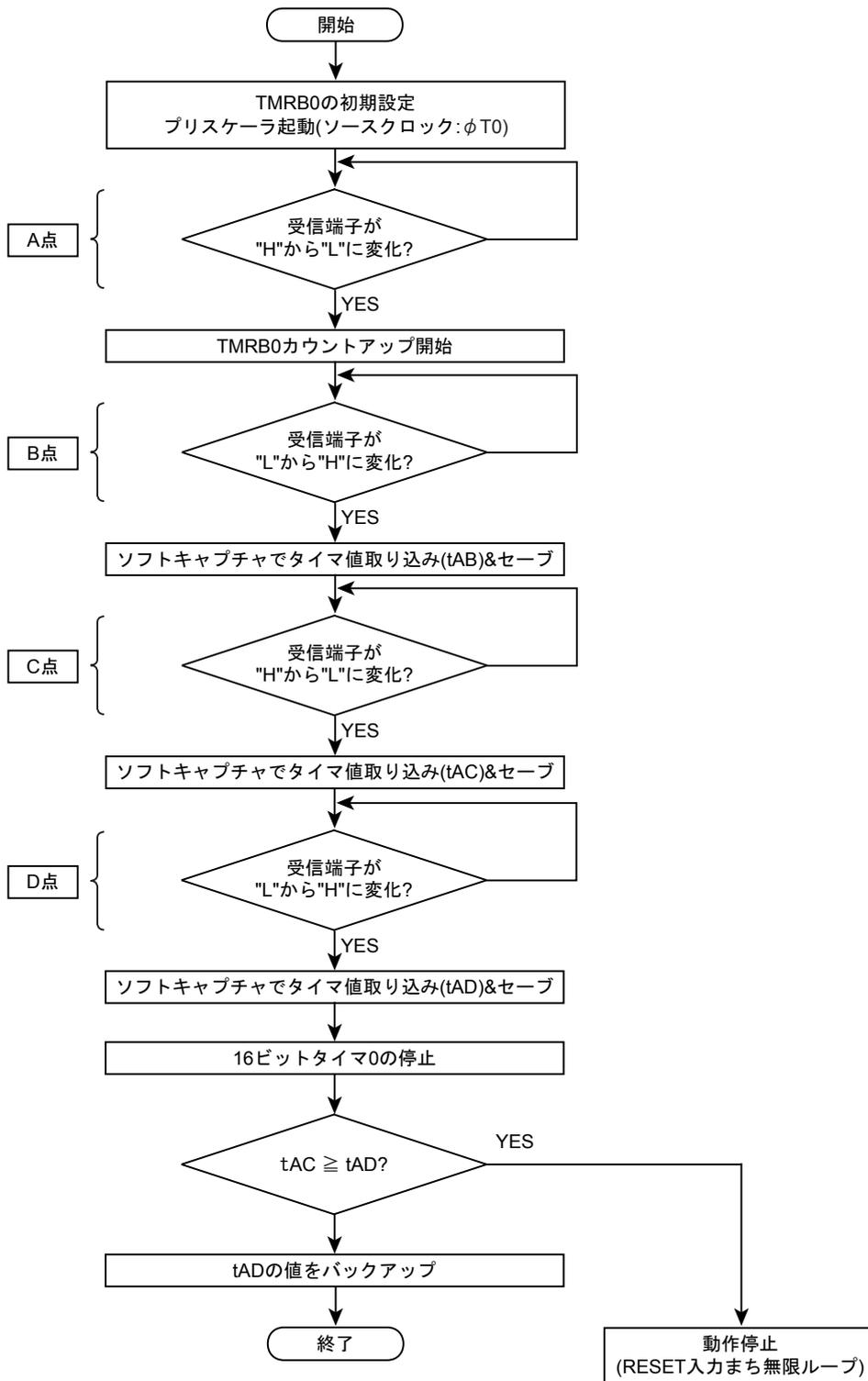


図 22-9 シリアル動作モード受信フローチャート

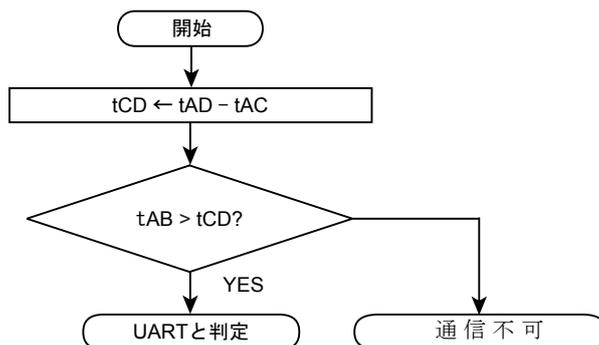


図 22-10 シリアル動作モード判定フローチャート

### 22.3.5.2 ACK 応答データ

ブートプログラムは処理状況を各種コードによってコントローラに送信します。表 22-13 から表 22-16 に各受信データに対する ACK 応答データを示します。

表 22-14 から表 22-16 に示す ACK 応答データの上位 4 ビットは、動作コマンドデータの上位 4 ビットになります。また 3 ビット目は受信エラーを表し、0 ビット目は動作コマンドエラー、CHECK SUM エラー、パスワードエラーの状態を表します。1 ビット目と 2 ビット目は常に 0 になります。

表 22-13 シリアル動作判定データに対する ACK 応答データ

送信データ	送信データの意味
0x86	UART での通信が可能と判定した。(注)

注) UART の場合、ボーレートの設定が不可能と判定したら、何も送信しないで動作を停止します。

表 22-14 動作コマンドデータに対する ACK 応答データ

送信データ	送信データの意味
0x?8 (注)	動作コマンドデータに受信エラーが発生した。
0x?1 (注)	未定義の動作コマンドデータを正常受信した。
0x10	RAM 転送コマンドと判定した。
0x40	フラッシュメモリチップ消去コマンドと判定した。

注) 上位 4 ビットは、直前の動作コマンドデータの上位 4 ビットになります。

表 22-15 CHECK SUM データに対する ACK 応答データ

送信データ	送信データの意味
0xN8 (注)	受信エラーが発生していた。
0xN1 (注)	CHECK SUM エラーが発生した。あるいは、パスワードエラーが発生した。
0xN0 (注)	CHECK SUM 値は正常な値と判定した。

注) 上位 4 ビットは動作コマンドデータの上位 4 ビットになります。

表 22-16 フラッシュメモリチップ消去およびプロテクトビット消去動作に対する ACK 対応データ

送信データ	送信データの意味
0x54	消去イネーブルコマンドと判定した。
0x4F	消去コマンド終了
0x4C	消去コマンドが不正に終了した。

注) 消去コマンドが正常に行われた場合でも、ACK 応答で以上を返す場合があります。FCSR<RDY\_BSY>でコマンド終了を確認した後、200 $\mu$ s 以上待つて消去の再確認を行って下さい。

### 22.3.5.3 パスワード判定

ブートプログラムでは、以下の領域をパスワード要否判定データおよびパスワードとして使用します。

領域	アドレス
パスワード要否判定	0x3F81_FFF0 (1byte)
パスワード領域	0x3F81_FFF4 ~ 0x3F81_FFFF (12byte)

RAM 転送コマンドでは、要否判定データにかかわらずパスワード判定を行い、フラッシュメモリチップ消去およびプロテクトビット消去コマンドでは要否判定データが「要」の場合のみパスワード判定を行います。

パスワード要否選択	データ
パスワード要	0xFF 以外
パスワード否	0xFF

パスワードが消去データ(0xFF)の場合、容易にパスワードの照合が可能になり、セキュリティの確保が難しくなります。シングルブートモードを使用しない場合も固有の値を置くことを推奨します。

#### (1) RAM 転送コマンドでのパスワード判定

図 22-11 に示すようにパスワードエリアのデータが、0xFF 以外の同一データになっていた場合、パスワードエリアエラーと判定します。パスワードエリアエラーと判定された場合、パスワードデータの照合結果に関わらず、17 バイト目の CHECK SUM 値に対する ACK 対応は 0x11 を送信します。

次に、5 バイト目～16 バイト目の受信データ(パスワードデータ)の照合を行います。12 バイト分すべてが一致しないと、パスワードエラーになります。パスワードエラーと判定された場合、17 バイト目の CHECK SUM 値に対する ACK 応答は、パスワードエラーとなります。

セキュリティ機能が有効な状態でもパスワードの参照は行います。

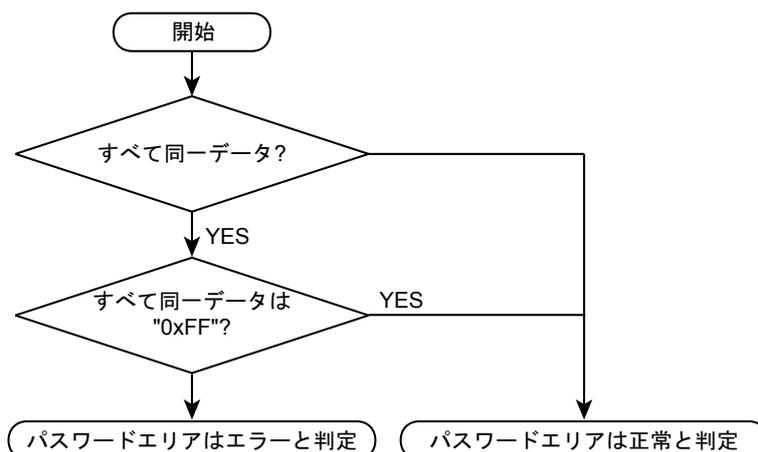


図 22-11 パスワードエリアチェックフローチャート

## (2) フラッシュメモリチップ消去およびプロテクトビット消去コマンドでのパスワード判定

図 22-12 に示すように、消去パスワード要否の選択エリアがパスワード有効の場合は、パスワードエリアのデータが同一データになっていた場合、パスワードエリアエラーと判定します。パスワードエリアエラーと判定された場合、パスワードデータの照合結果に関わらず、17 バイト目の CHECK SUM 値に対する ACK 対応は 0x41 を送信します。

次に、5 バイト目～16 バイト目の受信データ (パスワードデータ) の照合を行います。12 バイト分すべてが一致しないと、パスワードエラーになります。パスワードエラーと判定された場合、17 バイト目の CHECK SUM 値に対する ACK 応答は、パスワードエラーとなります。セキュリティ機能が有効な状態でもパスワードの参照を行います。

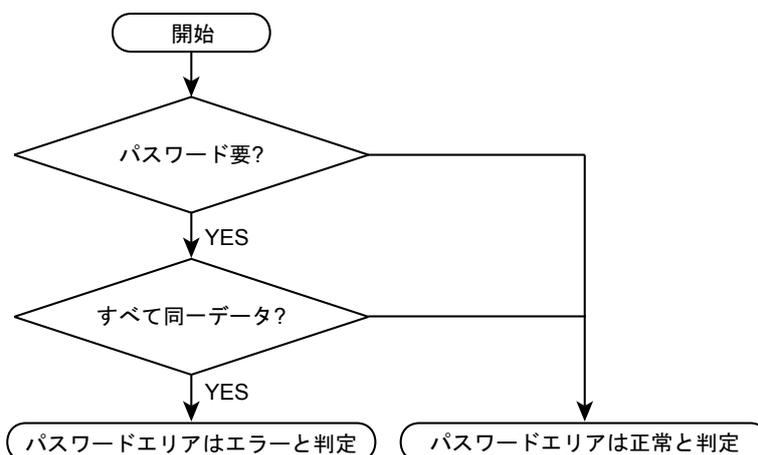


図 22-12 パスワードエリアチェックフローチャート

## 22.3.5.4 CHECK SUM の計算方法

CHECK SUM の計算方法は、送信データを符号なし 8 ビット加算(オーバフローを無視)して得られた下位 8 ビット値の 2 の補数値を求めています。コントローラは CHECK SUM 値を送信するときは、本計算方法を使用してください。

例)CHECK SUM 計算例

2 バイトのデータ 0xE5、0xF6 の CHECK SUM 値を求める場合、まず符号なし 8 ビット加算を行います。

$$0xE5 + 0xF6 = 0x1DB$$

この値の下位 8 ビットに対しての 2 の補数をとると以下のようになり、この値が CHECK SUM 値になります。従って、コントローラには 0x25 を送信します。

$$0 - 0xDB = 0x25$$

### 22.3.6 RAM 転送の転送フォーマット

RAM 転送コマンドの転送フォーマットを示します。表中の転送方向の表記が示す意味は以下のとおりです。

転送方向「C→T」：コントローラから TMPM381/383 へ

転送方向「C←T」：TMPM381/383 からコントローラへ

転送 バイト数	転送 方向	転送データ	内容
1	C→T	シリアル動作モード、ボーレート設定	シリアル動作モードを判定するデータを送信します。モード判定の詳細は「22.3.5.1 シリアル動作モード判定」を参照してください。
		[UART モード] 0x86	0x86 を送信してください。UART モードと判定した場合、ボーレートの設定が可能かどうかを判定します。設定が不可能と判断した場合は動作を停止するため、通信が行えなくなります。
2	C←T	シリアル動作モードに対する ACK 応答	2 バイト目の送信データは、1 バイト目のシリアル動作モード設定データに対する ACK 応答データになります。設定が可能と判定した場合、SIO/UART の設定を行います。受信を許可するタイミングは、送信バッファにデータを書き込む前に行っていきます。
		[UART モード] 正常の場合: 0x86	設定が可能と判定した場合 0x86 を送信し、設定が不可能と判定した場合、動作を停止するため何も送信しません。 コントローラは、1 バイト目のデータの送信が終了した後、タイムアウト時間(5 秒)を設けます。タイムアウト時間内に、データ(0x86)を正常受信できなければ、通信不能と判断してください。
3	C→T	動作コマンドデータ(0x10)	RAM 転送コマンドデータ(0x10)を送信してください。
4	C←T	動作コマンドに対する ACK 応答 正常の場合: 0x10 異常の場合: 0xX1 通信異常の場合: 0xX8	動作コマンドデータに対する ACK 応答データになります。 最初に、3 バイト目の受信データに受信エラーがあるかをチェックします(UART モードのみ)。受信エラーがある場合、通信異常の ACK 応答データ 0xX8 を送信して、次の動作コマンド(3 バイト目)データ待ちになります。送信データの上位 4 ビットは、不定値になります。(直前の動作コマンドデータの上位 4 ビットになります)。 次に、3 バイト目の受信データが、表 22-12 の動作コマンドデータのいずれかに該当する場合は、受信データをエコーバック送信します。RAM 転送の場合、0x10 をエコーバック送信して RAM 転送処理ルーチンに分岐します。 該当しない場合は、動作コマンドエラーの ACK 応答データ 0xX1 を送信して、次の動作コマンド(3 バイト目)データ待ちになります。送信データの上位 4 ビットは、不定値になります(直前の動作コマンドデータの上位 4 ビットになります)。
5~16	C→T	パスワードデータ(12 バイト) 0x3F81_FFF4 ~ 0x3F81_FFFF	パスワードエリアのデータをチェックします。パスワードエリアのデータのチェック方法は「22.3.5.3 パスワード判定」を参照してください。 5 バイト目の受信データから順に、フラッシュメモリの 0x3F81_FFF0~0x3F81_FFFF のデータと照合します。一致していない場合、パスワードエラーフラグをセットします。
17	C→T	5 ~ 16 バイト目の CHECK SUM 値	5 バイト目から 16 バイト目の CHECK SUM 値を送信してください。 CHECK SUM の計算方法は 22.3.5.4 を参照してください

転送 バイト数	転送 方向	転送データ	内容
18	C←T	CHECK SUM 値に対する ACK 応答 正常の場合: 0x10 異常の場合: 0x11 通信異常の場合: 0x18	最初に、5 バイト目 ~ 17 バイト目の受信データに受信エラーがあるかをチェックします(UART モードのみ)。受信エラーがある場合、通信異常の ACK 応答データ 0x18 を送信して、次の動作コマンド(3 バイト目)データ待ちになります。 次に、17 バイト目の CHECK SUM データをチェックします。エラーの場合、0x11 を送信して、次の動作コマンド(3 バイト目)データ待ちになります。 最後に、パスワードの照合結果をチェックします。パスワードエラーの場合、パスワードエラーの ACK 応答データ 0x11 を送信して、次の動作コマンド(3 バイト目)データ待ちになります。 上記のチェックを終えて、すべて正常なら、正常 ACK 応答データ 0x10 を送信します。
19	C→T	RAM 格納開始アドレス 31 ~ 24	ブロック転送における格納先の RAM の開始アドレスを送信してください。19 バイト目がアドレスの 31 ビット ~ 24 ビットに対応し、22 バイト目が 7 ビット ~ 0 ビットに対応します。RAM のアドレス 0x2000_0400 から RAM の最終番地の範囲で指定してください。RAM の開始アドレスは偶数アドレスでなければいけません。
20	C→T	RAM 格納開始アドレス 23 ~ 16	
21	C→T	RAM 格納開始アドレス 15 ~ 8	
22	C→T	RAM 格納開始アドレス 7 ~ 0	
23	C→T	RAM 格納バイト数 15 ~ 8	
24	C→T	RAM 格納バイト数 7 ~ 0	ブロック転送するバイト数を送信してください。23 バイト目が転送バイト数の 15 ビット ~ 8 ビット目に対応し、24 バイト目が 7 ビット ~ 0 ビット目に対応します。RAM のアドレス 0x2000_0400 から RAM の最終番地に収まるように指定してください
25	C→T	19 ~ 24 バイト目の CHECK SUM 値	19 バイト目から 24 バイト目の CHECK SUM 値を送信してください。
26	C←T	CHECK SUM 値に対する ACK 応答 正常の場合: 0x10 異常の場合: 0x11 通信異常の場合: 0x18	最初に、19 バイト目 ~ 25 バイト目の受信データに受信エラーがあるかどうかをチェックします(UART モードのみ)。受信エラーがある場合、通信異常の ACK 応答データ 0x18 を送信して、次の動作コマンド(3 バイト目)データ待ちになります。 次に、25 バイト目の CHECK SUM データをチェックします。エラーの場合、0x11 を送信して、次の動作コマンド(3 バイト目)データ待ちになります。 上記のチェックを終えてすべて正常なら、正常 ACK 応答データ 0x10 を送信します。
27~m	C→T	RAM 格納データ	RAM に格納するデータを、23 バイト目から 24 バイト目に指定されたバイト数分送信してください。
m+1	C→T	27 ~ m バイト値の CHECK SUM 値	27 バイト目 ~ m バイト目の CHECK SUM 値を送信してください。
m+2	C←T	CHECK SUM 値に対する ACK 応答 正常の場合: 0x10 異常の場合: 0x11 通信異常の場合: 0x18	最初に 27 バイト目 ~ m + 1 バイト目の受信データに受信エラーがあるかどうかをチェックします(UART モードのみ)。受信エラーがある場合、通信異常の ACK 応答データ 0x18 を送信して、次の動作コマンド(3 バイト目)データ待ちになります。 次に、m + 1 バイト目の CHECK SUM データをチェックします。エラーの場合、0x11 を送信して、次の動作コマンド(3 バイト目)データ待ちになります。 上記のチェックを終えてすべて正常なら、正常 ACK 応答データ 0x10 を送信します。
-	-	-	m + 2 バイト目の ACK 応答データが正常 ACK 応答データの場合、19 バイト目 ~ 22 バイト目で指定されたアドレスに分岐します。

### 22.3.7 フラッシュメモリチップ消去およびプロテクトビット消去の転送フォーマット

フラッシュメモリチップ消去およびプロテクトビット消去コマンドの転送フォーマットを示します。表中の転送方向の表記が示す意味は以下のとおりです。

転送方向「C→T」：コントローラ→TMPM381/383

転送方向「C←T」：コントローラ←TMPM381/383

転送 バイト数	転送 方向	転送データ	内容
1	C→T	シリアル動作モード、ボーレート設定	シリアル動作モードを判定するデータを送信します。モード判定の詳細は「22.3.5.1 シリアル動作モード判定」を参照してください。
		[UART モード] 0x86	0x86 を送信してください。UART モードと判定した場合、ボーレートの設定が可能かどうかを判定します。設定が不可能と判断した場合は動作を停止するため、通信が行えなくなります。
2	C←T	シリアル動作モードに対する ACK 応答	2 バイト目の送信データは、1 バイト目のシリアル動作モード設定データに対する ACK 応答データになります。設定が可能と判定した場合、SIO/UART の設定を行います。受信を許可するタイミングは、送信バッファにデータを書き込む前に行っていきます。
		[UART モード] 正常の場合: 0x86	設定が可能と判定した場合 0x86 を送信し、設定が不可能と判定した場合、動作を停止するため何も送信しません。 コントローラは、1 バイト目のデータの送信が終了した後、タイムアウト時間(5 秒)を設けます。タイムアウト時間内に、データ(0x86)を正常受信できなければ、通信不能と判断してください。
3	C→T	動作コマンドデータ(0x40)	フラッシュメモリチップ消去およびプロテクトビット消去コマンドデータ(0x40)を送信してください。
4	C←T	動作コマンドに対する ACK 応答 正常の場合: 0x40 異常の場合: 0xX1 通信異常の場合: 0xX8	動作コマンドデータに対する ACK 応答データになります。 最初に、3 バイト目の受信データに受信エラーがあるかをチェックします(UART モードのみ)。受信エラーがある場合、通信異常の ACK 応答データ 0xX8 を送信して、次の動作コマンド(3 バイト目)データ待ちになります。送信データの上位 4 ビットは、不定値になります。(直前の動作コマンドデータの上位 4 ビットになります)。 次に、3 バイト目の受信データが、表 22-12 の動作コマンドデータのいずれかに該当する場合は、受信データをエコーバック送信します。フラッシュメモリチップ消去およびプロテクトビット消去の場合、0x40 をエコーバック送信します。 該当しない場合は、動作コマンドエラーの ACK 応答データ 0xX1 を送信して、次の動作コマンド(3 バイト目)データ待ちになります。送信データの上位 4 ビットは、不定値になります。(直前の動作コマンドデータの上位 4 ビットになります)。
5~16	C→T	パスワードデータ(12 バイト) 0x3F81_FFF4 ~ 0x3F81_FFFF	パスワード要否選択が「否」の場合、ダミーデータです。 パスワード要否選択が「要」の場合、パスワードエリアのデータをチェックします。パスワードエリアのデータのチェック方法は「22.3.5.3 パスワード判定」を参照してください。 5 バイト目の受信データから順に、フラッシュメモリの 0x3F81_FFF0~0x3F81_FFFF のデータと照合します。一致していない場合、パスワードエラーフラグをセットします。
17	C→T	5 ~ 16 バイト目の CHECK SUM 値	5 バイト目から 16 バイト目の CHECK SUM 値を送信してください。 CHECK SUM の計算方法は「22.3.5.4 CHECK SUM の計算方法」を参照してください

転送 バイト数	転送 方向	転送データ	内容
18	C←T	CHECK SUM 値に対する ACK 応答 正常の場合: 0x40 異常の場合: 0x41 通信異常の場合: 0x48	パスワード要否選択が「否」の場合、正常 ACK 応答データ 0x40 を送信します。 パスワード要否選択が「要」の場合、最初に 5 バイト目 ~ 17 バイト目の受信データに受信エラーがあるかをチェックします(UART モードのみ)。受信エラーがある場合、通信異常の ACK 応答データ 0x48 を送信して、次の動作コマンド(3 バイト目)データ待ちになります。 次に、17 バイト目の CHECK SUM データをチェックします。エラーの場合、0x41 を送信して、次の動作コマンド(3 バイト目)データ待ちになります。 最後に、パスワードの照合結果をチェックします。パスワードエラーの場合、パスワードエラーの ACK 応答データ 0x41 を送信して、次の動作コマンド(3 バイト目)データ待ちになります。 上記のチェックを終えて、すべて正常なら、正常 ACK 応答データ 0x40 を送信します。
19	C→T	消去イネーブルコマンドデータ(0x54)	消去イネーブルコマンドデータ(0x54)を送信してください。
20	C←T	消去イネーブルコマンドに対する ACK 応答 正常の場合: 0x54 異常の場合: 0xX1 通信異常の場合: 0x58	最初に、19 バイト目の受信データに受信エラーがあるかどうかをチェックします。受信エラーがある場合、通信異常の ACK 応答データ (bit 3) 0x58 を送信して、次の動作コマンド (3 バイト目) データ待ちになります。 次に、19 バイト目の受信データが、消去イネーブルコマンドに該当する場合は、受信データをエコーバック送信 (正常 ACK 応答データ) します。この場合、0x54 をエコーバック送信して、フラッシュメモリチップ消去処理ルーチンに分岐します。 該当しない場合は、動作コマンドエラーの ACK 応答データ (bit 0) 0xX1 を送信して、次の動作コマンド (3 バイト目) データ待ちになります。送信データの上位 4 ビットは不定値になります(直前の動作コマンドデータの上位 4 ビットになります)。
21	C→T	消去コマンドに対する ACK 応答(注 1) 正常の場合: 0x4F 異常の場合: 0x4C	正常に終了した時は、終了コード(0x4F)を返します。 消去 Error が起きた場合は、エラーコード(0x4C)を返します。
-	-	-	次の動作コマンドデータ待ち状態になります。

注 1) 消去コマンドが正常に行われた場合でも、ACK 応答で異常を返す場合があります。FCSR<RDY\_BSY>でコマンド終了を確認した後、200μs 以上待つて消去の再確認を行って下さい。

### 22.3.8 ブートプログラム全体フローチャート

ブートプログラム全体フローチャートを示します。

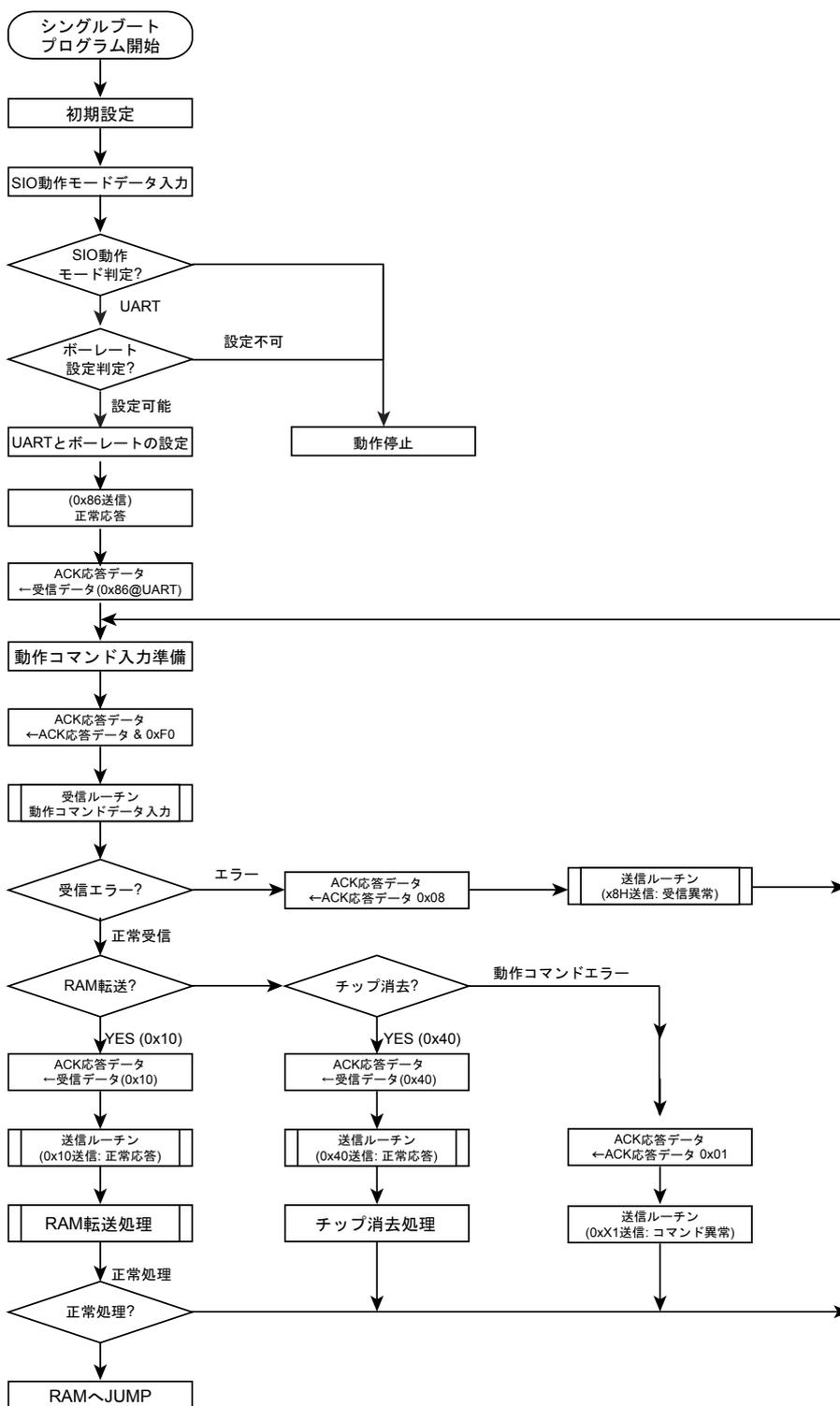


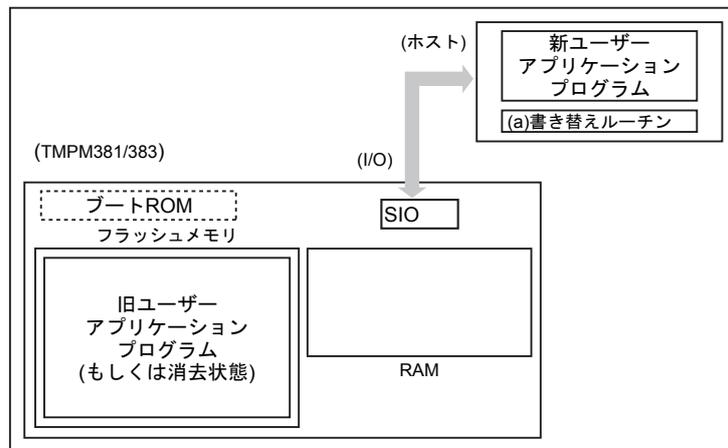
図 22-13 ブートプログラム全体フローチャート

### 22.3.9 内蔵 BOOT ROM の書き替えアルゴリズムを利用した書き替え手順

内蔵ブートプログラムを利用した書き替え手順を示します。

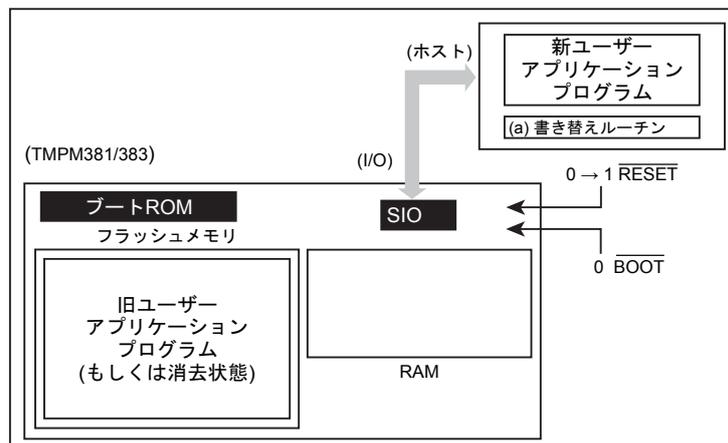
#### 22.3.9.1 Step-1

フラッシュメモリの状態は旧バージョンのユーザプログラムが書かれた状態でも、消去されている状態でも構いません。書き替えルーチン、書き替えデータなどの転送はSIO0/UART0 を経由して行いますので、ボード上で本デバイスのSIO0/UART0 と外部ホストとをつなげます。書き替えを行うための(a)書き替えルーチンはホスト上に用意します。



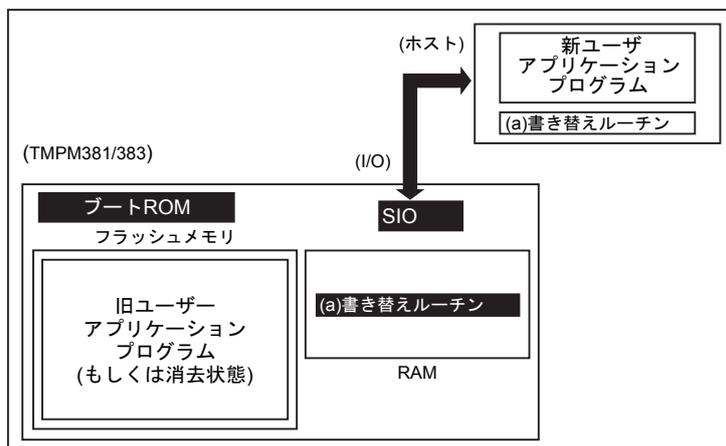
#### 22.3.9.2 Step-2

シングルブートモードの端子条件設定でリセットを解除し、BOOT ROM で起動します。シングルブートモードの手順に従い、SIO0/UART0 を経由して転送元(ホスト)より(a)書き替えルーチンの転送を行います。最初にユーザアプリケーションプログラム上に記録されているパスワードとの照合を行います。(フラッシュメモリが消去されている状態でも、消去データ(0xFF)をパスワードとして照合を行います。)



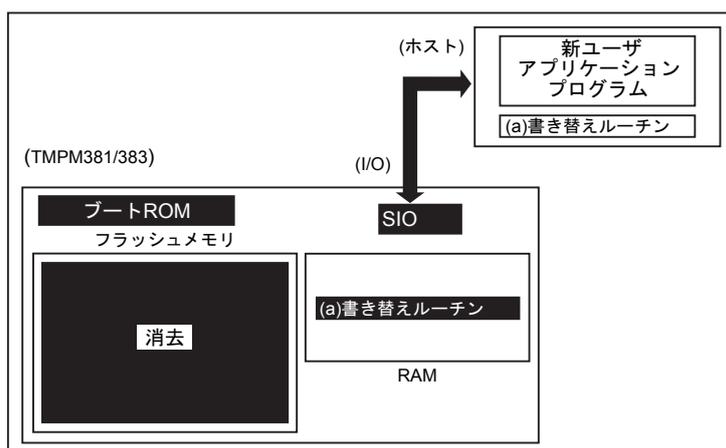
## 22.3.9.3 Step-3

パスワードの照合が終了すると、転送元(ホスト)から(a)書き替えルーチンを転送します。BOOT ROMはそのルーチンを内部RAMにロードします。ただし、RAM上のアドレス0x2000\_0400からRAMの最終番地の範囲に格納してください。



## 22.3.9.4 Step-4

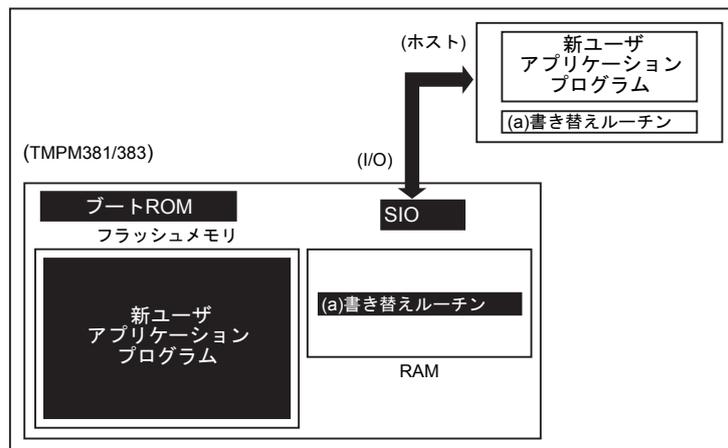
RAM上の(a)書き替えルーチンへジャンプし、旧ユーザアプリケーションプログラムエリアの消去を行います。(ブロック単位もしくは一括)



## 22.3.9.5 Step-5

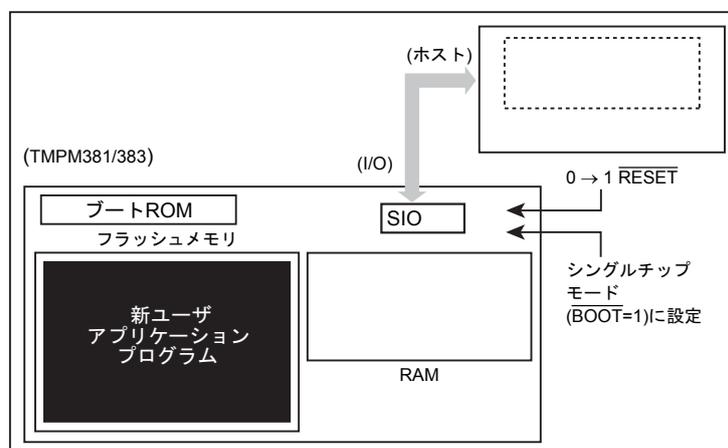
さらに、RAM 上の(a)書き替えルーチンを実行して、転送元(ホスト)より新ユーザアプリケーションプログラムのデータをロードし、フラッシュメモリの消去したエリアに書き込みを行います。書き込みが完了したら、ユーザプログラムエリアのライト/消去プロテクトをオンにします。

下の例の場合、書き替えルーチンを転送したときと同じホストおよびSIO0/UART0 経由で書き替えデータも転送されていますが、RAM 上で動作を開始した以降では、ユーザ独自にデータバスおよび転送元を設定することもできます。方法に応じて、ボードのハードおよび書き替えルーチンを組み立ててください。



## 22.3.9.6 Step-6

書き込みが完了したら、一度ボードの電源を落とし、ホストと接続していたケーブルをはずします。この後、再度電源を入れ直し、シングルチップモード (ノーマルモード) 起動し、新しいユーザアプリケーションプログラムを実行します。



## 22.4 ユーザブートモードによる書き替え方法

ユーザブートモードは、ユーザ独自のフラッシュメモリ書き替えルーチンを使う方法です。ユーザアプリケーション上で用意されているフラッシュメモリ書き替え用のプログラムで用いるデータ転送バスが、シリアル I/O と異なる場合に使用します。動作はシングルチップモード上で行います。このため、シングルチップモードにおいて通常のユーザアプリケーションプログラムが動作しているノーマルモードから、フラッシュを書き替えるためのユーザブートモードに移行する必要があります。従って、条件判定を行うプログラムをユーザアプリケーションの中で、リセット処理プログラムの中に組み込んでください。

このモード切り替えの条件設定は、ユーザのシステムセット条件に合わせて独自に構築してください。また、ユーザブートモード移行後に使用するユーザ独自のフラッシュメモリ書き替えルーチンも同様にユーザアプリケーションの中にあらかじめ組み込んでおき、ユーザブートモード移行後にこれらのルーチンを使用して書き替えを行ってください。なお、フラッシュメモリは消去/書き込み動作モード中はフラッシュのデータを読み出せません。このため、書き替えルーチンはフラッシュメモリエリア外に格納して実行させる必要があります。また、シングルチップモード（通常動作モード）中に誤ってフラッシュの内容を書き替えないよう、書き替え処理が完了した後、必要なブロックにライト/消去プロテクトをかけておくことを推奨します。ユーザブートモードでも、リセットを除く割り込み/フォールトは、処理が正しく終了しない可能性があるため発生させないようにしてください。

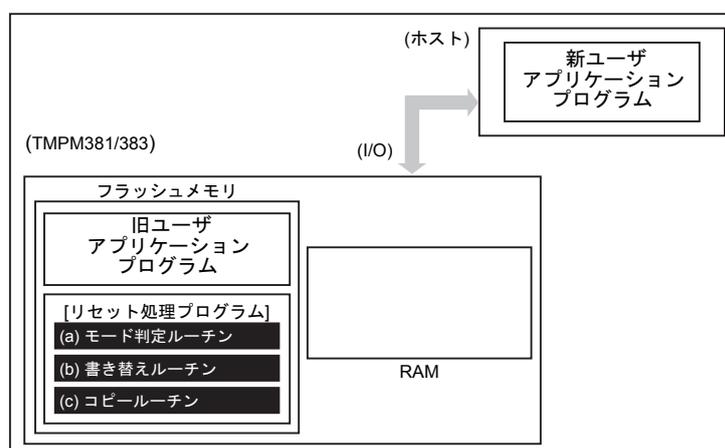
書き替えルーチンをフラッシュメモリに置く場合と、外部から転送する場合の2ケースを例に、以下(1-A), (1-B)にその手順を説明します。フラッシュメモリへの書き込み/消去方法の詳細は、「22.2 フラッシュメモリ詳細」を参照してください。

### 22.4.1 (1-A)書き替えルーチンをフラッシュメモリに内蔵する場合の手順例

#### 22.4.1.1 Step-1

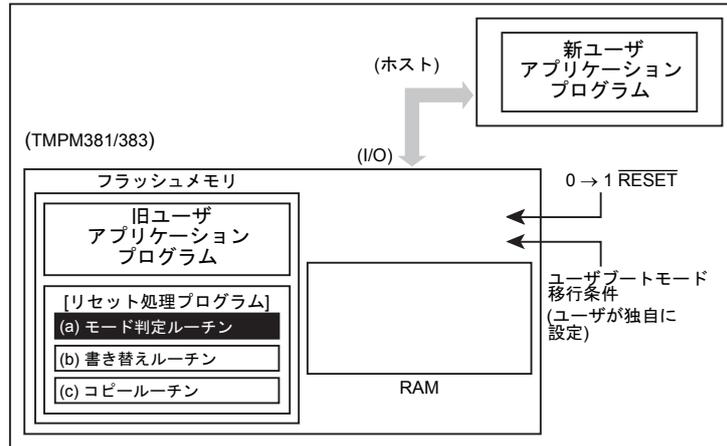
ユーザは、あらかじめどのような条件（例えば端子状態）に設定されたらユーザブートモードに移行するか、どの I/O バスを使用してデータ転送を行うかを決め、それに合った回路の設計、プログラムの作成を行います。ユーザは本デバイスをボードに組み込む前に、あらかじめフラッシュメモリ上の任意のブロックにライタなどを使用して以下に示す 3 つのプログラムを書き込んでおきます。

- |                    |   |
|--------------------|---|
| (a) モード判定ルーチン:     | 書き替え動作に移るためのプログラム                       |
| (b) フラッシュ書き替えルーチン: | 書き替えデータを外部から取り込み、フラッシュメモリを書き替えるためのプログラム |
| (c) コピールーチン:       | 上記(b)を内蔵 RAM または外部メモリにコピーするためのプログラム     |



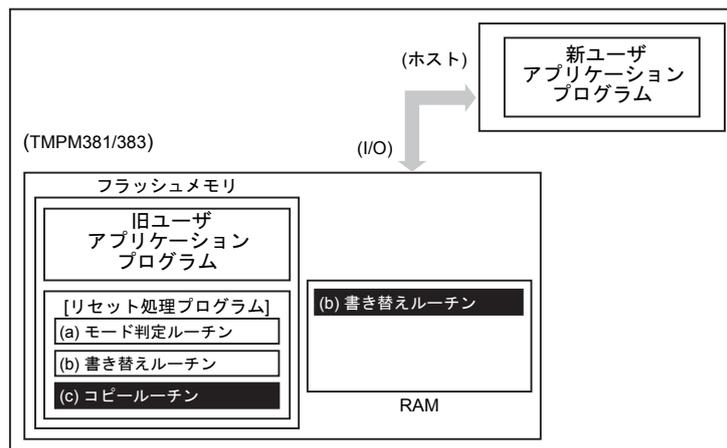
## 22.4.1.2 Step-2

以下リセット処理プログラム内にこれらのルーチンを組み込んだ場合について説明します。まず、リセット処理プログラムにおいてユーザブートモードへの移行を判定します。このとき、移行条件が整っていれば、プログラムは書き替えのためのユーザブートモードに移ります。



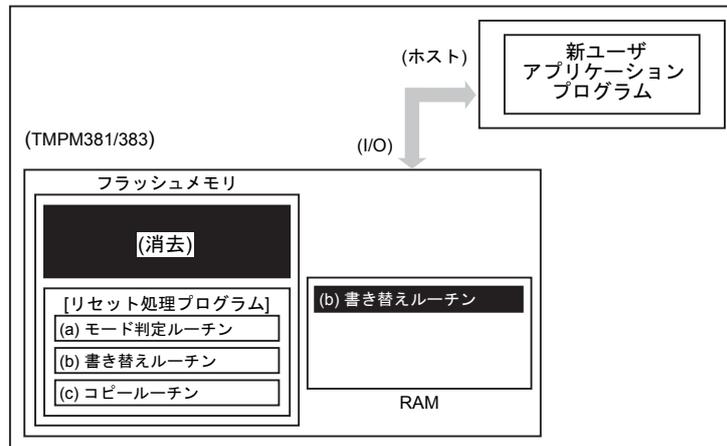
## 22.4.1.3 Step-3

ユーザブートモードに移ると、(c)コピールーチンを使用して、(b)書き替えルーチンを内蔵RAMにコピーします。



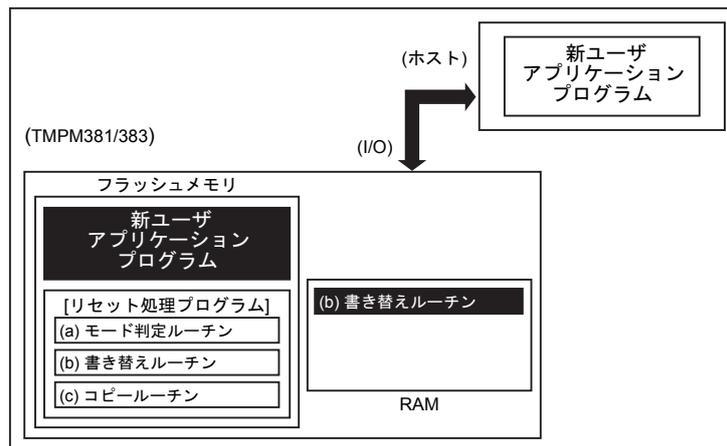
22.4.1.4 Step-4

RAM 上の書き替えルーチンへジャンプし、旧ユーザプログラムエリアのライト/消去プロテクトを解除して、消去(ブロック単位)を行います。



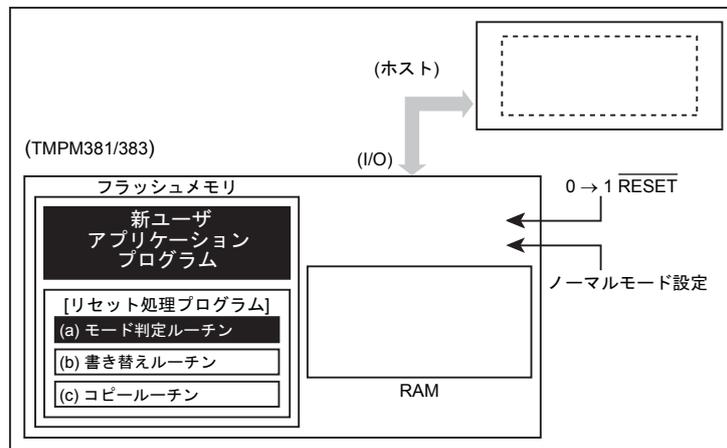
22.4.1.5 Step-5

さらに、RAM 上の書き替えルーチンを実行して、転送元(ホスト)より新ユーザアプリケーションプログラムのデータをロードし、フラッシュメモリの消去したエリアに書き込みを行います。書き込みが完了したら、ユーザプログラムエリアのライト/消去プロテクトをオンにします。



## 22.4.1.6 Step-6

$\overline{\text{RESET}}$  入力端子を"0"にしてリセットを行い、設定条件をノーマルモードの設定にします。リセット解除後、新ユーザアプリケーションプログラムで動作を開始します。



## 22.4.2 (1-B)書き替えルーチンを外部から転送する手順例

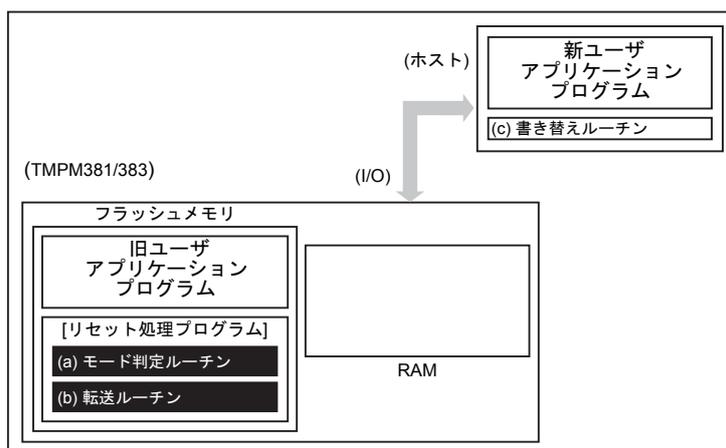
### 22.4.2.1 Step-1

ユーザは、あらかじめどのような条件(例えば端子状態)に設定されたらユーザブートモードに移行するか、どの I/O バスを使用してデータ転送を行うかを決め、それに合った回路の設計、プログラムの作成を行います。ユーザは本デバイスをボードに組み込む前に、あらかじめフラッシュメモリ上の任意のブロックにライタなどを使用して以下に示す 2 つのプログラムを書き込んでおきます。

- (a) モード判定ルーチン:           書き替え動作に移るためのプログラム  
 (b) 転送ルーチン:               書き替えプログラムを外部から取り込むためのプログラム

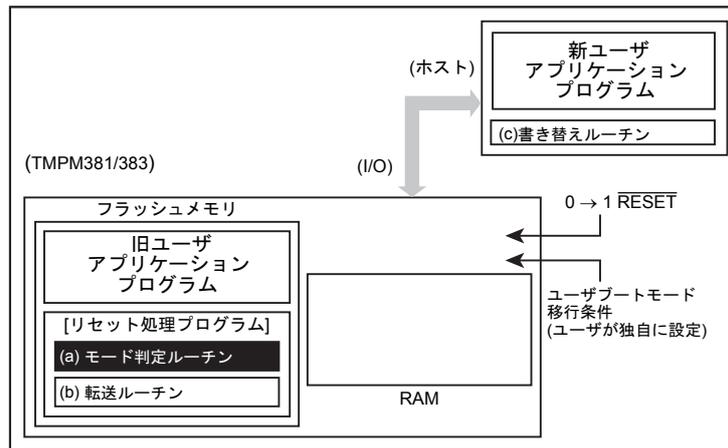
また、下記に示すプログラムはホスト上に用意します。

- (c) 書き替えルーチン:           書き替えを行うためのプログラム



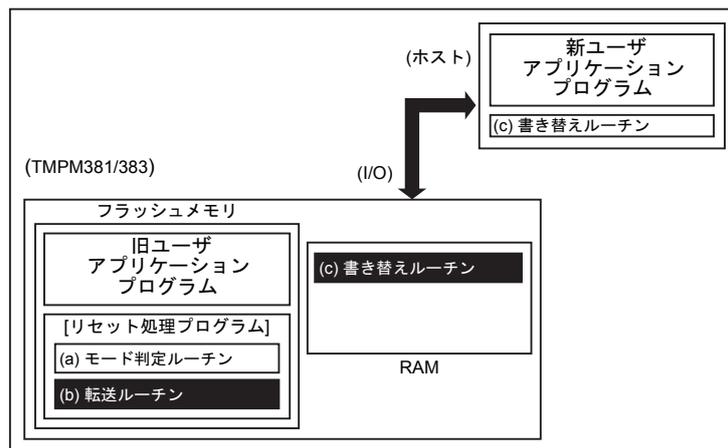
## 22.4.2.2 Step-2

以下、リセット処理プログラム内にこれらのルーチンを組み込んだ場合について説明します。まず、リセット解除後のリセット処理プログラムにおいてユーザブートモードへの移行を判定します。このとき、移行条件が整っていれば、プログラムは書き替えのためのユーザブートモードに移ります。



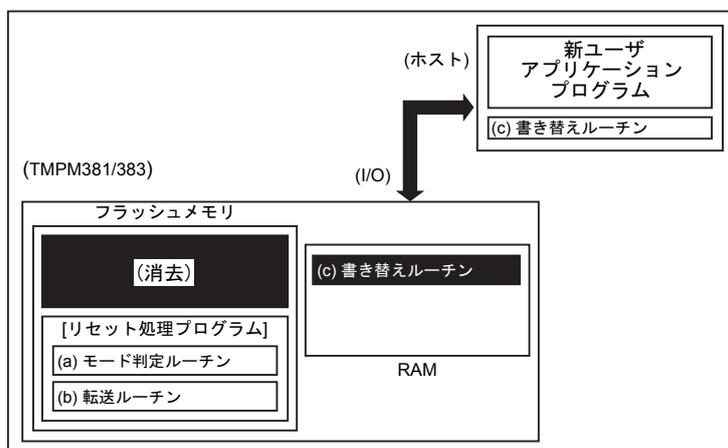
## 22.4.2.3 Step-3

ユーザブートモードに移ると、(b)転送ルーチンを使用して、転送元(ホスト)より(c)書き替えルーチンを内蔵 RAM にロードします。



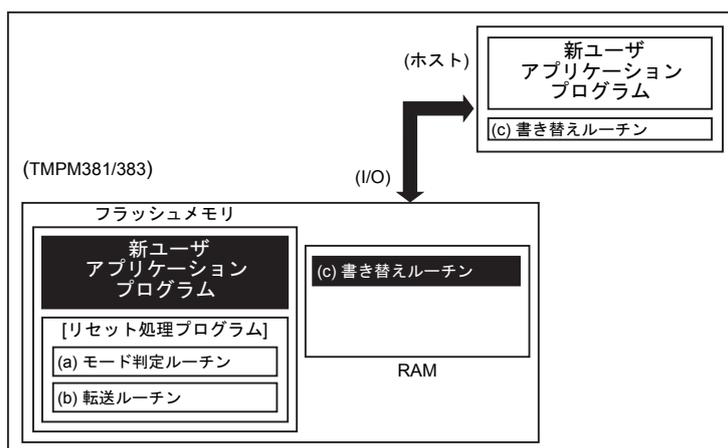
## 22.4.2.4 Step-4

RAM 上の書き替えルーチンへジャンプし、旧ユーザプログラムエリアのライト/消去プロテクトを解除して、消去(ブロック単位)を行います。



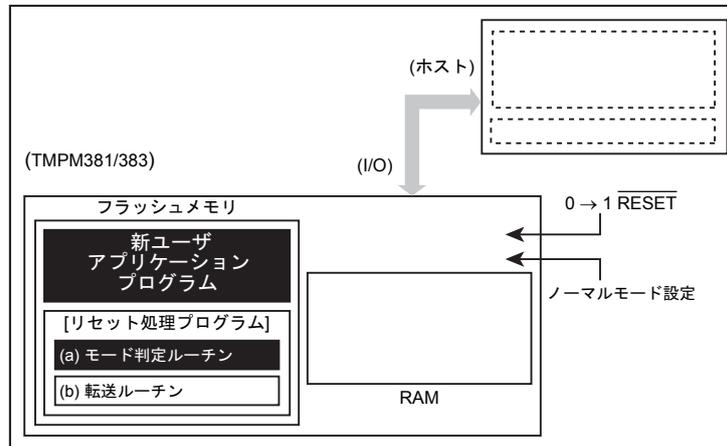
## 22.4.2.5 Step-5

さらに、RAM 上の(c)書き替えルーチンを実行して、転送元(ホスト)より新ユーザアプリケーションプログラムのデータをロードし、消去したエリアに書き込みを行います。書き込みが完了したら、ユーザプログラムエリアのライト/消去プロテクトをオンにします。



## 22.4.2.6 Step-6

$\overline{\text{RESET}}$  入力端子を"0"にしてリセットを行い、設定条件をノーマルモードに設定します。リセット解除後、新ユーザアプリケーションプログラムで動作を開始します。



## 第 23 章 デバッグインタフェース

### 23.1 仕様概要

TMPM381/383 はデバッグツールと接続するためのデバッグインタフェースとして SWJ-DP (Serial Wire JTAG Debug Port)ユニット、ならびに内部プログラムをトレース出力するための ETM (Embedded Trace Macrocell™)ユニットを搭載しています。トレース出力はマイコン内部の TPIU (Trace Port Interface Unit)を通じてデバッグ用端子(TRACEDATA[1:0], SWV)に出力されます。

SWJ-DP, ETM, TPIU の詳細に関しましては ARM 社からリリースされる"Cortex-M3 テクニカルリファレンスマニュアル"を参照してください。

### 23.2 SWJ-DP

シリアルワイヤデバッグポート(SWCLK, SWDIO)と、JTAG デバッグポート(TDI, TDO, TMS, TCK,  $\overline{\text{TRST}}$ )をサポートしています。

### 23.3 ETM

データ信号 2pin (TRACEDATA[1:0])と クロック信号 1pin (TRACECLK)および、1pin(SWV)によるトレース出力をサポートしています。

## 23.4 端子情報

デバッグインタフェース端子は汎用ポートと兼用です。

デバッグインタフェース端子と兼用される汎用ポートのうち、PB3/PB4 端子は JTAG デバッグポート機能とシリアルワイヤデバッグポート機能で、PB5 端子は JTAG デバッグポート機能と SWV トレース出力機能となります。

表 23-1 SWJ-DP,ETM デバッグ機能

SWJ-DP 端子名	汎用 ポート名	JTAG デバッグ機能		SW デバッグ機能	
		I/O	説明	I/O	説明
TMS / SWDIO	PB3	Input	JTAG Test Mode Selection	I/O	Serial Wire Data Input/Output
TCK / SWCLK	PB4	Input	JTAG Test Check	Input	Serial Wire Clock
TDO / SWV	PB5	Output	JTAG Test Data Output	(Output)(注)	(Serial Wire Viewer Output)
TDI	PB6	Input	JTAG Test Data Input	-	-
$\overline{\text{TRST}}$	PB7	Input	JTAG Test RESET	-	-
TRACECLK	PB0	Output	TRACE Clock Output		
TRACEDATA0	PB1	Output	TRACE DATA Output0		
TRACEDATA1	PB2	Output	TRACE DATA Output1		

注) SWV 機能を許可した場合

リセット解除後、PB3/ PB4/ PB5/ PB6/ PB7 はデバッグポート端子となりますが、その他のデバッグインタフェース端子は汎用ポートです。必要に応じてデバッグ端子を使用する設定を行ってください。

低消費電力モードを使用する場合には以下の注意事項に留意してください。

- 注 1) PB3 と PB5 が機能設定(PB3:TMS/SWDIO,PB5:TDO/SWV)の場合、CGSTBYCR<DRVE>ビットの状態によらず、STOP モード中も出力が有効な状態で保持されます。
- 注 2) PB4 がデバッグ機能設定の場合、STOP/SLEEP モードで十分な低消費電力効果が得られません。デバッグ機能を使用しないときは、PB4 をポート設定にしてください。

表 23-2 にデバッグインタフェースの端子情報とリセット解除後のポートの設定をまとめます。

表 23-2 デバッグインタフェース端子とリセット解除後のポート設定

ポート名 (ビット名)	デバッグ機能	リセット解除後のポートの設定値				
		機能 (PxFR)	入力 (PxIE)	出力 (PxCR)	プルアップ (PxPUP)	プルダウン (PxPDN)
PB3	TMS/SWDIO	1	1	1	1	0
PB4	TCK/SWCLK	1	1	0	0	1
PB5	TDO/SWV	1	0	1	0	0
PB6	TDI	1	1	0	1	0
PB7	$\overline{\text{TRST}}$	1	1	0	1	0
PB0	TRACECLK	0	0	0	0	0
PB1	TRACEDATA0	0	0	0	0	0
PB2	TRACEDATA1	0	0	0	0	0

- : Don't care

## 23.5 ホールトモード中の周辺機能

Cortex-M3 コアがホールトモードに入ると、ウォッチドッグタイマ(WDT)が自動的に停止します。その他の周辺機能は動作を続けます。

## 23.6 デバッグツールとの接続

### 23.6.1 接続方法

デバッグツールとの接続方法については、お使いになるツールメーカーが推奨する接続方法を参照してください。また、デバッグインタフェース端子はプルアップ/プルダウン抵抗を内蔵した端子です。外部にプルアップ/プルダウン抵抗を接続する際は注意してください。

### 23.6.2 デバッグインタフェース端子を汎用ポートとして使用する際の注意

リセット解除後ユーザプログラムでデバッグインタフェース端子を汎用ポートに設定すると、それ以降はデバッグツールからの制御ができなくなります。再度デバックツールを接続するためには何らかの方法で汎用ポートをデバッグインタフェース機能に変更する仕組みを準備しておく必要がありますので注意してください。

表 23-3 デバッグインタフェース端子の使用例

	使用するデバッグインタフェース端子						
	$\overline{\text{TRST}}$	TDI	TDO / SWV	TCK / SWCLK	TMS / SWDIO	TRACE DATA[1:0]	TRACE CLK
JTAG+SW (リセット解除時)	o	o	o	o	o	x	x
JTAG+SW (TRST なし)	(注)	o	o	o	o	x	x
JTAG+TRACE	o	o	o	o	o	o	o
SW	x	x	x	o	o	x	x
SW+SWV	x	x	o	o	o	x	x
デバッグ機能ディセーブル	x	x	x	x	x	x	x

o : イネーブル x : ディセーブル(汎用ポートとして使用可能)

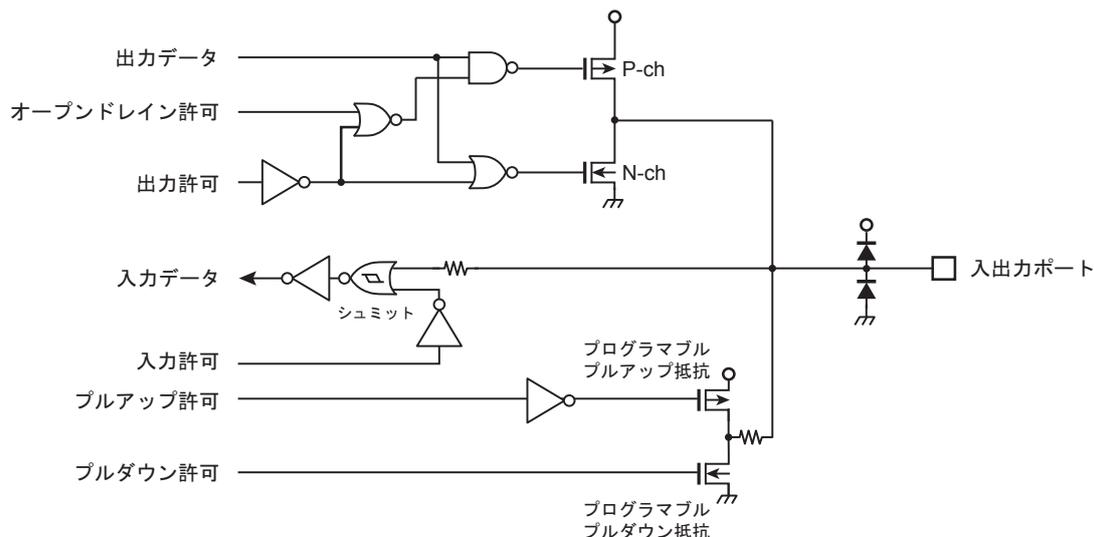
注)  $\overline{\text{TRST}}$  が割り当てられている端子は、 $\overline{\text{TRST}}$  を選択して、オープンにするか"High"レベルを入力してください。

## 第 24 章 ポート部等価回路図

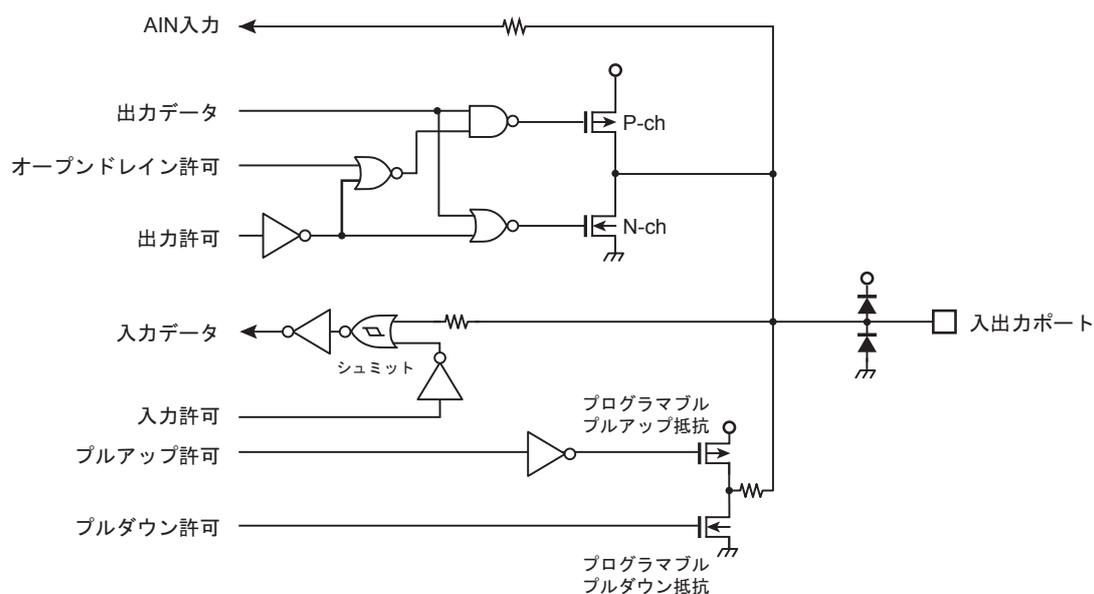
基本的に標準 CMOS ロジック IC 「74HCxx」 シリーズと同じゲート記号を使って書かれています。

入力保護抵抗は、数十  $\Omega$  ~ 数百  $\Omega$  程度です。X2, XT2 のダンピング抵抗値は、図中に typ. 値を記入しています。

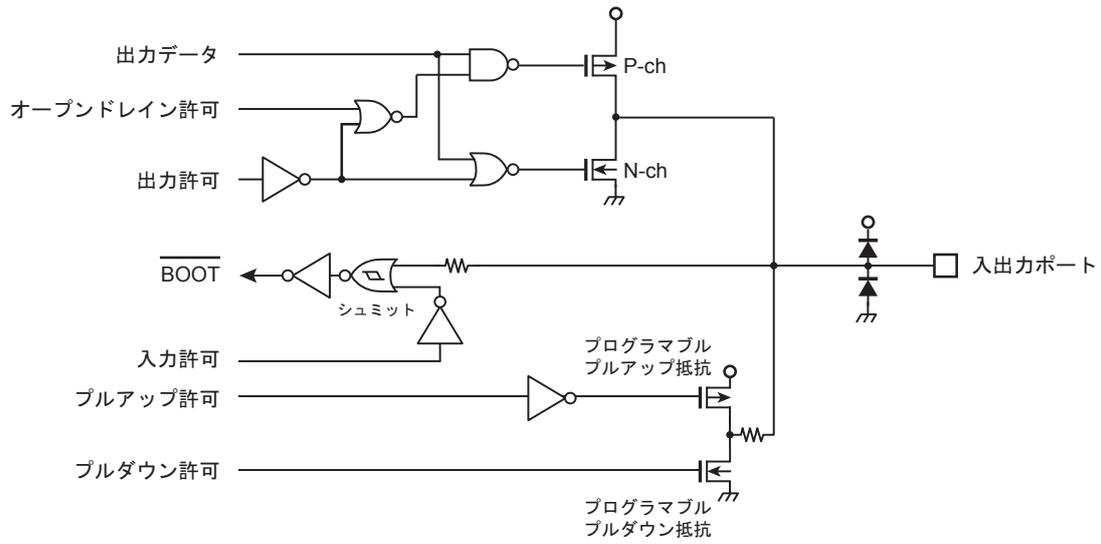
### 24.1 PA0~7, PB0~7, PC0~7, PD0~6, PE0~7, PF0~4, PG0~7, PL2, PN0~7



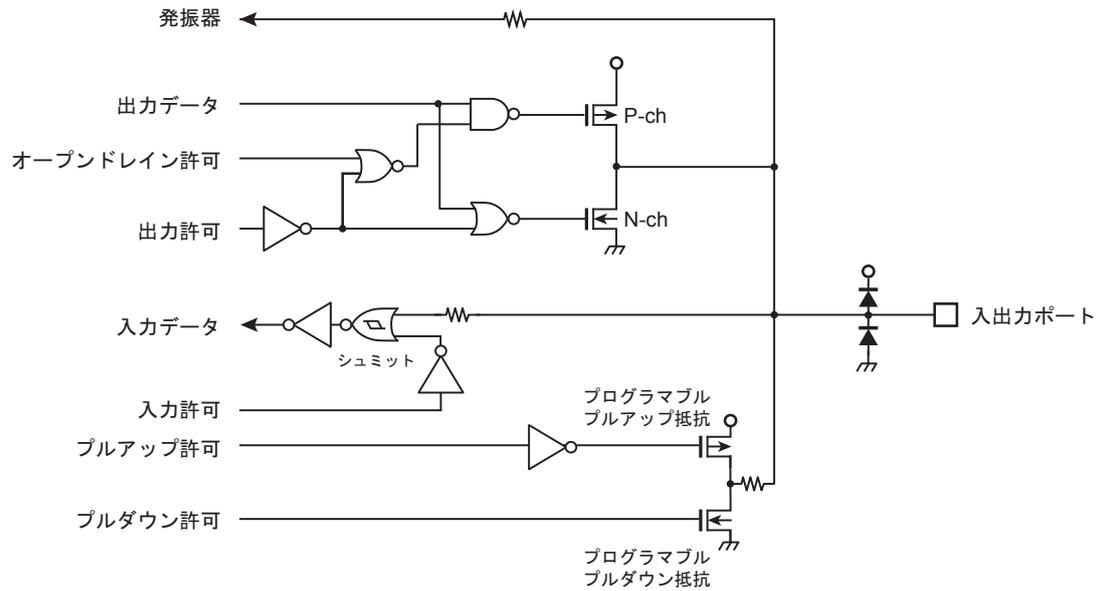
### 24.2 PH0~7, PI0~1, PJ0~7



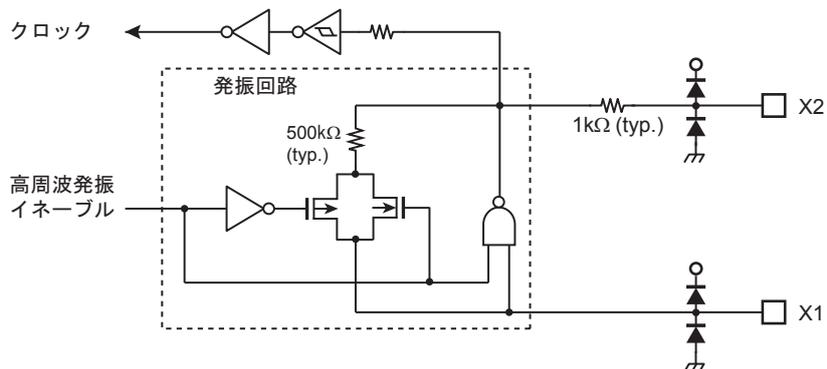
### 24.3 PL0



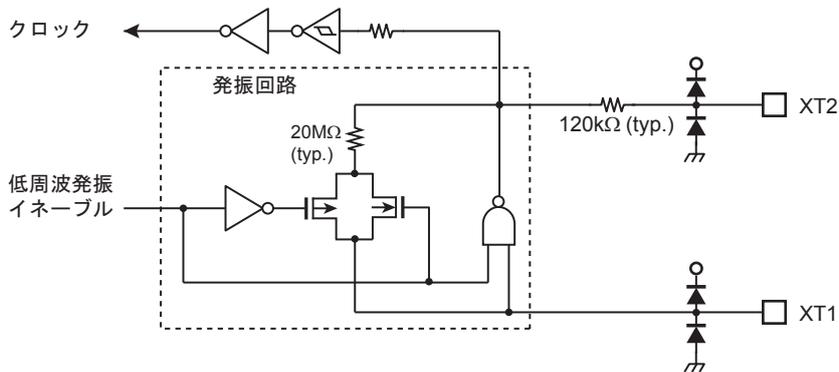
### 24.4 PM0~1, PP0~1



### 24.5 X1,X2



### 24.6 XT1,XT2



### 24.7 $\overline{\text{RESET}}$

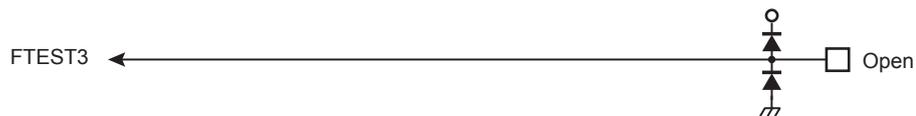


### 24.8 MODE



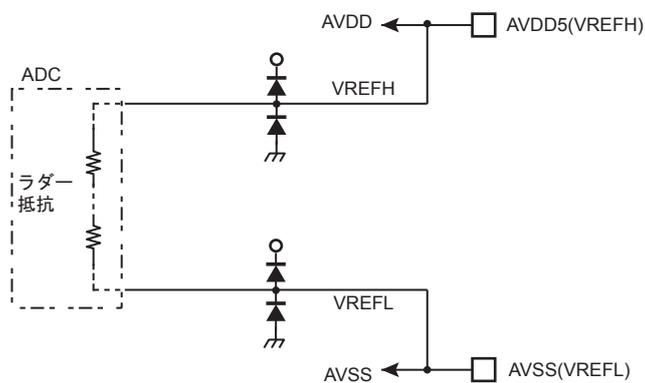
(注)本端子は必ずGNDへ接続してください。

## 24.9 FTEST3



(注)本端子は必ずOpenにしてください。

## 24.10 VREFH,VREFL



## 第 25 章 電気的特性

### 25.1 絶対最大定格

項目		記号	定格	単位
電源電圧		DVDD5	-0.3 ~ 6.0	V
		RVDD5	-0.3 ~ 6.0	
		AVDD5	-0.3 ~ 6.0	
入力電圧		V <sub>IN</sub>	-0.3 ~ VDD + 0.3	V
低レベル 出力電流	1 端子	I <sub>OL</sub>	5	mA
	合計	ΣI <sub>OL</sub>	50	
高レベル 出力電流	1 端子	I <sub>OH</sub>	-5	
	合計	ΣI <sub>OH</sub>	-50	
消費電力 (Ta = 85 °C)		PD	600	mW
はんだ付け温度(10 s)		T <sub>SOLDER</sub>	260	°C
保存温度		T <sub>STG</sub>	-55 ~ 125	°C
動作温度	Flash W/E 時及びデ バッグ時以外	T <sub>OPR</sub>	-40 ~ 85	°C
	Flash W/E 時および デバッグ時		0 ~ 70	

注) 絶対最大定格とは、瞬時たりとも超えてはならない規格であり、どの1つの項目も超えることができない規格です。絶対最大定格(電流, 電圧, 消費電力, 温度)を超えると破壊や劣化の原因となり、破裂・燃焼による障害を負うことがあります。従って必ず絶対最大定格を超えないように、応用機器の設計を行ってください。

## 25.2 DC 電気的特性 (1/3)

DVDD5 = RVDD5 = AVDD5 = 3.9V ~ 5.5V, DVSS = AVSS = 0V, Ta = -40 ~ 85 °C

項目	記号	条件	Min	Typ. (注 1)	Max	単位
電源電圧(注 2)	DVDD5 AVDD5 RVDD5	f <sub>OSC</sub> = 8 ~ 10 MHz f <sub>sys</sub> = 1 ~ 40 MHz f <sub>s</sub> = 30 ~ 34 kHz	3.9	-	5.5	V
電圧保持用キャパシタ(注 3)	C <sub>out3</sub>	DVDD5 = 3.9 ~ 5.5V	-	4.7	-	μF
電圧保持用キャパシタ(注 4)	C <sub>out15</sub>	DVDD5 = 3.9 ~ 5.5V	-	4.7	-	μF
低レベル 入力電圧	PORT A,B,C,D,E,F,G,L,M,N,P	V <sub>IL1</sub> 3.9 V ≤ DVDD5 ≤ 5.5 V	-0.3	-	0.25 DVDD5	V
	PORT H,I,J	V <sub>IL2</sub> 3.9 V ≤ AVDD5 ≤ 5.5 V	-0.3	-	0.25 AVDD5	
高レベル 入力電圧	PORT A,B,C,D,E,F,G,L,M,N,P	V <sub>IH1</sub> 3.9 V ≤ DVDD5 ≤ 5.5 V	0.75 DVDD5	-	DVDD5 + 0.3	V
	PORT H,I,J	V <sub>IH2</sub> 3.9 V ≤ AVDD5 ≤ 5.5 V	0.75 AVDD5	-	AVDD5 + 0.3	
低レベル 出力電圧	PORT A,B,C,D,E,F,G,L,M,N,P	V <sub>OL1</sub> DVDD5 ≥ 3.9V I <sub>OL</sub> = 1.6 mA	-	-	0.4	V
	PORT H,I,J	V <sub>OL2</sub> AVDD5 ≥ 3.9V I <sub>OL</sub> = 1.6 mA	-	-	0.4	
高レベル 出力電圧	PORT A,B,C,D,E,F,G,L,M,N,P	V <sub>OH1</sub> DVDD5 ≥ 3.9V I <sub>OH</sub> = -1.6 mA	DVDD5 - 0.4	-	-	V
	PORT H,I,J	V <sub>OH2</sub> AVDD5 ≥ 3.9V I <sub>OH</sub> = -1.6 mA	AVDD5 - 0.4	-	-	
入力リーク電流	I <sub>LI</sub>	0.0 V ≤ V <sub>IN</sub> ≤ DVDD5 0.0 V ≤ V <sub>IN</sub> ≤ AVDD5	-	0.02	±5	μA
出力リーク電流	I <sub>LO</sub>	0.2 V ≤ V <sub>IN</sub> ≤ DVDD5 - 0.2 V 0.2 V ≤ V <sub>IN</sub> ≤ AVDD5 - 0.2 V	-	0.05	±10	
リセットプルアップ抵抗	R <sub>RST</sub>	3.9 V ≤ DVDD5 ≤ 5.5 V	38.5	50	71.4	kΩ
シュミット入力幅	V <sub>TH</sub>	3.9 V ≤ DVDD5 ≤ 5.5 V 3.9 V ≤ AVDD5 ≤ 5.5 V	0.3	0.6	-	V
プログラマブルプルアップ/ダウン抵抗	P <sub>KH</sub>	3.9 V ≤ DVDD5 ≤ 5.5 V 3.9 V ≤ AVDD5 ≤ 5.5 V	38.5	50	71.4	kΩ
Pin 容量(電源端子を除く)	C <sub>IO</sub>	f <sub>c</sub> = 1 MHz	-	-	10	pF

注 1) Typ 値は特に指定のない限り Ta = 25 °C, DVDD5 = AVDD5 = RVDD5 = 5 V の値です。

注 2) DVDD5, RVDD5, AVDD5 は同電位で使用してください。

注 3) 保持用キャパシタ C<sub>out3</sub> は VOUT3 端子-DVSS 間に接続してください。注 4) 保持用キャパシタ C<sub>out15</sub> は VOUT15 端子-DVSS 間に接続してください。

## 25.3 DC 電氣的特性 (2/3)

DVDD5 = RVDD5 = AVDD5 = 3.9V ~ 5.5V, DVSS = AVSS = 0V, Ta = -40 ~ 85 °C

項目	記号	条件	Min	Typ. (注 1)	Max	単位
低レベル出力電流	$I_{OL}$	1 端子ごと	-	-	2	mA
	$\Sigma I_{OL1}$	グループ単位 3.9 V ≤ DVDD5 ≤ 5.5 V GrL1 = <PA0-7/PE0-5/PG0-7> GrL2 = <PB0-7/PD0-6/PF0-4/PL0> GrL3 = <PC0-7/PM0-1/PP0-1> GrL4 = <PE6-7/PL2/PN0-7>	-	-	20	mA
	$\Sigma I_{OL2}$	グループ単位 3.9 V ≤ AVDD5 ≤ 5.5 V GrL5 = <PH0-7/PI0-1/PJ0-7>	-	-	9	mA
	$\Sigma I_{OL}$	全端子(全ポート)	-	-	30	mA
高レベル出力電流	$I_{OH}$	1 端子ごと	-	-	-2	mA
	$\Sigma I_{OH1}$	グループ単位 3.9 V ≤ DVDD5 ≤ 5.5 V GrH1 = <PA0-7/PE0-3/PG0-7/PM0-1/PP0-1> GrH2 = <PB0-7/PC0-7/PD0-6/PF0-4/PL0> GrH3 = <PE4-7/PL2/PN0-7>	-	-	-20	mA
	$\Sigma I_{OH2}$	グループ単位 3.9 V ≤ AVDD5 ≤ 5.5 V GrH4 = <PH0-7/PI0-1/PJ0-7>	-	-	-9	mA
	$\Sigma I_{OH}$	全端子(全ポート)	-	-	-30	mA

## 25.4 DC 電気的特性 (3/3)

DVDD5 = RVDD5 = AVDD5 = 3.9V ~ 5.5V, DVSS = AVSS = 0V, Ta = -40 ~ 85 °C

項目	記号	条件	Min	Typ. (注 1)	Max	単位
NORMAL (注 2)	I <sub>DD</sub>	fsys = fc = 40 MHz (fosc = 10MHz)	-	22	27	mA
IDLE (注 3)			-	16	20	mA
SLOW		fsys = fs = 32.768 kHz	-	400	1700	μA
SLEEP(注 4)			-	120	1200	μA
STOP			-	100	1180	μA

注 1) Typ 値は特に指定のない限り Ta = 25 °C, DVDD5 = RVDD5 = AVDD5 = 5 V の値です。

注 2) I<sub>DD</sub> NORMAL の測定条件:

実行プログラム: ドライストン V2.1 (内蔵 FLASH 動作)

AD コンバータを除く内蔵周辺機能は動作

注 3) I<sub>DD</sub> IDLE の測定条件:

CPU は停止、AD コンバータを除く内蔵周辺回路は動作

注 4) I<sub>DD</sub> SLEEP の測定条件:

周辺機能はすべて停止

CPU は停止、内蔵周辺回路は RTC、リモコン判定のみ動作

## 25.5 12/10ビットADコンバータ変換特性

DVDD5 = RVDD5 = 4.5V ~ 5.5V, DVSS = AVSS = 0V, Ta = -40 ~ 85 °C

項目	記号	条件	Min	Typ.	Max	単位
アナログ電源電圧(+)(注1)	AVDD5	AVDD5 = V <sub>REFH</sub>	DVDD5 - 0.2	-	DVDD5	V
アナログ基準電圧	AVSS	AVSS = V <sub>REFL</sub>	0	-	0	V
アナログ入力電圧	V <sub>AIN</sub>	-	AVSS	-	AVDD5	V
アナログ基準電圧電源電流	I <sub>REF</sub>	I <sub>REF</sub> ON 時(AD変換時)	-	7.5	10.0	mA
		I <sub>REF</sub> ON 時(AD変換停止時)	-	3.5	5	mA
		I <sub>REF</sub> OFF 時(STOP時)	-	3	70	μA
積分非直線性誤差	-	12bit モード AIN 負荷抵抗 ≤ 600 Ω AIN 負荷容量 ≥ 0.1 μF 変換時間 ≥ 1.85 μs	-	-	± 9	LSB (注2)
微分非直線性誤差			-	-	+ 6 ~ -1	
オフセット誤差			-	-	± 5	
フルスケール誤差			-	-	+ 8 ~ -2	
総合誤差			-	-	+ 12 ~ -8	
積分非直線性誤差	-	10bit モード AIN 負荷抵抗 ≤ 600 Ω AIN 負荷容量 ≥ 0.1 μF 変換時間 ≥ 1.70 μs	-	-	± 3	LSB (注3)
微分非直線性誤差			-	-	± 2	
オフセット誤差			-	-	± 3	
フルスケール誤差			-	-	± 3	
総合誤差			-	-	± 4	

注 1) A/D コンバータ用に別電源をご使用の際は、本条件を守る必要があります。

注 2) 1LSB = (AVDD5 - AVSS) / 4096 [V]

注 3) 1LSB = (AVDD5 - AVSS) / 1024 [V]

注 4) I<sub>REF</sub> の該当端子は AVDD5 であり、AVDD5 に流れる電流は AVDD5 + I<sub>REF</sub> になります。

注 5) AD コンバータ単体動作の時の特性です。

注 6) 3.9 V ≤ DVDD5 = RVDD5 < 4.5V の範囲では AD コンバータ変換特性は保証外となります。

## 25.6 AC 電気的特性

### 25.6.1 AC 測定条件

本章に記載されている AC 特性は、特に指定のない限り以下の条件での測定結果です。

- ・ 出力レベル: High =  $0.8 \times DVDD5$ , Low =  $0.2 \times DVDD5$
- ・ 入力レベル: DC 電気的特性の、低レベル入力電圧/高レベル入力電圧参照
- ・ 負荷容量: CL = 30pF

### 25.6.2 シリアルチャネル (SIO/UART)

#### 25.6.2.1 I/O インタフェースモード

表中の x は SIO の動作クロックの周期を表します。SIO の動作クロックは、システムクロック fsys と同じ周期です。この周期は、クロックギアの設定に依存します。

##### (1) SCLK 入力モード

[入力]

項目	記号	計算式		40 MHz		単位
		Min	Max	Min	Max	
SCLK クロック High 幅(入力)	t <sub>SCH</sub>	4x	-	100	-	ns
SCLK クロック Low 幅(入力)	t <sub>SCL</sub>	4x	-	100	-	
SCLK 周期	t <sub>SCY</sub>	t <sub>SCH</sub> + t <sub>SCL</sub>	-	200	-	
有効 Data 入力 ← SCLK 立ち上がり/立ち下がり (注 1)	t <sub>SRD</sub>	30	-	30	-	
SCLK 立ち上がり/立ち下がり → 入力 Data 保持(注 1)	t <sub>HSR</sub>	x + 30	-	55	-	

[出力]

項目	記号	計算式		40 MHz		単位
		Min	Max	Min	Max	
SCLK クロック High 幅(入力)	t <sub>SCH</sub>	4x	-	120 (注 3)	-	ns
SCLK クロック Low 幅(入力)	t <sub>SCL</sub>	4x	-	120 (注 3)	-	
SCLK 周期	t <sub>SCY</sub>	t <sub>SCH</sub> + t <sub>SCL</sub>	-	240	-	
Output Data ← SCLK 立ち上がり/立ち下がり (注 1)	t <sub>OSS</sub>	t <sub>SCY</sub> /2 - 3x - 45	-	0 (注 2)	-	
SCLK 立ち上がり / 立ち下がり → Output Data 保持 (注 1)	t <sub>OHS</sub>	t <sub>SCY</sub> /2	-	120	-	

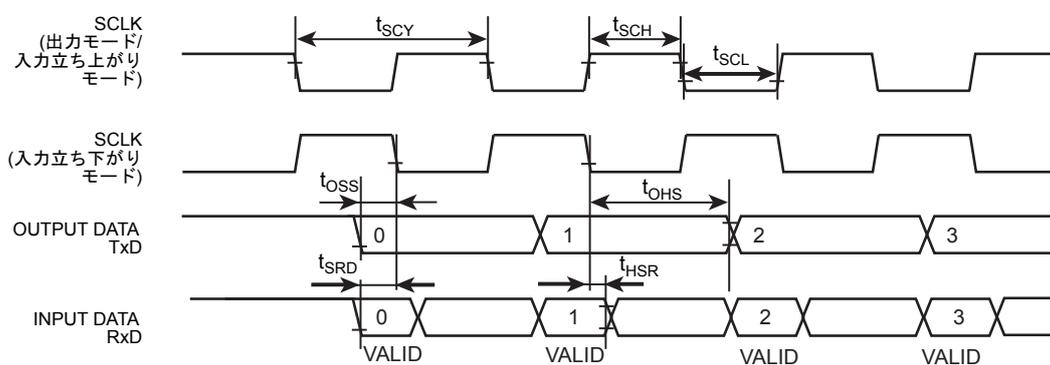
注 1) SCLK 立ち上がり/立ち下がり...SCLK 立ち上がりモードの場合は SCLK 立ち上がり、SCLK 立ち下がりモードの場合は SCLK 立ち下がりのタイミングです。

注 2) 計算値がマイナスにならない範囲の SCLK 周期で使用してください。

注 3) t<sub>OSS</sub> がマイナスにならない最小値を示しています。

(2) SCLK 出力モード

項目	記号	計算式		40 MHz		単位
		Min	Max	Min	Max	
SCLK 周期 (プログラマブル)	$t_{SCY}$	4x	-	100	-	ns
Output Data ← SCLK 立ち上がり	$t_{OSS}$	$t_{SCY}/2 - 20$	-	30	-	
SCLK 立ち上がり → Output Data 保持	$t_{OHS}$	$t_{SCY}/2 - 20$	-	30	-	
有効 Data 入力 ← SCLK 立ち上がり	$t_{SRD}$	45	-	45	-	
SCLK 立ち上がり → Input Data 保持	$t_{HSR}$	0	-	0	-	



### 25.6.3 シリアルバスインタフェース (I2C/SIO)

#### 25.6.3.1 I2C モード

x は I2C/SIO の動作クロックの周期を表します。I2C/SIO の動作クロックは、システムクロック fsys と同じ周期です。この周期は、クロックギアの設定に依存します。

n は SBIxCR<SCK>で指定した SCL 出力クロックの周波数選択値です。

項目	記号	計算式		標準モード		ファーストモード		単位
		Min	Max	Min	Max	Min	Max	
SCL クロック周波数	t <sub>SCL</sub>	0	-	0	100	0	400	kHz
スタートコンディション保持	t <sub>HD; STA</sub>	-	-	4.0	-	0.6	-	μs
SCL クロック Low 幅(入力) (注 1)	t <sub>LOW</sub>	-	-	4.7	-	1.3	-	μs
SCL クロック High 幅(入力) (注 2)	t <sub>HIGH</sub>	-	-	4.0	-	0.6	-	μs
再スタートコンディション セットアップ時間	t <sub>SU; STA</sub>	(注 5)	-	4.7	-	0.6	-	μs
データ保持時間(入力) (注 3, 4)	t <sub>HD; DAT</sub>	-	-	0.0	-	0.0	-	μs
データセットアップ時間	t <sub>SU; DAT</sub>	-	-	250	-	100	-	ns
ストップコンディションセットアップ時間	t <sub>SU; STO</sub>	-	-	4.0	-	0.6	-	μs
ストップコンディションとスタート コンディション間のパスフリー時間	t <sub>BUF</sub>	(注 5)	-	4.7	-	1.3	-	μs

注 1) SCL クロック LOW 幅(出力):  $(2^{n-1} + 58)/x$

注 2) SCL クロック HIGH 幅(出力):  $(2^{n-1} + 14)/x$

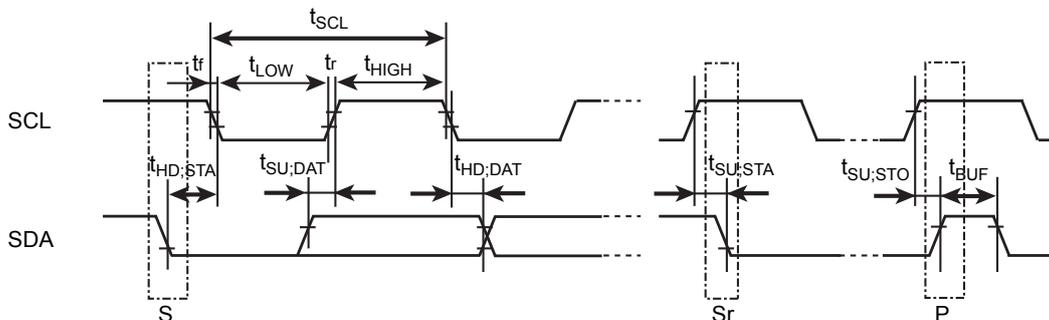
通信規格上、標準モード/高速モードの最高速は 100 kHz/400 kHz です。内部 SCL クロックの周波数の設定は、使用される fsys と上記注 1,注 2 の計算式にて設定されますのでご注意ください。

注 3) データ保持時間(出力)は内部 SCL から 4x の時間です。

注 4) フィリップススペックでは内部で、SDA 入力時にデータホールド 300nsec を確保して SCL 立ち下がり時の不安定状態を回避することになっていますが、本製品では対応していません。また SCL のエッジスロープコントロール機能を持っていません。従って、SCL/SDA の tr/tf を含めて BUS 上で上表のデータ保持時間(入力)を守るように設計してください。

注 5) ソフトウェアに依存します。

注 6) フィリップススペックでは、ファーストモードデバイスへの電源供給が切れた場合、バスラインを妨げることがないように SDA および SCL 信号の I/O ピンと電源との接続が外れるようにする必要がありますが、本デバイスでは対応していません。



S: スタートコンディション  
 Sr: 再スタートコンディション  
 P: ストップコンディション

## 25.6.3.2 クロック同期式 8 ビット SIO モード

x は I2C/SIO の動作クロックの周期を表します。I2C/SIO の動作クロックは、システムクロック  $f_{sys}$  と同じ周期です。この周期は、クロックギアの設定に依存します。

## (1) SCK 入力モード(SCK デューティ 50%の場合)

[入力]

項目	記号	計算式		40 MHz		単位
		Min	Max	Min	Max	
SCK クロック High 幅(入力)	$t_{SCH}$	4x	-	100	-	ns
SCK クロック Low 幅(入力)	$t_{SCL}$	4x	-	100	-	
SCK 周期	$t_{SCY}$	8x	-	200	-	
有効 Data 入力 ← SCK 立ち上がり	$t_{SRD}$	$30 - x$	-	5	-	
SCK 立ち上がり → Input Data 保持	$t_{HSR}$	$2x + 30$	-	80	-	

[出力]

項目	記号	計算式		40 MHz		単位
		Min	Max	Min	Max	
SCK クロック High 幅(入力)	$t_{SCH}$	4x	-	120 (注 2)	-	ns
SCK クロック Low 幅(入力)	$t_{SCL}$	4x	-	120 (注 2)	-	
SCK 周期	$t_{SCY}$	8x	-	240	-	
Output Data ← SCK 立ち上がり	$t_{OSS}$	$t_{SCY}/2 - 3x - 45$	-	0 (注 1)	-	
SCK 立ち上がり → Output Data 保持	$t_{OHS}$	$t_{SCY}/2 + x$	-	145	-	

注 1) 計算値がマイナスにならない範囲の SCK 周期で使用してください。

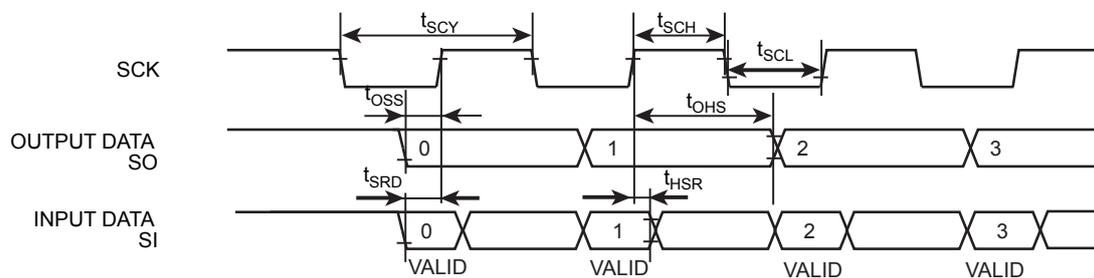
注 2)  $t_{OSS}$  がマイナスにならない最小値を示しています。

(2) SCK 出力モード(SCK デューティ 50%の場合)

項目	記号	計算式		40 MHz		単位
		Min	Max	Min	Max	
SCK 周期(プログラマブル)	$t_{SCY}$	16x (注 1)	-	400	-	ns
Output Data ← SCK 立ち上がり	$t_{OSS}$	$t_{SCY}/2 - 20$ (注 2)	-	180	-	
SCK 立ち上がり → Output Data 保持	$t_{OHS}$	$t_{SCY}/2 - 20$	-	180	-	
有効 Data 入力 ← SCK 立ち上がり	$t_{SRD}$	$x + 45$	-	70	-	
SCK 立ち上がり → Input Data 保持	$t_{HSR}$	0	-	0	-	

注 1) 自動ウェイト後の SCK 周期は 14x になります。

注 2) 自動ウェイト後の Output Data のセットアップタイムが  $t_{SCY}/2 - x - 20$  になることがあります。



## 25.6.4 同期式シリアルインタフェース (SSP)

## 25.6.4.1 AC 測定条件

表中の計算式に使われる"T"は内部プリスケアラ入力クロック  $f_{PCLK}$  周期を示します。

- ・ 出力レベル: High =  $0.7 \times DVDD5$ , Low =  $0.3 \times DVDD5$
- ・ 入力レベル: High =  $0.9 \times DVDD5$ , Low =  $0.1 \times DVDD5$
- ・ 負荷容量: CL=30pF
- ・ Ta = -40 ~ 85°C

注) 表中の"計算式"は DVDD5 = 3.9V ~ 5.5V の範囲での規定を示します。

項目	記号	計算式		fsys=40MHz (m=4,n=12)	単位
		Min	Max		
SPCLK 周期 (マスタ)	$T_m$	(m)T ただし、100ns 以上	-	100 (10MHz)	ns
SPCLK 周期 (スレーブ)	$T_s$	(n)T	-	300 (3.3MHz)	
SPCLK 立ち上がり時間	$t_r$	-	15	15	
SPCLK 立ち下がり時間	$t_f$	-	15	15	
マスタモード時 SPCLK 低レベルパルス幅	$t_{WLM}$	(m)T/2 - 20.0	-	30	
マスタモード時 SPCLK 高レベルパルス幅	$t_{WHM}$	(m)T/2 - 20.0	-	30	
スレーブモード時 SPCLK 低レベルパルス幅	$t_{WLS}$	(n)T/2 - 10.0	-	140	
スレーブモード時 SPCLK 高レベルパルス幅	$t_{WHS}$	(n)T/2 - 10.0	-	140	
マスタモード時 SPCLK 立ち上がり/立ち下がり→ 出力データ有効	$t_{ODSM}$	-	15	15	
マスタモード時 SPCLK 立ち上がり/立ち下がり→ 出力データ保持	$t_{ODHM}$	(m)T/2 - 15	-	35	
マスタモード時 SPCLK 立ち上がり/立ち下がり→ 入力データ有効 遅延時間	$t_{IDSM}$	35	-	35	
マスタモード時 SPCLK 立ち上がり/立ち下がり(入力データ保持)	$t_{IDHM}$	5	-	5	
マスタモード時 SPFSS 有効(SPCLK 立ち上がり/立ち下がり)	$t_{OFSM}$	(m)T - 15	(m)T + 15	85 ~ 115	
スレーブモード時 SPCLK 立ち上がり/立ち下がり(出力データ有効 遅延時間)	$t_{ODSS}$	-	(3T) + 35	110	
スレーブモード時 SPCLK 立ち上がり/立ち下がり(出力データ保持)	$t_{ODHS}$	(n)T/2 + (2T)	-	200	
スレーブモード時 SPCLK 立ち上がり/立ち下がり(入力データ有効 遅延時間)	$t_{IDSS}$	10	-	10	
スレーブモード時 SPCLK 立ち上がり/立ち下がり→ 入力データ保持	$t_{IDHS}$	(3T) + 15	-	90	
スレーブモード時 SPFSS 有効 → SPCLK 立ち上がり/立ち下がり	$t_{OFSS}$	(n)T - 20	-	280	

注) 通信ポーレートクロックは以下の条件範囲で設定する必要があります。

- ・ マスタモード時

$$m = (\langle \text{CPSDVSR} \rangle \times (1 + \langle \text{SCR} \rangle)) = f_{\text{sys}} / \text{SPCLK}$$

$\langle \text{CPSDVSR} \rangle$ は偶数のみが設定可能です。また $m$ の範囲は  $65024 \geq m \geq 2$  となります。

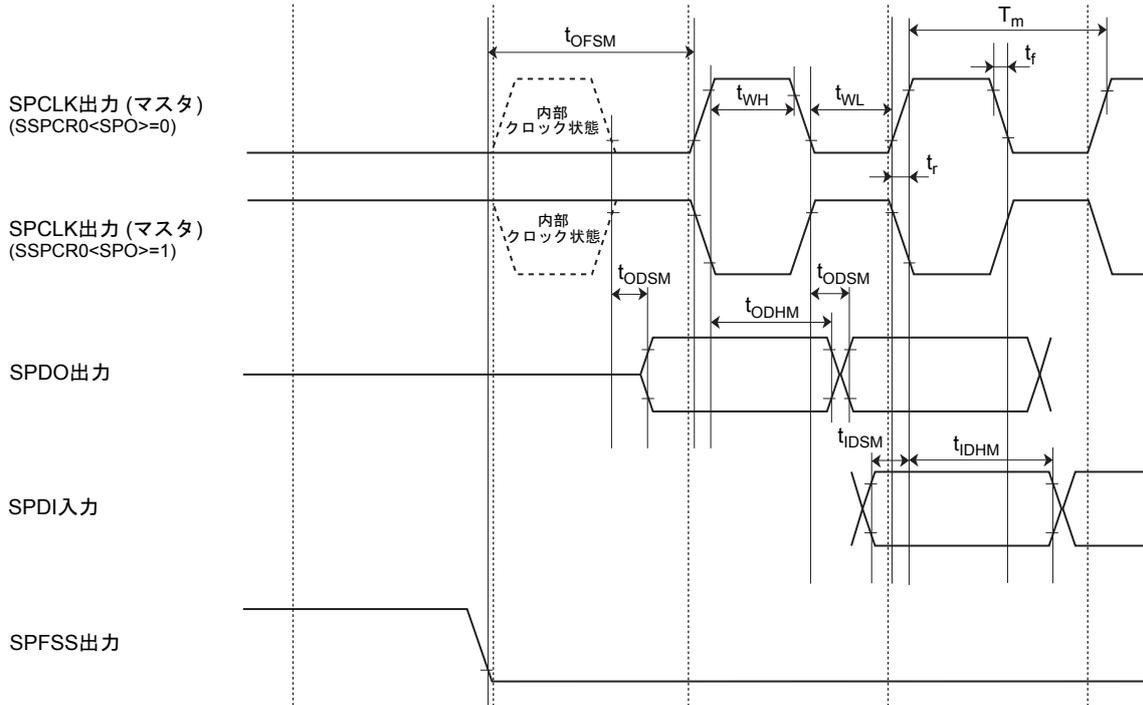
- ・ スレーブモード時

$$n = f_{\text{sys}} / \text{SPCLK} \quad (65024 \geq n \geq 12)$$

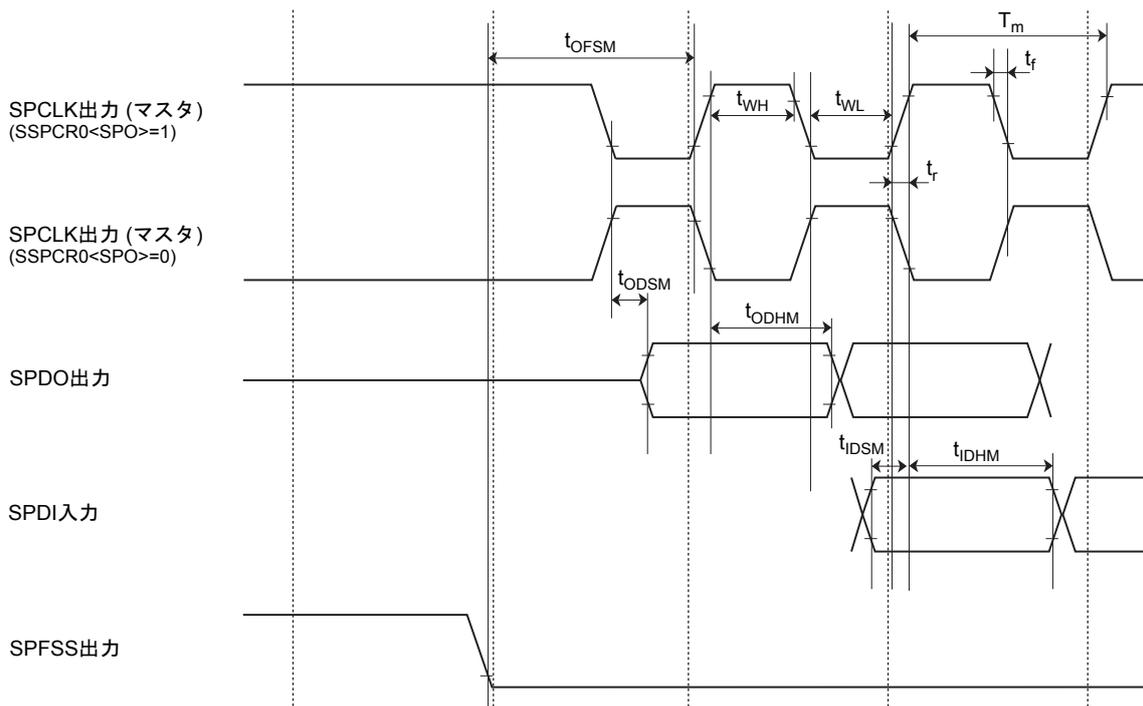
25.6.4.2 SSP の SPI モード (マスタ)

- $f_{sys} \geq 2 \times SPxCLK$  (最大)
- $f_{sys} \geq 65024 \times SPxCLK$  (最小)

(1) マスタ SSPCR0<SPH>="0" (1st エッジでデータをラッチ)



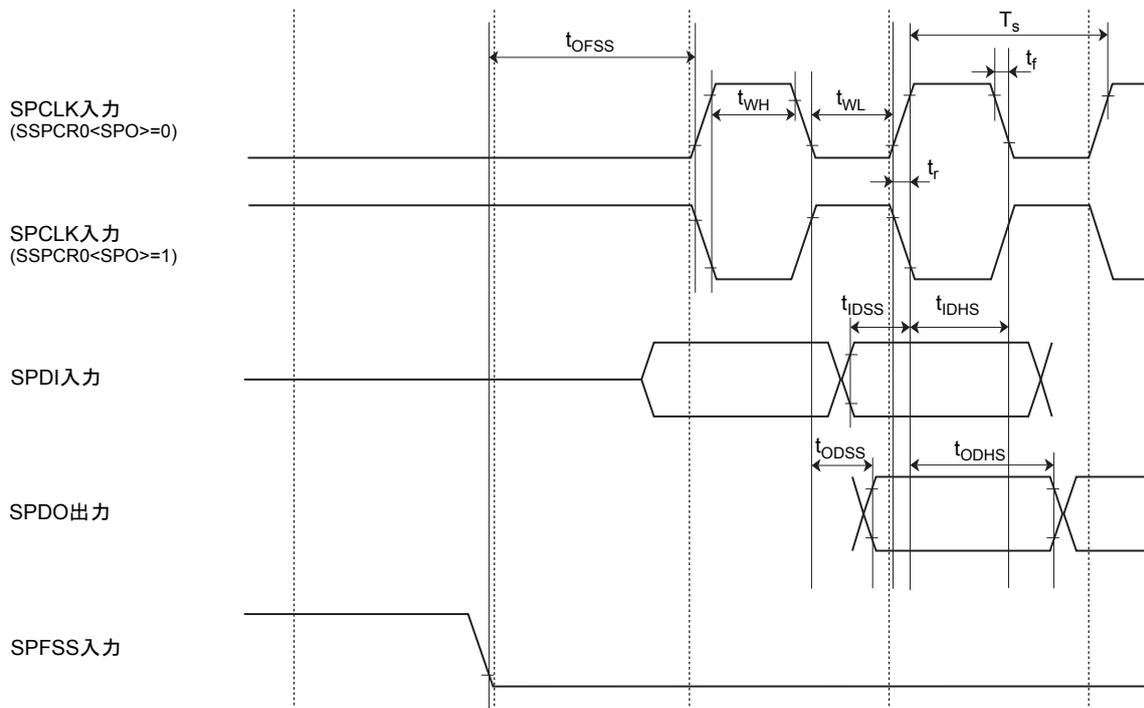
(2) マスタ SSPCR0<SPH>="1" (2nd エッジでデータをラッチ)



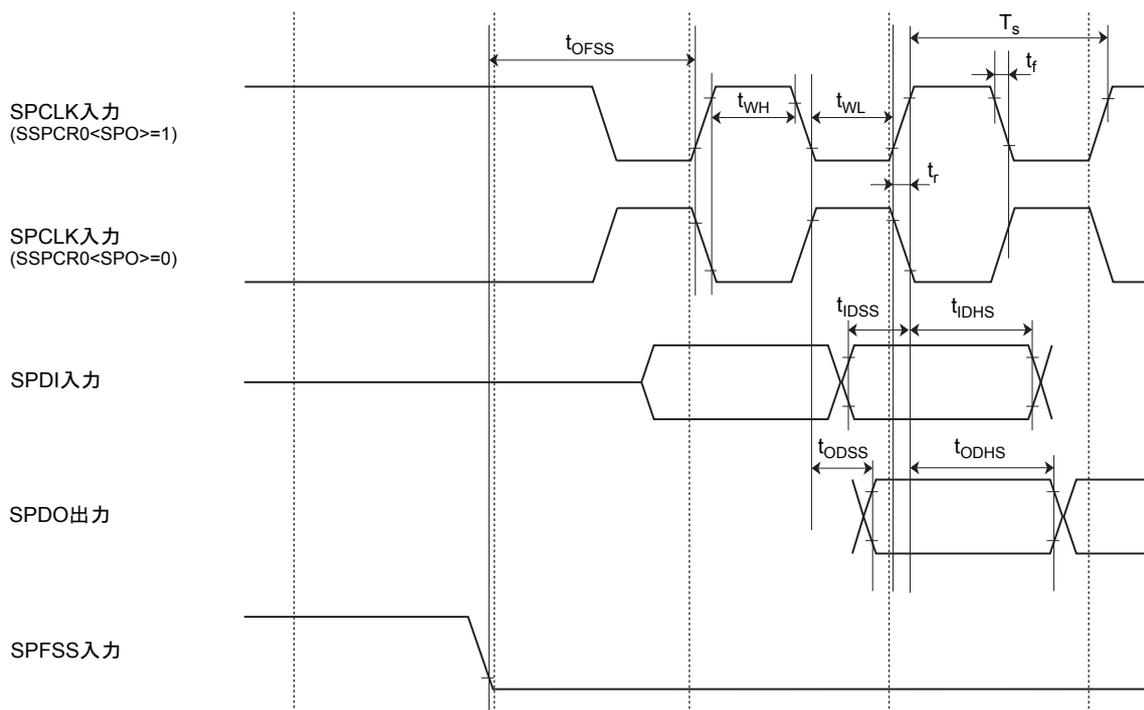
25.6.4.3 SSP の SPI モード (スレーブ)

- ・  $f_{sys} \geq 12 \times SPCLK$  (最大)
- ・  $f_{sys} \geq 65024 \times SPCLK$  (最小)

(3) スレーブ  $SSPCR0<SPH>="0"$  (1st エッジでデータをラッチ)



(4) スレーブ  $SSPCR0<SPH>="1"$  (2nd エッジでデータをラッチ)



### 25.6.5 イベントカウンタ

x は TMRB の動作クロックの周期を表します。TMRB の動作クロックは、システムクロック  $f_{sys}$  と同じ周期です。この周期は、クロックギアの設定に依存します。

項目	記号	計算式		40 MHz		単位
		Min	Max	Min	Max	
クロック低レベルパルス幅	$t_{VCKL}$	$2x + 100$	-	150	-	ns
クロック高レベルパルス幅	$t_{VCKH}$	$2x + 100$	-	150	-	ns

### 25.6.6 キャプチャ

x は TMRB の動作クロックの周期を表します。TMRB の動作クロックは、システムクロック  $f_{sys}$  と同じ周期です。この周期は、クロックギアの設定に依存します。

項目	記号	計算式		40 MHz		単位
		Min	Max	Min	Max	
低レベルパルス幅	$t_{CPL}$	$2x + 100$	-	150	-	ns
高レベルパルス幅	$t_{CPH}$	$2x + 100$	-	150	-	ns

### 25.6.7 外部割り込み

表中の x はシステムクロック  $f_{sys}$  の周期を表します。

#### 1. STOP 解除割り込み以外

項目	記号	計算式		40 MHz		単位
		Min	Max	Min	Max	
INT0 ~ F 低レベルパルス幅	$t_{INTAL}$	$x + 100$	-	125	-	ns
INT0 ~ F 高レベルパルス幅	$t_{INTAH}$	$x + 100$	-	125	-	ns

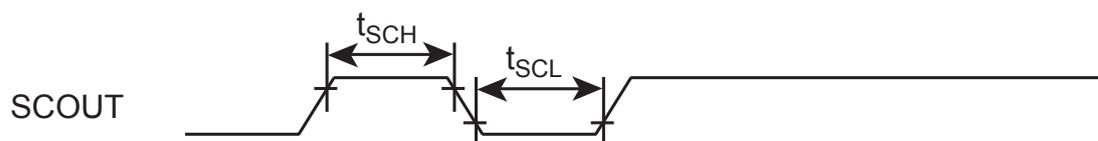
#### 2. STOP 解除割り込み

項目	記号	計算式		40 MHz		単位
		Min	Max	Min	Max	
INT0 ~ F 低レベルパルス幅	$t_{INTBL}$	100	-	100	-	ns
INT0 ~ F 高レベルパルス幅	$t_{INTBH}$	100	-	100	-	ns

## 25.6.8 SCOUT 端子 AC 特性

項目	記号	計算式		40 MHz		単位
		Min	Max	Min	Max	
高レベルパルス幅	$t_{SCH}$	$0.5T - 5$	-	7.5	-	ns
低レベルパルス幅	$t_{SCL}$	$0.5T - 5$	-	7.5	-	ns

注) 表中の T は SCOUT 出力波形の周期を示します。



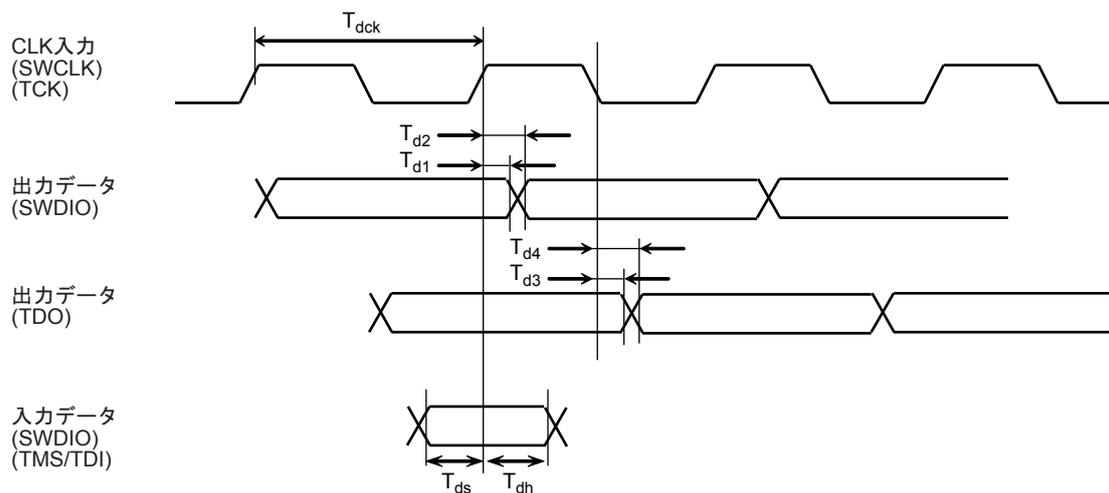
## 25.6.9 デバッグ通信

### 25.6.9.1 SWD インタフェース

項目	記号	Min	Max	単位
CLK 周期	$T_{dck}$	100	-	ns
CLK 立ち上がり → 出力データ保持	$T_{d1}$	4	-	
CLK 立ち上がり → 出力データ有効	$T_{d2}$	-	37	
入力データ有効 ← CLK 立ち上がり	$T_{ds}$	20	-	
CLK 立ち上がり → 入力データ保持	$T_{dh}$	15	-	

### 25.6.9.2 JTAG インタフェース

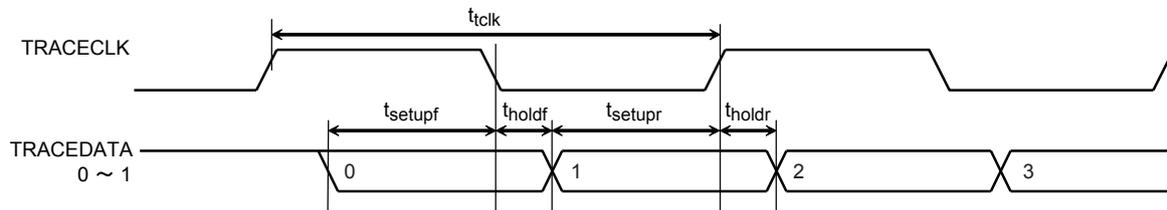
項目	記号	Min	Max	単位
CLK 周期	$T_{dck}$	100	-	ns
CLK 立ち下がり → 出力データ保持	$T_{d3}$	4	-	
CLK 立ち下がり → 出力データ有効	$T_{d4}$	-	37	
入力データ有効 ← CLK 立ち上がり	$T_{ds}$	20	-	
CLK 立ち上がり → 入力データ保持	$T_{dh}$	15	-	



### 25.6.10 ETM トレース

- 出力レベル: High =  $0.7 \times DVDD5$ , Low =  $0.3 \times DVDD5$
- 負荷容量: TRACECLK = 25pF, TRACEDATA = 20pF

項目	記号	Min	Max	単位
TRACECLK 周期	$t_{clk}$	50	-	ns
TRACEDATA 有効 ← TRACECLK 立ち上がり	$t_{setupr}$	2	-	
TRACECLK 立ち上がり → TRACEDATA 保持	$t_{holdr}$	1	-	
TRACEDATA 有効 ← TRACECLK 立ち下がり	$t_{setupf}$	2	-	
TRACECLK 立ち下がり → TRACEDATA 保持	$t_{holdf}$	1	-	



### 25.6.11 内蔵発振回路特性

項目	記号	条件	Min	Typ.	Max	単位
発振周波数	IHOSC	$T_a = 25^\circ\text{C}$	-	9.0	-	MHz
発振精度	-	$T_a = -40 \sim 85^\circ\text{C}$	-15	-	+15	%

注) 発振周波数精度を要求するシステムクロック(fsys)としては使用しないでください。

### 25.6.12 フラッシュ特性

項目	条件	Min	Typ.	Max	単位
フラッシュメモリ書き換え保証回数	$T_a = 0 \sim 70^\circ\text{C}$	-	-	100	回

## 25.7 発振回路

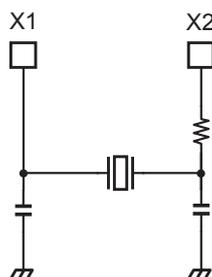


図 25-1 高周波発振回路例

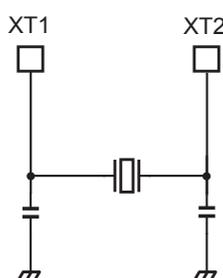


図 25-2 低周波発振回路例

注) 発振の安定には、発振子の位置、負荷容量を適切にする必要があります。これらは基板パターンにより大きな影響を受けます。安定した発振を得るため、ご使用される基板での評価をされるようお願いいたします。

本製品は、下記のメーカーの発振子を用いて評価しています。発振回路設計時に発振子の選択に活用願います。

### 25.7.1 セラミック発振子

本製品は(株)村田製作所製セラミック発振子を用いて評価しています。

(株)村田製作所の製品詳細につきましては、下記 URL の同社ホームページを参照してください。

<http://www.murata.co.jp>

### 25.7.2 水晶発振子

本製品は京セラクリスタルデバイス(株)製水晶発振子を用いて評価しています。

京セラクリスタルデバイス(株)の製品詳細につきましては、下記 URL の同社ホームページを参照してください。

<http://www.kyocera-crystal.jp>



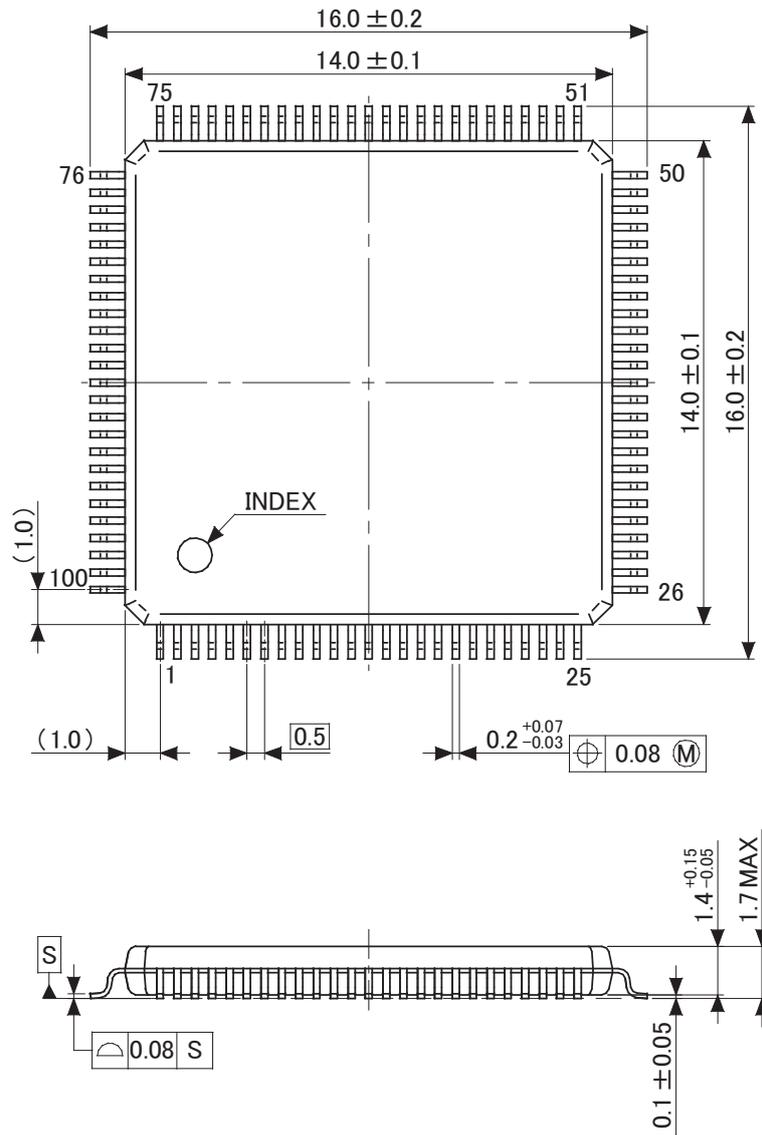
# 第 26 章 パッケージ寸法図

## 26.1 TMPM381FWFG

パッケージ型名:LQFP100-P-1414-0.50H

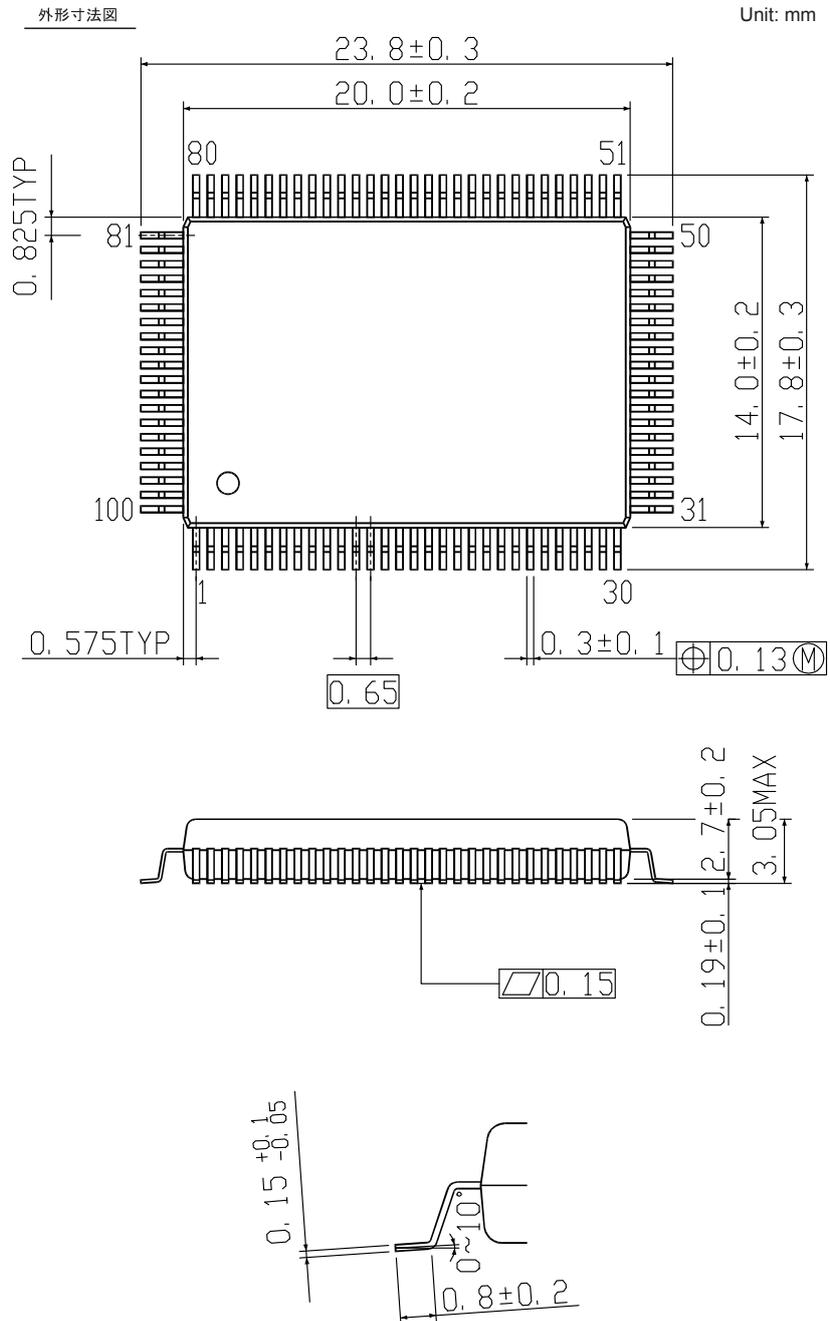
外形寸法図

"Unit:mm"



## 26.2 TMPM381FWDFG

パッケージ型名:QFP100-P-1420-0.65A

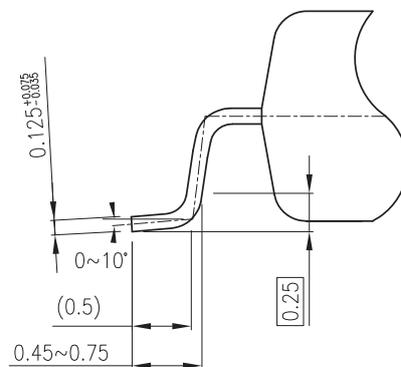
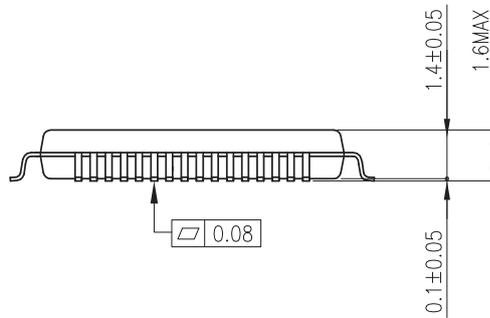
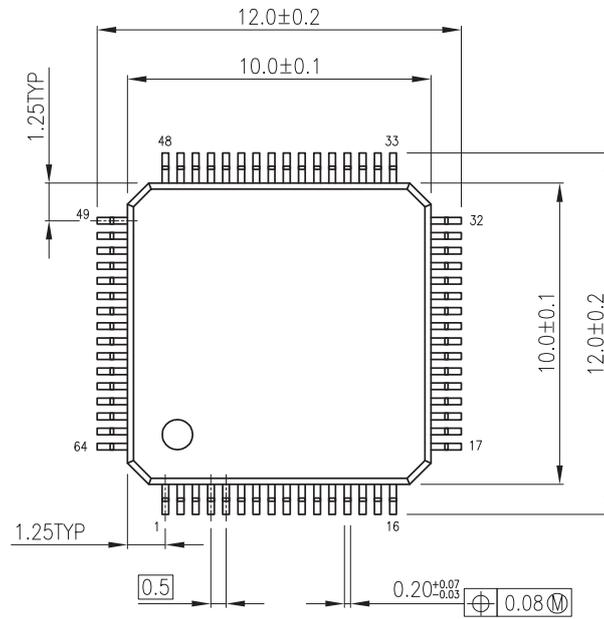


### 26.3 TMPM383FWUG/TMPM383FSUG

パッケージ型名:LQFP64-P-1010-0.50E

外形寸法図

"Unit:mm"

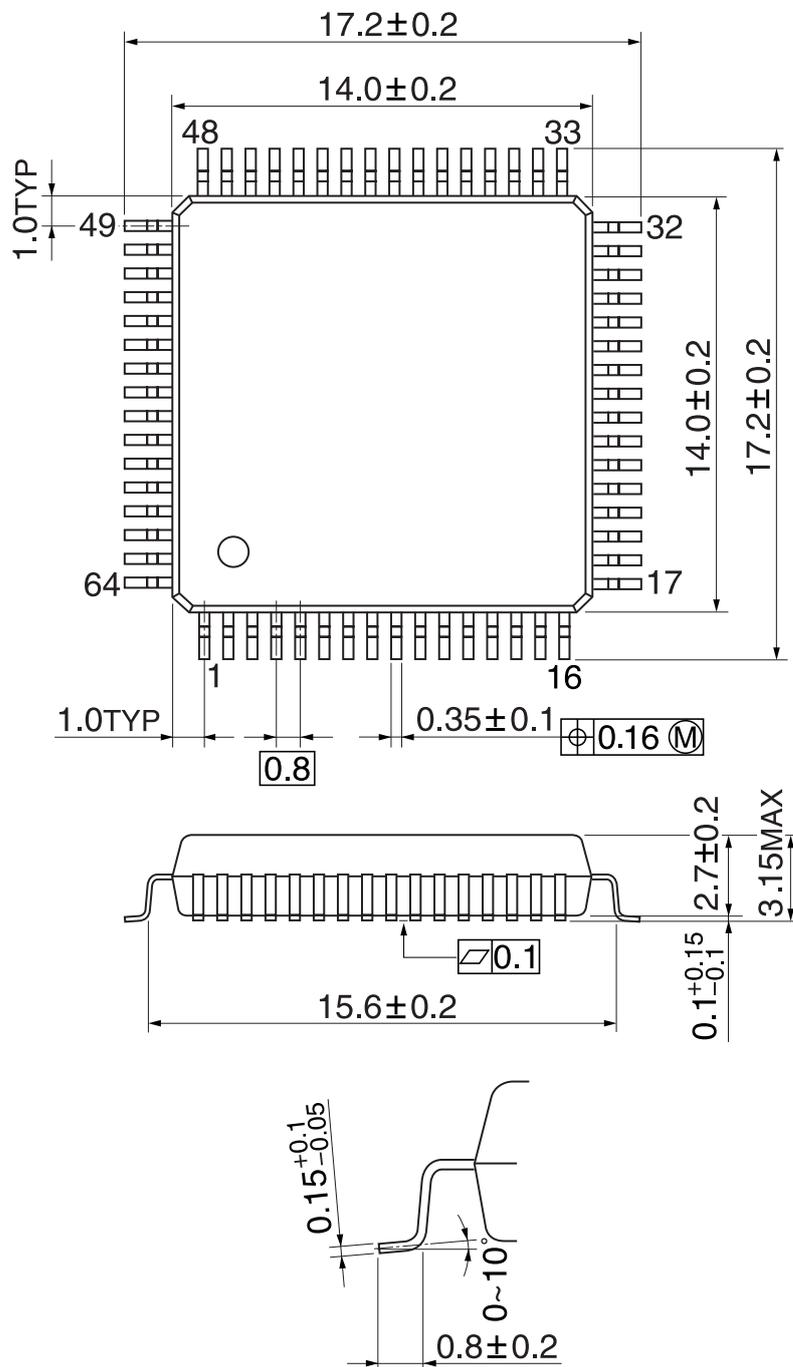


## 26.4 TPM383FWEFG/TPM383FSEFG

パッケージ型名:QFP64-P-1414-0.80A

外形寸法図

Unit: mm



## 製品取り扱い上のおお願い

株式会社東芝およびその子会社ならびに関係会社を以下「当社」といいます。  
本資料に掲載されているハードウェア、ソフトウェアおよびシステムを以下「本製品」といいます。

- 本製品に関する情報等、本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。また、文書による当社の事前の承諾を得て本資料を転載複製する場合でも、記載内容に一切変更を加えたり、削除したりしないでください。
- 当社は品質、信頼性の向上に努めていますが、半導体・ストレージ製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により生命・身体・財産が侵害されることのないように、お客様の責任において、お客様のハードウェア・ソフトウェア・システムに必要な安全設計を行うことをお願いします。なお、設計および使用に際しては、本製品に関する最新の情報（本資料、仕様書、データシート、アプリケーションノート、半導体信頼性ハンドブックなど）および本製品が使用される機器の取扱説明書、操作説明書などをご確認の上、これに従ってください。また、上記資料などに記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を使用する場合は、お客様の製品単独およびシステム全体で十分に評価し、お客様の責任において適用可否を判断してください。
- 本製品は、特別に高い品質・信頼性が要求され、またはその故障や誤作動が生命・身体に危害を及ぼす恐れ、膨大な財産損害を引き起こす恐れ、もしくは社会に深刻な影響を及ぼす恐れのある機器（以下“特定用途”という）に使用されることは意図されていませんし、保証もされていません。特定用途には原子力関連機器、航空・宇宙機器、医療機器（ヘルスケア除く）、車載・輸送機器、列車・船舶機器、交通信号機器、燃焼・爆発制御機器、各種安全関連機器、昇降機器、発電関連機器などが含まれますが、本資料に個別に記載する用途は除きます。特定用途に使用された場合には、当社は一切の責任を負いません。なお、詳細は当社営業窓口まで、または当社Webサイトのお問い合わせフォームからお問い合わせください。
- 本製品を分解、解析、リバースエンジニアリング、改造、改変、翻案、複製等しないでください。
- 本製品を、国内外の法令、規則及び命令により、製造、使用、販売を禁止されている製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 別途、書面による契約またはお客様と当社が合意した仕様書がない限り、当社は、本製品および技術情報に関して、明示的にも黙示的にも一切の保証（機能動作の保証、商品性の保証、特定目的への合致の保証、情報の正確性の保証、第三者の権利の非侵害保証を含むがこれに限らない。）をしておりません。
- 本製品、または本資料に掲載されている技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」、「米国輸出管理規則」等、適用ある輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
- 本製品のRoHS適合性など、詳細につきましては製品個別に必ず当社営業窓口までお問い合わせください。本製品のご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用ある環境関連法令を十分調査の上、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。