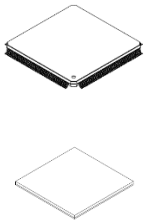
CMOS 形デジタル集積回路シリコンモノリシック

TXZ+ファミリー TMPM4G グループ(1)



LQFP176(20x20mm，0.4mm ピッチ)
LQFP144(20x20mm，0.5mm ピッチ)
LQFP100(14x14mm，0.5mm ピッチ)

VFBGA177(13x13mm，0.8mm ピッチ)
VFBGA145(12x12mm，0.8mm ピッチ)

概要

- Arm® Cortex®-M4(FPU 機能搭載)
- 動作周波数: 1~200MHz、動作電圧: 2.7~3.6V
- 512K~2048K バイトコードフラッシュ、32K バイトデータフラッシュ
- 高速 12bitAD コンバーター、豊富なタイマー/シリアルチャネル内蔵

用途

OA/デジタル製品や産業機器など高速データ処理が必要な製品に使用可能

特長

- Arm Cortex-M4 (FPU 機能搭載)
  - 動作周波数: 1~200MHz
  - メモリー保護ユニット(MPU)搭載
- 電源電圧と低消費電力モード
  - 動作電圧: 2.7 ~ 3.6V
  - 低消費電力動作: IDLE、STOP1、STOP2
- 動作温度範囲: －40~＋85°C @ 動作周波数 1~200MHz
- 内蔵メモリー
  - コードフラッシュ: 512K~2048KB、書き換え: 10 万回
  - データフラッシュ: 32KB、書き換え: 10 万回
  - 命令実行と並行してデータフラッシュを書き換え可能
  - RAM: 192K ~ 256KB＋バックアップ RAM: 2KB(全製品)
- クロック
  - 外部高速発振器: 8MHz ~ 20MHz (セラミック、水晶)
  - 外部高速クロック入力: 8MHz ~ 24MHz
  - 内蔵高速発振器 1 (IHOSC1): 10MHz、ユーザートリミング
  - 内蔵高速発振器 2 (IHOSC2): 10MHz
  - PLL: 200MHz 出力
  - 外部低速発振器: 32.768kHz
- 周波数検知回路 (OFD): システムクロック異常検知
- 電圧検知回路 (LVD): 7 レベル、割り込みとリセット出力選択
- 割り込み
  - 外部要因: 12 ~ 16
    (外部端子: 17 ~ 32 本, DNF(デジタルノイズフィルター)付き)
  - 内部要因: 109 ~ 145
- 入出力ポート 91~155 本(入力: 4 本、出力: 1 本)
  - プルアップ/ダウン、オープンドレイン
  - 5V トレラント、3V トレラントあり
- オンチップデバッグ (JTAG/SW)、NBDIF (RAM モニター)
- トリガーセレクター (TRGSEL)
  - DMA コントローラーやタイマーカウンターなどの起動要因を拡張
- DMA コントローラー: 3 ユニット
  - MDMAC: 1 ユニット、起動要因: 30 ~ 32 本、内部/外部トリガー
  - HDMAC: 2 ユニット、起動要因: 13 ~ 15 本、内部/外部トリガー
- 外部バスインターフェース(EBIF)
  - 64MB (プログラム/データ共通)まで拡張可能
  - 外部データバス (セパレートバス/マルチプレクスバス) : 8/16 ビット幅
  - チップセレクトコントローラー : 4 チャネル
- 非同期シリアル通信回路
  - UART: 3 ~ 6 チャネル、最大 5.0Mbps、FIFO (送信 8 段、受信 8 段)
  - FUART: 1 ~ 2 チャネル、最大 2.5Mbps、FIFO (送信 32 段、受信 32 段)、IrDA 最大 115.2Kbps
- シリアルペリフェラルインターフェース (TSPI): 5 ~ 9 チャネル
  - SIO/SPI モード、最大 25MHz
  - FIFO (送信 16 ビット x 8 段、受信 16 ビット x 8 段)
  - フレームモード/セクターモード

製品量産開始時期
2021-07

© 2021
Toshiba Electronic Devices & Storage Corporation

- 同期シリアルインターフェース (TSSI) : 2 チャネル
  - 送信部/受信部が独立通信可能。協調動作で全二重通信可能。
  - FIFO (送信 32 ビット x 4 段、受信 32 ビット x 4 段)
- I^2C インターフェース
  - I^2C インターフェース (I2C): 3 ~ 5 チャネル
    マルチマスター、標準モード/ファストモード対応
    7-bit アドレッシングフォーマット対応
  - I^2C インターフェース バージョン A (EI2C): 3 ~ 5 チャネル
    マルチマスター、標準モード/ファストモード/ファストモードプラス対応
    7/10-bit アドレッシングフォーマット対応

  注) I2C と EI2C は排他的に使用可能です。
- シリアルメモリーインターフェース (SMIF): 1 チャネル
  - 最大 1 つのシリアルメモリーを接続可能
  - メモリー容量 64K ~ 128M バイト
  - SPI、Quad、QPI、Octal、OPI
- CEC 制御回路(CEC): 1 チャネル
- 8 ビット DA コンバーター (DAC): 2 チャネル
- 12 ビット AD コンバーター (ADC): 16~24 チャネル入力
  - サンプル＆ホールド回路内蔵
  - 変換時間: 1.0μs @f_{ADCLK}=60MHz
- アドバンストプログラマブルモーター制御回路 (A-PMD): 1チャネル
  - 3 相相補 PWM 出力, 12 ビット ADC との同期動作
  - 外部入力による緊急停止機能 (EMG0 端子、OVV0 端子)
- 32 ビットタイマーイベントカウンター (T32A)
  - 32 ビットタイマー時 16 チャネル、16 ビットタイマー時 32 チャネル
  - インターバルタイマー、イベントカウント、2相カウンター入力、
    インプットキャプチャー、PPG 出力、同期スタート、
    トリガースタート
- インターバルセンサー検知回路 (ISD): 3 ユニット
  - 1 ユニット当たり 4 本の入力が可能
  - ユニット同期モードで、最大 12 本を同時サンプリング可能
  - 低速発振器 (32.768kHz)および 32 ビットタイマー出力をサンプリングクロックとして使用可能
- I^2S インターフェース (I2S): 2 チャネル
  - 音声データフォーマット: I^2S ステレオ/LR ステレオ/PCM モノラル
  - サンプリング周波数 : ステレオ 最大 192kHz、モノラル 最大 384kHz
- FIR 計算回路 (FIR): 1 チャネル
  - I^2S インターフェース専用機能
  - 音声データを積和演算処理
- ロングタームタイマー (LTTMR): 1 チャネル
  - 0.1μs ~ 6553.5μs のインターバル時間が設定可能
- リアルタイムクロック (RTC): 1 チャネル
- クロック選択式ウオッチドッグタイマー (SIWDT): 1 チャネル
  - システムクロックと別系統のクロックを選択
  - クリアウインドウ、割り込みとリセット出力選択
- リモコン受信回路 (RMC) : 1 ~ 2 チャネル
- バウンダリースキャン (BSC)対応

機能別製品一覧

この表は開発中製品を含みます。
各製品の最新開発状況は、弊社営業担当までお問い合わせください。

表 1.1 TMPM4GR (1/2)

内蔵機能		TMPM4GRF20FG	TMPM4GRF15FG	TMPM4GRF10FG	TMPM4GRFDFG
Memory	Code Flash (KB)	2048	1536	1024	512
	Data Flash (KB)	32	32	32	32
	RAM (KB)	256	256	256	192
	Backup RAM (KB)	2	2	2	2
I/O port	PORT (pin)	155	155	155	155
External interrupt	Factor	16	16	16	16
	Pin	32	32	32	32
External bus	EBIF	Separate bus /Multiplexed bus	Separate bus /Multiplexed bus	Separate bus /Multiplexed bus	Separate bus /Multiplexed bus
DMAC	MDMAC (ch)	32	32	32	32
	HDMAC (ch)	15	15	15	15
Timer function	T32A (ch)	16	16	16	16
	LTTMR (ch)	1	1	1	1
	RTC (ch)	1	1	1	1
Serial communication function	UART (ch)	6	6	6	6
	FUART (ch)	2	2	2	2
	I2C/EI2C (ch)	5/5	5/5	5/5	5/5
	TSPI (ch)	9	9	9	9
	TSSI (ch)	2	2	2	2
	SMIF (ch)	1	1	1	1
	CEC (ch)	1	1	1	1
Analog function	12-bit ADC (ch)	24	24	24	24
	8-bit DAC (ch)	2	2	2	2
Motor control function	A-PMD (ch)	1	1	1	1
Remote Control preprocessor	RMC (ch)	2	2	2	2
Interval Sensor Detection	ISD (unit)	3	3	3	3
Inter-IC Sound	I2S (ch)	2	2	2	2
Finite Impulse Response	FIR (ch)	1	1	1	1
System function	LVD (ch)	1	1	1	1
	SIWDT (ch)	1	1	1	1
	OFD (ch)	1	1	1	1
	POR	1	1	1	1
Debug interface	Debug	On-chip debug (JTAG/SW) TRACE(4bits) NBDIF	On-chip debug (JTAG/SW) TRACE(4bits) NBDIF	On-chip debug (JTAG/SW) TRACE(4bits) NBDIF	On-chip debug (JTAG/SW) TRACE(4bits) NBDIF
Package	Package type	LQFP176 (20 mm x 20 mm, 0.4 mm pitch)			

表 1.2 TMPM4GR (2/2)

内蔵機能		TMPM4GRF20XBG	TMPM4GRF15XBG	TMPM4GRF10XBG	TMPM4GRFDXBG
Memory	Code Flash (KB)	2048	1536	1024	512
	Data Flash (KB)	32	32	32	32
	RAM (KB)	256	256	256	192
	Backup RAM (KB)	2	2	2	2
I/O port	PORT (pin)	155	155	155	155
External interrupt	Factor	16	16	16	16
	Pin	32	32	32	32
External bus	EBIF	Separate bus /Multiplexed bus	Separate bus /Multiplexed bus	Separate bus /Multiplexed bus	Separate bus /Multiplexed bus
DMAC	MDMAC (ch)	32	32	32	32
	HDMAC (ch)	15	15	15	15
Timer function	T32A (ch)	16	16	16	16
	LTTMR (ch)	1	1	1	1
	RTC (ch)	1	1	1	1
Serial communication function	UART (ch)	6	6	6	6
	FUART (ch)	2	2	2	2
	I2C/EI2C (ch)	5/5	5/5	5/5	5/5
	TSPI (ch)	9	9	9	9
	TSSI (ch)	2	2	2	2
	SMIF (ch)	1	1	1	1
	CEC (ch)	1	1	1	1
Analog function	12-bit ADC (ch)	24	24	24	24
	8-bit DAC (ch)	2	2	2	2
Motor control function	A-PMD (ch)	1	1	1	1
Remote Control preprocessor	RMC (ch)	2	2	2	2
Interval Sensor Detection	ISD (unit)	3	3	3	3
Inter-IC Sound	I2S (ch)	2	2	2	2
Finite Impulse Response	FIR (ch)	1	1	1	1
System function	LVD (ch)	1	1	1	1
	SIWDT (ch)	1	1	1	1
	OFD (ch)	1	1	1	1
	POR	1	1	1	1
Debug interface	Debug	On-chip debug (JTAG/SW) TRACE(4bits) NBDIF	On-chip debug (JTAG/SW) TRACE(4bits) NBDIF	On-chip debug (JTAG/SW) TRACE(4bits) NBDIF	On-chip debug (JTAG/SW) TRACE(4bits) NBDIF
Package	Package type	VFBGA177 (13 mm x 13 mm, 0.8 mm pitch)			

表 1.3 TMPM4GQ (1/2)

内蔵機能		TMPM4GQF20FG	TMPM4GQF15FG	TMPM4GQF10FG	TMPM4GQFDFG
Memory	Code Flash (KB)	2048	1536	1024	512
	Data Flash (KB)	32	32	32	32
	RAM (KB)	256	256	256	192
	Backup RAM (KB)	2	2	2	2
I/O port	PORT (pin)	127	127	127	127
External interrupt	Factor	16	16	16	16
	Pin	25	25	25	25
External bus	EBIF	Separate bus /Multiplexed bus	Separate bus /Multiplexed bus	Separate bus /Multiplexed bus	Separate bus /Multiplexed bus
DMAC	MDMAC (ch)	32	32	32	32
	HDMAC (ch)	15	15	15	15
Timer function	T32A (ch)	16	16	16	16
	LTTMR (ch)	1	1	1	1
	RTC (ch)	1	1	1	1
Serial communication function	UART (ch)	5	5	5	5
	FUART (ch)	2	2	2	2
	I2C/EI2C (ch)	5/5	5/5	5/5	5/5
	TSPI (ch)	8	8	8	8
	TSSI (ch)	1	1	1	1
	SMIF (ch)	1	1	1	1
	CEC (ch)	1	1	1	1
Analog function	12-bit ADC (ch)	24	24	24	24
	8-bit DAC (ch)	2	2	2	2
Motor control function	A-PMD (ch)	1	1	1	1
Remote Control preprocessor	RMC (ch)	2	2	2	2
Interval Sensor Detection	ISD (unit)	2	2	2	2
Inter-IC Sound	I2S (ch)	2	2	2	2
Finite Impulse Response	FIR (ch)	1	1	1	1
System function	LVD (ch)	1	1	1	1
	SIWDT (ch)	1	1	1	1
	OFD (ch)	1	1	1	1
	POR	1	1	1	1
Debug interface	Debug	On-chip debug (JTAG/SW) TRACE(4bits) NBDIF	On-chip debug (JTAG/SW) TRACE(4bits) NBDIF	On-chip debug (JTAG/SW) TRACE(4bits) NBDIF	On-chip debug (JTAG/SW) TRACE(4bits) NBDIF
Package	Package type	LQFP144 (20 mm x 20 mm, 0.5 mm pitch)			

表 1.4 TMPM4GQ (2/2)

内蔵機能		TMPM4GQF20XBG	TMPM4GQF15XBG	TMPM4GQF10XBG	TMPM4GQFDXBG
Memory	Code Flash (KB)	2048	1536	1024	512
	Data Flash (KB)	32	32	32	32
	RAM (KB)	256	256	256	192
	Backup RAM (KB)	2	2	2	2
I/O port	PORT (pin)	127	127	127	127
External interrupt	Factor	16	16	16	16
	Pin	25	25	25	25
External bus	EBIF	Separate bus /Multiplexed bus	Separate bus /Multiplexed bus	Separate bus /Multiplexed bus	Separate bus /Multiplexed bus
DMAC	MDMAC (ch)	32	32	32	32
	HDMAC (ch)	15	15	15	15
Timer function	T32A (ch)	16	16	16	16
	LTTMR (ch)	1	1	1	1
	RTC (ch)	1	1	1	1
Serial communication function	UART (ch)	5	5	5	5
	FUART (ch)	2	2	2	2
	I2C/EI2C (ch)	5/5	5/5	5/5	5/5
	TSPI (ch)	8	8	8	8
	TSSI (ch)	1	1	1	1
	SMIF (ch)	1	1	1	1
	CEC (ch)	1	1	1	1
Analog function	12-bit ADC (ch)	24	24	24	24
	8-bit DAC (ch)	2	2	2	2
Motor control function	A-PMD (ch)	1	1	1	1
Remote Control preprocessor	RMC (ch)	2	2	2	2
Interval Sensor Detection	ISD (unit)	2	2	2	2
Inter-IC Sound	I2S (ch)	2	2	2	2
Finite Impulse Response	FIR (ch)	1	1	1	1
System function	LVD (ch)	1	1	1	1
	SIWDT (ch)	1	1	1	1
	OFD (ch)	1	1	1	1
	POR	1	1	1	1
Debug interface	Debug	On-chip debug (JTAG/SW) TRACE(4bits) NBDIF	On-chip debug (JTAG/SW) TRACE(4bits) NBDIF	On-chip debug (JTAG/SW) TRACE(4bits) NBDIF	On-chip debug (JTAG/SW) TRACE(4bits) NBDIF
Package	Package type	VFBGA145 (12 mm x 12 mm, 0.8 mm pitch)			

表 1.5 TMPM4GN (1/1)

内蔵機能		TMPM4GNF20FG	TMPM4GNF15FG	TMPM4GNF10FG	TMPM4GNFDFG
Memory	Code Flash (KB)	2048	1536	1024	512
	Data Flash (KB)	32	32	32	32
	RAM (KB)	256	256	256	192
	Backup RAM (KB)	2	2	2	2
I/O port	PORT (pin)	91	91	91	91
External interrupt	Factor	12	12	12	12
	Pin	17	17	17	17
External bus	EBIF	Separate bus /Multiplexed bus	Separate bus /Multiplexed bus	Separate bus /Multiplexed bus	Separate bus /Multiplexed bus
DMAC	MDMAC (ch)	30	30	30	30
	HDMAC (ch)	13	13	13	13
Timer function	T32A (ch)	16	16	16	16
	LTTMR (ch)	1	1	1	1
	RTC (ch)	1	1	1	1
Serial communication function	UART (ch)	3	3	3	3
	FUART (ch)	1	1	1	1
	I2C/EI2C (ch)	3/3	3/3	3/3	3/3
	TSPI (ch)	5	5	5	5
	TSSI (ch)	1	1	1	1
	SMIF (ch)	1	1	1	1
	CEC (ch)	1	1	1	1
Analog function	12-bit ADC (ch)	16	16	16	16
	8-bit DAC (ch)	2	2	2	2
Motor control function	A-PMD (ch)	1	1	1	1
Remote Control preprocessor	RMC (ch)	1	1	1	1
Interval Sensor Detection	ISD (unit)	1	1	1	1
Inter-IC Sound	I2S (ch)	2	2	2	2
Finite Impulse Response	FIR (ch)	1	1	1	1
System function	LVD (ch)	1	1	1	1
	SIWDT (ch)	1	1	1	1
	OFD (ch)	1	1	1	1
	POR	1	1	1	1
Debug interface	Debug	On-chip debug (JTAG/SW) TRACE(4bits) NBDIF	On-chip debug (JTAG/SW) TRACE(4bits) NBDIF	On-chip debug (JTAG/SW) TRACE(4bits) NBDIF	On-chip debug (JTAG/SW) TRACE(4bits) NBDIF
Package	Package type	LQFP100 (14 mm x 14 mm, 0.5 mm pitch)			

目次

概要 1
用途 1
特長 1
機能別製品一覧 3
目次 8
図目次 12
表目次 13
序章 15
表記規約 15
用語・略語 17
1. ブロック図 18
2. 端子配置図 19
2.1. LQFP176 19
2.2. LQFP144 20
2.3. LQFP100 21
2.4. VFBGA177 22
2.5. VFBGA145 23
3. メモリーマップ 24
3.1. メモリー容量一覧 25
4. 端子説明 26
4.1. 機能端子名称と機能 26
4.1.1. 周辺機能端子 26
4.1.2. デバッグ端子 29
4.1.3. 制御端子 30
4.1.4. 電源端子 31
4.2. 機能端子とポート割り当て (端子番号) 32
4.3. ポート 52
4.3.1. ポート仕様一覧 53
5. 機能説明・動作説明 58
5.1. リファレンスマニュアル 58
5.2. プロセッサーコア 59
5.2.1. コアに関する情報 59
5.2.2. 構成可能なオプション 59
5.3. クロック制御回路 (CG) 60
5.4. フラッシュメモリー(コードフラッシュ、データフラッシュ) 60

5.5. 発振器 61
5.6. トリミング回路 (TRM) 61
5.7. 周波数検知回路 (OFD) 61
5.8. 電圧検知回路 (LVD) 62
5.9. デジタルノイズフィルター回路 (DNF) 62
5.10. デバッグインターフェース (DEBUG) 63
5.11. ノンブレークデバッグインターフェース (NBDIF) 63
5.12. インターバルセンサー検知回路 (ISD) 64
5.13. I²S インターフェース (I2S) 64
5.14. FIR 計算回路 (FIR) 64
5.15. DMA コントローラー 65
5.15.1. 多機能 DMA コントローラー (MDMAC) 65
5.15.2. 高速 DMA コントローラー (HDMAC) 65
5.16. 外部バスインターフェース (EBIF) 65
5.17. シリアルメモリーインターフェース (SMIF) 66
5.18. 非同期シリアル通信回路 66
5.18.1. 非同期シリアル通信回路 (UART) 66
5.18.2. 高精度非同期シリアル通信回路 (FUART) 67
5.19. シリアルペリフェラルインターフェース (TSPI) 67
5.20. 同期シリアルインターフェース (TSSI) 68
5.21. I²C インターフェース 68
5.21.1. I²C インターフェース (I2C) 68
5.21.2. I²C インターフェース バージョン A (EI2C) 68
5.22. CEC 制御回路 (CEC) 69
5.23. 8 ビットデジタルアナログコンバーター (DAC) 69
5.24. 12 ビットアナログデジタルコンバーター (ADC) 69
5.25. アドバンストプログラマブルモーター制御回路 (A-PMD) 70
5.26. タイマーイベントカウンター (T32A) 70
5.27. ロングタームタイマー (LTTMR) 71
5.28. リアルタイムクロック (RTC) 71
5.29. クロック選択式ウオッチドッグタイマー (SIWDT) 71
5.30. リモコン受信回路 (RMC) 72
5.31. バウンダリースキャン (BSC) 72
6. 等価回路図 73
6.1. ポート 73
6.2. アナログ端子 78
6.3. 制御端子 78
6.4. クロック制御 79

7. 電気的特性 80
7.1. 絶対最大定格 80
7.2. DC 電気的特性 (1/2) 81
7.3. DC 電気的特性 (2/2) (消費電流) 85
7.4. 12 ビット AD コンバーター特性 87
7.5. 8 ビット DA コンバーター変換特性 87
7.6. リセット時内部処理特性 88
7.7. パワーオンリセット特性 88
7.8. PORF 特性 88
7.9. 電圧検知回路特性 89
7.10. AC 電気的特性 90
7.10.1. シリアルペリフェラルインターフェース (TSPI) 90
7.10.2. I²C インターフェース (I2C) 95
7.10.3. I²C インターフェース バージョン A (EI2C-A) 97
7.10.4. 32 ビットタイマーイベントカウンター (T32A) 99
7.10.5. 外部バスインターフェース (EBIF) 101
7.10.6. シリアルメモリーインターフェース (SMIF) 115
7.10.7. I²S インターフェース (I2S) 117
7.10.8. 同期シリアルインターフェース (TSSI) 119
7.10.9. 外部割り込み 121
7.10.10. 端子トリガー入力 (TRGINx) 122
7.10.11. デバッグ通信 123
7.10.12. 外部クロック入力 127
7.11. フラッシュ特性 128
7.11.1. コードフラッシュ 128
7.11.2. データフラッシュ 128
7.11.3. チップ消去 129
7.12. レギュレーター 129
7.13. 発振回路 130
7.13.1. 内蔵発振器 130
7.13.2. 外部発振器 130
7.13.3. セラミック発振子 131
7.13.4. 水晶発振子 131
7.13.5. プリント基板の設計に関する注意 131
8. 外形寸法図 132
8.1. P-LQFP176-2020-0.40-002 132
8.2. P-LQFP144-2020-0.50-002 133
8.3. P-LQFP100-1414-0.50-002 134
8.4. P-VFBGA177-1313-0.80-001 135

8.5. P-VFBGA145-1212-0.80-001 136
9. 使用上のご注意およびお願い事項 137
10. 改訂履歴 138
Appendix 139
全端子一覧表 139
品番付与情報 142
製品取り扱い上のお願い 143

図目次

図 1.1 TMPM4G グループ(1)のブロック図 18
図 3.1 TMPM4GRF20 のメモリーマップ例 24
図 7.1 1st クロックエッジサンプリング (マスター) 93
図 7.2 2nd クロックエッジサンプリング (マスター) 93
図 7.3 1st クロックエッジサンプリング (スレーブ) 94
図 7.4 2nd クロックエッジサンプリング (スレーブ) 94
図 7.5 I^2C インターフェースの AC タイミング 96
図 7.6 I^2C インターフェースバージョン A の AC タイミング 98
図 7.7 カウントパルス入力 100
図 7.8 リードサイクル(最短サイクル)タイミング 103
図 7.9 リードサイクル(6 クロック/1 バスサイクル)タイミング 103
図 7.10 リードサイクル(外部ウエイト)タイミング 104
図 7.11 ライトサイクル(最短サイクル)タイミング 104
図 7.12 ライトサイクル (6 クロック/1 バスサイクル)タイミング 105
図 7.13 ライトサイクル(外部ウエイト)タイミング 105
図 7.14 リードサイクル(最短サイクル)タイミング 107
図 7.15 リードサイクル(8 クロック/1 バスサイクル)タイミング 108
図 7.16 リードサイクル(10 クロック/1 バスサイクル)タイミング 109
図 7.17 リードサイクル(外部ウエイト)タイミング 110
図 7.18 ライトサイクル(最短サイクル)タイミング 111
図 7.19 ライトサイクル(8 クロック/1 バスサイクル)タイミング 112
図 7.20 ライトサイクル(外部ウエイト)タイミング 113
図 7.21 EEXBCLK 同期セパレートバスモード/マルチプレクスバスモードタイミング 114
図 7.22 SMIF Input タイミング 115
図 7.23 SMIF Output タイミング 116
図 7.24 I^2S インターフェースマスターモード 117
図 7.25 I^2S インターフェーススレーブモード 118
図 7.26 マスター動作 119
図 7.27 スレーブ動作 120
図 7.28 JTAG/SWD 波形 124
図 7.29 トレース信号波形 125
図 7.30 NBDIF 波形 126
図 7.31 外部クロック入力波形 127
図 7.32 発振回路例 130

表目次

表 1.1 TMPM4GR (1/2) 3
表 1.2 TMPM4GR (2/2) 4
表 1.3 TMPM4GQ (1/2) 5
表 1.4 TMPM4GQ (2/2) 6
表 1.5 TMPM4GN (1/1) 7
表 3.1 メモリー容量とアドレス 25
表 4.1 周辺端子名称と機能 (1/3) 26
表 4.2 周辺端子名称と機能 (2/3) 27
表 4.3 周辺端子名称と機能 (3/3) 28
表 4.4 デバッグ端子名称と機能 29
表 4.5 制御端子名称と機能 30
表 4.6 電源端子名称と機能 31
表 4.7 信号接続一覧: UART ch 0, 1 32
表 4.8 信号接続一覧: UART ch 2, 3, 4 33
表 4.9 信号接続一覧: UART ch5/FUART ch0, 1/I2C ch 0, 1, 2/EI2C ch 0, 1, 2 34
表 4.10 信号接続一覧: I2C ch 3, 4/EI2C ch 3, 4/ISD unit A, B, C/I2S ch 0 35
表 4.11 信号接続一覧: I2S ch 1/TSPI ch 0, 1, 2 36
表 4.12 信号接続一覧: TSPI ch 3, 4, 5, 6, 7, 8 37
表 4.13 信号接続一覧: TSSI ch 0,1/SMIF ch 0 38
表 4.14 信号接続一覧: T32A ch 0, 1 39
表 4.15 信号接続一覧: T32A ch 2, 3 40
表 4.16 信号接続一覧: T32A ch 4, 5 41
表 4.17 信号接続一覧: T32A ch 6, 7 42
表 4.18 信号接続一覧: T32A ch 8, 9 43
表 4.19 信号接続一覧: T32A ch 10, 11 44
表 4.20 信号接続一覧: T32A ch 12, 13/EBIF (1/3) 45
表 4.21 信号接続一覧: EBIF (2/3) 46
表 4.22 信号接続一覧: EBIF (3/3)/NBD 47
表 4.23 信号接続一覧: ADC unit A/DAC ch 0, 1/TRGSEL 48
表 4.24 信号接続一覧: A-PMD ch0/ CEC ch0/RTC/RMC ch 0, 1/HDMAC unit A, B /JTAG/SW/TRACE 49
表 4.25 信号接続一覧: INT 50
表 4.26 信号接続一覧: 制御/電源 51
表 4.27 ポート A, B, C, D のポート名、仕様 53
表 4.28 ポート E, F, G, H のポート名、仕様 54
表 4.29 ポート J, K, L, M のポート名、仕様 55
表 4.30 ポート N, P, R, T のポート名、仕様 56
表 4.31 ポート U, V, W, Y のポート名、仕様 57
表 5.1 TMPM4G グループ(1)リファレンスマニュアル一覧 58
表 5.2 コアリビジョン 59
表 5.3 構成可能なオプションと実装 59
表 5.4 搭載発振器 61
表 5.5 TRM 搭載一覧 61
表 5.6 OFD 搭載一覧 61
表 5.7 LVD 搭載一覧 62
表 5.8 外部割り込み端子数(DNF 搭載数) 62
表 5.9 DEBUG 搭載一覧 63
表 5.10 NBDIF 搭載一覧 63
表 5.11 ISD 搭載一覧 64
表 5.12 I2S 搭載一覧 64

表 5.13 FIR 搭載一覧 64
表 5.14 MDMAC 搭載一覧 65
表 5.15 HDMAC 搭載一覧 65
表 5.16 EBIF 搭載一覧 65
表 5.17 SMIF 搭載一覧 66
表 5.18 UART 搭載一覧 66
表 5.19 FUART 搭載一覧 67
表 5.20 TSPI 搭載一覧 67
表 5.21 TSSI 搭載一覧 68
表 5.22 I2C/EI2C 搭載一覧 68
表 5.23 CEC 搭載一覧 69
表 5.24 DAC 搭載一覧 69
表 5.25 ADC 搭載一覧 69
表 5.26 アナログ入力数 69
表 5.27 A-PMD 搭載一覧 70
表 5.28 T32A 搭載一覧 70
表 5.29 LTTMR 搭載一覧 71
表 5.30 RTC 搭載一覧 71
表 5.31 SIWDT 搭載一覧 71
表 5.32 RMC 搭載一覧 72
表 5.33 バウンダリースキャン搭載一覧 72
表 7.1 絶対最大定格 80
表 7.2 IDD 測定条件 (端子設定、発振回路) 85
表 7.3 IDD 測定条件 (CPU、周辺回路) 86
表 10.1 改訂履歴 138

序章

表記規約

- 数値表記は以下の規則に従います。
  16 進数表記: 0xABC
  10 進数表記: 123 または 0d123 (10 進表記であることを示す必要のある場合だけ使用)
  2 進数表記: 0b111 (ビット数が本文中に明記されている場合は「0b」を省略可)
- ローアクティブの信号は信号名の末尾に「_N」で表記します。
- 信号がアクティブレベルに移ることを「アサート (assert)」アクティブでないレベルに移ることを「デアサート (deassert)」と呼びます。
- 複数の信号名は [m:n]とまとめて表記する場合があります。
  例: S[3: 0] は S3,S2,S1,S0 の 4 つの信号名をまとめて表記しています。
- 本文中 ***[ ]*** で囲まれたものはレジスターを定義しています。
  例: ***[ABCD]***
- 同種で複数のレジスター、フィールド、ビット名は「n」で一括表記する場合があります。
  例: ***[XYZ1], [XYZ2], [XYZ3] → [XYZn]***
- 「レジスター一覧」中のレジスター名でユニットまたはチャネルは「x」で一括表記しています。
  ユニットの場合、「x」は A,B,C...を表します。
  例: ***[ADACR0], [ADBCR0], [ADCCR0]→[ADxCR0]***
  チャネルの場合、「x」は 0,1,2,..を表します。
  例: ***[T32A0RUNA], [T32A1RUNA], [T32A2RUNA]→[T32AxRUNA]***
- レジスターのビット範囲は [m:n] と表記します。
  例: [3: 0] はビット 3 から 0 の範囲を表します。
- レジスターの設定値は 16 進数または 2 進数のどちらかで表記されています。
  例: ***[ABCD]***<EFG> = 0x01 (16 進数)、 ***[XYZn]***<VW> = 1 (2 進数)
- ワード、バイトは以下のビット長を表します。
  バイト: 8 ビット
  ハーフワード: 16 ビット
  ワード: 32 ビット
  ダブルワード: 64 ビット
- レジスター内の各ビットの属性は以下の表記を使用しています。
  R: リードオンリー
  W: ライトオンリー
  R/W: リード / ライト
- 断りのない限り、レジスターアクセスはワードアクセスだけをサポートします。
- 本文中の予約領域「Reserved」として定義されたレジスターは書き換えを行わないでください。
  また、読み出した値を使用しないでください。
- Default 値が「—」となっているビットから読み出した値は不定です。
- 書き込み可能なビットフィールドと、リードオンリー「R」のビットフィールドが共存するレジスターに書き込みを行う場合、リードオンリー「R」のビットフィールドには Default 値を書き込んでください。
  Default 値が「—」となっている場合は、個々のレジスターの定義に従ってください。
- ライトオンリーのレジスターの Reserved ビットフィールドには Default 値を書き込んでください。
  Default 値が「—」となっている場合は、個々のレジスターの定義に従ってください。
- 書き込みと読み出しで異なる定義のレジスターへのリードモディファイライト処理は行わないでください。

****
Arm,Cortex および **Thumb** は **Arm Limited(**またはその子会社**)**の **US** またはその他の国における
登録商標です。 **All rights reserved.**
****

本資料に記載されている社名・商品名・サービス名などは、それぞれ各社が商標として使用している場合があります。

用語・略語

この仕様書で使用されている用語・略語の一部を記載します。

ADC	Analog to Digital Converter
A-PMD	Advanced Programmable Motor Control Circuit
BSC	Boundary Scan
CEC	Consumer Electronics Control
DAC	Digital to Analog Converter
DNF	Digital Noise Filter
EBIF	External Bus Interface
EHOSC	External High Speed Oscillator
EI2C	I^2C Interface Version A
ELOSC	External Low Speed Oscillator
FIR	Finite Impulse Response
FUART	Full Universal Asynchronous Receiver Transmitter
HDMAC	High Speed DMAC
IHOSC	Internal High Speed Oscillator
INT	Interrupt
I2C	Inter-Integrated Circuit
EI2C	I^2C interface version A
I2S	Inter-IC Sound
ISD	Interval Sensor Detection Circuit
LTTMR	Long Term Timer
LVD	Voltage Detection Circuit
MDMAC	Multi-Function DMA Controller
NBDIF	Non Break Debug Interface
NMI	Non-Maskable Interrupt
OFD	Oscillation Frequency Detector
POR	Power On Reset Circuit
RMC	Remote Control Signal Preprocessor
RTC	Real Time Clock
SMIF	Serial Memory Interface
SIWDT	Clock Selective Watchdog Timer
TRGSEL	Trigger Selection circuit
TRM	Trimming Circuit
TSPI	Serial Peripheral Interface
TSSI	Synchronized Serial Interface
T32A	32-bit Timer Event Counter
UART	Universal Asynchronous Receiver Transmitter

1. ブロック図

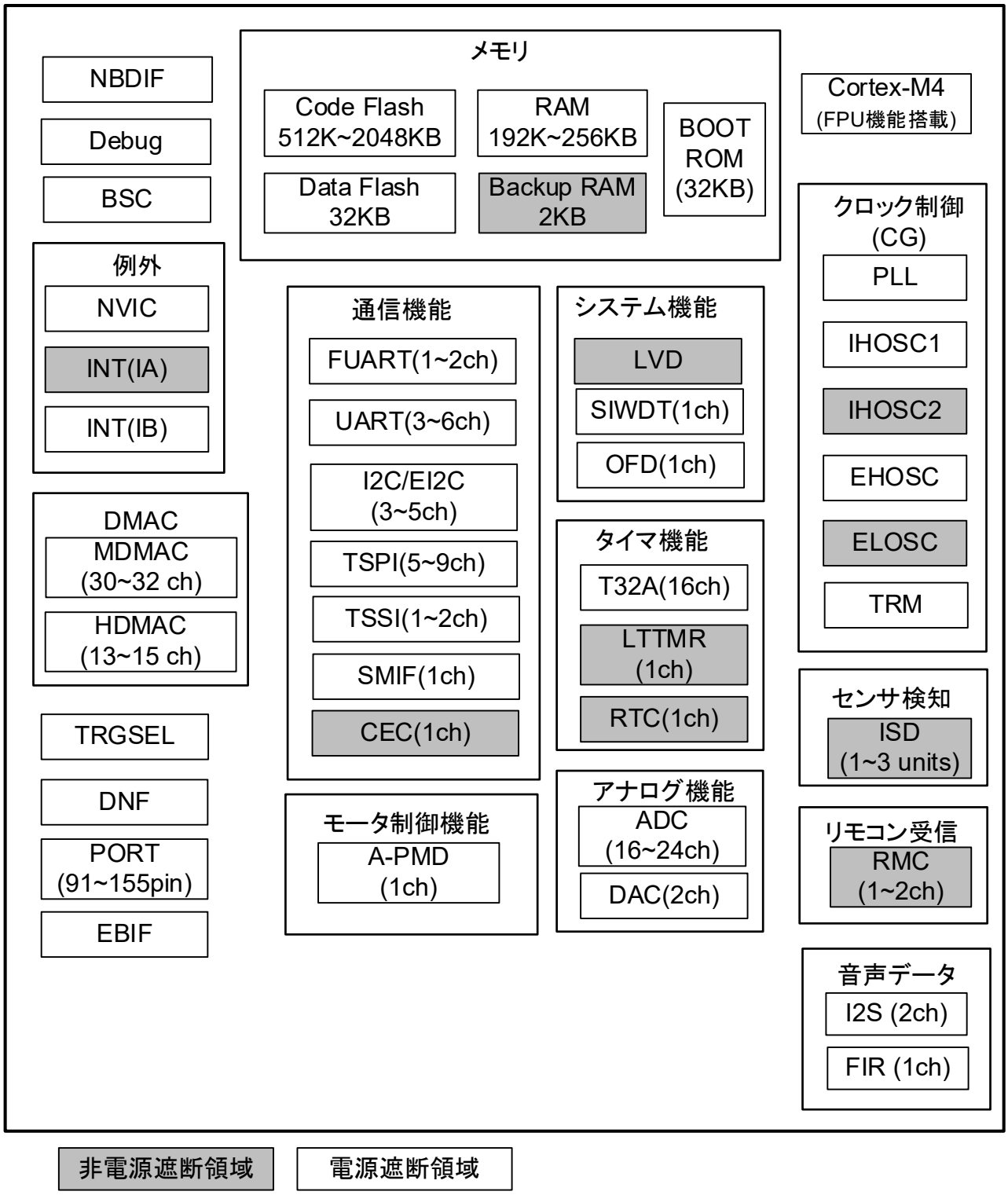
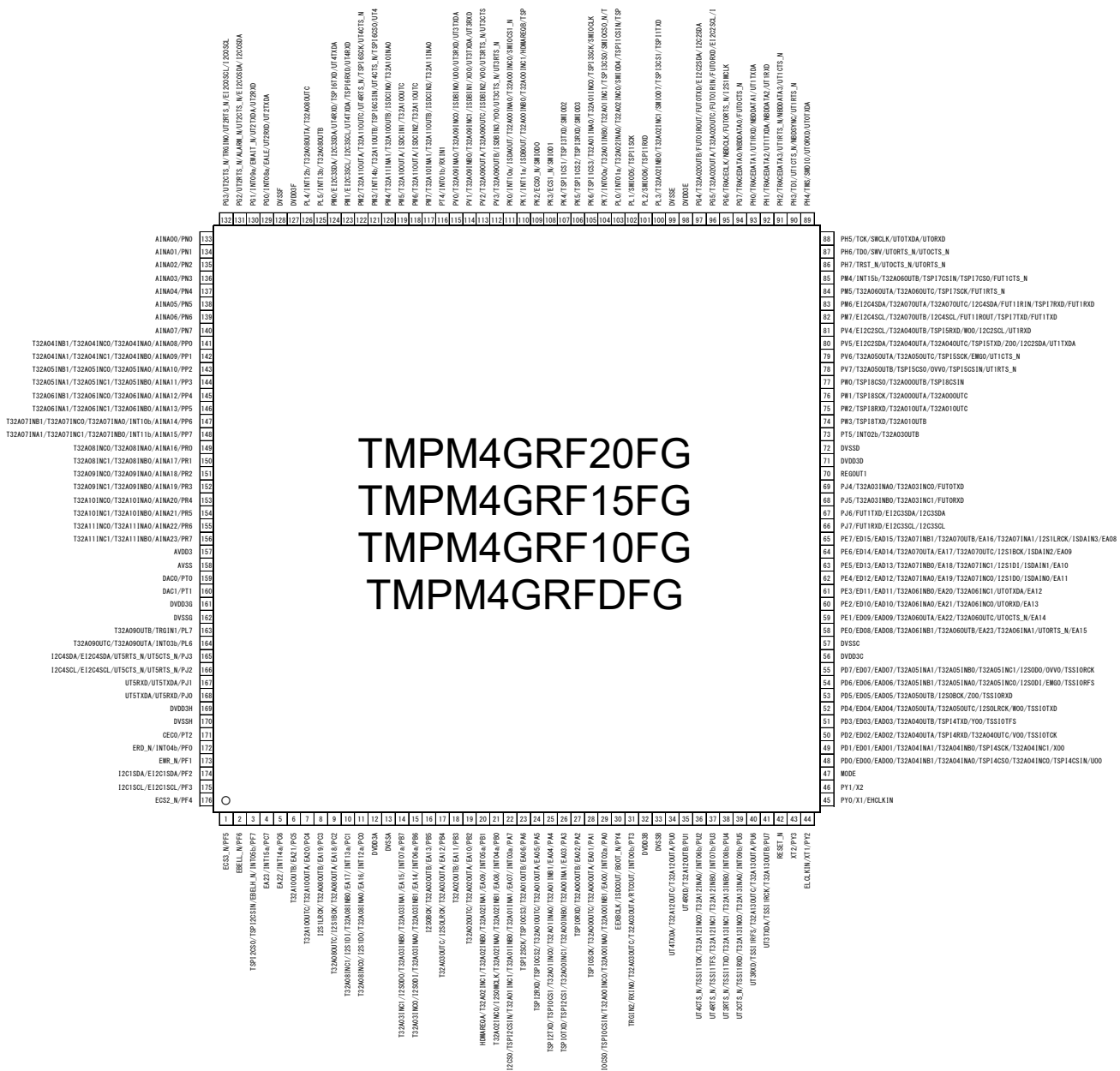


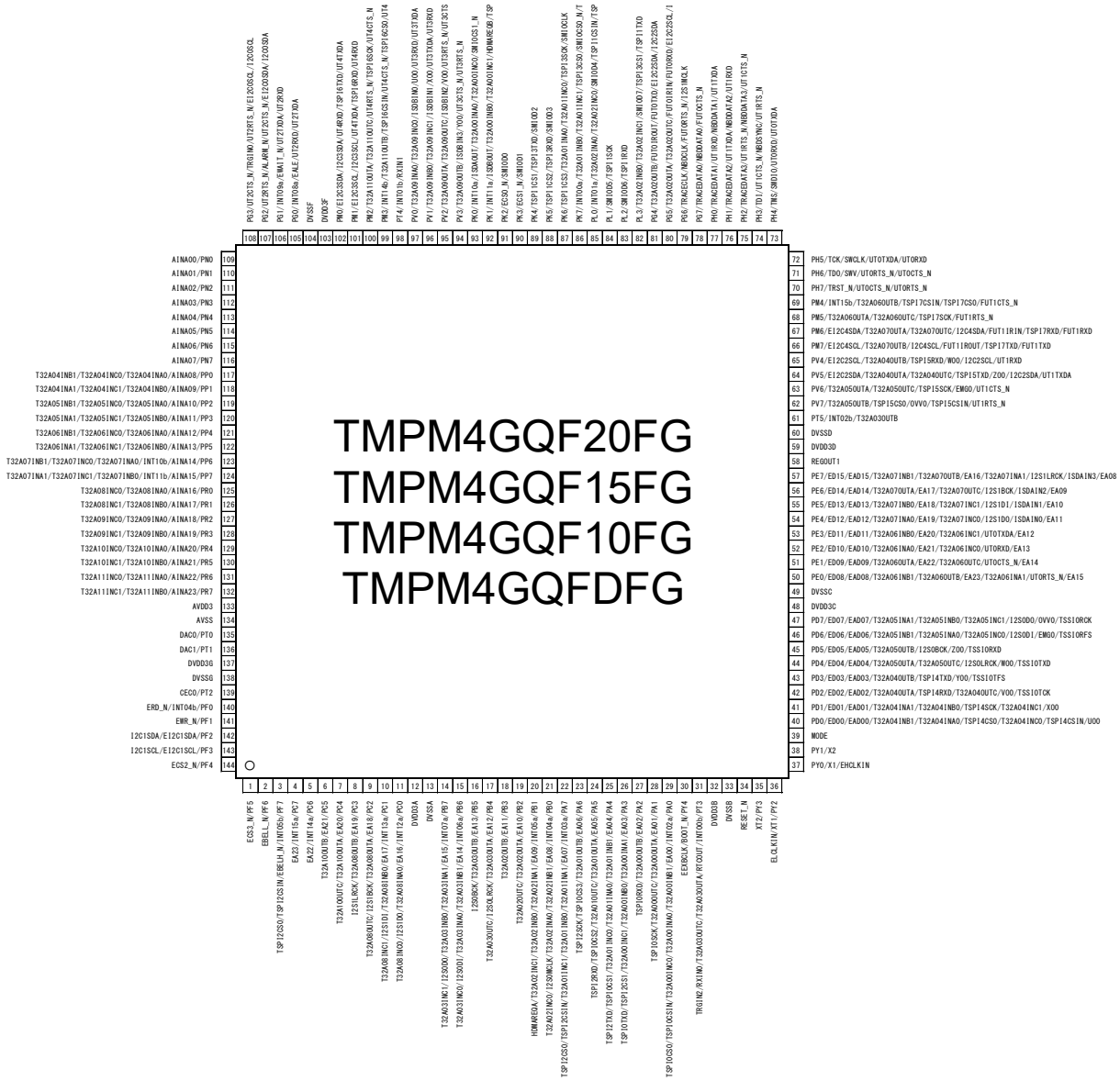
図 1.1　TMPM4G グループ(1)のブロック図

2. 端子配置図

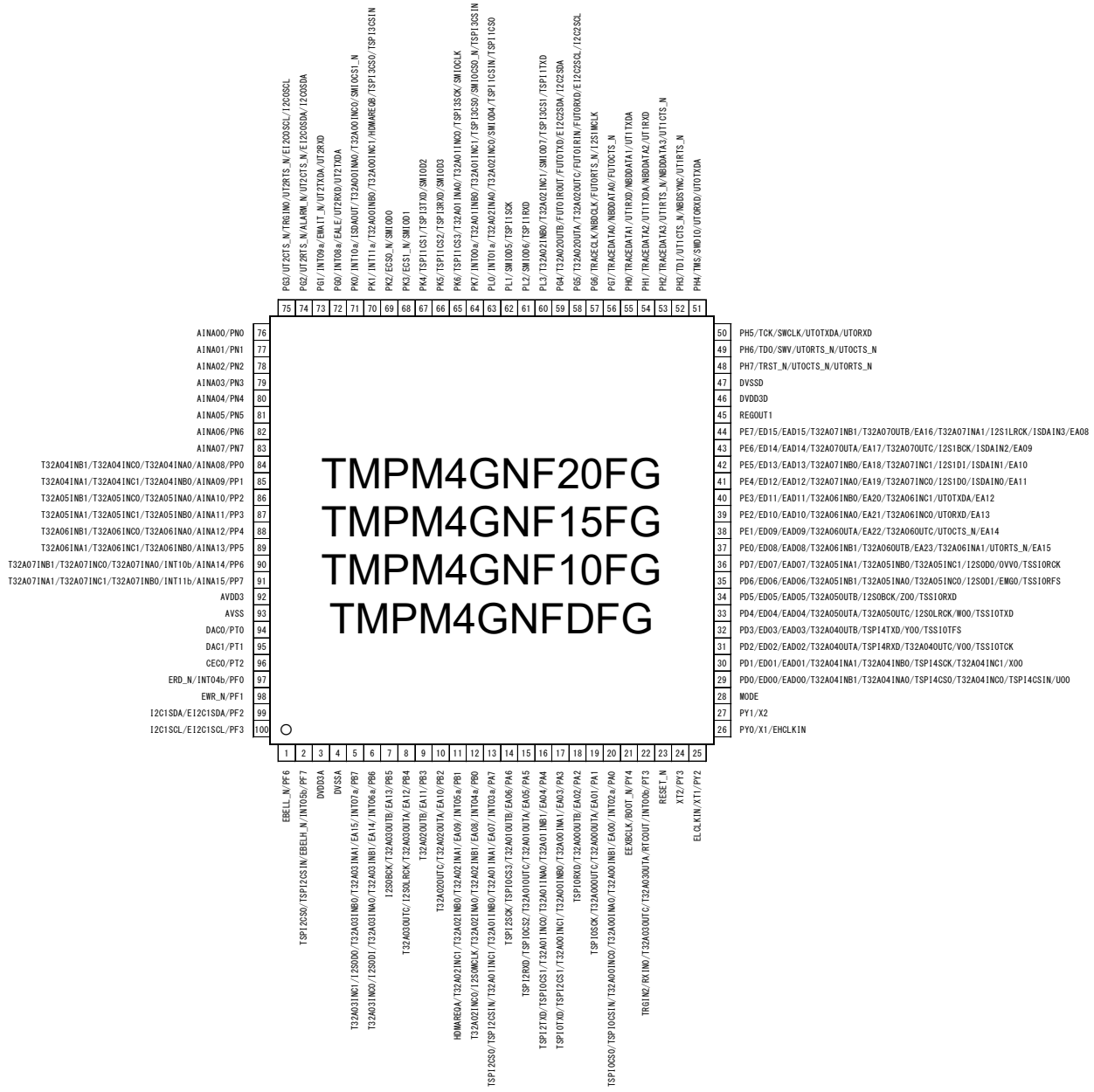
2.1. LQFP176



2.2. LQFP144



2.3. LQFP100


TMPM4GNF20FG
TMPM4GNF15FG
TMPM4GNF10FG
TMPM4GNFDFG
1 EBELL_N/PF6
2 TSP12CS0/TSP12CS1N/EBELH_N/INT05b/PF7
3 DVDD3A
4 DVSSA
5 T32A031NC1/12S0DO/T32A031NB0/T32A031NA1/EA15/INT07a/PB7
6 T32A031NC0/12S0DI/T32A031NA0/T32A031NB1/EA14/INT06a/PB6
7 12S0BCK/T32A030UTB/EA13/PB5
8 T32A030UTC/12S0LRCK/T32A030UTA/EA12/PB4
9 T32A020UTB/EA11/PB3
10 T32A020UTC/T32A020UTA/EA10/PB2
11 HDMAREQA/T32A021NC1/T32A021NB0/T32A021NA1/EA09/INT05a/PB1
12 T32A021NC0/12S0MCLK/T32A021NA0/T32A021NB1/EA08/INT04a/PB0
13 TSP12CS0/TSP12CS1N/T32A011NC1/T32A011NB0/T32A011NA1/EA07/INT03a/PA7
14 TSP12SCK/TSP10CS3/T32A010UTB/EA06/PA6
15 TSP12RXD/TSP10CS2/T32A010UTC/T32A010UTA/EA05/PA5
16 TSP12TXD/TSP10CS1/T32A011NC0/T32A011NA0/T32A011NB1/EA04/PA4
17 TSP10TXD/TSP12CS1/T32A001NC1/T32A001NB0/T32A001NA1/EA03/PA3
18 TSP10RXD/T32A000UTB/EA02/PA2
19 TSP10SCK/T32A000UTC/T32A000UTA/EA01/PA1
20 TSP10CS0/TSP10CS1N/T32A001NC0/T32A001NA0/T32A001NB1/EA00/INT02a/PA0
21 EEXBCLK/BOOT_N/PY4
22 TRGIN2/RXIN0/T32A030UTA/RTCOUT/INT06b/PT3
23 RESET_N
24 XT2/PY3
25 ELCLKIN/XT1/PY2
26 PY0/X1/EHCLKIN
27 PY1/X2
28 MODE
29 PD0/ED00/EAD00/T32A041NB1/T32A041NA0/TSP14CS0/T32A041NC0/TSP14CSIN/U00
30 PD1/ED01/EAD01/T32A041NA1/T32A041NB0/TSP14SCK/T32A041NC1/X00
31 PD2/ED02/EAD02/T32A040UTA/TSP14RXD/T32A040UTC/V00/TSS1OTCK
32 PD3/ED03/EAD03/T32A040UTB/TSP14TXD/Y00/TSS1OTFS
33 PD4/ED04/EAD04/T32A050UTA/T32A050UTC/12SOLRCK/W00/TSS1OTXD
34 PD5/ED05/EAD05/T32A050UTB/12SOBCK/Z00/TSS1ORXD
35 PD6/ED06/EAD06/T32A051NB1/T32A051NA0/T32A051NC0/12SODI/EMG0/TSS1ORFS
36 PD7/ED07/EAD07/T32A051NA1/T32A051NB0/T32A051NC1/12SODO/OVV0/TSS1ORCK
37 PE0/ED08/EAD08/T32A061NB1/T32A060UTB/EA23/T32A061NA1/UTORTS_N/EA15
38 PE1/ED09/EAD09/T32A060UTA/EA22/T32A060UTC/UTOCTS_N/EA14
39 PE2/ED10/EAD10/T32A061NA0/EA21/T32A061NC0/UTORXD/EA13
40 PE3/ED11/EAD11/T32A061NB0/EA20/T32A061NC1/UTOTXDA/EA12
41 PE4/ED12/EAD12/T32A071NA0/EA19/T32A071NC0/12S1DO/ISDAIN0/EA11
42 PE5/ED13/EAD13/T32A071NB0/EA18/T32A071NC1/12S1DI/ISDAIN1/EA10
43 PE6/ED14/EAD14/T32A070UTA/EA17/T32A070UTC/12S1BCK/ISDAIN2/EA09
44 PE7/ED15/EAD15/T32A071NB1/T32A070UTB/EA16/T32A071NA1/12S1LRCK/ISDAIN3/EA08
45 REGOUT1
46 DVDD3D
47 DVSSD
48 PH7/TRST_N/UTOCTS_N/UTORTS_N
49 PH6/TDO/SWV/UTORTS_N/UTOCTS_N
50 PH5/TCK/SWCLK/UTOTXDA/UTORXD
51 PH4/TMS/SWDIO/UTORXD/UTOTXDA
52 PH3/TDI/UT1CTS_N/NBDSYNC/UT1RTS_N
53 PH2/TRACEDATA3/UT1RTS_N/NBDDATA3/UT1CTS_N
54 PH1/TRACEDATA2/UT1TXDA/NBDDATA2/UT1RXD
55 PH0/TRACEDATA1/UT1RXD/NBDDATA1/UT1TXDA
56 PG7/TRACEDATA0/NBDDATA0/FUTOCTS_N
57 PG6/TRACECLK/NBDCLK/FUTORTS_N/12S1MCLK
58 PG5/T32A020UTA/T32A020UTC/FUTO1RIN/FUTORXD/E12C2SCL/I2C2SCL
59 PG4/T32A020UTB/FUTO1ROUT/FUTOTXD/E12C2SDA/I2C2SDA
60 PL3/T32A021NB0/T32A021NC1/SMI007/TSP13CS1/TSP11TXD
61 PL2/SMI006/TSP11RXD
62 PL1/SMI005/TSP11SCK
63 PL0/INT01a/T32A021NA0/T32A021NC0/SMI004/TSP11CSIN/TSP11CS0
64 PK7/INT00a/T32A011NB0/T32A011NC1/TSP13CS0/SMI00CS0_N/TSP13CSIN
65 PK6/TSP11CS3/T32A011NA0/T32A011NC0/TSP13SCK/SMI00CLK
66 PK5/TSP11CS2/TSP13RXD/SMI0D3
67 PK4/TSP11CS1/TSP13TXD/SMI0D2
68 PK3/EC5S1_N/SMI0D1
69 PK2/EC5S0_N/SMI0D0
70 PK1/INT11a/T32A001NB0/T32A001NC1/HDMAREQB/TSP13CS0/TSP13CSIN
71 PK0/INT10a/1S0A0UT/T32A001NA0/T32A001NC0/SMI0CS1_N
72 PG0/INT08a/EALE/UT2RXD/UT2TXDA
73 PG1/INT09a/EWAIT_N/UT2TXDA/UT2RXD
74 PG2/UT2RTS_N/ALARM_N/UT2CTS_N/E12C0SDA/I2C0SDA
75 PG3/UT2CTS_N/TRGINO/UT2RTS_N/E12C0SCL/I2C0SCL
76 AINA00/PN0
77 AINA01/PN1
78 AINA02/PN2
79 AINA03/PN3
80 AINA04/PN4
81 AINA05/PN5
82 AINA06/PN6
83 AINA07/PN7
84 T32A041NB1/T32A041NC0/T32A041NA0/AINA08/PP0
85 T32A041NA1/T32A041NC1/T32A041NB0/AINA09/PP1
86 T32A051NB1/T32A051NC0/T32A051NA0/AINA10/PP2
87 T32A051NA1/T32A051NC1/T32A051NB0/AINA11/PP3
88 T32A061NB1/T32A061NC0/T32A061NA0/AINA12/PP4
89 T32A061NA1/T32A061NC1/T32A061NB0/AINA13/PP5
90 T32A071NB1/T32A071NC0/T32A071NA0/INT10b/AINA14/PP6
91 T32A071NA1/T32A071NC1/T32A071NB0/INT11b/AINA15/PP7
92 AVDD3
93 AVSS
94 DAC0/PT0
95 DAC1/PT1
96 CEC0/PT2
97 ERD_N/INT04b/PF0
98 EWR_N/PF1
99 I2C1SDA/EI2C1SDA/PF2
100 I2C1SCL/EI2C1SCL/PF3

2.4. VFBGA177

TMPM4GRF20XBG/TMPM4GRF15XBG/TMPM4GRF10XBG/TMPM4GRFDXBG

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
A	DVDD3A	PF4	PF3	PF1	PT1	PT0	AVDD3	PR4	PR3	PP7	PP3	PN7	PN5	PN3	PN1	DVSSF
B	PF7	PF6	PF5	PF2	PJ0	PJ1	AVSS	PR5	PR2	PP6	PP2	PN6	PN4	PN2	PN0	PG3
C	PC4	PC5	—	—	—	—	—	—	—	—	—	—	—	—	PG2	PG1
D	PC2	PC3	—	PC7	PF0	PJ2	PJ3	PR7	PR1	PP5	PP1	PP0	DVSSE	—	PG0	PL4
E	PB4	PB5	—	PC6	DVSSH	PT2	PL6	PL7	PR6	PR0	PP4	DVSSD	PM3	—	PL5	PM0
F	PB2	PB3	—	PC0	PC1	DVSSG	—	—	—	—	—	PV0	PT4	—	PM1	PM2
G	PB0	PB1	—	PB6	PB7	—	—	—	—	—	—	PV2	PV1	—	PW4	PW5
H	PA6	PA7	—	PU0	PT3	—	—	—	—	—	—	PK0	PV3	—	PW6	PW7
J	PA4	PA5	—	PU1	PU2	—	—	—	—	—	—	PK1	PK2	—	PK4	PK6
K	PA2	PA3	—	PU3	PU4	—	—	—	—	—	—	PK7	PK3	—	PK5	PL1
L	PA0	PA1	—	PU6	PU5	—	—	—	—	—	—	PG4	PL0	—	PL2	PL3
M	DVSSA	PY4	—	PU7	DVDD3G	PD1	PD3	PD5	PD7	PW2	PW0	DVDD3D	PG5	—	PG7	PG6
N	PY3/XT2	DVSSB	—	DVDD3H	PD0	PD2	PD4	PD6	PJ7	PW3	PW1	PM4	DVDD3E	—	PH1	PH0
P	PY2/XT1	DVSSC	—	—	—	—	—	—	—	—	—	—	—	—	PH3	PH2
R	RESET_N	DVDD3B	DVDD3C	PE0	PE1	PE4	PE5	PJ6	PJ5	PT5	PV7	PV4	PM6	PH7	PH6	PH4
T	MODE	PY0/X1	PY1/X2	DVDD3F	PE2	PE3	PE6	PE7	PJ4	REGOUT1	PV6	PV5	PM7	PM5	PH5	BSC

2.5. VFBGA145

TMPM4GQF20XBG/TMPM4GQF15XBG/TMPM4GQF10XBG/TMPM4GQFDXBG

	1	2	3	4	5	6	7	8	9	10	11	12	13	14
A	DVDD3A	PF4	PF3	PT1	PT0	AVDD3	PR3	PP7	PP3	PN7	PN5	PN3	PN1	DVSSF
B	PF7	PF6	PF5	PF2	PF1	AVSS	PR2	PP6	PP2	PN6	PN4	PN2	PN0	PG3
C	PC4	PC5	—	—	—	—	—	—	—	—	—	—	PG2	PG1
D	PC2	PC3	—	PC7	PF0	PR7	PR4	PR0	PP4	PP1	PP0	—	PG0	PM0
E	PB4	PB5	—	PC6	PT2	PR6	PR5	PR1	PP5	DVSSD DVSSE	PT4	—	PM1	PM2
F	PB2	PB3	—	PC0	PC1	DVSSG DVSSH	—	—	—	PV0	PV1	—	PM3	PK2
G	PA5	PA6	—	PB6	PB7	—	—	—	—	PV3	PV2	—	PK3	PK4
H	PA3	PA4	—	PB0	PB1	—	—	—	—	PK0	PK1	—	PK5	PK6
J	PA1	PA2	—	PA0	PA7	—	—	—	—	PK7	PL0	—	PL2	PL1
K	DVSSA	PY4	—	PT3	DVDD3G DVDD3H	PD2	PD5	PD6	PT5	DVDD3D DVDD3E	PG5	—	PG4	PL3
L	PY3/XT2	DVSSB	—	PD0	PD1	PD3	PD4	PD7	PV7	PM4	PH0	—	PG7	PG6
M	PY2/XT1	DVSSC	—	—	—	—	—	—	—	—	—	—	PH1	PH2
N	RESET_N	DVDD3B	DVDD3C	PE0	PE1	PE3	PE6	PE7	PV6	PV4	PM6	PH7	PH3	PH4
P	MODE	PY0/X1	PY1/X2	DVDD3F	PE2	PE4	PE5	REGOUT1	PV5	PM7	PM5	PH6	PH5	BSC

3. メモリーマップ

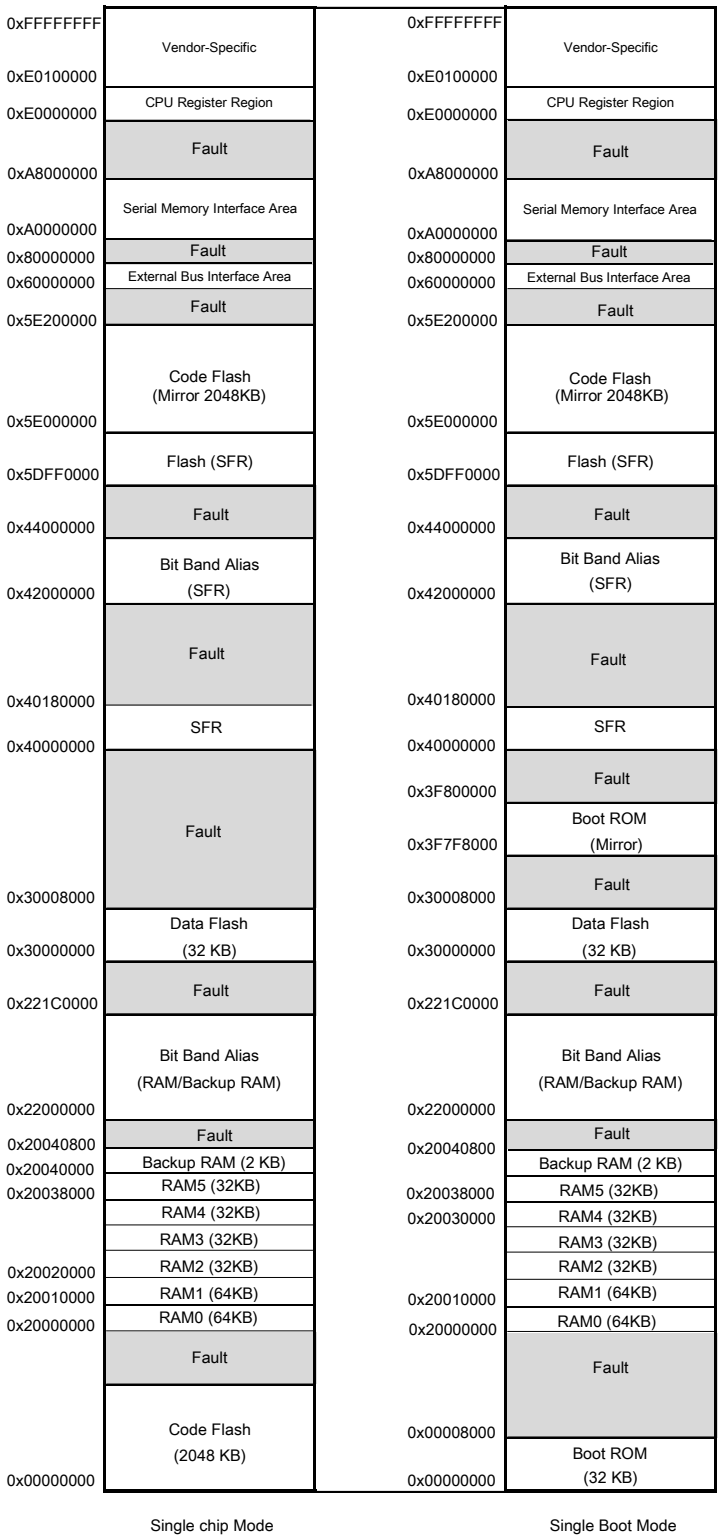


図 3.1 TMPM4GRF20のメモリーマップ例

注 1) Fault および Reserved: アクセスしないでください。

注 2) Single chip Mode/Single Boot Mode の詳細についてはリファレンスマニュアル「フラッシュメモリー」を参照してください。

3.1. メモリー容量一覧

表 3.1 メモリー容量とアドレス

Products			TMPM4GRF20FG TMPM4GRF20XBG TMPM4GQF20FG TMPM4GQF20XBG TMPM4GNF20FG	TMPM4GRF15FG TMPM4GRF15XBG TMPM4GQF15FG TMPM4GQF15XBG TMPM4GNF15FG	TMPM4GRF10FG TMPM4GRF10XBG TMPM4GQF10FG TMPM4GQF10XBG TMPM4GNF10FG	TMPM4GRFDFG TMPM4GRFDXBG TMPM4GQFDFG TMPM4GQFDXBG TMPM4GNFDFG
Peripheral region	Code Flash (Mirror)	START	0x5E000000	0x5E000000	0x5E000000	0x5E000000
		END	0x5E1FFFFF	0x5E17FFFF	0x5E0FFFFF	0x5E07FFFF
SRAM region	Data Flash	Size	32 KB			
		START	0x30000000			
		END	0x30007FFF			
	Backup RAM	Size	2 KB			
		START	0x20040000			
		END	0x200407FF			
	RAM	Size	256 KB			192 KB
		START(0)	0x20000000			
		END(0)	0x2000FFFF			
		START(1)	0x20010000			
		END(1)	0x2001FFFF			
		START(2)	0x20020000			-
		END(2)	0x20027FFF			-
		START(3)	0x20028000			-
		END(3)	0x2002FFFF			-
		START(4)	0x20030000			
		END(4)	0x20037FFF			
		START(5)	0x20038000			
		END(5)	0x2003FFFF			
Code region	Code Flash	Size	2048 KB	1536KB	1024 KB	512 KB
		START	0x00000000	0x00000000	0x00000000	0x00000000
		END	0x001FFFFF	0x0017FFFF	0x000FFFFF	0x0007FFFF

4. 端子説明

4.1. 機能端子名称と機能

4.1.1. 周辺機能端子

表 4.1　周辺端子名称と機能 (1/3)

周辺機能	端子名称	Input or Output	機能
割り込み制御	INTx	Input	外部割り込み入力端子 外部割り込み入力端子はノイズフィルター(フィルター幅 typ. 30ns)をもちます。
32 ビットタイマー イベントカウンター (T32A)	T32AxINA0	Input	16 ビットタイマーA インプットキャプチャー入力端子 0
	T32AxINA1	Input	16 ビットタイマーA インプットキャプチャー入力端子 1
	T32AxOUTA	Output	16 ビットタイマーA 出力端子
	T32AxINB0	Input	16 ビットタイマーB インプットキャプチャー入力端子 0
	T32AxINB1	Input	16 ビットタイマーB インプットキャプチャー入力端子 1
	T32AxOUTB	Output	16 ビットタイマーB 出力端子
	T32AxINC0	Input	32 ビットタイマーC インプットキャプチャー入力端子 0
	T32AxINC1	Input	32 ビットタイマーC インプットキャプチャー入力端子 1
	T32AxOUTC	Output	32 ビットタイマーC 出力端子
シリアルペリフェラル インターフェース (TSPI)	TSPIxRXD	Input	データ入力端子
	TSPIxTXD	Output	データ出力端子
	TSPIxSCK	I/O	クロック入出力端子
	TSPIxCS0	Output	チップセレクト出力端子 0
	TSPIxCS1	Output	チップセレクト出力端子 1
	TSPIxCS2	Output	チップセレクト出力端子 2
	TSPIxCS3	Output	チップセレクト出力端子 3
	TSPIxCSIN	Input	チップセレクト入力端子
同期シリアル インターフェース (TSSI)	TSSIxTCK	I/O	送信クロック入出力端子
	TSSIxTFS	I/O	送信フレーム同期信号入出力端子
	TSSIxTXD	Output	送信データ出力端子
	TSSIxRCK	I/O	受信クロック入出力端子
	TSSIxRFS	I/O	受信フレーム同期信号入出力端子
	TSSIxRXD	Input	受信データ入力端子

注) 端子名称の"x"にはチャネル番号、ユニット番号、割り込み番号が入ります。

表 4.2 周辺端子名称と機能 (2/3)

周辺機能	端子名称	Input or Output	機能
シリアルメモリー インターフェース (SMIF)	SMIxCLK	Output	クロック出力端子
	SMIxD0	I/O	データ入出力端子 0
	SMIxD1	I/O	データ入出力端子 1
	SMIxD2	I/O	データ入出力端子 2
	SMIxD3	I/O	データ入出力端子 3
	SMIxD4	I/O	データ入出力端子 4
	SMIxD5	I/O	データ入出力端子 5
	SMIxD6	I/O	データ入出力端子 6
	SMIxD7	I/O	データ入出力端子 7
	SMIxCSx_N	Output	チップセレクト出力端子
非同期シリアル 通信回路 (UART)	UTxTXDA	Output	データ出力端子 A
	UTxRXD	Input	データ入力端子
	UTxCTS_N	Input	送信可能入力端子
	UTxRTS_N	Output	送信要求出力端子
高精度非同期 シリアル通信回路 (FUART)	FUTxTXD	Output	データ出力端子
	FUTxRXD	Input	データ入力端子
	FUTxCTS_N	Input	送信可能入力端子
	FUTxRTS_N	Output	送信要求出力端子
	FUTxIROUT	Output	IrDA 1.0 データ出力端子
	FUTxIRIN	Input	IrDA 1.0 データ入力端子
I^2C インターフェース (I2C/EI2C)	I2CxSDA /EI2CxSDA	I/O	データ入出力端子
	I2CxSCL /EI2CxSCL	I/O	クロック入出力端子
高速 DMA コントローラー (HDMAC)	HDMAREQx	Input	HDMA リクエスト入力端子
インターバルセンサー 検知回路 (ISD)	ISDxIN0	Input	データ入力端子 0
	ISDxIN1	Input	データ入力端子 1
	ISDxIN2	Input	データ入力端子 2
	ISDxIN3	Input	データ入力端子 3
	ISDxOUT	Output	データ出力端子

注) 端子名称の"x"にはチャネル番号、ユニット番号、割り込み番号が入ります。

表 4.3 周辺端子名称と機能 (3/3)

周辺機能	端子名称	Input or Output	機能
I²S インターフェース (I2S)	I2SxBCK	I/O	ビットクロック入出力端子
	I2SxLRCK	I/O	LR クロック入出力端子
	I2SxDI	Input	音声入力シリアルデータ端子
	I2SxDO	Output	音声出力シリアルデータ端子
	I2SxMCLK	I/O	外部マスタークロック入出力端子
CEC 制御回路 (CEC)	CECx	I/O	データ入出力端子
外部バス インターフェース (EBIF)	EAx	Output	アドレスバス出力端子
	EDx	I/O	データバス入出力端子
	EADx	I/O	アドレス/データバス入出力端子
	ERD_N	Output	リードストローブ出力端子
	EWR_N	Output	ライトストローブ出力端子
	ECSx_N	Output	チップセレクト出力端子
	EBELL_N	Output	バイトイネーブル出力端子
	EBELH_N	Output	バイトイネーブル出力端子
	EALE	Output	アドレスラッチイネーブル出力端子
	EWAIT_N	Input	ウエイト入力端子
	EEXBCLK	Output	クロック出力端子
アドバンストプログラマブル モーター制御回路 (A-PMD)	XOx	Output	X 相出力端子
	YOx	Output	Y 相出力端子
	ZOx	Output	Z 相出力端子
	UOx	Output	U 相出力端子
	VOx	Output	V 相出力端子
	WOx	Output	W 相出力端子
	EMGx	Input	異常検出入力端子
	OVVx	Input	過電圧検出入力端子
トリガー入力 (TRGSEL)	TRGINx	Input	外部トリガー入力端子(MDMAC/ADC)
アナログデジタル コンバーター (ADC)	AINAx	Input	アナログ入力端子
デジタルアナログ コンバーター (DAC)	DACx	Output	DAC 出力端子
リモコン受信回路 (RMC)	RXINx	Input	リモコンデータ入力端子
リアルタイムクロック (RTC)	ALARM_N	Output	アラーム出力端子
	RTCOUT	Output	1Hz クロック出力端子

注) 端子名称の"x"にはチャネル番号、ユニット番号、割り込み番号が入ります。

4.1.2. デバッグ端子

JTAG/SWD による基本的なデバッグの他に、TRACE および NBDIF による内部情報を取り出す端子があります。

表 4.4　デバッグ端子名称と機能

デバッグ機能	デバッグ端子名称	Input or Output	機能
JTAG	TMS	Input	JTAG テストモード選択入力端子
	TCK	Input	JTAG シリアルクロック入力端子
	TDO	Output	JTAG シリアルデータ出力端子
	TDI	Input	JTAG シリアルデータ入力端子
	TRST_N	Input	JTAG テストリセット入力端子 JTAG テストリセット入力端子はノイズフィルター(フィルター幅 typ. 30ns)をもちます。
SW	SWDIO	I/O	シリアルワイヤデータ入出力端子
	SWCLK	Input	シリアルワイヤクロック入力端子
	SWV	Output	シリアルワイヤビューアー出力端子
TRACE	TRACECLK	Output	トレースクロック出力端子
	TRACEDATA0	Output	トレースデータ出力端子 0
	TRACEDATA1	Output	トレースデータ出力端子 1
	TRACEDATA2	Output	トレースデータ出力端子 2
	TRACEDATA3	Output	トレースデータ出力端子 3
NBDIF	NBDSYNC	Input	ノンブレークデバッグ同期入力端子
	NBDCLK	Input	ノンブレークデバッグクロック入力端子
	NBDDATA0	I/O	ノンブレークデバッグデータ入出力端子 0
	NBDDATA1	I/O	ノンブレークデバッグデータ入出力端子 1
	NBDDATA2	I/O	ノンブレークデバッグデータ入出力端子 2
	NBDDATA3	I/O	ノンブレークデバッグデータ入出力端子 3

4.1.3. 制御端子

表 4.5　制御端子名称と機能

	端子名	Input or Output	機能
制御端子	X1	Input	高速発振子接続端子、外部クロック入力端子
	X2	Output	高速発振子接続端子
	XT1	Input	低速発振子接続端子、低速クロック入力端子
	XT2	Output	低速発振子接続端子
	MODE	Input	モード端子 必ず"Low"レベルに固定してください。
	RESET_N	Input	リセット信号入力端子 リセット信号入力端子はノイズフィルター(フィルター幅 typ. 30ns)をもちます。
	BOOT_N	Input	BOOT モード制御用端子 RESET_N 端子入力の立ち上がり、または POR の立ち上がりのどちらか遅い方で BOOT モード制御用端子がサンプリングされます。内部リセット要因ではサンプリングされません。 BOOT モード制御用端子のレベルが"Low"の場合、シングルブートモードになります。"High"の場合、シングルチップモードになります。 シングルブートモードの詳細については、リファレンスマニュアル「フラッシュメモリー」を参照してください。
	BSC	Input	バウンダリースキャンモード制御用端子

4.1.4. 電源端子

表 4.6　電源端子名称と機能

電源端子	端子名	機能
電源	DVDD3A (注 1) DVDD3B (注 1) DVDD3C (注 1) DVDD3D (注 1) DVDD3E (注 1) DVDD3F (注 1) DVDD3G (注 1) DVDD3H (注 1)	デジタル用電源端子 DVDD3A/B/C/D/E/F/G/H 端子は下記の端子に電源を供給しています。 PA ~ PH, PJ ~ PM, PT(PT2 ~ PT5), PU~PW, PY、X1, X2, XT1, XT2, MODE, RESET_N, BOOT_N,BSC
	DVSSA (注 2) DVSSB (注 2) DVSSC (注 2) DVSSD (注 2) DVSSE (注 2) DVSSF (注 2) DVSSG (注 2) DVSSH (注 2)	デジタル用 GND 端子
	REGOUT1 (注 3)	レギュレーター用コンデンサー接続端子(注 4)
	AVDD3	アナログ用電源端子、アナログ基準電源端子(VREFH)と兼用です。 AVDD3 は下記の端子に電源を供給しています。 PN, PP, PR, PT (PT0, PT1)
	AVSS	アナログ用 GND 端子、アナログ基準 GND 端子(VREFL)と兼用です。

注 1) DVDD3A, DVDD3B, DVDD3C, DVDD3D, DVDD3E, DVDD3F, DVDD3G, DVDD3H は、端子が無い場合を除き外部で同電位の電圧を印加してください。

注 2) DVSSA, DVSSB, DVSSC, DVSSD, DVSSE, DVSSF, DVSSG, DVSSH は、端子が無い場合を除き外部で同電位の電圧を印加してください。

注 3) REGOUT1 は、DVDD3A, DVDD3B, DVDD3C, DVDD3D, DVDD3E, DVDD3F, DVDD3G, DVDD3H や DVSSA, DVSSB, DVSSC, DVSSD, DVSSE, DVSSF, DVSSG, DVSSH とショートしないでください。

注 4) コンデンサー容量は電気的特性を参照してください。

4.2. 機能端子とポート割り当て (端子番号)

機能端子から見たポート割り当てと各製品の端子番号です。
表中の"-"の部分は、「端子がありません」または「機能の割り当てがありません」。

表 4.7 信号接続一覧: UART ch 0, 1

機能	兼用機能端子名	ポート名	M4GR (LQFP176)	M4GQ (LQFP144)	M4GN (LQFP100)	M4GR (BGA177)	M4GQ (BGA145)
UART ch 0	UT0RXD	PE2	60	52	39	T5	P5
		PH4	89	73	51	R16	N14
		PH5	88	72	50	T15	P13
	UT0TXDA	PE3	61	53	40	T6	N6
		PH4	89	73	51	R16	N14
		PH5	88	72	50	T15	P13
	UT0CTS_N	PE1	59	51	38	R5	N5
		PH6	87	71	49	R15	P12
		PH7	86	70	48	R14	N12
	UT0RTS_N	PE0	58	50	37	R4	N4
		PH6	87	71	49	R15	P12
		PH7	86	70	48	R14	N12
UART ch 1	UT1RXD	PH0	93	77	55	N16	L11
		PH1	92	76	54	N15	M13
		PV4	81	65	-	R12	N10
	UT1TXDA	PH0	93	77	55	N16	L11
		PH1	92	76	54	N15	M13
		PV5	80	64	-	T12	P9
	UT1CTS_N	PH2	91	75	53	P16	M14
		PH3	90	74	52	P15	N13
		PV6	79	63	-	T11	N9
	UT1RTS_N	PH2	91	75	53	P16	M14
		PH3	90	74	52	P15	N13
		PV7	78	62	-	R11	L9

表 4.8 信号接続一覧: UART ch 2, 3, 4

機能	兼用機能端子名	ポート名	M4GR (LQFP176)	M4GQ (LQFP144)	M4GN (LQFP100)	M4GR (BGA177)	M4GQ (BGA145)
UART ch 2	UT2RXD	PG0	129	105	72	D15	D13
		PG1	130	106	73	C16	C14
	UT2TXDA	PG0	129	105	72	D15	D13
		PG1	130	106	73	C16	C14
	UT2CTS_N	PG2	131	107	74	C15	C13
		PG3	132	108	75	B16	B14
	UT2RTS_N	PG2	131	107	74	C15	C13
		PG3	132	108	75	B16	B14
UART ch 3	UT3RXD	PU6	40	-	-	L4	-
		PV0	115	97	-	F12	F10
		PV1	114	96	-	G13	F11
	UT3TXDA	PU7	41	-	-	M4	-
		PV0	115	97	-	F12	F10
		PV1	114	96	-	G13	F11
	UT3CTS_N	PU5	39	-	-	L5	-
		PV2	113	95	-	G12	G11
		PV3	112	94	-	H13	G10
	UT3RTS_N	PU4	38	-	-	K5	-
		PV2	113	95	-	G12	G11
		PV3	112	94	-	H13	G10
UART ch 4	UT4RXD	PM0	124	102	-	E16	D14
		PM1	123	101	-	F15	E13
		PU1	35	-	-	J4	-
	UT4TXDA	PM0	124	102	-	E16	D14
		PM1	123	101	-	F15	E13
		PU0	34	-	-	H4	-
	UT4CTS_N	PM2	122	100	-	F16	E14
		PM3	121	99	-	E13	F13
		PU2	36	-	-	J5	-
	UT4RTS_N	PM2	122	100	-	F16	E14
		PM3	121	99	-	E13	F13
		PU3	37	-	-	K4	-

表 4.9 信号接続一覧: UART ch5/FUART ch0, 1/I2C ch 0, 1, 2/EI2C ch 0, 1, 2

機能	兼用機能端子名	ポート名	M4GR (LQFP176)	M4GQ (LQFP144)	M4GN (LQFP100)	M4GR (BGA177)	M4GQ (BGA145)
UART ch 5	UT5RXD	PJ0	168	-	-	B5	-
		PJ1	167	-	-	B6	-
	UT5TXDA	PJ0	168	-	-	B5	-
		PJ1	167	-	-	B6	-
	UT5CTS_N	PJ2	166	-	-	D6	-
		PJ3	165	-	-	D7	-
	UT5RTS_N	PJ2	166	-	-	D6	-
		PJ3	165	-	-	D7	-
FUART ch 0	FUT0RXD	PG5	96	80	58	M13	K11
		PJ5	68	-	-	R9	-
	FUT0TXD	PG4	97	81	59	L12	K13
		PJ4	69	-	-	T9	-
	FUT0CTS_N	PG7	94	78	56	M15	L13
	FUT0RTS_N	PG6	95	79	57	M16	L14
	FUT0IROUT	PG4	97	81	59	L12	K13
	FUT0IRIN	PG5	96	80	58	M13	K11
FUART ch 1	FUT1RXD	PJ7	66	-	-	N9	-
		PM6	83	67	-	R13	N11
	FUT1TXD	PJ6	67	-	-	R8	-
		PM7	82	66	-	T13	P10
	FUT1CTS_N	PM4	85	69	-	N12	L10
	FUT1RTS_N	PM5	84	68	-	T14	P11
	FUT1IROUT	PM7	82	66	-	T13	P10
	FUT1IRIN	PM6	83	67	-	R13	N11
I2C/EI2C ch 0	I2C0SDA /EI2C0SDA	PG2	131	107	74	C15	C13
	I2C0SCL /EI2C0SCL	PG3	132	108	75	B16	B14
I2C/EI2C ch 1	I2C1SDA /EI2C1SDA	PF2	174	142	99	B4	B4
	I2C1SCL /EI2C1SCL	PF3	175	143	100	A3	A3
I2C/EI2C ch 2	I2C2SDA /EI2C2SDA	PG4	97	81	59	L12	K13
		PV5	80	64	-	T12	P9
	I2C2SCL /EI2C2SCL	PG5	96	80	58	M13	K11
		PV4	81	65	-	R12	N10

表 4.10 信号接続一覧: I2C ch 3, 4/EI2C ch 3, 4/ISD unit A, B, C/I2S ch 0

機能	兼用機能端子名	ポート名	M4GR (LQFP176)	M4GQ (LQFP144)	M4GN (LQFP100)	M4GR (BGA177)	M4GQ (BGA145)
I2C/EI2C ch 3	I2C3SDA /EI2C3SDA	PJ6	67	-	-	R8	-
		PM0	124	102	-	E16	D14
	I2C3SCL /EI2C3SCL	PJ7	66	-	-	N9	-
		PM1	123	101	-	F15	E13
I2C/EI2C ch 4	I2C4SDA /EI2C4SDA	PJ3	165	-	-	D7	-
		PM6	83	67	-	R13	N11
	I2C4SCL /EI2C4SCL	PJ2	166	-	-	D6	-
		PM7	82	66	-	T13	P10
ISD unit A	ISDAIN0	PE4	62	54	41	R6	P6
	ISDAIN1	PE5	63	55	42	R7	P7
	ISDAIN2	PE6	64	56	43	T7	N7
	ISDAIN3	PE7	65	57	44	T8	N8
	ISDAOUT	PK0	111	93	71	H12	H10
ISD unit B	ISDBIN0	PV0	115	97	-	F12	F10
	ISDBIN1	PV1	114	96	-	G13	F11
	ISDBIN2	PV2	113	95	-	G12	G11
	ISDBIN3	PV3	112	94	-	H13	G10
	ISDBOUT	PK1	110	92	70	J12	H11
ISD unit C	ISDCIN0	PW4	120	-	-	G15	-
	ISDCIN1	PW5	119	-	-	G16	-
	ISDCIN2	PW6	118	-	-	H15	-
	ISDCIN3	PW7	117	-	-	H16	-
	ISDCOUT	PY4	30	-	-	M2	-
I2S ch 0	I2S0MCLK	PB0	21	21	12	G1	H4
	I2S0LRCK	PB4	17	17	8	E1	E1
		PD4	52	44	33	N7	L7
	I2S0BCK	PB5	16	16	7	E2	E2
		PD5	53	45	34	M8	K7
	I2S0DO	PB7	14	14	5	G5	G5
		PD7	55	47	36	M9	L8
	I2S0DI	PB6	15	15	6	G4	G4
		PD6	54	46	35	N8	K8

表 4.11　信号接続一覧: I2S ch 1/TSPI ch 0, 1, 2

機能	兼用機能端子名	ポート名	M4GR (LQFP176)	M4GQ (LQFP144)	M4GN (LQFP100)	M4GR (BGA177)	M4GQ (BGA145)
I2S ch 1	I2S1MCLK	PG6	95	79	57	M16	L14
	I2S1LRCK	PC3	8	8	-	D2	D2
		PE7	65	57	44	T8	N8
	I2S1BCK	PC2	9	9	-	D1	D1
		PE6	64	56	43	T7	N7
	I2S1DO	PC0	11	11	-	F4	F4
		PE4	62	54	41	R6	P6
	I2S1DI	PC1	10	10	-	F5	F5
		PE5	63	55	42	R7	P7
TSPI ch 0	TSPI0CSIN	PA0	29	29	20	L1	J4
	TSPI0CS0	PA0	29	29	20	L1	J4
	TSPI0CS1	PA4	25	25	16	J1	H2
	TSPI0CS2	PA5	24	24	15	J2	G1
	TSPI0CS3	PA6	23	23	14	H1	G2
	TSPI0RXD	PA2	27	27	18	K1	J2
	TSPI0TXD	PA3	26	26	17	K2	H1
	TSPI0SCK	PA1	28	28	19	L2	J1
TSPI ch 1	TSPI1CSIN	PL0	103	85	63	L13	J11
	TSPI1CS0	PL0	103	85	63	L13	J11
	TSPI1CS1	PK4	107	89	67	J15	G14
	TSPI1CS2	PK5	106	88	66	K15	H13
	TSPI1CS3	PK6	105	87	65	J16	H14
	TSPI1RXD	PL2	101	83	61	L15	J13
	TSPI1TXD	PL3	100	82	60	L16	K14
	TSPI1SCK	PL1	102	84	62	K16	J14
TSPI ch 2	TSPI2CSIN	PA7	22	22	13	H2	J5
		PF7	3	3	2	B1	B1
	TSPI2CS0	PA7	22	22	13	H2	J5
		PF7	3	3	2	B1	B1
	TSPI2CS1	PA3	26	26	17	K2	H1
	TSPI2RXD	PA5	24	24	15	J2	G1
	TSPI2TXD	PA4	25	25	16	J1	H2
	TSPI2SCK	PA6	23	23	14	H1	G2

表 4.12　信号接続一覧: TSPI ch 3, 4, 5, 6, 7, 8

機能	兼用機能端子名	ポート名	M4GR (LQFP176)	M4GQ (LQFP144)	M4GN (LQFP100)	M4GR (BGA177)	M4GQ (BGA145)
TSPI ch 3	TSPI3CSIN	PK1	110	92	70	J12	H11
		PK7	104	86	64	K12	J10
	TSPI3CS0	PK1	110	92	70	J12	H11
		PK7	104	86	64	K12	J10
	TSPI3CS1	PL3	100	82	60	L16	K14
	TSPI3RXD	PK5	106	88	66	K15	H13
	TSPI3TXD	PK4	107	89	67	J15	G14
	TSPI3SCK	PK6	105	87	65	J16	H14
TSPI ch 4	TSPI4CSIN	PD0	48	40	29	N5	L4
	TSPI4CS0	PD0	48	40	29	N5	L4
	TSPI4RXD	PD2	50	42	31	N6	K6
	TSPI4TXD	PD3	51	43	32	M7	L6
	TSPI4SCK	PD1	49	41	30	M6	L5
TSPI ch 5	TSPI5CSIN	PV7	78	62	-	R11	L9
	TSPI5CS0	PV7	78	62	-	R11	L9
	TSPI5RXD	PV4	81	65	-	R12	N10
	TSPI5TXD	PV5	80	64	-	T12	P9
	TSPI5SCK	PV6	79	63	-	T11	N9
TSPI ch 6	TSPI6CSIN	PM3	121	99	-	E13	F13
	TSPI6CS0	PM3	121	99	-	E13	F13
	TSPI6RXD	PM1	123	101	-	F15	E13
	TSPI6TXD	PM0	124	102	-	E16	D14
	TSPI6SCK	PM2	122	100	-	F16	E14
TSPI ch 7	TSPI7CSIN	PM4	85	69	-	N12	L10
	TSPI7CS0	PM4	85	69	-	N12	L10
	TSPI7RXD	PM6	83	67	-	R13	N11
	TSPI7TXD	PM7	82	66	-	T13	P10
	TSPI7SCK	PM5	84	68	-	T14	P11
TSPI ch 8	TSPI8CSIN	PW0	77	-	-	M11	-
	TSPI8CS0	PW0	77	-	-	M11	-
	TSPI8RXD	PW2	75	-	-	M10	-
	TSPI8TXD	PW3	74	-	-	N10	-
	TSPI8SCK	PW1	76	-	-	N11	-

表 4.13 信号接続一覧: TSSI ch 0,1/SMIF ch 0

機能	兼用機能端子名	ポート名	M4GR (LQFP176)	M4GQ (LQFP144)	M4GN (LQFP100)	M4GR (BGA177)	M4GQ (BGA145)
TSSI ch 0	TSSI0TCK	PD2	50	42	31	N6	K6
	TSSI0TFS	PD3	51	43	32	M7	L6
	TSSI0TXD	PD4	52	44	33	N7	L7
	TSSI0RCK	PD7	55	47	36	M9	L8
	TSSI0RFS	PD6	54	46	35	N8	K8
	TSSI0RXD	PD5	53	45	34	M8	K7
TSSI ch 1	TSSI1TCK	PU2	36	-	-	J5	-
	TSSI1TFS	PU3	37	-	-	K4	-
	TSSI1TXD	PU4	38	-	-	K5	-
	TSSI1RCK	PU7	41	-	-	M4	-
	TSSI1RFS	PU6	40	-	-	L4	-
	TSSI1RXD	PU5	39	-	-	L5	-
SMIF ch 0	SMI0CS1_N	PK0	111	93	71	H12	H10
	SMI0D0	PK2	109	91	69	J13	F14
	SMI0D1	PK3	108	90	68	K13	G13
	SMI0D2	PK4	107	89	67	J15	G14
	SMI0D3	PK5	106	88	66	K15	H13
	SMI0D4	PL0	103	85	63	L13	J11
	SMI0D5	PL1	102	84	62	K16	J14
	SMI0D6	PL2	101	83	61	L15	J13
	SMI0D7	PL3	100	82	60	L16	K14
	SMI0CLK	PK6	105	87	65	J16	H14
	SMI0CS0_N	PK7	104	86	64	K12	J10

表 4.14 信号接続一覧: T32A ch 0, 1

機能	兼用機能端子名	ポート名	M4GR (LQFP176)	M4GQ (LQFP144)	M4GN (LQFP100)	M4GR (BGA177)	M4GQ (BGA145)
T32A ch 0	T32A00INA0	PA0	29	29	20	L1	J4
		PK0	111	93	71	H12	H10
	T32A00INA1	PA3	26	26	17	K2	H1
	T32A00OUTA	PA1	28	28	19	L2	J1
		PW1	76	-	-	N11	-
	T32A00INB0	PA3	26	26	17	K2	H1
		PK1	110	92	70	J12	H11
	T32A00INB1	PA0	29	29	20	L1	J4
	T32A00OUTB	PA2	27	27	18	K1	J2
		PW0	77	-	-	M11	-
	T32A00INC0	PA0	29	29	20	L1	J4
		PK0	111	93	71	H12	H10
	T32A00INC1	PA3	26	26	17	K2	H1
		PK1	110	92	70	J12	H11
	T32A00OUTC	PA1	28	28	19	L2	J1
		PW1	76	-	-	N11	-
T32A ch 1	T32A01INA0	PA4	25	25	16	J1	H2
		PK6	105	87	65	J16	H14
	T32A01INA1	PA7	22	22	13	H2	J5
	T32A01OUTA	PA5	24	24	15	J2	G1
		PW2	75	-	-	M10	-
	T32A01INB0	PA7	22	22	13	H2	J5
		PK7	104	86	64	K12	J10
	T32A01INB1	PA4	25	25	16	J1	H2
	T32A01OUTB	PA6	23	23	14	H1	G2
		PW3	74	-	-	N10	-
	T32A01INC0	PA4	25	25	16	J1	H2
		PK6	105	87	65	J16	H14
	T32A01INC1	PA7	22	22	13	H2	J5
		PK7	104	86	64	K12	J10
	T32A01OUTC	PA5	24	24	15	J2	G1
		PW2	75	-	-	M10	-

表 4.15 信号接続一覧: T32A ch 2, 3

機能	兼用機能端子名	ポート名	M4GR (LQFP176)	M4GQ (LQFP144)	M4GN (LQFP100)	M4GR (BGA177)	M4GQ (BGA145)
T32A ch 2	T32A02INA0	PB0	21	21	12	G1	H4
		PL0	103	85	63	L13	J11
	T32A02INA1	PB1	20	20	11	G2	H5
	T32A02OUTA	PB2	19	19	10	F1	F1
		PG5	96	80	58	M13	K11
	T32A02INB0	PB1	20	20	11	G2	H5
		PL3	100	82	60	L16	K14
	T32A02INB1	PB0	21	21	12	G1	H4
	T32A02OUTB	PB3	18	18	9	F2	F2
		PG4	97	81	59	L12	K13
	T32A02INC0	PB0	21	21	12	G1	H4
		PL0	103	85	63	L13	J11
	T32A02INC1	PB1	20	20	11	G2	H5
		PL3	100	82	60	L16	K14
	T32A02OUTC	PB2	19	19	10	F1	F1
		PG5	96	80	58	M13	K11
T32A ch 3	T32A03INA0	PB6	15	15	6	G4	G4
		PJ4	69	-	-	T9	-
	T32A03INA1	PB7	14	14	5	G5	G5
	T32A03OUTA	PB4	17	17	8	E1	E1
		PT3	31	31	22	H5	K4
	T32A03INB0	PB7	14	14	5	G5	G5
		PJ5	68	-	-	R9	-
	T32A03INB1	PB6	15	15	6	G4	G4
	T32A03OUTB	PB5	16	16	7	E2	E2
		PT5	73	61	-	R10	K9
	T32A03INC0	PB6	15	15	6	G4	G4
		PJ4	69	-	-	T9	-
	T32A03INC1	PB7	14	14	5	G5	G5
		PJ5	68	-	-	R9	-
	T32A03OUTC	PB4	17	17	8	E1	E1
		PT3	31	31	22	H5	K4

表 4.16　信号接続一覧: T32A ch 4, 5

機能	兼用機能端子名	ポート名	M4GR (LQFP176)	M4GQ (LQFP144)	M4GN (LQFP100)	M4GR (BGA177)	M4GQ (BGA145)
T32A ch 4	T32A04INA0	PD0	48	40	29	N5	L4
		PP0	141	117	84	D12	D11
	T32A04INA1	PD1	49	41	30	M6	L5
		PP1	142	118	85	D11	D10
	T32A04OUTA	PD2	50	42	31	N6	K6
		PV5	80	64	-	T12	P9
	T32A04INB0	PD1	49	41	30	M6	L5
		PP1	142	118	85	D11	D10
	T32A04INB1	PD0	48	40	29	N5	L4
		PP0	141	117	84	D12	D11
	T32A04OUTB	PD3	51	43	32	M7	L6
		PV4	81	65	-	R12	N10
	T32A04INC0	PD0	48	40	29	N5	L4
		PP0	141	117	84	D12	D11
	T32A04INC1	PD1	49	41	30	M6	L5
		PP1	142	118	85	D11	D10
	T32A04OUTC	PD2	50	42	31	N6	K6
		PV5	80	64	-	T12	P9
T32A ch 5	T32A05INA0	PD6	54	46	35	N8	K8
		PP2	143	119	86	B11	B9
	T32A05INA1	PD7	55	47	36	M9	L8
		PP3	144	120	87	A11	A9
	T32A05OUTA	PD4	52	44	33	N7	L7
		PV6	79	63	-	T11	N9
	T32A05INB0	PD7	55	47	36	M9	L8
		PP3	144	120	87	A11	A9
	T32A05INB1	PD6	54	46	35	N8	K8
		PP2	143	119	86	B11	B9
	T32A05OUTB	PD5	53	45	34	M8	K7
		PV7	78	62	-	R11	L9
	T32A05INC0	PD6	54	46	35	N8	K8
		PP2	143	119	86	B11	B9
	T32A05INC1	PD7	55	47	36	M9	L8
		PP3	144	120	87	A11	A9
	T32A05OUTC	PD4	52	44	33	N7	L7
		PV6	79	63	-	T11	N9

表 4.17 信号接続一覧: T32A ch 6, 7

機能	兼用機能端子名	ポート名	M4GR (LQFP176)	M4GQ (LQFP144)	M4GN (LQFP100)	M4GR (BGA177)	M4GQ (BGA145)
T32A ch 6	T32A06INA0	PE2	60	52	39	T5	P5
		PP4	145	121	88	E11	D9
	T32A06INA1	PE0	58	50	37	R4	N4
		PP5	146	122	89	D10	E9
	T32A06OUTA	PE1	59	51	38	R5	N5
		PM5	84	68	-	T14	P11
	T32A06INB0	PE3	61	53	40	T6	N6
		PP5	146	122	89	D10	E9
	T32A06INB1	PE0	58	50	37	R4	N4
		PP4	145	121	88	E11	D9
	T32A06OUTB	PE0	58	50	37	R4	N4
		PM4	85	69	-	N12	L10
	T32A06INC0	PE2	60	52	39	T5	P5
		PP4	145	121	88	E11	D9
	T32A06INC1	PE3	61	53	40	T6	N6
		PP5	146	122	89	D10	E9
	T32A06OUTC	PE1	59	51	38	R5	N5
		PM5	84	68	-	T14	P11
T32A ch 7	T32A07INA0	PE4	62	54	41	R6	P6
		PP6	147	123	90	B10	B8
	T32A07INA1	PE7	65	57	44	T8	N8
		PP7	148	124	91	A10	A8
	T32A07OUTA	PE6	64	56	43	T7	N7
		PM6	83	67	-	R13	N11
	T32A07INB0	PE5	63	55	42	R7	P7
		PP7	148	124	91	A10	A8
	T32A07INB1	PE7	65	57	44	T8	N8
		PP6	147	123	90	B10	B8
	T32A07OUTB	PE7	65	57	44	T8	N8
		PM7	82	66	-	T13	P10
	T32A07INC0	PE4	62	54	41	R6	P6
		PP6	147	123	90	B10	B8
	T32A07INC1	PE5	63	55	42	R7	P7
		PP7	148	124	91	A10	A8
	T32A07OUTC	PE6	64	56	43	T7	N7
		PM6	83	67	-	R13	N11

表 4.18　信号接続一覧: T32A ch 8, 9

機能	兼用機能端子名	ポート名	M4GR (LQFP176)	M4GQ (LQFP144)	M4GN (LQFP100)	M4GR (BGA177)	M4GQ (BGA145)
T32A ch 8	T32A08INA0	PC0	11	11	-	F4	F4
		PR0	149	125	-	E10	D8
	T32A08OUTA	PC2	9	9	-	D1	D1
		PL4	126	-	-	D16	-
	T32A08INB0	PC1	10	10	-	F5	F5
		PR1	150	126	-	D9	E8
	T32A08OUTB	PC3	8	8	-	D2	D2
		PL5	125	-	-	E15	-
	T32A08INC0	PC0	11	11	-	F4	F4
		PR0	149	125	-	E10	D8
	T32A08INC1	PC1	10	10	-	F5	F5
		PR1	150	126	-	D9	E8
	T32A08OUTC	PC2	9	9	-	D1	D1
		PL4	126	-	-	D16	-
T32A ch 9	T32A09INA0	PR2	151	127	-	B9	B7
		PV0	115	97	-	F12	F10
	T32A09OUTA	PL6	164	-	-	E7	-
		PV2	113	95	-	G12	G11
	T32A09INB0	PR3	152	128	-	A9	A7
		PV1	114	96	-	G13	F11
	T32A09OUTB	PL7	163	-	-	E8	-
		PV3	112	94	-	H13	G10
	T32A09INC0	PR2	151	127	-	B9	B7
		PV0	115	97	-	F12	F10
	T32A09INC1	PR3	152	128	-	A9	A7
		PV1	114	96	-	G13	F11
	T32A09OUTC	PL6	164	-	-	E7	-
		PV2	113	95	-	G12	G11

表 4.19 信号接続一覧: T32A ch 10, 11

機能	兼用機能端子名	ポート名	M4GR (LQFP176)	M4GQ (LQFP144)	M4GN (LQFP100)	M4GR (BGA177)	M4GQ (BGA145)
T32A ch 10	T32A10INA0	PR4	153	129	-	A8	D7
		PW4	120	-	-	G15	-
	T32A10INA1	PW7	117	-	-	H16	-
	T32A10OUTA	PC4	7	7	-	C1	C1
		PW5	119	-	-	G16	-
	T32A10INB0	PR5	154	130	-	B8	E7
	T32A10OUTB	PC5	6	6	-	C2	C2
		PW4	120	-	-	G15	-
	T32A10INC0	PR4	153	129	-	A8	D7
	T32A10INC1	PR5	154	130	-	B8	E7
	T32A10OUTC	PC4	7	7	-	C1	C1
		PW5	119	-	-	G16	-
T32A ch 11	T32A11INA0	PR6	155	131	-	E9	E6
		PW7	117	-	-	H16	-
	T32A11INA1	PW4	120	-	-	G15	-
	T32A11OUTA	PM2	122	100	-	F16	E14
		PW6	118	-	-	H15	-
	T32A11INB0	PR7	156	132	-	D8	D6
	T32A11OUTB	PM3	121	99	-	E13	F13
		PW7	117	-	-	H16	-
	T32A11INC0	PR6	155	131	-	E9	E6
	T32A11INC1	PR7	156	132	-	D8	D6
	T32A11OUTC	PM2	122	100	-	F16	E14
		PW6	118	-	-	H15	-

表 4.20　信号接続一覧: T32A ch 12, 13/EBIF (1/3)

機能	兼用機能端子名	ポート名	M4GR (LQFP176)	M4GQ (LQFP144)	M4GN (LQFP100)	M4GR (BGA177)	M4GQ (BGA145)
T32A ch 12	T32A12INA0	PU2	36	-	-	J5	-
	T32A12OUTA	PU0	34	-	-	H4	-
	T32A12INB0	PU3	37	-	-	K4	-
	T32A12OUTB	PU1	35	-	-	J4	-
	T32A12INC0	PU2	36	-	-	J5	-
	T32A12INC1	PU3	37	-	-	K4	-
	T32A12OUTC	PU0	34	-	-	H4	-
T32A ch 13	T32A13INA0	PU5	39	-	-	L5	-
	T32A13OUTA	PU6	40	-	-	L4	-
	T32A13INB0	PU4	38	-	-	K5	-
	T32A13OUTB	PU7	41	-	-	M4	-
	T32A13INC0	PU5	39	-	-	L5	-
	T32A13INC1	PU4	38	-	-	K5	-
	T32A13OUTC	PU6	40	-	-	L4	-
EBIF	EA00	PA0	29	29	20	L1	J4
	EA01	PA1	28	28	19	L2	J1
	EA02	PA2	27	27	18	K1	J2
	EA03	PA3	26	26	17	K2	H1
	EA04	PA4	25	25	16	J1	H2
	EA05	PA5	24	24	15	J2	G1
	EA06	PA6	23	23	14	H1	G2
	EA07	PA7	22	22	13	H2	J5

表 4.21　信号接続一覧: EBIF (2/3)

機能	兼用機能端子名	ポート名	M4GR (LQFP176)	M4GQ (LQFP144)	M4GN (LQFP100)	M4GR (BGA177)	M4GQ (BGA145)
EBIF	EA08	PB0	21	21	12	G1	H4
		PE7	65	57	44	T8	N8
	EA09	PB1	20	20	11	G2	H5
		PE6	64	56	43	T7	N7
	EA10	PB2	19	19	10	F1	F1
		PE5	63	55	42	R7	P7
	EA11	PB3	18	18	9	F2	F2
		PE4	62	54	41	R6	P6
	EA12	PB4	17	17	8	E1	E1
		PE3	61	53	40	T6	N6
	EA13	PB5	16	16	7	E2	E2
		PE2	60	52	39	T5	P5
	EA14	PB6	15	15	6	G4	G4
		PE1	59	51	38	R5	N5
	EA15	PB7	14	14	5	G5	G5
		PE0	58	50	37	R4	N4
	EA16	PC0	11	11	-	F4	F4
		PE7	65	57	44	T8	N8
	EA17	PC1	10	10	-	F5	F5
		PE6	64	56	43	T7	N7
	EA18	PC2	9	9	-	D1	D1
		PE5	63	55	42	R7	P7
	EA19	PC3	8	8	-	D2	D2
		PE4	62	54	41	R6	P6
	EA20	PC4	7	7	-	C1	C1
		PE3	61	53	40	T6	N6
	EA21	PC5	6	6	-	C2	C2
		PE2	60	52	39	T5	P5
	EA22	PC6	5	5	-	E4	E4
		PE1	59	51	38	R5	N5
	EA23	PC7	4	4	-	D4	D4
		PE0	58	50	37	R4	N4

表 4.22　信号接続一覧: EBIF (3/3)/NBDIF

機能	兼用機能端子名	ポート名	M4GR (LQFP176)	M4GQ (LQFP144)	M4GN (LQFP100)	M4GR (BGA177)	M4GQ (BGA145)
EBIF	ED00/EAD00	PD0	48	40	29	N5	L4
	ED01/EAD01	PD1	49	41	30	M6	L5
	ED02/EAD02	PD2	50	42	31	N6	K6
	ED03/EAD03	PD3	51	43	32	M7	L6
	ED04/EAD04	PD4	52	44	33	N7	L7
	ED05/EAD05	PD5	53	45	34	M8	K7
	ED06/EAD06	PD6	54	46	35	N8	K8
	ED07/EAD07	PD7	55	47	36	M9	L8
	ED08/EAD08	PE0	58	50	37	R4	N4
	ED09/EAD09	PE1	59	51	38	R5	N5
	ED10/EAD10	PE2	60	52	39	T5	P5
	ED11/EAD11	PE3	61	53	40	T6	N6
	ED12/EAD12	PE4	62	54	41	R6	P6
	ED13/EAD13	PE5	63	55	42	R7	P7
	ED14/EAD14	PE6	64	56	43	T7	N7
	ED15/EAD15	PE7	65	57	44	T8	N8
	ERD_N	PF0	172	140	97	D5	D5
	EWR_N	PF1	173	141	98	A4	B5
	ECS0_N	PK2	109	91	69	J13	F14
	ECS1_N	PK3	108	90	68	K13	G13
	ECS2_N	PF4	176	144	-	A2	A2
	ECS3_N	PF5	1	1	-	B3	B3
	EBELL_N	PF6	2	2	1	B2	B2
	EBELH_N	PF7	3	3	2	B1	B1
	EALE	PG0	129	105	72	D15	D13
	EWAIT_N	PG1	130	106	73	C16	C14
	EEXBCLK	PY4	30	30	21	M2	K2
NBDIF	NBDCLK	PG6	95	79	57	M16	L14
	NBDDATA0	PG7	94	78	56	M15	L13
	NBDDATA1	PH0	93	77	55	N16	L11
	NBDDATA2	PH1	92	76	54	N15	M13
	NBDDATA3	PH2	91	75	53	P16	M14
	NBDSYNC	PH3	90	74	52	P15	N13

表 4.23 信号接続一覧: ADC unit A/DAC ch 0, 1/TRGSEL

機能	兼用機能端子名	ポート名	M4GR (LQFP176)	M4GQ (LQFP144)	M4GN (LQFP100)	M4GR (BGA177)	M4GQ (BGA145)
ADC unit A	AINA00	PN0	133	109	76	B15	B13
	AINA01	PN1	134	110	77	A15	A13
	AINA02	PN2	135	111	78	B14	B12
	AINA03	PN3	136	112	79	A14	A12
	AINA04	PN4	137	113	80	B13	B11
	AINA05	PN5	138	114	81	A13	A11
	AINA06	PN6	139	115	82	B12	B10
	AINA07	PN7	140	116	83	A12	A10
	AINA08	PP0	141	117	84	D12	D11
	AINA09	PP1	142	118	85	D11	D10
	AINA10	PP2	143	119	86	B11	B9
	AINA11	PP3	144	120	87	A11	A9
	AINA12	PP4	145	121	88	E11	D9
	AINA13	PP5	146	122	89	D10	E9
	AINA14	PP6	147	123	90	B10	B8
	AINA15	PP7	148	124	91	A10	A8
	AINA16	PR0	149	125	-	E10	D8
	AINA17	PR1	150	126	-	D9	E8
	AINA18	PR2	151	127	-	B9	B7
	AINA19	PR3	152	128	-	A9	A7
	AINA20	PR4	153	129	-	A8	D7
	AINA21	PR5	154	130	-	B8	E7
	AINA22	PR6	155	131	-	E9	E6
	AINA23	PR7	156	132	-	D8	D6
DAC ch 0, 1	DAC0	PT0	159	135	94	A6	A5
	DAC1	PT1	160	136	95	A5	A4
TRGSEL	TRGIN0	PG3	132	108	75	B16	B14
	TRGIN1	PL7	163	-	-	E8	-
	TRGIN2	PT3	31	31	22	H5	K4

表 4.24 信号接続一覧: A-PMD ch0/ CEC ch0/RTC/RMC ch 0, 1/HDMAC unit A, B /JTAG/SW/TRACE

機能	兼用機能端子名	ポート名	M4GR (LQFP176)	M4GQ (LQFP144)	M4GN (LQFP100)	M4GR (BGA177)	M4GQ (BGA145)
A-PMD ch 0	EMG0	PD6	54	46	35	N8	K8
		PV6	79	63	-	T11	N9
	OVV0	PD7	55	47	36	M9	L8
		PV7	78	62	-	R11	L9
	UO0	PD0	48	40	29	N5	L4
		PV0	115	97	-	F12	F10
	VO0	PD2	50	42	31	N6	K6
		PV2	113	95	-	G12	G11
	WO0	PD4	52	44	33	N7	L7
		PV4	81	65	-	R12	N10
	XO0	PD1	49	41	30	M6	L5
		PV1	114	96	-	G13	F11
	YO0	PD3	51	43	32	M7	L6
		PV3	112	94	-	H13	G10
	ZO0	PD5	53	45	34	M8	K7
		PV5	80	64	-	T12	P9
CEC ch 0	CEC0	PT2	171	139	96	E6	E5
RTC	ALARM_N	PG2	131	107	74	C15	C13
	RTCOUT	PT3	31	31	22	H5	K4
RMC ch 0, 1	RXIN0	PT3	31	31	22	H5	K4
	RXIN1	PT4	116	98	-	F13	E11
HDMC unit A, B	HDMAREQA	PB1	20	20	11	G2	H5
	HDMAREQB	PK1	110	92	70	J12	H11
JTAG	TMS	PH4	89	73	51	R16	N14
	TCK	PH5	88	72	50	T15	P13
	TDO	PH6	87	71	49	R15	P12
	TDI	PH3	90	74	52	P15	N13
	TRST_N	PH7	86	70	48	R14	N12
SW	SWDIO	PH4	89	73	51	R16	N14
	SWCLK	PH5	88	72	50	T15	P13
	SWV	PH6	87	71	49	R15	P12
TRACE	TRACECLK	PG6	95	79	57	M16	L14
	TRACEDATA0	PG7	94	78	56	M15	L13
	TRACEDATA1	PH0	93	77	55	N16	L11
	TRACEDATA2	PH1	92	76	54	N15	M13
	TRACEDATA3	PH2	91	75	53	P16	M14

表 4.25 信号接続一覧: INT

機能	兼用機能端子名	ポート名	M4GR (LQFP176)	M4GQ (LQFP144)	M4GN (LQFP100)	M4GR (BGA177)	M4GQ (BGA145)
INT	INT00a	PK7	104	86	64	K12	J10
	INT00b	PT3	31	31	22	H5	K4
	INT01a	PL0	103	85	63	L13	J11
	INT01b	PT4	116	98	-	F13	E11
	INT02a	PA0	29	29	20	L1	J4
	INT02b	PT5	73	61	-	R10	K9
	INT03a	PA7	22	22	13	H2	J5
	INT03b	PL6	164	-	-	E7	-
	INT04a	PB0	21	21	12	G1	H4
	INT04b	PF0	172	140	97	D5	D5
	INT05a	PB1	20	20	11	G2	H5
	INT05b	PF7	3	3	2	B1	B1
	INT06a	PB6	15	15	6	G4	G4
	INT06b	PU2	36	-	-	J5	-
	INT07a	PB7	14	14	5	G5	G5
	INT07b	PU3	37	-	-	K4	-
	INT08a	PG0	129	105	72	D15	D13
	INT08b	PU4	38	-	-	K5	-
	INT09a	PG1	130	106	73	C16	C14
	INT09b	PU5	39	-	-	L5	-
	INT10a	PK0	111	93	71	H12	H10
	INT10b	PP6	147	123	90	B10	B8
	INT11a	PK1	110	92	70	J12	H11
	INT11b	PP7	148	124	91	A10	A8
	INT12a	PC0	11	11	-	F4	F4
	INT12b	PL4	126	-	-	D16	-
	INT13a	PC1	10	10	-	F5	F5
	INT13b	PL5	125	-	-	E15	-
	INT14a	PC6	5	5	-	E4	E4
	INT14b	PM3	121	99	-	E13	F13
	INT15a	PC7	4	4	-	D4	D4
	INT15b	PM4	85	69	-	N12	L10

表 4.26 信号接続一覧: 制御/電源

機能	兼用機能端子名 または、 専用端子名	ポート名	M4GR (LQFP176)	M4GQ (LQFP144)	M4GN (LQFP100)	M4GR (BGA177)	M4GQ (BGA145)
制御	X1	PY0	45	37	26	T2	P2
	X2	PY1	46	38	27	T3	P3
	XT1	PY2	44	36	25	P1	M1
	XT2	PY3	43	35	24	N1	L1
	BOOT_N	PY4	30	30	21	M2	K2
	EHCLKIN	PY0	45	37	26	T2	P2
	ELCLKIN	PY2	44	36	25	P1	M1
	RESET_N		42	34	23	R1	N1
	MODE		47	39	28	T1	P1
	BSC		-	-	-	T16	P14
電源	DVDD3A		12	12	3	A1	A1
	DVDD3B		32	32	-	R2	N2
	DVDD3C		56	48	-	R3	N3
	DVDD3D		71	59	46	M12	K10
	DVDD3E		98	-	-	N13	K10
	DVDD3F		127	103	-	T4	P4
	DVDD3G		161	137	-	M5	K5
	DVDD3H		169	-	-	N4	K5
	DVSSA		13	13	4	M1	K1
	DVSSB		33	33	-	N2	L2
	DVSSC		57	49	-	P2	M2
	DVSSD		72	60	47	E12	E10
	DVSSE		99	-	-	D13	E10
	DVSSF		128	104	-	A16	A14
	DVSSG		162	138	-	F6	F6
	DVSSH		170	-	-	E5	F6
	REGOUT1		70	58	45	T10	P8
	AVDD3		157	133	92	A7	A6
	AVSS		158	134	93	B7	B6

4.3. ポート

表中の記号の意味は下記のとおりです。

- Input/Output: ポートの入出力
  Input: 入力
  Output: 出力
  I/O: 入出力

- PU/PD: プログラマブルプルアップ/プルダウン対応
  PU: プログラマブルプルアップ選択可能
  PD: プログラマブルプルダウン選択可能

- OD: プログラマブルオープンドレイン出力対応
  YES: 対応
  NO: 非対応

- 5VT/3VT: トレラント対応
  5VT: 5V トレラント
  3VT: 3V トレラント
  N/A: 非対応

- SMT/CMOS:入力ゲート
  SMT: シュミット入力
  CMOS: CMOS 入力

- リセット中の状態: リセット期間中の端子状態です
  Hi-Z: ハイインピーダンス
  PU: プルアップ
  PD: プルダウン

- リセット後の状態: リセット解除直後の端子状態です
  Hi-Z: ハイインピーダンス
  PU: プルアップ
  PD: プルダウン

4.3.1. ポート仕様一覧

表 4.27 ポートA, B, C, Dのポート名、仕様

ポート名	Input/Output	PU/PD	OD	5VT/3VT	SMT/ CMOS	リセット中の状態	リセット後の状態
PA0	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PA1	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PA2	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PA3	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PA4	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PA5	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PA6	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PA7	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PB0	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PB1	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PB2	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PB3	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PB4	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PB5	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PB6	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PB7	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PC0	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PC1	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PC2	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PC3	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PC4	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PC5	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PC6	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PC7	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PD0	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PD1	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PD2	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PD3	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PD4	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PD5	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PD6	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PD7	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z

表 4.28 ポートE, F, G, Hのポート名、仕様

ポート名	Input/Output	PU/PD	OD	5VT/3VT	SMT/ CMOS	リセット中の状態	リセット後の状態
PE0	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PE1	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PE2	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PE3	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PE4	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PE5	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PE6	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PE7	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PF0	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PF1	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PF2	I/O	PU/PD	YES	5VT	SMT	Hi-Z	Hi-Z
PF3	I/O	PU/PD	YES	5VT	SMT	Hi-Z	Hi-Z
PF4	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PF5	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PF6	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PF7	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PG0	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PG1	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PG2	I/O	PU/PD	YES	5VT	SMT	Hi-Z	Hi-Z
PG3	I/O	PU/PD	YES	5VT	SMT	Hi-Z	Hi-Z
PG4	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PG5	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PG6	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PG7	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PH0	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PH1	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PH2	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PH3	I/O	PU/PD	YES	N/A	SMT	PU	PU
PH4	I/O	PU/PD	YES	N/A	SMT	PU	PU
PH5	I/O	PU/PD	YES	N/A	SMT	PD	PD
PH6	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PH7	I/O	PU/PD	YES	N/A	SMT	PU	PU

表 4.29　ポートJ, K, L, Mのポート名、仕様

ポート名	Input/Output	PU/PD	OD	5VT/3VT	SMT/ CMOS	リセット中の状態	リセット後の状態
PJ0	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PJ1	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PJ2	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PJ3	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PJ4	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PJ5	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PJ6	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PJ7	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PK0	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PK1	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PK2	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PK3	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PK4	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PK5	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PK6	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PK7	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PL0	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PL1	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PL2	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PL3	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PL4	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PL5	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PL6	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PL7	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PM0	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PM1	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PM2	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PM3	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PM4	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PM5	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PM6	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PM7	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z

表 4.30　ポートN, P, R, Tのポート名、仕様

ポート名	Input/Output	PU/PD	OD	5VT/3VT	SMT/ CMOS	リセット中の状態	リセット後の状態
PN0	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PN1	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PN2	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PN3	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PN4	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PN5	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PN6	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PN7	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PP0	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PP1	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PP2	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PP3	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PP4	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PP5	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PP6	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PP7	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PR0	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PR1	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PR2	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PR3	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PR4	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PR5	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PR6	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PR7	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PT0	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PT1	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PT2	I/O	PU/PD	YES	3VT	SMT	Hi-Z	Hi-Z
PT3	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PT4	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PT5	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z

表 4.31　ポートU, V, W, Yのポート名、仕様

ポート名	Input/Output	PU/PD	OD	5VT/3VT	SMT/ CMOS	リセット中の状態	リセット後の状態
PU0	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PU1	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PU2	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PU3	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PU4	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PU5	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PU6	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PU7	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PV0	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PV1	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PV2	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PV3	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PV4	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PV5	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PV6	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PV7	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PW0	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PW1	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PW2	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PW3	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PW4	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PW5	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PW6	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PW7	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PY0	Input	PU/PD	N/A	N/A	SMT	Hi-Z	Hi-Z
PY1	Input	PU/PD	N/A	N/A	SMT	Hi-Z	Hi-Z
PY2	Input	PU/PD	N/A	N/A	SMT	Hi-Z	Hi-Z
PY3	Input	PU/PD	N/A	N/A	SMT	Hi-Z	Hi-Z
PY4	Output	PU/PD	YES	N/A	SMT	Hi-Z (注)	Hi-Z

注) BOOT_N 端子と兼用です。リセット端子(RESET_N)、POR によるリセット期間中は***[PYPUP]***は許可状態("1")で、BOOT_N 信号が入力可能となります。RESET_N 端子=High の時に POR 以外の内部リセットがかかった場合は Hi-Z です。

5. 機能説明・動作説明

搭載機能の詳細はリファレンスマニュアルを参照してください。

5.1. リファレンスマニュアル

TMPM4G グループ(1)製品の搭載機能詳細は下表のリファレンスマニュアルを参照してください。

表 5.1 TMPM4Gグループ(1)リファレンスマニュアル一覧

リファレンスマニュアル	IP 記号	分類
入出力ポート (TMPM4G グループ(1))	PORT-M4G(1)	システム
例外 (TMPM4G グループ(1))	EXCEPT-M4G(1)	システム
クロック制御と動作モード (TMPM4G グループ(1))	CG-M4G(1)-C	システム
製品個別情報 (TMPM4G グループ(1))	PINFO-M4G(1)	システム
フラッシュメモリー (コードフラッシュ:2.0MB/1.5MB/1.0MB/512KB、データフラッシュ:32KB、USB シングルブート対応)	FLASH20MUD32-C	周辺機能
トリミング回路	TRM-B	周辺機能
周波数検知回路	OFD-A	周辺機能
電圧検出回路	LVD-E	周辺機能
デジタルノイズフィルター回路	DNF-A	周辺機能
デバッグインターフェース	DEBUG-A	周辺機能
ノンブレークデバッグインターフェース	NBDIF-A	周辺機能
インターバルセンサー検知回路	ISD-A	周辺機能
I^2S インターフェース	I2S-A	周辺機能
FIR 計算回路	FIR-A	周辺機能
多機能 DMA コントローラー	MDMAC-B	周辺機能
高速 DMA コントローラー	HDMAC-A	周辺機能
外部バスインターフェース	EBIF-A	周辺機能
シリアルメモリーインターフェース	SMIF-B	周辺機能
非同期シリアル通信回路	UART-C	周辺機能
高精度非同期シリアル通信回路	FUART-B	周辺機能
シリアルペリフェラルインターフェース	TSPI-E	周辺機能
同期シリアルインターフェース	TSSI-A	周辺機能
I^2C インターフェース	I2C-B	周辺機能
I^2C インターフェース バージョン A	EI2C-A	周辺機能
CEC 制御回路	CEC-A	周辺機能
12 ビットアナログデジタルコンバーター	ADC-H	周辺機能
8 ビットデジタルアナログコンバーター	DAC-B	周辺機能
アドバンストプログラマブルモーター制御回路	A-PMD-C	周辺機能
32 ビットタイマーイベントカウンター	T32A-B	周辺機能
ロングタームタイマー	LTTMR-A	周辺機能
リアルタイムクロック	RTC-A	周辺機能
クロック選択式ウォッチドックタイマー	SIWDT-A	周辺機能
リモコン受信回路	RMC-B	周辺機能
バウンダリースキャン	BSC-A	周辺機能

5.2. プロセッサーコア

TMPM4G グループ(1)には、高性能 32 ビットプロセッサーコア(Arm 社 Cortex-M4(FPU 機能搭載)が内蔵されています。
プロセッサーコアの動作については、Arm 社からリリースされている「Cortex-M シリーズプロセッサーの Arm ドキュメンテーションセット」を参照してください。この章では、製品固有の情報について説明します。

5.2.1. コアに関する情報

TMPM4G グループ(1)で使用している Cortex-M4(FPU 機能搭載)コアのリビジョンは以下のとおりです。
CPU コア部、アーキテクチャーなどの詳細は、Arm 社のホームページよりドキュメントを参照してください。

表 5.2 コアリビジョン

グループ名	コアリビジョン
TMPM4G グループ(1)	r0p1

5.2.2. 構成可能なオプション

Cortex-M4(FPU 機能搭載)コアは、一部のブロックについて実装するかどうかを選択することができます。TMPM4G グループ(1)での構成は以下のとおりです。

表 5.3 構成可能なオプションと実装

構成可能なオプション	実装
FWB	リテラルコンパレーター: 2 本 命令コンパレーター: 6 本
DWT	コンパレーター: 4 本
ITM	あり
MPU	あり
ETM	あり
AHB-AP	あり
AHB トレースマクロセルインターフェース	なし
TPIU	あり
WIC	なし
デバッグポート	JTAG/シリアルワイヤ
ビットバンド	あり
AHB の継続的な制御	なし

5.3. クロック制御回路 (CG)

CG は、クロックギアやプリスケーラークロックの選択、発振器のウオーミングアップなどを設定する機能です。
動作モードとして NORMAL モードと低消費電力モードがあり、使用方法に応じてモード遷移を行うことで消費電力を抑えることができます。
また、システムクロックは高速で動作する「高速システムクロック」と、高速システムクロックを分周して動作する「中速システムクロック」があります。

クロック制御回路の概要は、下記のとおりです。

・内部高速発振器 1: 10MHz
・内部高速発振器 2: 10MHz
・外部高速発振器と内部高速発振器が選択可能
・PLL(逓倍回路): 高速発振器の周波数に合わせて倍率を変更して 200MHz 出力可能
・クロックギア:
高速クロックを 1/1、1/2、1/4、1/8、1/16 分周し、システムクロック(fsys)として選択可能。
・低消費電力モード:
IDLE: CPU が停止します。周辺機能は動作可能です。
STOP1: いくつかの周辺回路を除いて、内蔵高速発振器も含めて全ての内部回路が停止するモードです。
低周波クロックは対応する設定により、RTC、RMC、CEC、ISD へ供給することができます。LTTMR は IHOSC2 を許可にすることで動作可能になります。
STOP2: システムクロックが停止し、内部回路の電源を遮断します。設定によって、低周波クロックを RTC、RMC、CEC、ISD へ供給することは可能です。LTTMR は IHOSC2 を許可にすることで動作可能になります。

5.4. フラッシュメモリー(コードフラッシュ、データフラッシュ)

コードフラッシュは命令コードを格納し、CPU がリードして実行します。
コードフラッシュ、データフラッシュはデータを格納し、電源が遮断されてもデータが消えません。

コードフラッシュで命令を実行しながら、データフラッシュを書き換えることが可能なデュアルモードを搭載しています。データフラッシュへのデータ保存時にもコードフラッシュ上でアプリプログラムの実行を継続することができます。

また、ブロック単位で書き込み/消去を禁止するプロテクト機能、第 3 者によるプログラムコードの読み出しを禁止するセキュリティー機能などを搭載しています。

5.5. 発振器

外部高速発振器(EHOSC): 外部にクリスタル発振子またはセラミック発振子を接続して、システムクロックの源発振に使用します。
外部低速発振器(ELOSC): 外部に 32.768kHz のクリスタル発振子を接続して、時計用クロックや低消費動作時の源発振に使用します。
内蔵高速発振器 1(IHOSC1): 10MHz の発振器です。システムクロックの源発振に使用します。
内蔵高速発振器 2(IHOSC2): 10MHz の発振器です。OFD、SIWDT、LTTMR のカウントクロックの源発振に使用します。

TMPM4G グループ(1)の搭載発振器は下表のようになります。

表 5.4 搭載発振器

	M4GR	M4GQ	M4GN
EHOSC	○	○	○
ELOSC	○	○	○
IHOSC1	○	○	○
IHOSC2	○	○	○

注) ○: 搭載、－: 非搭載

5.6. トリミング回路 (TRM)

内蔵高速発振器 1 (IHOSC1)の発振周波数を調整する回路です。
TMPM4G グループ(1)のトリミング回路は下表のように搭載しています。

表 5.5 TRM搭載一覧

	M4GR	M4GQ	M4GN
TRM	○	○	○

注) ○: 搭載、－: 非搭載

5.7. 周波数検知回路 (OFD)

周波数検知回路(OFD)はクロックの異常を検知するための機能です。計測対象として外部高速発振クロック(f_{EHOSC})または高速クロック(fc)のどちらかを選択できます。内蔵の基準クロック(f_{IHOSC2})を用いて、選択したクロックを計測し、設定範囲から外れると内部リセット信号を発生します。
検出範囲として、検出する周波数の上限と下限を個別に設定することができます。

表 5.6 OFD搭載一覧

	M4GR	M4GQ	M4GN
OFD	○	○	○

注) ○: 搭載、－: 非搭載

5.8. 電圧検知回路 (LVD)

電圧検知回路 (LVD)は、電源電圧があらかじめ設定した電圧を下回るあるいは上回ったことを検知すると、割り込み要求または内部リセット信号を発生します。
設定電圧は 7 種類から選択することができます。LVD は電源投入時のリセット状態で許可されます。

表 5.7 LVD搭載一覧

	M4GR	M4GQ	M4GN
LVD	○	○	○

注) ○: 搭載、－: 非搭載

5.9. デジタルノイズフィルター回路 (DNF)

DNF は外部割り込み入力に搭載したデジタルノイズフィルター回路です。外部割り込み信号 INTx の High レベル/Low レベル入力ともにノイズを除去します。設定により、割り込み入力ごとに 0.07 ~ 4.48μs(fc= 200MHz の時)幅のノイズを除去できます。

TMPM4G グループ(1)製品には、割り込み端子数が 17 ~ 32 本あります。

表 5.8 外部割り込み端子数(DNF搭載数)

	M4GR	M4GQ	M4GN
外部 割り込み端子	32	25	17

5.10. デバッグインターフェース (DEBUG)

デバッグツールと接続するためのデバッグインターフェースとして、シリアルワイヤデバッグポート(SWCLK, SWDIO)と、JTAG デバッグポート(TDI, TDO, TMS, TCK, TRST_N)の 2 種類あります。これらの端子をデバッグツールと接続してプログラム開発を行います。また、デバッグ作業を軽減するためにトレースクロック(TRACECLK)とデータ出力(TRACEDATA0 ~3)があります。

TMPM4G グループ(1)製品は、シリアルワイヤデバッグポート、JTAGデバッグポートおよびトレース出力をサポートしています。

表 5.9 DEBUG搭載一覧

	ポート	M4GR	M4GQ	M4GN
TMS/SWDIO	PH4	○	○	○
TCK/SWCLK	PH5	○	○	○
TDO/SWV	PH6	○	○	○
TDI	PH3	○	○	○
TRST_N	PH7	○	○	○
TRACECLK	PG6	○	○	○
TRACEDATA0	PG7	○	○	○
TRACEDATA1	PH0	○	○	○
TRACEDATA2	PH1	○	○	○
TRACEDATA3	PH2	○	○	○

注) ○: 搭載、ー: 非搭載

5.11. ノンブレークデバッグインターフェース (NBDIF)

NBDIF に対応するデバッグ用機器を接続することで、RAM モニターなどを実現します。

表 5.10 NBDIF搭載一覧

	M4GR	M4GQ	M4GN
NBDSYNC	○	○	○
NBDCLK	○	○	○
NBDDATA0	○	○	○
NBDDATA1	○	○	○
NBDDATA2	○	○	○
NBDDATA3	○	○	○

注) ○: 搭載、ー: 非搭載

5.12. インターバルセンサー検知回路 (ISD)

ISD は、センサー入力の値の変化(High レベル、Low レベル、High レベル→Low レベル、Low レベル→High レベル)に応じて割り込みを発生させることができる周辺機能です。また、入力信号検出割り込みで低消費電力モードの解除が可能です。

表 5.11 ISD搭載一覧

UNIT	M4GR	M4GQ	M4GN
Unit A	○	○	○
Unit B	○	○	-
Unit C	○	-	-

注) ○: 搭載、ー: 非搭載

5.13. I²S インターフェース (I2S)

I2S は、音声データの送受信が可能な周辺機能です。音声データフォーマットは I²S ステレオ/LR ステレオ/PCM モノラルから選択可能で、サンプリング周波数はステレオで最大 192kHz、モノラルで最大 384kHz となります。

表 5.12 I2S搭載一覧

Channel	M4GR	M4GQ	M4GN
Channel 0	○	○	○
Channel 1	○	○	○

注) ○: 搭載、ー: 非搭載

5.14. FIR 計算回路 (FIR)

FIR 計算回路(FIR)は、I²S インターフェース(I2S)専用機能です。データバッファーにデータがライトされると、あらかじめ設定されたフィルター係数と積和演算処理を行います。FIR は I2S、MDMAC と連携して動作させることが可能です。

表 5.13 FIR搭載一覧

Channel	M4GR	M4GQ	M4GN
Channel 0	○	○	○

注) ○: 搭載、ー: 非搭載

5.15. DMA コントローラー

5.15.1. 多機能 DMA コントローラー (MDMAC)

MDMAC は、周辺機能からメモリーへ、メモリーから周辺機能へ、あるいはメモリーからメモリーへデータを転送させることができる周辺機能です。転送回数はチェーン転送を使い無限に設定することができます。これらの動作は CPU 制御と別に行われるため、MDMAC を使用することで、CPU の負荷を著しく減らすことができます。

TMPM4G グループ(1)製品は、MDMA コントローラー(MDMAC)を 1 ユニット搭載しており、ユニット当たり最大 32 チャネルの起動要因があります。チャネル 0 ~ 31 の入力はトリガーセレクター(TRGSEL)を経由し、TSPI、TSSI、UART、FUART、I2C/EI2C、I2S、FIR、T32A、ADC、A-PMD、トリガー選択(TRGSEL)を経由した外部トリガー入力を起動要因とすることができます。

表 5.14 MDMAC搭載一覧

UNIT	M4GR	M4GQ	M4GN
Unit A	○	○	○

注) ○: 搭載、 ー: 非搭載

5.15.2. 高速 DMA コントローラー (HDMAC)

HDMAC は、周辺機能からメモリーへ、メモリーから周辺機能へ、あるいはメモリーからメモリーへデータを転送させることができる周辺機能で、転送回数は最大 4095 回の高速な転送が可能です。これらの動作は CPU 制御と別に行われるため、HDMAC を使用することで、CPU の負荷を著しく減らすことができます。

TMPM4G グループ(1)製品は、HDMA コントローラー(HDMAC)を 2 ユニット搭載しており、SMIF、TSPI、外部トリガー入力を起動要因とすることができます。

表 5.15 HDMAC搭載一覧

UNIT	M4GR	M4GQ	M4GN
Unit A	○	○	○
Unit B	○	○	○

注) ○: 搭載、 ー: 非搭載

5.16. 外部バスインターフェース (EBIF)

EBIF は、外部にメモリーや I/O などを接続するための外部バスインターフェース機能です。
2 つのモード(セパレートバスモード、マルチプレクスバスモード)に対応しており、最大 64MB(16MB×4 チャネル)のアクセス空間をサポートしています。また、データバス幅はチャネルごとに 8 ビット、16 ビットの幅で設定が可能です。

表 5.16 EBIF搭載一覧

	M4GR	M4GQ	M4GN
EBIF	○	○	○

注) ○: 搭載、 ー: 非搭載

5.17. シリアルメモリーインターフェース (SMIF)

SMIF は、シリアル I/O またはマルチ I/O 通信インターフェースデバイスを備えたデバイス (SPI フラッシュメモリーなど)に接続するためのインターフェースです。1 チャネルあたり最大 2 つまでのシリアルメモリーを接続することが可能です。アクセス方法は、ダイレクトアクセスとインダイレクトアクセスをサポートしています。SMIF と SPI メモリーの通信は、STR-SPI(Standard SPI コンパチブル)、STR-Quad、STR-QPI、STR-Octal、STR-OPI についてリード/ライトをサポートしています。

表 5.17 SMIF搭載一覧

Channel	M4GR	M4GQ	M4GN
Channel 0	○	○	○

注) ○: 搭載、ー: 非搭載

5.18. 非同期シリアル通信回路

5.18.1. 非同期シリアル通信回路 (UART)

UART は、非同期シリアル通信機能です。7, 8, 9 ビットのデータ長、パリティー有無、STOP ビット長を選択できます。MSB ファスト/LSB ファストの選択、データ極性の反転の他に TXD/RXD の端子入れ替えができます(ポート設定による)。FIFO バッファーは、送信で 8 段、受信で 8 段を内蔵しています。また、CTS/RTS による通信制御をサポートしています。

表 5.18 UART搭載一覧

Channel	M4GR	M4GQ	M4GN
Channel 0	○	○	○
Channel 1	○	○	○
Channel 2	○	○	○
Channel 3	○	○	-
Channel 4	○	○	-
Channel 5	○	-	-

注 1) ○: 搭載、ー: 非搭載
注 2) 外部端子は製品によって異なります。「2. 端子配置図」を参照してください。

5.18.2. 高精度非同期シリアル通信回路 (FUART)

FUART は、非同期シリアル通信機能です。5,6,7,8 ビットのデータ長、パリティー有無、STOP ビット長を選択できます。FIFO バッファーは、送信で 32 段、受信で 32 段を内蔵しています。また、CTS/RTS による通信制御や IrDA 1.0 機能および DMA をサポートしています。

表 5.19 FUART搭載一覧

Channel	M4GR	M4GQ	M4GN
Channel 0	○	○	○
Channel 1	○	○	–

注 1) ○: 搭載、ー: 非搭載
注 2) 外部端子は製品によって異なります。「2. 端子配置図」を参照してください。

5.19. シリアルペリフェラルインターフェース (TSPI)

TSPI は通信時に CS(チップセレクト)信号を使用する SPI 方式と、CS 信号を使用しない SIO 方式の 2 つの通信方式に対応し、他のデバイスと高速なシリアル転送が可能な通信機能です。

データ長は、7 ビット(パリティーあり)から 32 ビット(パリティーなし)まで 1 ビット単位で変更可能です。受信，送信とも 16 ビットの FIFO が 8 段あります。マスター、スレーブに対応します。また、フレームモード(フレーム長(8 ~ 32bit))か、セクターモード(2 ~ 4 セクターで、フレーム長(8 ~ 128bit)を構成)が使用できます。

表 5.20 TSPI搭載一覧

Channel	M4GR	M4GQ	M4GN
Channel 0	○	○	○
Channel 1	○	○	○
Channel 2	○	○	○
Channel 3	○	○	○
Channel 4	○	○	○
Channel 5	○	○	–
Channel 6	○	○	–
Channel 7	○	○	–
Channel 8	○	–	–

注 1) ○: 搭載、ー: 非搭載
注 2) 外部端子は製品によって異なります。「2. 端子配置図」を参照してください。

5.20. 同期シリアルインターフェース (TSSI)

同期シリアルインターフェース(TSSI)は、送信部と受信部を独立して同期シリアル通信が可能です。また、送信部と受信部が協調動作することで送受信(全二重通信)することも可能です。送信部および受信部にそれぞれ 32bit 4 段構成の FIFO を持っています。

表 5.21 TSSI搭載一覧

Channel	M4GR	M4GQ	M4GN
Channel 0	○	○	○
Channel 1	○	–	–

注 1) ○: 搭載、ー: 非搭載
注 2) 外部端子は製品によって異なります。「2. 端子配置図」を参照してください。

5.21. I²C インターフェース

下表に I²C インターフェースの搭載一覧を示します。
I²C インターフェース(I2C)と I²C インターフェース バージョン A(EI2C)は排他的に使用してください。

表 5.22 I2C/EI2C搭載一覧

Channel	M4GR	M4GQ	M4GN
Channel 0	○	○	○
Channel 1	○	○	○
Channel 2	○	○	○
Channel 3	○	○	–
Channel 4	○	○	–

注) ○: 搭載、ー: 非搭載

5.21.1. I²C インターフェース (I2C)

I2C は二線式双方向シリアル通信機能です。マスターとスレーブの関係で通信をしますが、同一バス上に複数のマスターが存在可能なマルチマスターをサポートしています。
また、通信スピードは標準モード (最大 100kHz)、ファストモード(最大 400kHz)に対応しています。スレーブアドレスは 7-bit アドレッシングフォーマットに対応しています。

5.21.2. I²C インターフェース バージョン A (EI2C)

EI2C は二線式双方向シリアル通信機能です。マスターとスレーブの関係で通信をしますが、同一バス上に複数のマスターが存在可能なマルチマスターをサポートしています。
また、通信スピードは標準モード (最大 100kHz)、ファストモード(最大 400kHz)、ファストモードプラス(最大 1MHz)に対応しています。スレーブアドレスは 7bit および 10bit のアドレッシングフォーマットに対応しています。

5.22. CEC 制御回路 (CEC)

CEC (Consumer Electronics Control)データの送受信を行います。HDMI 規格 Version 1.3a に準拠した動作が可能です。

表 5.23 CEC搭載一覧

Channel	M4GR	M4GQ	M4GN
Channel 0	○	○	○

注) ○: 搭載、ー: 非搭載

5.23. 8 ビットデジタルアナログコンバーター (DAC)

DAC は、設定した電圧を出力することができる R-2R 型の 8 ビットのデジタルアナログコンバーターです。バッファーアンプは非搭載です。

表 5.24 DAC搭載一覧

Channel	M4GR	M4GQ	M4GN
Channel 0	○	○	○
Channel 1	○	○	○

注) ○: 搭載、ー: 非搭載

5.24. 12 ビットアナログデジタルコンバーター (ADC)

ADC は、12 ビット逐次変換方式のアナログデジタルコンバーター(AD コンバーター)です。最大 24 チャネルのアナログ入力に対応します。変換結果レジスターとアナログ入力の組み合わせは、AD 変換の開始要因ごとにプログラムが可能で、最優先起動/汎用起動やサンプリング期間の選択ができます(最大 24 個)。AD 変換の起動要因は、ソフトウェアまたは周辺機能(タイマー/イベントカウンター出力、ポート入力)から選択できます。

また、変換結果監視機能があり、比較条件と一致した場合に割り込み要求を発生させることができます。

表 5.25 ADC搭載一覧

UNIT	M4GR	M4GQ	M4GN
unit A	○	○	○

注) ○: 搭載、ー: 非搭載

表 5.26 アナログ入力数

	M4GR	M4GQ	M4GN
アナログ入力数	24	24	16

5.25. アドバンストプログラマブルモーター制御回路 (A-PMD)

アドバンストプログラマブルモーター制御回路(A-PMD)は、モーターを容易に制御することができます。3 相のパルス幅変調回路、デッドタイム回路を持ち、モーター制御用の波形を容易に発生できます。

表 5.27 A-PMD搭載一覧

Channel	M4GR	M4GQ	M4GN
Channel 0	○	○	○

注) ○: 搭載、－: 非搭載

5.26. タイマーイベントカウンター (T32A)

T32A は、32 ビットタイマーまたは、2 本の 16 ビットタイマーとして動作するタイマーイベントカウンターです。16 ビットモードと 32 ビットモードの選択が可能です。16 ビットモードの場合、16 ビットカウンター内蔵のタイマーA とタイマーB の構成で動作します。32 ビットモードの場合、32 ビットカウンター内蔵のタイマーC として動作します。

インターバルタイマー、イベントカウント、インプットキャプチャー、2 相カウンター入力、PPG 出力、同期スタート、トリガースタート/ストップなど多彩な機能を内蔵しています。

表 5.28 T32A搭載一覧

Channel	M4GR	M4GQ	M4GN
Channel 0	○	○	○
Channel 1	○	○	○
Channel 2	○	○	○
Channel 3	○	○	○
Channel 4	○	○	○
Channel 5	○	○	○
Channel 6	○	○	○
Channel 7	○	○	○
Channel 8	○	○	○
Channel 9	○	○	○
Channel 10	○	○	○
Channel 11	○	○	○
Channel 12	○	○	○
Channel 13	○	○	○
Channel 14	○	○	○
Channel 15	○	○	○

注 1) ○: 搭載、－: 非搭載
注 2) 外部端子は製品によって異なります。「2. 端子配置図」を参照してください。

5.27. ロングタームタイマー (LTTMR)

ロングタームタイマー(LTTMR)は、一定周期で割り込みを通知するタイマーです。周期は内蔵発振器 2 (IHOSC2)を基準に作成されます。割り込み周期は 0.1μs ~ 6553.5μs の範囲で発生できます。
また、LTTMR の出力を RMC、CEC のソースクロックとして使用可能です。

表 5.29 LTTMR搭載一覧

Channel	M4GR	M4GQ	M4GN
LTTMR	○	○	○

注）○: 搭載、－: 非搭載

5.28. リアルタイムクロック (RTC)

リアルタイムクロック(RTC)は秒カウンターをもち、時計機能、うるう年対応のカレンダー機能を実現できる周辺機能です。アラーム機能は、あらかじめ設定した日時に割り込み要求を発生することができます。
RTC は低速クロックで動作するため、設定により IDLE、STOP1 や STOP2 などの低消費電力モードでも動作します。また、RTC の割り込み要求で低消費電力モードからの復帰が可能です。
クロック補正機能により、低速クロックの誤差による時計の進みや遅れを簡単に補正することができます。

表 5.30 RTC搭載一覧

	M4GR	M4GQ	M4GN
RTC	○	○	○

注) ○: 搭載、－: 非搭載

5.29. クロック選択式ウオッチドッグタイマー (SIWDT)

クロック選択式ウオッチドッグタイマー(SIWDT)は、ノイズなどの原因により CPU が誤動作(暴走)した結果あらかじめ設定した検出時間以内にバイナリーカウンターをクリアできずバイナリーカウンターのオーバーフローを検出して、割り込み要求を発生または内部リセットを発生する周辺機能です。
カウントクロックとして、システムクロック(fsys / 4)の他に内蔵高速発振器 1 クロック(f_{IHOSC1})、内蔵高速発振器 2 クロック(f_{IHOSC2})の 3 つから選択が可能です。
指定された期間のみカウントクリアが可能な、カウントクリアウインドウ機能があります。
また、プロテクトモードに設定することでレジスターの変更を禁止することができます(カウンタークリアは可能)。

表 5.31 SIWDT搭載一覧

	M4GR	M4GQ	M4GN
SIWDT	○	○	○

注) ○: 搭載、－: 非搭載

5.30. リモコン受信回路 (RMC)

RMC は、搬送波が取り除かれたリモコン信号の受信を行う機能です。リーダー信号を検出し、72 ビット分のデータを一括して受信できます。受信できるデータのフォーマットは、同期方式、同期固定の位相方式の 2 種類です。

また、デジタル式のノイズキャンセラーを内蔵しているため外乱ノイズを防ぐことができます。タイマーイベントカウンターとの連動で、リーダー信号の間隔を測定することもできます。

RMC は低速クロックで動作可能で、設定により IDLE、STOP1、STOP2 の低消費電力モードでも動作します。また、RMC の割り込み要求で低消費電力モードからの復帰が可能です。

表 5.32 RMC搭載一覧

Channel	M4GR	M4GQ	M4GN
Channel0	○	○	○
Channel1	○	○	-

注) ○: 搭載、ー: 非搭載

5.31. バウンダリースキャン (BSC)

バウンダリースキャンは基板実装後の検査に使用することができます。このインターフェースには業界標準の JTAG プロトコル (IEEE Std 1149.1・1990(Includes IEEEStd 1149.1a・1993))を使用しています。

表 5.33 バウンダリースキャン搭載一覧

	M4GR	M4GQ	M4GN
バウンダリースキャン	○	○	-

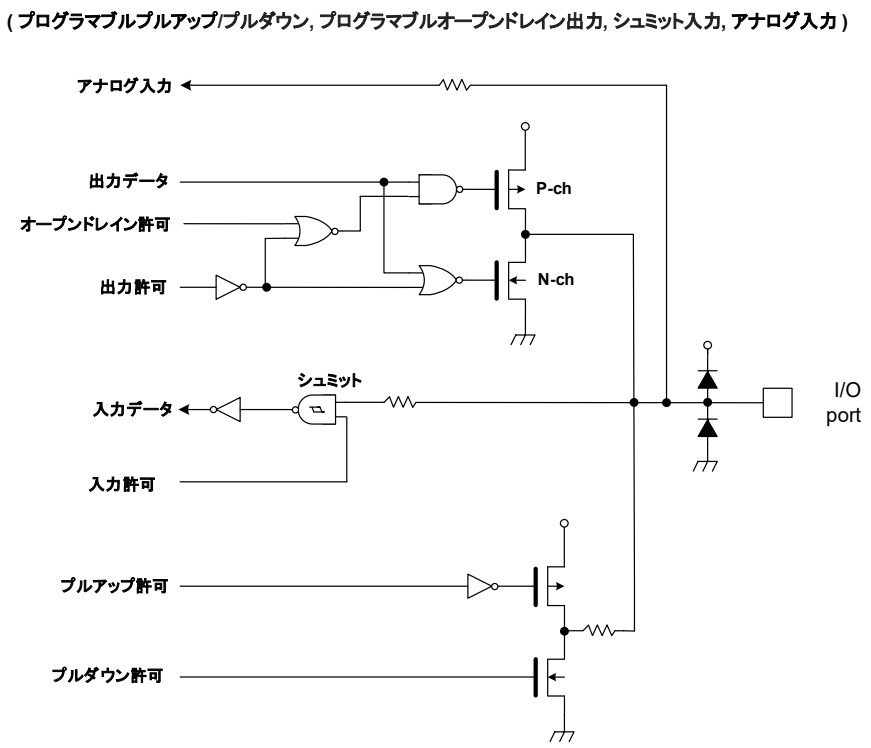
注 1) ○: 搭載、ー: 非搭載
注 2) M4GR、M4GQ は VFBGA177、VFBGA145 のみ搭載

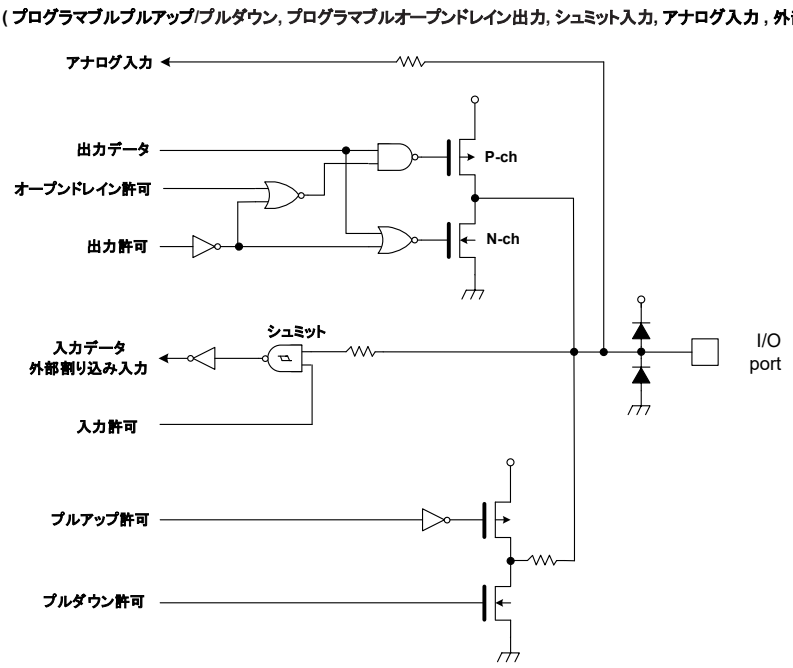
6. 等価回路図

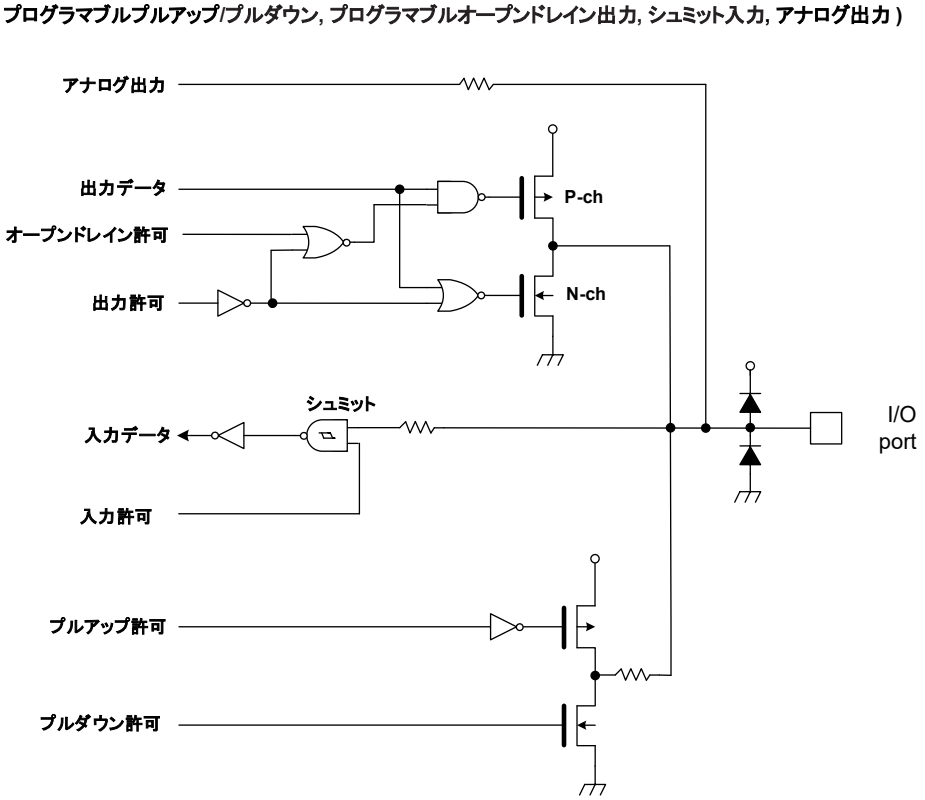
ポート等価回路図は、基本的に標準 CMOS ロジック IC「74HCxx」シリーズと同じゲート記号を使って書かれています。フィードバック抵抗、入力保護抵抗は、数十 Ω ~ 数百 Ω 程度です。

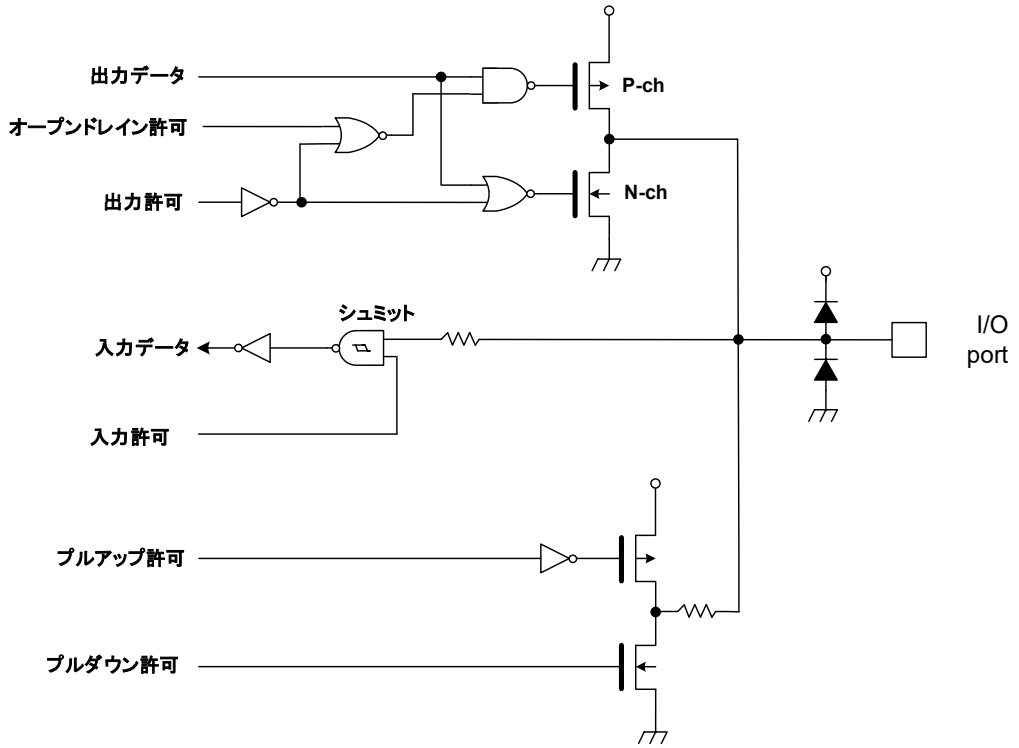
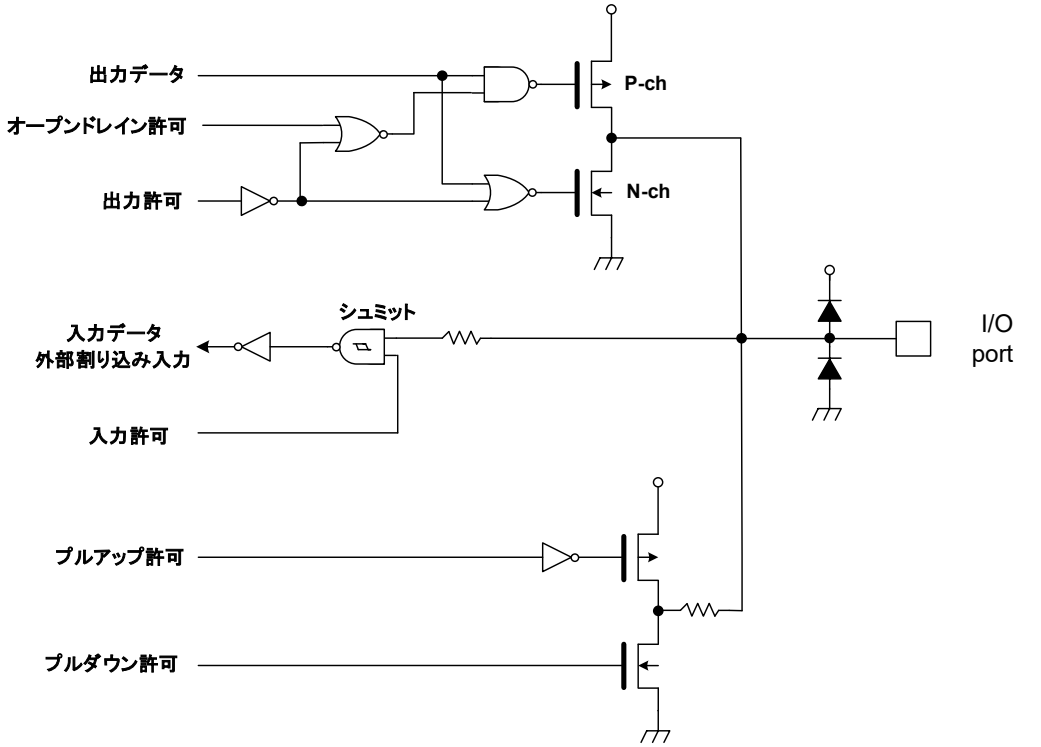
注) 図中の数値の記載のない抵抗は、入力保護抵抗を示します。

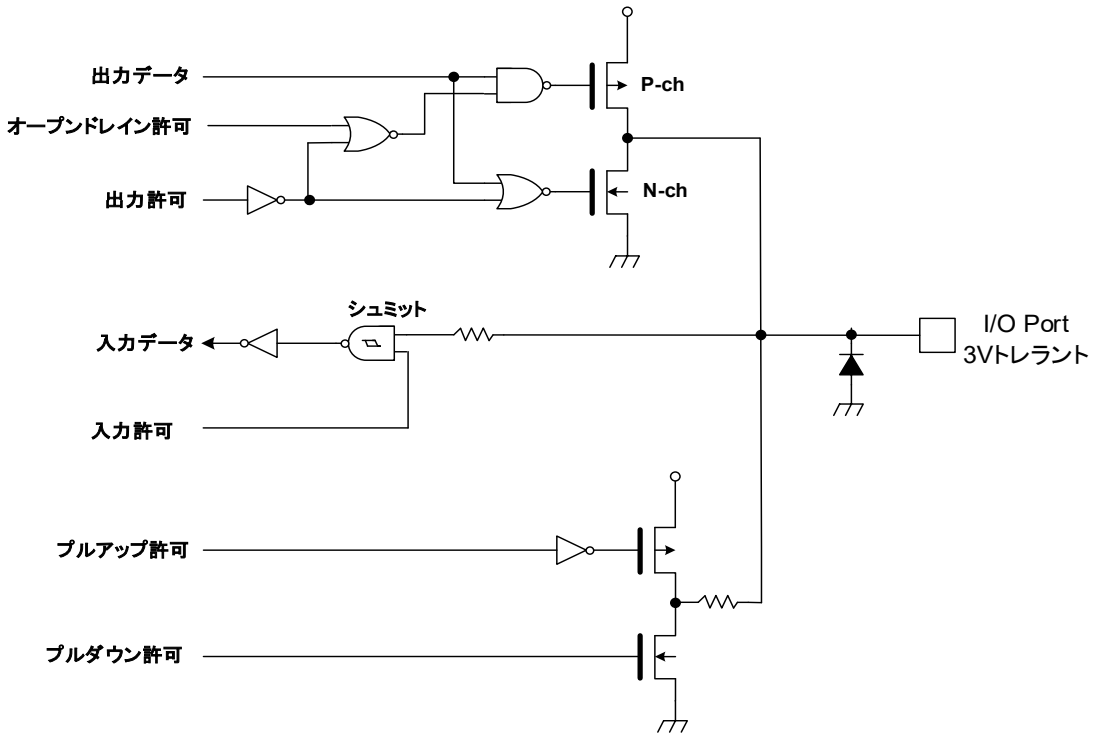
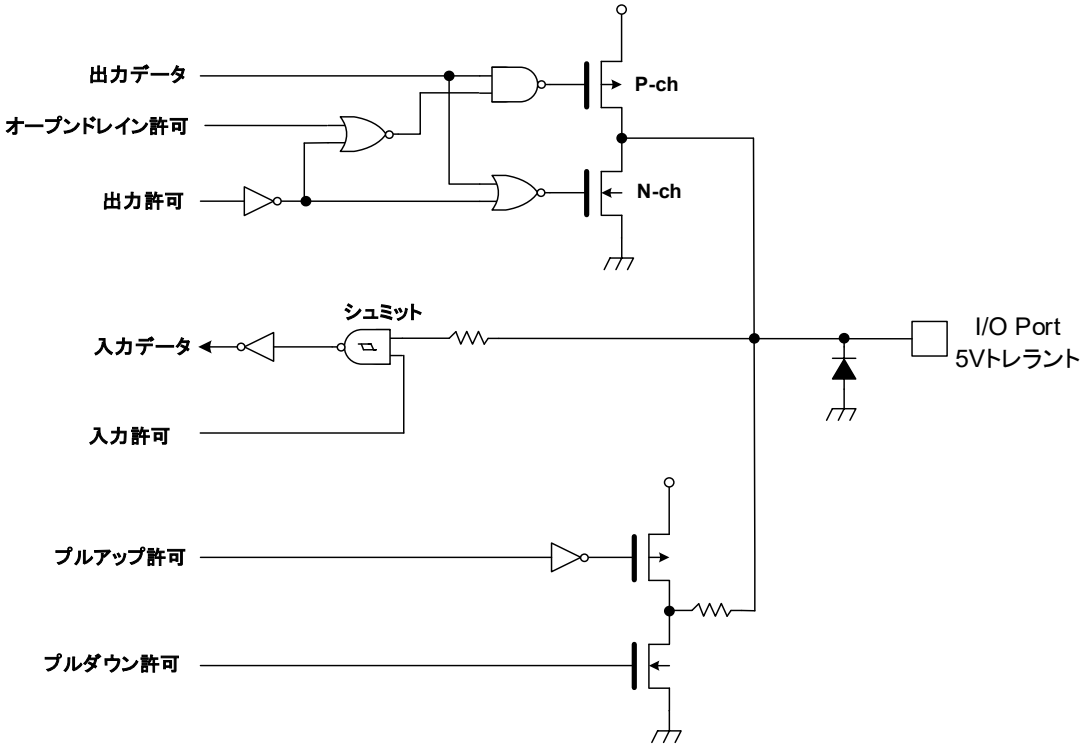
6.1. ポート

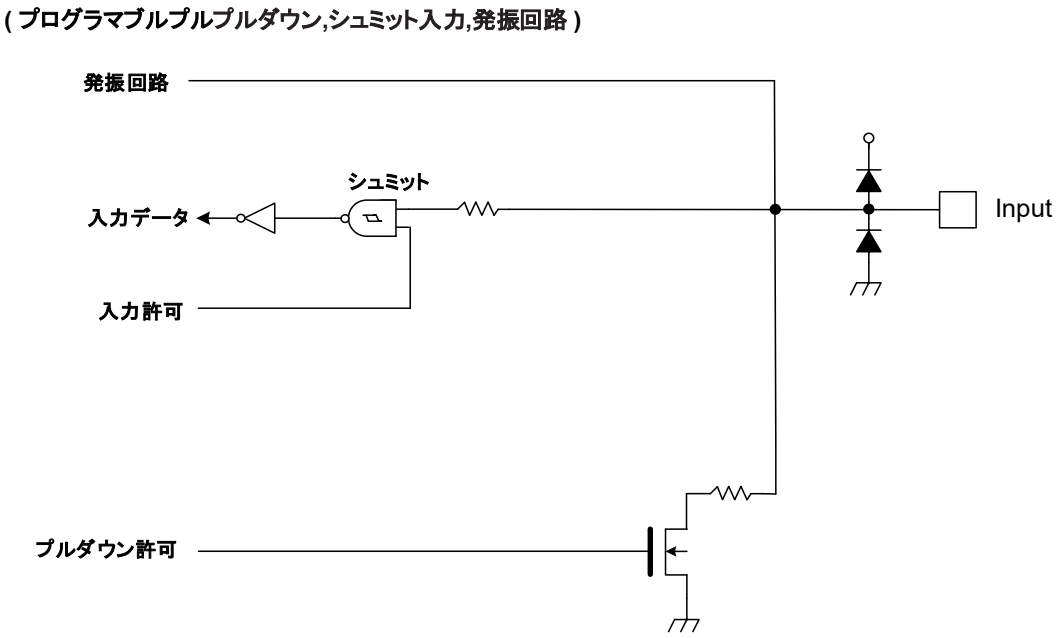
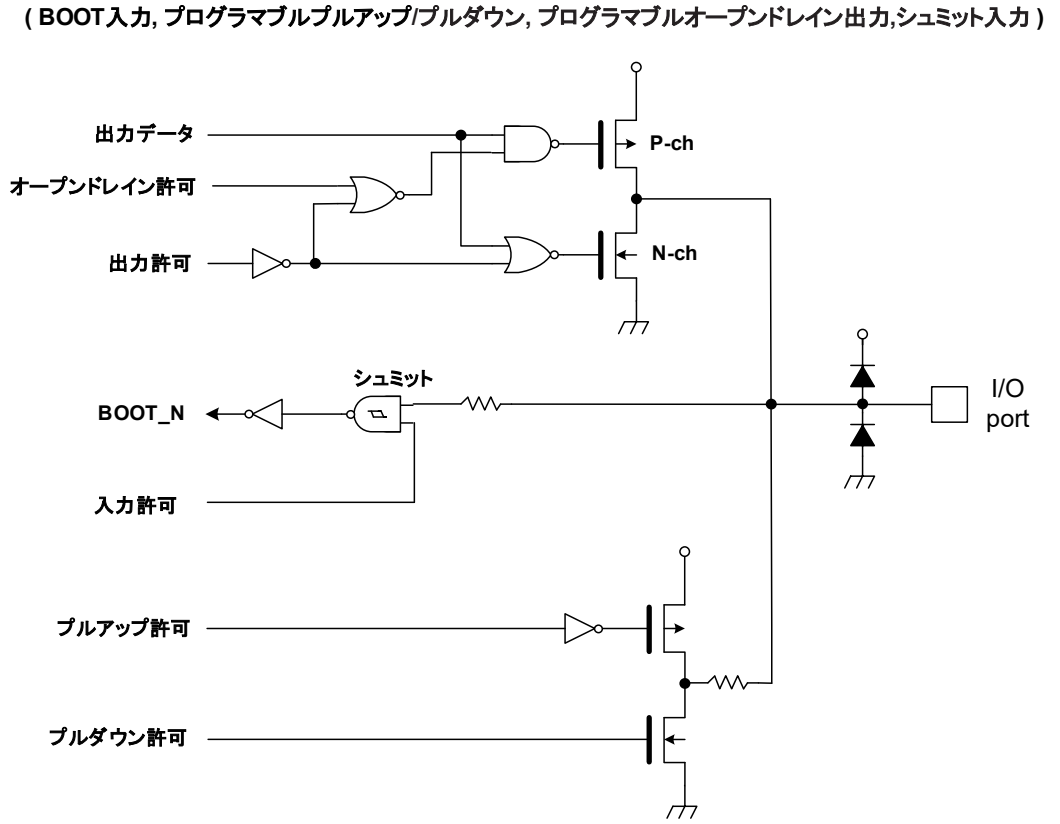
PN0 ~ PN7, PP0 ~ PP5, PR0 ~ PR7	

PP6, PP7	

PT0, PT1	

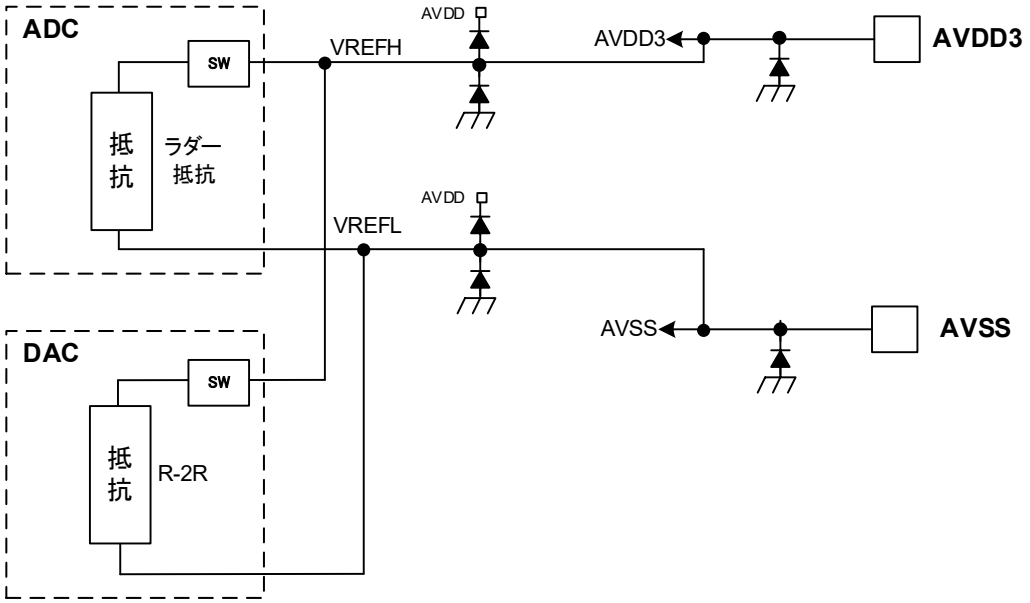
PA1 ~ PA6, PB2 ~ PB5, PC2 ~ PC5, PD0 ~ PD7, PE0 ~ PE7, PF1, PF4 ~ PF6, PG4 ~ PG7, PH0 ~ PH7, PJ0 ~ PJ7, PK2 ~ PK6, PL1 ~ PL3, PL7, PM0 ~ PM2, PM5 ~ PM7, PU0, PU1, PU6, PU7, PV0 ~ PV7, PW0 ~ PW7	(プログラマブルプルアップ/プルダウン, プログラマブルオープンドレイン出力,シュミット入力) 
PA0, PA7, PB0, PB1, PB6, PB7, PC0, PC1, PC6, PC7, PF0, PF7, PG0, PG1, PK0, PK1, PK7, PL0, PL4 ~ PL6, PM3, PM4, PT3 ~ PT5, PU2 ~ PU5	(プログラマブルプルアップ/プルダウン, プログラマブルオープンドレイン出力,シュミット入力, 外部割り込み入力) 

PT2	(3Vトレラント, プログラマブルプルアップ/プルダウン, プログラマブルオープンドレイン出力,シュミット入力) 
PF2, PF3, PG2, PG3	(5Vトレラント, プログラマブルプルアップ/プルダウン, プログラマブルオープンドレイン出力,シュミット入力) 

PY0 ~ PY3	
PY4/ BOOT_N	

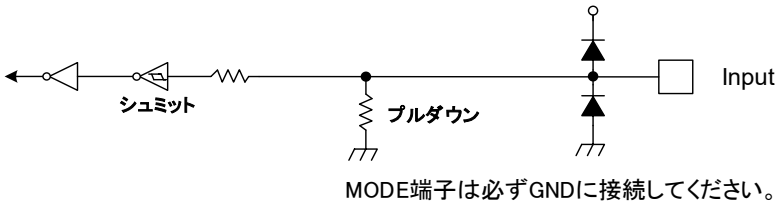
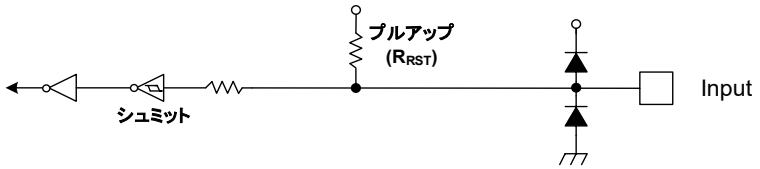
注) リセット端子および POR によるリセット期間中は入力状態になりますが、ポートとして使用する場合は、出力ポートのみ可能です。

6.2. アナログ端子

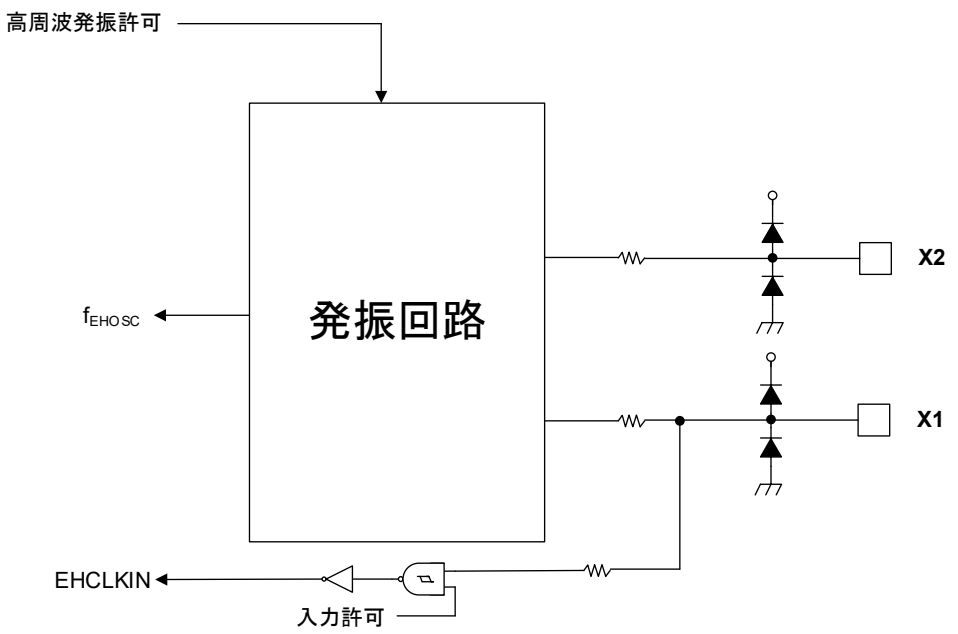
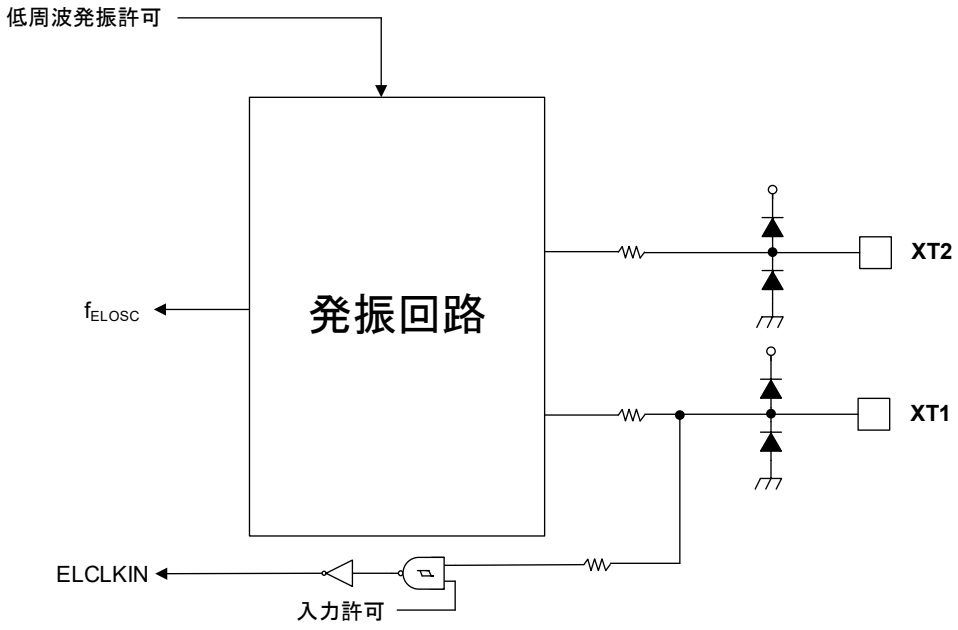
AVDD3, AVSS	

注) SW: ON/OFF スイッチ回路

6.3. 制御端子

MODE, BSC	
RESET_N	

6.4. クロック制御

X1, X2	
XT1, XT2	

7. 電気的特性

7.1. 絶対最大定格

表 7.1　絶対最大定格

項目		記号	定格	単位
電源電圧		DVDD3A ~ DVDD3H	-0.3 ~ 3.9	V
		AVDD3	-0.3 ~ 3.9	
入力電圧	PA0 ~ PA7, PB0 ~ PB7, PC0 ~ PC7, PD0 ~ PD7, PE0 ~ PE7, PF0, PF1, PF4 ~ PF7, PG0, PG1, PG4 ~ PG7, PH0 ~ PH7, PJ0 ~ PJ7, PK0 ~ PK7, PL0 ~ PL7, PM0 ~ PM7, PT3 ~ PT5, PU0 ~ PU7, PV0 ~ PV7, PW0 ~ PW7, PY0 ~ PY3, MODE, RESET_N, BOOT_N, BSC	V_{IN1}	-0.3 ~ DVDD3+0.3 (≦3.9V) (注 1)	V
	PN0 ~ PN7, PP0 ~ PP7, PR0 ~ PR7, PT0, PT1	V_{IN2}	-0.3 ~ AVDD3+0.3 (≦3.9V)	
	PF2, PF3, PG2, PG3	V_{IN3}	-0.3 ~ 5.5	
	PT2	V_{IN4}	-0.3 ~ 3.9	
低レベル出力電流	PA0 ~ PA7, PB0 ~ PB7, PC0 ~ PC7, PD0 ~ PD7, PE0 ~ PE7, PF0, PF1, PF4 ~ PF7, PG0, PG1, PG4 ~ PG7, PH0 ~ PH7, PJ0 ~ PJ7, PK0 ~ PK7, PL0 ~ PL7, PN0 ~ PN7, PM0 ~ PM7, PP0 ~ PP7, PR0 ~ PR7, PT0 ~ PT5, PU0 ~ PU7, PV0 ~ PV7, PW0 ~ PW7, PY4	I_{OL1}	5	mA
	PF2, PF3, PG2, PG3	I_{OL2}	25	
	合計	ΣI_{OL}	50	
高レベル出力電流	PA0 ~ PA7, PB0 ~ PB7, PC0 ~ PC7, PD0 ~ PD7, PE0 ~ PE7, PF0 ~ PF7, PG0 ~ PG7, PH0 ~ PH7, PJ0 ~ PJ7, PK0 ~ PK7, PL0 ~ PL7, PN0 ~ PN7, PM0 ~ PM7, PP0 ~ PP7, PR0 ~ PR7, PT0 ~ PT5, PU0 ~ PU7, PV0 ~ PV7, PW0 ~ PW7, PY4	I_{OH1}	-5	
	合計	ΣI_{OH}	-50	
消費電力 (Ta=85°C)		PD	600	mW
はんだ付け温度		T_{SOLDER}	260	°C
保存温度		T_{STG}	-55 ~ 125	°C
動作温度	fsys ≦200MHz	T_{OPR1}	-40 ~ 85	

注 1) DVDD3 は DVDD3A、DVDD3B、DVDD3C、DVDD3D、DVDD3E、DVDD3F、DVDD3G、DVDD3H の総称です。

注 2) 絶対最大定格とは、瞬時たりとも超えてはならない規格であり、どの 1 つの項目も超えることができない規格です。絶対最大定格(電流, 電圧, 消費電力, 温度)を超えると破壊や劣化の原因となり、破裂・燃焼による障害を負うことがあります。従って必ず絶対最大定格を超えないように、応用機器の設計を行ってください。

7.2. DC 電気的特性 (1/2)

DVDD3＝AVDD3＝2.7V ~ 3.6V
DVSS＝AVSS＝0V
Ta＝-40 ~ 85°C

項目		記号	条件	Min	Typ.	Max	単位
電源電圧	DVDD3A ~ DVDD3H AVDD3	VDD	f_{OSC} = 8 ~ 24MHz f_{sys} =1 ~ 200MHz fs = 30 ~ 34kHz	2.7	-	3.6	V
低レベル入力電圧	PA0 ~ PA7, PB0 ~ PB7, PC0 ~ PC7, PD0 ~ PD7, PE0 ~ PE7, PF0, PF1, PF4 ~ PF7, PG0, PG1, PG4 ~ PG7, PH0 ~ PH7, PJ0 ~ PJ7, PK0 ~ PK7, PL0 ~ PL7, PM0 ~ PM7, PT3 ~ PT5, PU0 ~ PU7, PV0 ~ PV7, PW0 ~ PW7, PY0 ~ PY3, MODE, RESET_N, BOOT_N, BSC	V_{IL2}	-	-0.3	-	DVDD3×0.25	V
	PN0 ~ PN7, PP0 ~ PP7, PR0 ~ PR7, PT0, PT1	V_{IL3}	-			AVDD3×0.25	
	PF2, PF3, PG2, PG3, PT2	V_{IL4}	-			DVDD3×0.3	
高レベル入力電圧	PA0 ~ PA7, PB0 ~ PB7, PC0 ~ PC7, PD0 ~ PD7, PE0 ~ PE7, PF0, PF1, PF4 ~ PF7, PG0, PG1, PG4 ~ PG7, PH0 ~ PH7, PJ0 ~ PJ7, PK0 ~ PK7, PL0 ~ PL7, PM0 ~ PM7, PT3 ~ PT5, PU0 ~ PU7, PV0 ~ PV7, PW0 ~ PW7, PY0 ~ PY3, MODE, RESET_N, BOOT_N, BSC	V_{IH2}	-	DVDD3×0.75	-	DVDD3+0.3	V
	PN0 ~ PN7, PP0 ~ PP7, PR0 ~ PR7, PT0, PT1	V_{IH3}	-	AVDD3×0.75		AVDD3+0.3	
	PF2, PF3, PG2, PG3, PT2	V_{IH4}	-	DVDD3×0.7		DVDD3+0.3	

DVDD3＝AVDD3＝2.7V ~ 3.6V
DVSS＝AVSS＝0V
Ta＝-40 ~ 85°C

項目		記号	条件	Min	Typ.	Max	単位
低レベル出力電圧	PA0 ~ PA7, PB0 ~ PB7, PC0 ~ PC7, PD0 ~ PD7, PE0 ~ PE7, PF0, PF1, PF4 ~ PF7, PG0, PG1, PG6, PG7, PH0 ~ PH7, PJ0 ~ PJ7, PK0 ~ PK7, PL0 ~ PL7, PM0 ~ PM7, PN0 ~ PN7, PP0 ~ PP7, PR0 ~ PR7, PT0 ~ PT2, PT4, PU0 ~ PU7, PV0 ~ PV7, PW0 ~ PW7, PY4	V_{OL1}	DVDD3=AVDD3=2.7V I_{OL} = 1.6mA	-	-	0.4	V
	PG4, PG5, PT3, PT5	V_{OL2}	DVDD3=2.7V I_{OL}=8mA	-	-	0.4	
	PF2, PF3, PG2, PG3	V_{OL3}	DVDD3=2.7V I_{OL}=12mA	-	-	1.0	
高レベル出力電圧	PA0 ~ PA7, PB0 ~ PB7, PC0 ~ PC7, PD0 ~ PD7, PE0 ~ PE7, PF0, PF1, PF4 ~ PF7, PG0, PG1, PG6, PG7, PH0 ~ PH7, PJ0 ~ PJ7, PK0 ~ PK7, PL0 ~ PL7, PM0 ~ PM7, PN0 ~ PN7, PP0 ~ PP7, PR0 ~ PR7, PT0 ~ PT2, PT4, PU0 ~ PU7, PV0 ~ PV7, PW0 ~ PW7, PY4	V_{OH1}	DVDD3=AVDD3=2.7V I_{OH} = -1.6mA	DVDD3-0.4 AVDD3-0.4	-	-	V
	PG4, PG5, PT3, PT5	V_{OH2}	DVDD3=2.7V I_{OH}= -8mA	DVDD3-0.4	-	-	
	PF2, PF3, PG2, PG3	V_{OH3}	DVDD3=2.7V I_{OH}= -1.0mA	DVDD3-0.4	-	-	

注 1) DVDD3 は DVDD3A、DVDD3B、DVDD3C、DVDD3D、DVDD3E、DVDD3F、DVDD3G、DVDD3H の総称です。

注 2) Typ.値は特に指定のない限り Ta=25°C、DVDD3=AVDD3=3.3V の値です。

注 3) DVDD3、AVDD3 は同電位で外部結線してください。

DVDD3=AVDD3=2.7V ~ 3.6V
DVSS＝AVSS＝0V
Ta＝-40 ~ 85°C

項目		記号	条件	Min	Typ.	Max	単位
入力リーク電流		I_{LI}	0V≦VIN≦DVDD3 0V≦VIN≦AVDD3	-	0.05	±5	μA
出力リーク電流		I_{LO}	0.2 ≦VIN≦DVDD3-0.2 0.2 ≦VIN≦AVDD3-0.2	-	0.05	±10	
シュミット入力幅		VTH	-	-	0.8	-	V
リセットプルアップ抵抗		R_{RST}	-	25	45	100	kΩ
プログラマブル プルアップ/ダウン抵抗	下記以外	P_{KH}	Pull-up	25	45	100	kΩ
			Pull-down	25	55	100	
	5Vトレラント	P_{KH5}	Pull-up	40	70	150	
			Pull-down	40	70	150	
	3V トレラント	P_{KH3}	Pull-up	30	47	200	
			Pull-down	30	47	200	
Pin 容量(電源端子を除く)		C_{IO}	fc =1MHz	-	-	10	pF
低レベル 出力電流	1 端子ごと PA0 ~ PA7, PB0 ~ PB7, PC0 ~ PC7, PD0 ~ PD7, PE0 ~ PE7, PF0, PF1, PF4 ~ PF7, PG0, PG1, PG6, PG7, PH0 ~ PH7, PJ0 ~ PJ7, PK0 ~ PK7, PL0 ~ PL7, PM0 ~ PM7, PN0 ~ PN7, PP0 ~ PP7, PR0 ~ PR7, PT0 ~ PT2, PT4, PU0 ~ PU7, PV0 ~ PV7, PW0 ~ PW7, PY4	I_{OL1}	DVDD3=3V AVDD3=3V	-	-	1.6	mA
	1 端子ごと PG4, PG5, PT3, PT5	I_{OL2}	DVDD3=3V	-	-	8	
	1 端子ごと PF2, PF3, PG2, PG3	I_{OL3}	DVDD3=3V	-	-	12	
	グループ単位(下記全ポート) PA0 ~ PA7, PB0 ~ PB7, PT3, PY4	$\sum I_{OL1}$	DVDD3=3V	-	-	35	
	グループ単位(下記全ポート) PD0 ~ PD7, PE0 ~ PE7, PJ4 ~ PJ7, PU0 ~ PU7	$\sum I_{OL2}$	DVDD3=3V	-	-	35	
	グループ単位(下記全ポート) PC0 ~ PC7, PF0 ~ PF7, PJ0 ~ PJ3, PL6, PL7, PT2	$\sum I_{OL3}$	DVDD3=3V	-	-	35	
	グループ単位(下記全ポート) PG4 ~ PG7, PH0 ~ PH7, PM4 ~ PM7, PV4 ~ PV7, PW0 ~ PW3, PT5	$\sum I_{OL4}$	DVDD3=3V	-	-	35	

	グループ単位(下記全ポート) PG0 ~ PG3, PK0 ~ PK7, PL0 ~ PL5, PM0 ~ PM3, PV0 ~ PV3, PW4 ~ PW7, PT4	$\sum I_{OL5}$	DVDD3=3V	-	-	35	
	グループ単位(下記全ポート) PN0 ~ PN7, PP0 ~ PP7, PR0 ~ PR7, PT0, PT1	$\sum I_{OL6}$	AVDD3=3V	-	-	35	
高レベル 出力電流	1 端子ごと PA0 ~ PA7, PB0 ~ PB7, PC0 ~ PC7, PD0 ~ PD7, PE0 ~ PE7, PF0, PF1, PF4 ~ PF7, PG0, PG1, PG6, PG7, PH0 ~ PH7, PJ0 ~ PJ7, PK0 ~ PK7, PL0 ~ PL7, PM0 ~ PM7, PN0 ~ PN7, PP0 ~ PP7, PR0 ~ PR7, PT0 ~ PT2, PT4, PU0 ~ PU7, PV0 ~ PV7, PW0 ~ PW7, PY4	I_{OH1}	DVDD3=3V AVDD3=3V	-2.0	-	-	mA
	1 端子ごと PG4, PG5, PT3, PT5	I_{OH2}	DVDD3=3V	-8	-	-	
	1 端子ごと PF2, PF3, PG2, PG3	I_{OH3}	DVDD3=3V	-1.0	-	-	
	グループ単位(下記全ポート) PA0 ~ PA7, PB0 ~ PB7, PT3, PY4	$\sum I_{OH1}$	DVDD3=3V	-35	-	-	
	グループ単位(下記全ポート) PD0 ~ PD7, PE0 ~ PE7, PJ4 ~ PJ7, PU0 ~ PU7	$\sum I_{OH2}$	DVDD3=3V	-35	-	-	
	グループ単位(下記全ポート) PC0 ~ PC7, PF0 ~ PF7, PJ0 ~ PJ3, PL6, PL7, PT2	$\sum I_{OH3}$	DVDD3=3V	-35	-	-	
	グループ単位(下記全ポート) PG4 ~ PG7, PH0 ~ PH7, PM4 ~ PM7, PV4 ~ PV7, PW0 ~ PW3, PT5	$\sum I_{OH4}$	DVDD3=3V	-35	-	-	
	グループ単位(下記全ポート) PG0 ~ PG3, PK0 ~ PK7, PL0 ~ PL5, PM0 ~ PM3, PV0 ~ PV3, PW4 ~ PW7, PT4	$\sum I_{OH5}$	DVDD3=3V	-35	-	-	
	グループ単位(下記全ポート) PN0 ~ PN7, PP0 ~ PP7, PR0 ~ PR7, PT0, PT1	$\sum I_{OH6}$	AVDD3=3V	-35	-	-	

注 1) DVDD3 は DVDD3A、DVDD3B、DVDD3C、DVDD3D、DVDD3E、DVDD3F、DVDD3G、DVDD3H の総称です。

注 2) Typ.値は特に指定のない限り Ta=25°C、DVDD3=AVDD3=3.3V の値です。

注 3) DVDD3、AVDD3 は同電位で外部結線してください。

7.3. DC 電気的特性 (2/2) (消費電流)

Ta＝-40 ~ 85°C

項目	記号	条件				Min	Typ.	Max	単位
		電源電圧	高速クロック	低速クロック	動作条件				
Normal	I_{DD}	DVDD3= AVDD3= 3.6V	測定条件は表 7.2、表 7.3 を参照してください。			-	40	120	mA
			発振	停止	CPU のみ	-	25	90	
IDLE			測定条件は表 7.2、表 7.3 を参照してください。			-	8	75	
STOP1			停止	発振	測定条件は表 7.2、表 7.3 を参照してください。	-	2	70	
STOP2						-	7	160	μA
				停止			6	160	

注 1) DVDD3 は DVDD3A、DVDD3B、DVDD3C、DVDD3D、DVDD3E、DVDD3F、DVDD3G、DVDD3H の総称です。

注 2) Typ.値は特に指定のない限り Ta=25°C、DVDD3=AVDD3=3.3V の値です。

注 3) DVDD3、AVDD3 は同電位で使用してください。

注 4) 入力端子は固定、出力端子は開放になります。

表 7.2 IDD測定条件 (端子設定、発振回路)

		NORMAL	IDLE	STOP1	STOP2
				低速発振器発振	低速発振器停止
端子設定	DVDD3= AVDD3=	3.3V(Typ.)、3.6V(max)			
	X1,X2 端子	発振子接続(10MHz)			
	XT1,XT2 端子	発振子接続(32.768kHz)			
	入力端子	固定			
	出力端子	開放			
動作条件 (発振回路)	システムクロック (fsys)	高速 200MHz 中速 100MHz		停止	
	外部高速発振器 (EHOSC)	発振		停止	
	内部高速発振器 1 (IHOSC1)	停止			
	PLL	動作(20 倍)		停止	
	外部低速発振器 (ELOSC)	発振			停止

表 7.3 IDD測定条件 (CPU、周辺回路)

回路	搭載回路数	NORMAL	IDLE	STOP1	STOP2	
				低速発振器発振	低速発振器発振 RTC, RMC 動作	低速発振器停止
CPU	1	動作 (ドライストーン Ver.2.1)	停止			
HDMAC	2	Unit A (ch1 でソフト起動、 メモリー→メモリー転送) Unit B (ch0 でソフト起動、メモリー→周辺機能(EBIF)転送)	停止			
MDMAC	1	Unit A (ソフト起動、メモリー→メモリー転送)	停止			
ADC	1	動作(1.15μs, リピート変換)	停止			
DAC	2	動作	停止			
EBIF	1	動作 (非同期セパレートモード、 内部 4 ウエイトアクセス)	停止			
T32A	14	全 ch: 動作	停止			
A-PMD	1	動作	停止			
A-ENC	1	動作	停止			
RTC	1	動作	動作			停止
SIWDT	1	動作	停止			
UART	6	データ送信 (5Mbps)	停止			
FUART	2	データ送信 (2.5Mbps)	停止			
I2C/EI2C	5	クロックのみ動作 (fprsck = 5MHz)	停止			
TSPI	9	転送クロック ch0 ~ ch3: 25MHz ch4 ~ ch8: 10MHz	停止			
TSSI	2	データ送信 (10MHz)	停止			
I2S	2	データ送信 (12.288MHz)	停止			
SMIF	1	動作	停止			
ISD	3	動作	動作		停止	
LTTMR	1	動作	停止			
CEC	1	動作、送信	停止 (クロック供給のみ)	停止		
RMC	2	動作	動作			停止
LVD	1	停止	停止			
OFD	1	動作 (OFD リセット出力禁止に設定)	停止			
PORT	-	停止	停止			

fsysm=100MHz
Ta= -40 ~ 85°C

項目	記号	条件	Min	Typ.	Max	単位
消費電流 (ADC,DAC 動作時)	I_{AVDD}	AVDD3=3.3V	-	1.0	2.0	mA

7.4. 12 ビット AD コンバーター特性

DVDD3＝AVDD3＝2.7V ~ 3.6V
DVSS＝AVSS＝0V
Ta＝-40 ~ 85°C

項目	記号	条件	Min	Typ.	Max	単位
アナログ基準電圧(+)	VREFH (AVDD3)	-	-	AVDD3	-	V
アナログ入力電圧	VAIN	-	AVSS (VREFL)	-	AVDD3 (VREFH)	V
積分非直線性誤差(INL)	-	2.7V ≦ AVDD3 ≦ 3.6V AIN 負荷抵抗 ≦ 600Ω AIN 負荷容量 ≧ 0.1μF 変換時間 ≧ 1.0μs	-6	-	+6	LSB
微分非直線性誤差(DNL)			-5	-	+5	
ゼロスケール誤差			-6	-	+6	
フルスケール誤差			-6	-	+6	
総合誤差			-7	-	+7	
安定待ち時間	t_{sta}	***[ADAMOD0]***<DACON>= 1 設定後	3	-	-	μs
変換時間	t_{conv}	2.7V ≦ AVDD3 ≦ 3.6V	1.0	-	5.0	μs

7.5. 8 ビット DA コンバーター変換特性

DVDD3＝AVDD3＝2.7V ~ 3.6V
DVSS＝AVSS＝0V
Ta＝-40 ~ 85°C

項目	記号	条件	Min	Typ.	Max	単位
アナログ基準電圧(+)	VREFH (AVDD3)	-	-	AVDD3	-	V
積分非直線性誤差(INL)	-	2.7V≦AVDD3≦3.6V Rload= 10MΩ	-2	-	+2	LSB
微分非直線性誤差(DNL)			-1	-	+1	
総合誤差			-2	-	+2	
安定時間	t_{sta}	Cload = 20pF	4.5	-	-	μs

注1) DVDD3 は DVDD3A、DVDD3B、DVDD3C、DVDD3D、DVDD3E、DVDD3F、DVDD3G、DVDD3H の総称です。
注2) Typ.値は特に指定のない限り Ta=25°C,DVDD3=AVDD3=3.3V の値です。
注3) 1LSB=(AVDD3 (VREFH) - AVSS (VREFL)) / 256[V]
注4) DA コンバーター単体動作の時の特性です。

7.6. リセット時内部処理特性

DVSS＝AVSS＝0V
Ta＝-40 ~ 85°C

項目	記号	条件	Min	Typ.	Max	単位
内部初期化時間	t_{IINIT}	パワーオン時	-	-	1.0	ms
内部処理時間	t_{IRST}	STOP2 モードをリセット(RESET_N 端子、LVD)で解除時	-	-	0.8	ms
		STOP2 モードを割り込みで解除時	-	-	0.5	ms
		STOP2 モード解除以外のリセット動作時	0.15	-	0.8	ms
CPU 動作待ち時間 (注)	t_{CPUWT}	パワーオン時 STOP1/STOP2 モードで LVD によるリセット動作時 STOP1/STOP2 モードで RESET_N 端子によるリセット動作時	10	-	20	μs
		NORMAL/IDLE モードで LVD によるリセット動作時 NORMAL/IDLE モードで RESET_N 端子によるリセット動作時 NORMAL/IDLE モードで WDT/OFD/LOCKUP/SYSRESET によるリセット動作時	150	-	165	μs
電源傾斜	V_{PON}	立ち上がり傾斜	1.33	-	100	mV/μs
	V_{POFF}	立ち下がり傾斜	-	-	5	mV/μs

注) WDT/OFD/LOCKUP/SYSRESET によるリセット動作時を除き、リセット要因が継続した場合、同リセット要因が解除された後に t_{CPUWT} (CPU 動作待ち時間)の計測が始まります。

7.7. パワーオンリセット特性

DVSS＝AVSS＝0V
Ta＝-40 ~ 85°C

項目	記号	条件	Min	Typ.	Max	単位
検出電圧	V_{PREL}	電源立ち上がり	2.22	2.33	2.44	V
	V_{PRED}	電源立ち下がり	2.17	2.28	2.39	V
検出パルス幅	T_{PDET}	-	30	-	-	μs

7.8. PORF 特性

DVSS＝AVSS＝0V
Ta＝-40 ~ 85°C

項目	記号	条件	Min	Typ.	Max	単位
検出電圧	V_{PORFL}	電源立ち上がり	2.55	2.61	2.67	V
	V_{PORFD}	電源立ち下がり	2.50	2.56	2.62	V
検出パルス幅	T_{PDET}	-	50	-	-	μs

7.9. 電圧検知回路特性

DVDD3＝AVDD3＝2.7V ~ 3.6V
DVSS＝AVSS＝0V
Ta＝-40 ~ 85°C

項目	記号	条件	Min	Typ.	Max	単位
検知電圧	V_{LVL0}	電源立ち上がり (解除)	2.58	2.64	2.70	V
		電源立ち下がり (検出)	2.53	2.59	2.65	
	V_{LVL1}	電源立ち上がり (解除)	2.63	2.69	2.75	V
		電源立ち下がり (検出)	2.58	2.64	2.70	
	V_{LVL2}	電源立ち上がり (解除)	2.69	2.75	2.81	V
		電源立ち下がり (検出)	2.64	2.7	2.76	
	V_{LVL3}	電源立ち上がり (解除)	2.79	2.85	2.91	V
		電源立ち下がり (検出)	2.74	2.8	2.86	
	V_{LVL4}	電源立ち上がり (解除)	2.89	2.95	3.01	V
		電源立ち下がり (検出)	2.84	2.9	2.96	
	V_{LVL5}	電源立ち上がり (解除)	2.99	3.05	3.11	V
		電源立ち下がり (検出)	2.94	3.0	3.06	
	V_{LVL6}	電源立ち上がり (解除)	3.09	3.15	3.21	V
		電源立ち下がり (検出)	3.04	3.1	3.16	
検知応答時間	t_{VDDT1}	電源立ち下がり	-	-	200	μs
解除応答時間	t_{VDDT2}	電源立ち上がり	-	-	250	
セットアップ時間	t_{LVDEN}	-	-	-	100	
検知最小パルス幅	t_{LVDPW}	-	200	-	-	

7.10. AC 電気的特性

7.10.1. シリアルペリフェラルインターフェース (TSPI)

7.10.1.1. 条件

この章に記載されている AC 特性は、以下の条件となります。

- DVDD3 = AVDD3 = 2.7V ~ 3.6V
- Ta = -40 ~ 85°C (fsys ≦ 200MHz)
- 出力レベル: High = 0.8×DVDD3、Low = 0.2×DVDD3
- 入力レベル: High = 0.75×DVDD3、Low = 0.25×DVDD3
- 負荷容量: CL = 30pF

注) DVDD3 は DVDD3A、DVDD3B、DVDD3C、DVDD3D、DVDD3E、DVDD3F、DVDD3G、DVDD3H の総称です。

7.10.1.2. AC 電気的特性

T は TSPI の動作クロックの周期を表します。TSPI の動作クロックは、システムクロック fsys と同じ周期です。この周期は、クロックギアの設定に依存します。

k1 の値は***[TSPIxFMTR0]***<CSSCKDL[3:0]>、k2 の値は***[TSPIxFMTR0]***<SCKCSDL[3:0]>で設定された TSPIxSCK のサイクル数で、1 ~ 16 の値になります。

(1) マスターモード

k1=k2=1

項目	記号	計算式		fsysh=100 MHz 時 (注 2)		fsys=80 MHz 時 (注 3)		単位
				ch0 ~ 3		ch4 ~ 8		
		Min	Max	Min	Max	Min	Max	
TSPIxSCK 出力周波数(注 1)	f_{CYC}	-	ch0 ~ 3: 25	-	25	-	-	MHz
			ch4 ~ 8: 10	-	-	-	10	
TSPIxSCK 出力周期	t_{CYC}	-	-	40	-	100	-	ns
TSPIxSCK 低レベル出力パルス幅	t_{WL}	ch0 ~ 3: (t_{CYC}/2)-11	-	9	-	-	-	
		ch4 ~ 8: (t_{CYC}/2)-12		-	-	38	-	
TSPIxSCK 高レベル出力パルス幅	t_{WH}	ch0 ~ 3: (t_{CYC}/2)-11	-	9	-	-	-	
		ch4 ~ 8: (t_{CYC}/2)-12		-	-	38	-	
TSPIxCSn 出力 ← TSPIxSCK 立ち上がり/立ち下がり時間	t_{CSUM}	ch0 ~ 2: (t_{CYC}×k1)-15	ch0 ~ 3: (t_{CYC}×k1)+15	25	55	-	-	
		ch3: (t_{CYC}×k1)-18		22	55			
		ch4 ~ 8: (t_{CYC}×k1)-15	ch4 ~ 8: (t_{CYC}×k1)+13	-	-	85	113	
TSPIxSCK 立ち上がり/立ち下がり → TSPIxCSn ホールド時間	t_{CHD}	ch0 ~ 3: (t_{CYC}×(k2+0.5)-15	-	45	-	-	-	
		ch4 ~ 8: (t_{CYC}×(k2+0.5)-15		-	-	135	-	
TSPIxRXD 入力 ← TSPIxSCK 立ち上がり/立ち下がり時間	t_{DSU}	ch0 ~ 3: 23-Ndly×T	-	3	-	-	-	
		ch4 ~ 8: 30-Ndly×T		-	-	5	-	
TSPIxSCK 立ち上がり/立ち下がり → TSPIxRXD ホールド時間	t_{DHD}	Ndly×T (注 4)	-	20	-	25	-	
TSPIxSCK 立ち上がり/立ち下がり → TSPIxTXD ホールド時間	t_{ODLY1}	ch0 ~ 3: -7	-	-7	-	-	-	
		ch4 ~ 8: -10		-	-	-10	-	
TSPIxSCK 立ち上がり /立ち下がり → TSPIxTXD 遅延時間	t_{ODLY2}	-	ch0 ~ 3: 7	-	7	-	-	
			ch4 ~ 8: 13	-	-	-	13	
TSPIxCSIN 立ち下がり → TSPIxTXD 遅延時間	t_{ODLY3}	ch0 ~ 3: (t_{CYC}×(k1-0.5))-20	(t_{CYC}×(k1-0.5))+9	0	29	-	-	
		ch4 ~ 8: (t_{CYC}×(k1-0.5))-50		-	-	0	59	

注1) 出力周波数は***[TSPIxBR]***<BRCK><BRS>の設定値で決まります。計算式の Max 値を超えない範囲で出力周波数を設定してください。

注2) fsysh の最大周波数は 200MHz ですが、TSPIxSCK の最大周波数(25MHz)を出力可能な fsysh=100MHz の例としています。

注3) fsys は、ch4 ~ 5 は fsysh(最大 200MHz)、ch6 ~ 8 は fsysm(最大 100MHz)を表します。

注4) Ndly は、***[TSPIxCR2]***<RXDLY[2:0]>＋1 の値になります。この例では、Ndly=2 としています。

(2) スレーブモード

項目	記号	計算式		fsysh = 100MHz 時 ch0 ~ 3		fsys = 80MHz 時 (注) ch4 ~ 8		単位
		Min	Max	Min	Max	Min	Max	
TSPIxSCK 入力周波数	f_{CYC}	-	ch0 ~ 3: 20	-	20	-	-	MHz
			ch4 ~ 8: 10	-	-	-	10	
TSPIxSCK 入力周期	t_{CYC}	$1/f_{CYC}$	-	50	-	100	-	ns
TSPIxSCK 低レベル入力パルス幅	t_{WL}	ch0 ~ 3: 15	-	15	-	-	-	
		ch4 ~ 8: 40		-	-	40	-	
TSPIxSCK 高レベル入力パルス幅	t_{WH}	ch0 ~ 3: 15	-	15	-	-	-	
		ch4 ~ 8: 40		-	-	40	-	
TSPIxCSIN 入力 ← TSPIxSCK 立ち上がり/立ち下がり時間	t_{CSU1}	ch0 ~ 3: 40	-	40	-	-	-	
		ch4 ~ 8: 90		-	-	90	-	
TSPIxCSIN 入力 ← TSPIxSCK 立ち上がり/立ち下がり時間	t_{CSU2}	ch0 ~ 3: 40	-	40	-	-	-	
		ch4 ~ 8: 90		-	-	90	-	
TSPIxSCK 立ち上がり/立ち下がり → TSPIxCSIN ホールド時間	t_{CHD}	ch0 ~ 3: 40	-	40	-	-	-	
		ch4 ~ 8: 90		-	-	90	-	
TSPIxRXD 入力 ← TSPIxSCK 立ち上がり/立ち下がり時間	t_{DSU}	ch0 ~ 3: 3	-	3	-	-	-	
		ch4 ~ 8: 16		-	-	16	-	
TSPIxSCK 立ち上がり/立ち下がり → TSPIxRXD ホールド時間	t_{DHD}	ch0 ~ 3: 8	-	8	-	-	-	
		ch4 ~ 8: 6		-	-	6	-	
TSPIxSCK 立ち上がり/立ち下がり → TSPIxTXD ホールド時間	t_{ODLY1}	2	-	2	-	2	-	
TSPIxSCK 立ち上がり/立ち下がり → TSPIxTXD 遅延時間	t_{ODLY2}	ch0 ~ 3: 25	-	-	25	-	-	
		ch4 ~ 8: 35		-	-	-	35	
TSPIxCSIN 立ち下がり → TSPIxTXD 遅延時間	t_{ODLY3}	ch0 ~ 3: 25	-	-	25	-	-	
		ch4 ~ 8: 38		-	-	-	38	
TSPIxCSIN 高レベル入力パルス幅 (1st)	t_{WDIS}	T×5+10	-	60	-	73	-	
TSPIxCSIN 高レベル入力パルス幅 (2nd)	t_{WDIS}	T×2+10	-	30	-	35	-	

注) fsys は、ch4 ~ 5 は fsysh(最大 200MHz)、ch6 ~ 8 は fsysm(最大 100MHz)を表します。

(1) 1st クロックエッジサンプリング(マスター)

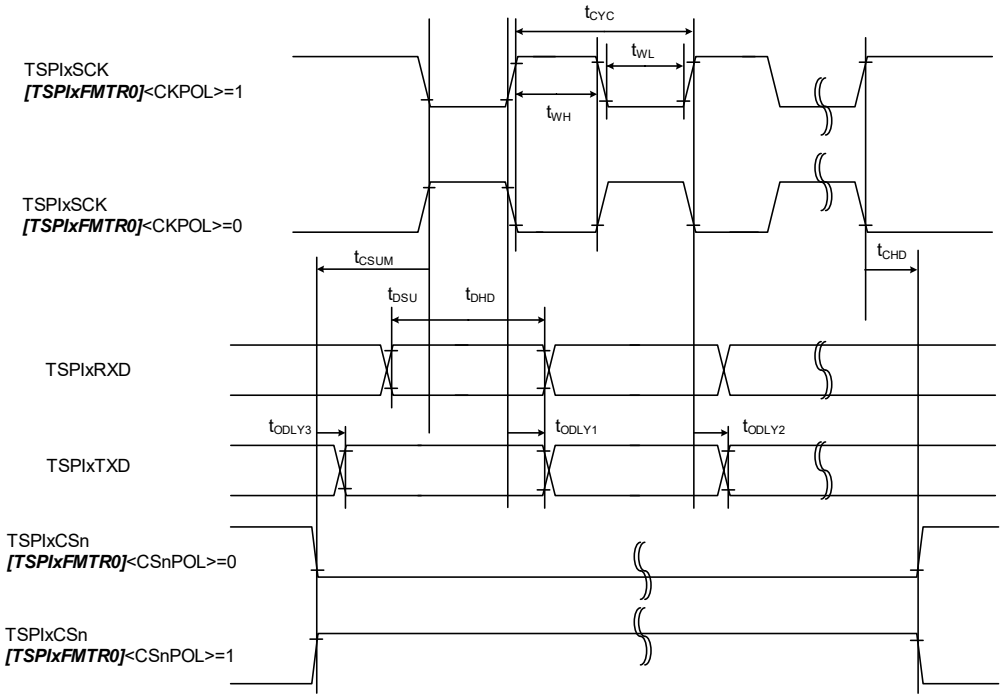


図 7.1　1stクロックエッジサンプリング (マスター)

(2) 2nd クロックエッジサンプリング(マスター)

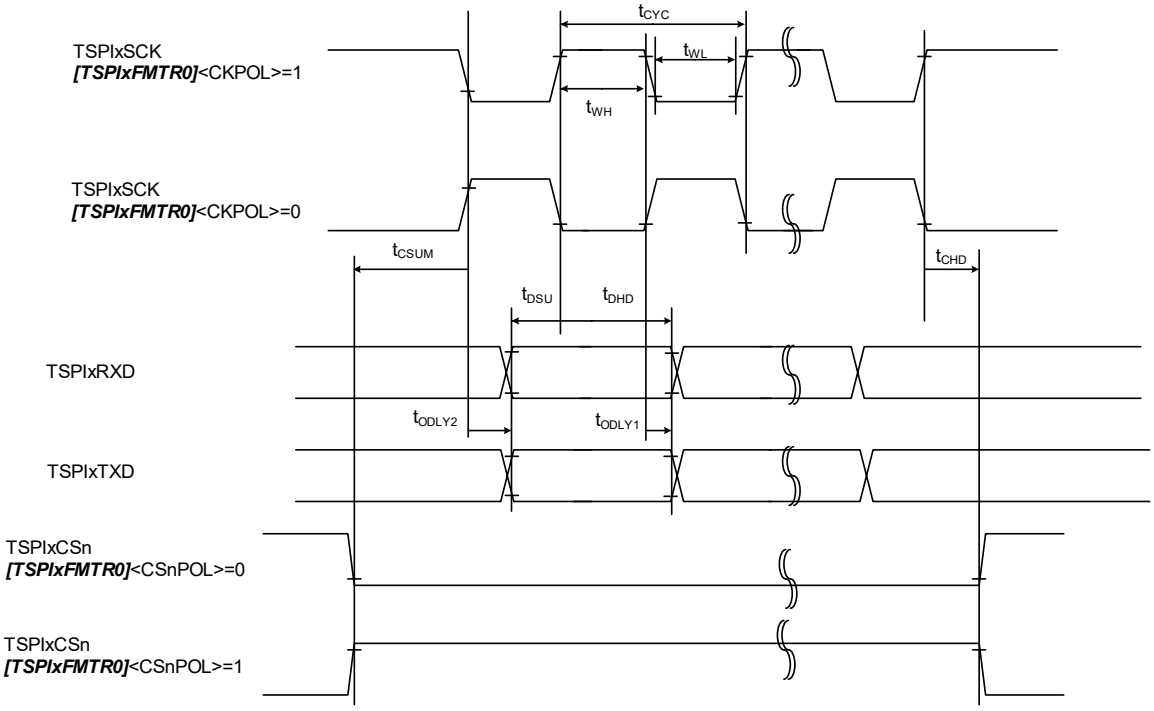


図 7.2　2ndクロックエッジサンプリング (マスター)

(3) 1st クロックエッジサンプリング(スレーブ)

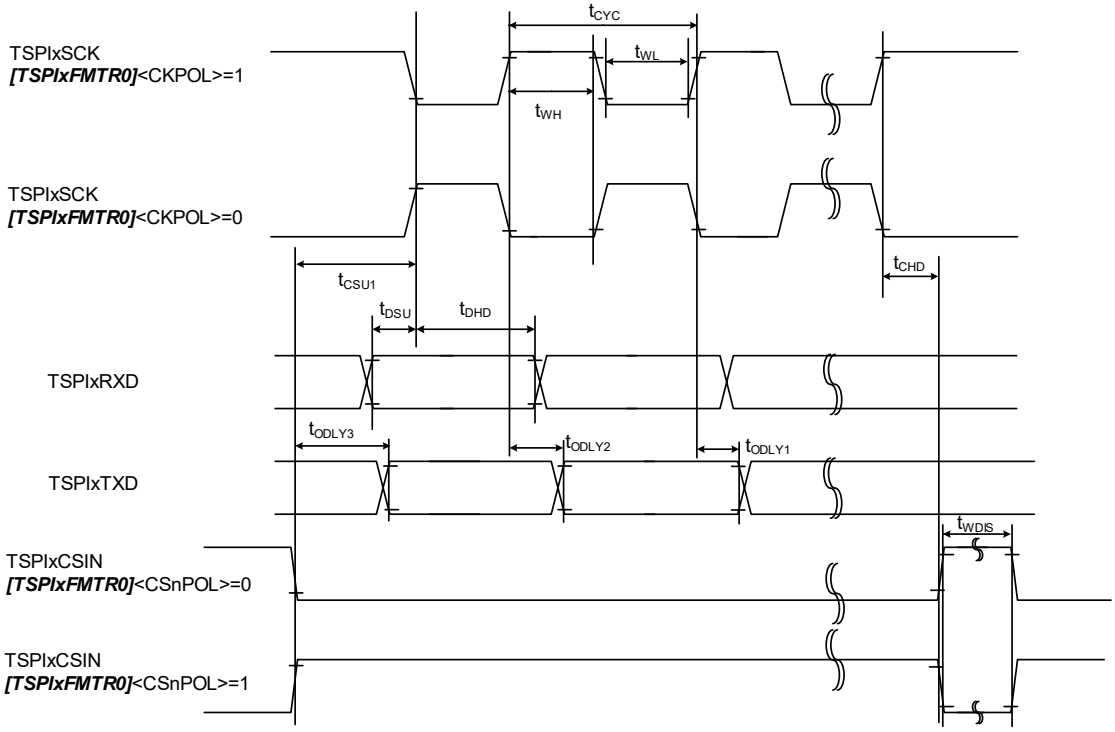


図 7.3 1stクロックエッジサンプリング (スレーブ)

(4) 2nd クロックエッジサンプリング(スレーブ)

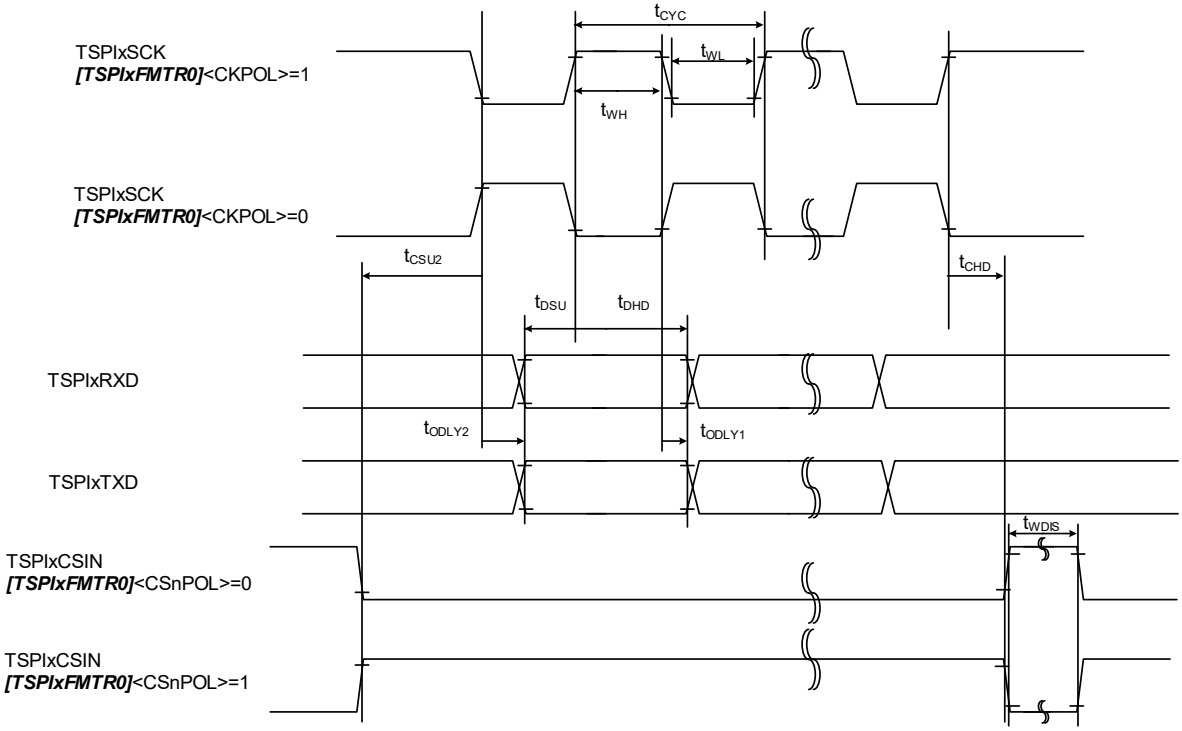


図 7.4 2ndクロックエッジサンプリング (スレーブ)

7.10.2. I²C インターフェース (I2C)

7.10.2.1. 条件

この章に記載されている AC 特性は、以下の条件となります。

- DVDD3 = AVDD3 = 2.7V ~ 3.6V
- Ta = -40 ~ 85°C
- 出力レベル: Low = 0.4V
- 入力レベル: High = 0.7×DVDD3、Low = 0.3×DVDD3
- 負荷容量: CL = 30pF
- 外部プルアップ抵抗: R_p = 2.2 kΩ

注) DVDD3 は DVDD3A、DVDD3B、DVDD3C、DVDD3D、DVDD3E、DVDD3F、DVDD3G、DVDD3H の総称です。

7.10.2.2. AC 電気的特性

項目	記号	標準モード		ファストモード		単位
		Min	Max	Min	Max	
SCL クロック周波数	f_{SCL}	0	100	0	400	kHz
スタートコンディション保持時間	$t_{HD;STA}$	4.0	-	0.6	-	μs
SCL クロック Low 幅(入力)(注 1)	t_{LOW}	4.7	-	1.3	-	
SCL クロック High 幅(入力)(注 1)	t_{HIGH}	4.0	-	0.6	-	
再スタートコンディションセットアップ時間(注 3)	$t_{SU;STA}$	4.7	-	0.6	-	
データ保持時間(入力)(注 2)	$t_{HD;DAT}$	0	-	0	-	
データセットアップ時間	$t_{SU;DAT}$	250	-	100	-	ns
ストップコンディションセットアップ時間	$t_{SU;STO}$	4.0	-	0.6	-	μs
ストップコンディションとスタートコンディション間のバスフリー時間(注 3)	t_{BUF}	4.7	-	1.3	-	

注1) 通信規格上、標準モード/ファストモードの最高速度は 100kHz/400kHz。内部 SCL クロックの周波数の設定は、リファレンスマニュアル「I²C インターフェース」3.3.2 章の計算式を参照してください。

注2) 通信規格では、SDA 入力時に内部でデータ保持時間を 300ns 確保して、SCL 立ち下がり時の不安定な状態を回避することになっていますが、本製品では対応していません。また SCL のエッジスロープコントロール機能を持っていません。従って、SCL/SDA の tr/tf を含めて、バス上で上表のデータ保持時間(入力)を守るように、設計してください。

注3) ソフトウェアに依存します。

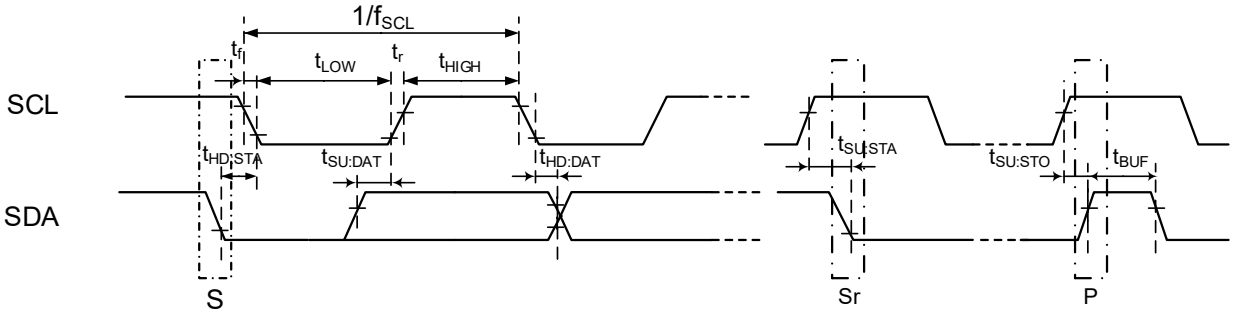


図 7.5　I²Cインターフェースの AC タイミング

7.10.3. I²C インターフェース バージョン A (EI2C-A)

7.10.3.1. 条件

この章に記載されている AC 特性は、以下の条件となります。

- DVDD3 = AVDD3 = 2.7V ~ 3.6V
- Ta = -40 ~ 85°C
- 出力レベル: Low = 0.4V
- 入力レベル: High = 0.7×DVDD3、Low = 0.3×DVDD3
- 負荷容量: CL = 30pF
- 外部プルアップ抵抗: R_p = 2.2 kΩ

注) DVDD3 は DVDD3A、DVDD3B、DVDD3C、DVDD3D、DVDD3E、DVDD3F、DVDD3G、DVDD3H の総称です。

7.10.3.2. AC 電気的特性

項目	記号	標準モード		ファストモード		ファストモードプラス (ch0, 1 のみ)		単位
		Min	Max	Min	Max	Min	Max	
SCL クロック周波数	f_{SCL}	0	100	0	400	0	1000	kHz
スタートコンディション保持時間	$t_{HD;STA}$	4.0	-	0.6	-	0.26	-	μs
SCL クロック Low 幅(入力)(注 1)	t_{LOW}	4.7	-	1.3	-	0.5	-	μs
SCL クロック High 幅(入力)(注 1)	t_{HIGH}	4.0	-	0.6	-	0.26	-	μs
再スタートコンディションセットアップ時間(注 3)	$t_{SU;STA}$	4.7	-	0.6	-	0.26	-	μs
データ保持時間(入力)(注 2)	$t_{HD;DAT}$	0	-	0	-	0	-	μs
データセットアップ時間	$t_{SU;DAT}$	250	-	100	-	50	-	ns
ストップコンディションセットアップ時間	$t_{SU;STO}$	4.0	-	0.6	-	0.26	-	μs
ストップコンディションとスタートコンディション間のバスフリー時間(注 3)	t_{BUF}	4.7	-	1.3	-	0.5	-	μs

注 1) 通信規格上、標準モード/ファストモード/ファストモードプラスの最高速度は 100kHz/400kHz/1MHz です。内部 SCL クロックの周波数の設定は、リファレンスマニュアル「I²C インターフェースバージョン A」3.3.1 章の計算式を参照してください。

注 2) 通信規格では、SDA 入力時に内部でデータ保持時間を 300ns 確保して、SCL 立ち下がり時の不安定な状態を回避することになっていますが、本製品では対応していません。また SCL のエッジスロープコントロール機能を持っていません。従って、SCL/SDA の tr/tf を含めて、バス上で上表のデータ保持時間(入力)を守るように、設計してください。

注 3) ソフトウェアに依存します。

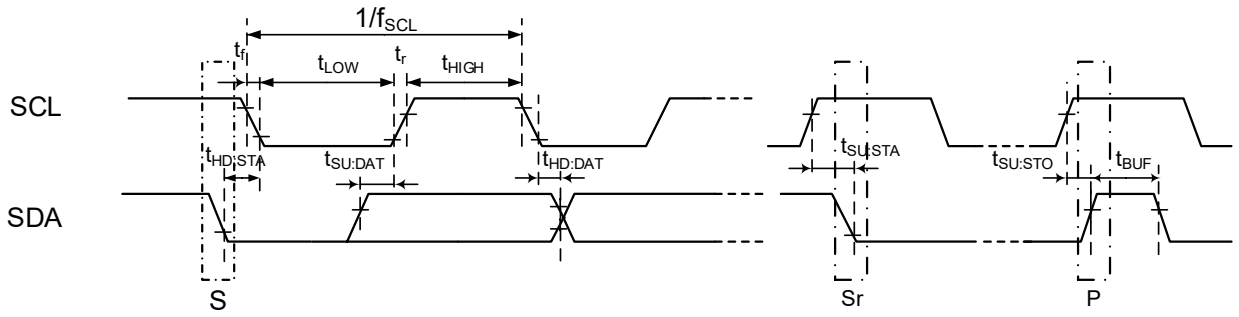


図 7.6 I²Cインターフェースバージョン AのACタイミング

7.10.4. 32 ビットタイマーイベントカウンター (T32A)

T32AxINA0/A1, T32AxINB0/B1, T32AxINC0/C1 入力に対する AC 電気的特性です。

7.10.4.1. 条件

この章に記載されている AC 特性は、以下の条件となります。

- DVDD3 = AVDD3 = 2.7V ~ 3.6V
- Ta = -40 ~ 85°C
- 入力レベル: High = 0.75×DVDD3、Low = 0.25×DVDD3
- 負荷容量: CL = 30pF

注) DVDD3 は DVDD3A、DVDD3B、DVDD3C、DVDD3D、DVDD3E、DVDD3F、DVDD3G、DVDD3H の総称です。

7.10.4.2. AC 電気的特性

T は T32A の動作クロックの周期を表します。T32A の動作クロックは、クロック ΦT0m と同じ周期です。この周期は、クロックギアの設定に依存します。

(1) パルスカウント動作時以外

項目	記号	計算式		ΦT0m=100MHz		単位
		Min	Max	Min	Max	
低レベルパルス幅	t_{VCKL}	2T + 20	-	40	-	ns
高レベルパルス幅	t_{VCKH}	2T + 20	-	40	-	

(2) パルスカウント動作時

項目	記号	計算式		ΦT0m =100MHz		単位
		Min	Max	Min	Max	
パルス周期	t_{DCYC}	1000	-	1000	-	ns
低レベルパルス幅	t_{PWL}	500	-	500	-	
高レベルパルス幅	t_{PWH}	500	-	500	-	
入力セットアップ	t_{ABS}	(NF+1)×T+20	-	30	-	
入力ホールド	t_{ABH}	(NF+1)×T+20	-	30	-	

NF の値は***[T32AxPLSCR]***<NF[1:0]> の設定により以下の値になります。

***[T32AxPLSCR]*<NF[1:0]>**	**計算式の NF 値**
00	0
01	2
10	4
11	8

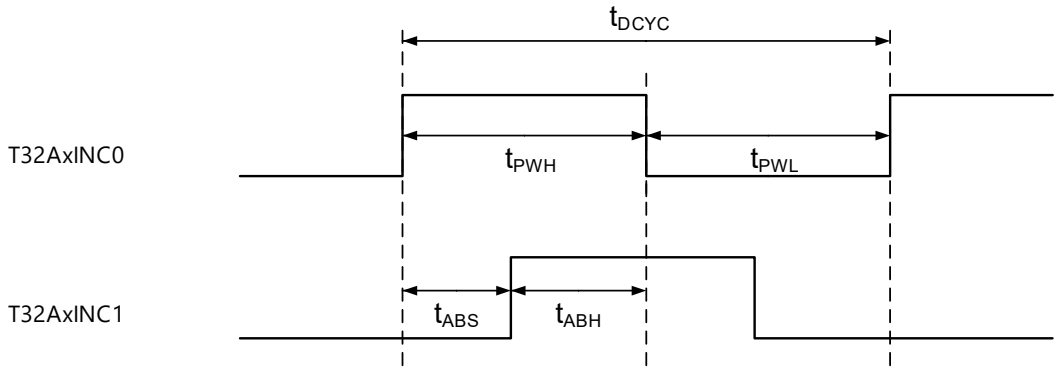


図 7.7　カウントパルス入力

7.10.5. 外部バスインターフェース (EBIF)

7.10.5.1. 条件

この章に記載されている AC 特性は、以下の条件となります。

- DVDD3 = AVDD3 = 2.7V ~ 3.6V
- Ta = -40 ~ 85°C (fsysh ≦ 200MHz)
- 出力レベル: High = 0.8×DVDD3, Low = 0.2×DVDD3
- 入力レベル: High = 0.75×DVDD3, Low = 0.25×DVDD3
- 負荷容量: CL = 30pF

注) DVDD3 は DVDD3A、DVDD3B、DVDD3C、DVDD3D、DVDD3E、DVDD3F、DVDD3G、DVDD3H の総称です。

7.10.5.2. 変数条件

- RWS: RD, WR における立ち下がりまでのセットアップサイクル挿入: RWS = 0, 1, 2, 4
- TW: 内部ウエイトサイクル挿入: TW = 0 ~ 15
- TWEX: 外部ウエイトサイクル挿入: TWEX = 任意
- RWH: RD, WR のリカバリーサイクル挿入: RWH = 0 ~ 6, 8
- CSH: ECSx_N のリカバリーサイクル挿入: CSH = 0, 1, 2, 4

7.10.5.3. AC 電気的特性 (EEXBCLK 非同期セパレートバスモード)

変数条件 : fsysh = 100MHz　RWS = 4, TW = 3, TWEX = 4, RWH = 4, CSH = 1
fsysh = 200MHz　RWS = 4, TW = 3, TWEX = 4, RWH = 4, CSH = 2

項目	記号	計算式		fsysh = 100MHz		fsysh = 200MHz		単位
		Min	Max	Min	Max	Min	Max	
システムクロック周期 (T)	t_{SYS}	T	–	10	–	5	–	ns
EA[0:23]有効 → ERD_N, EWR_N立ち下がり	t_{AC}	T (1+RWS)−25	–	25	–	0	–	
ERD_N, EWR_N立ち上がり →EA[0:23]保持	t_{CAR}	T (1+RWH+CSH)−30	–	30	–	5	–	
EA[0:23]有効 → ED[0:15]入力	t_{AD}	–	T (2+RWS+TW+TWEX)−40	–	90	–	25	
ERD_N立ち下がり → ED[0:15]入力	t_{RD}	–	T (1+TW+TWEX)−40	–	40	–	0	
ERD_N低レベルパルス幅	t_{RR}	T (1+TW+TWEX)−20	–	60	–	20	–	
ERD_N立ち上がり → ED[0:15]入力保持	t_{HR}	0	–	0	–	0	–	
ERD_N立ち上がり → EA[0:23]出力	t_{RAE}	T (1+RWH+CSH)−30	–	30	–	5	–	
EWR_N低レベルパルス幅	t_{WW}	T (1+TW+TWEX)−20	–	60	–	20	–	
ED[0:15]有効 → EWR_N立ち上がり	t_{DW}	T (1+TW+TWEX)−25	–	55	–	15	–	
EWR_N立ち上がり → ED[0:15]出力保持	t_{WD}	T (1+RWH)−30	–	20	–	-5	–	
ERD_N/EWR_N立ち下がり → EWAIT_N立ち下がり	t_{RWW}	–	T (TW)−40	–	-10	–	-25	
EWAIT_N立ち上がり → ERD_N/EWR_N 立ち上がり	t_{WRW}	–	4T + 30	–	70	–	50	

1. リードサイクル(最短サイクル)
(サイクル拡張無し、RDセットアップ無し、内部ウエイト無し、CSリカバリー無し、RDリカバリー無し)

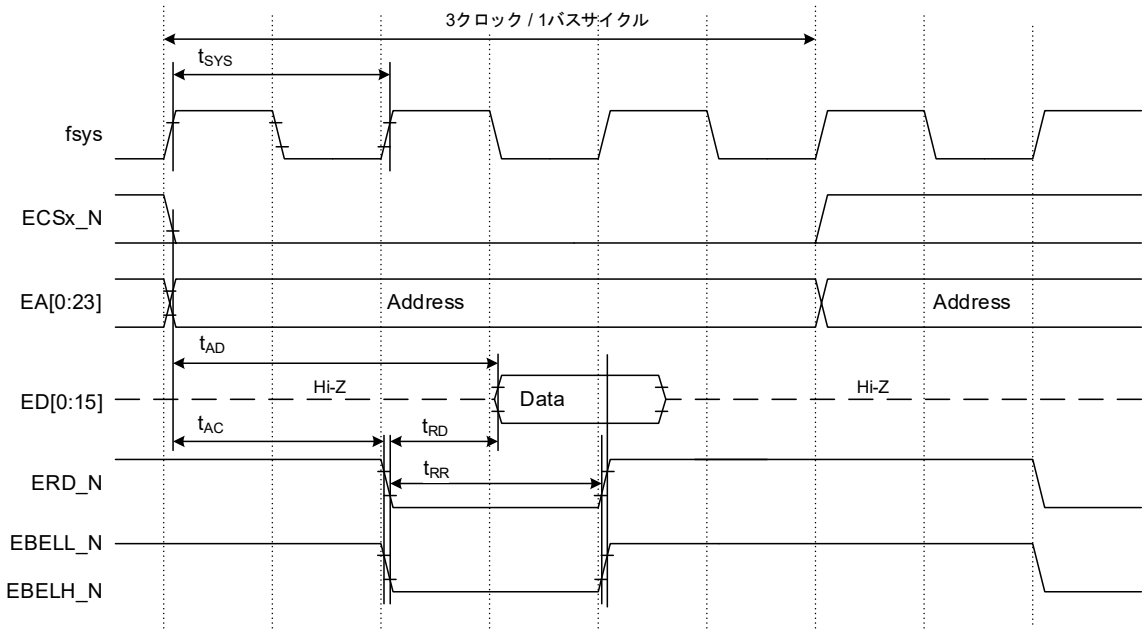


図 7.8　リードサイクル(最短サイクル)タイミング

2. リードサイクル(6クロック/1バスサイクル)
(サイクル拡張無し、RDセットアップ= 1サイクル、内部ウエイト= 1サイクル、CSリカバリー= 1サイクル、RDリカバリー= 1サイクル)

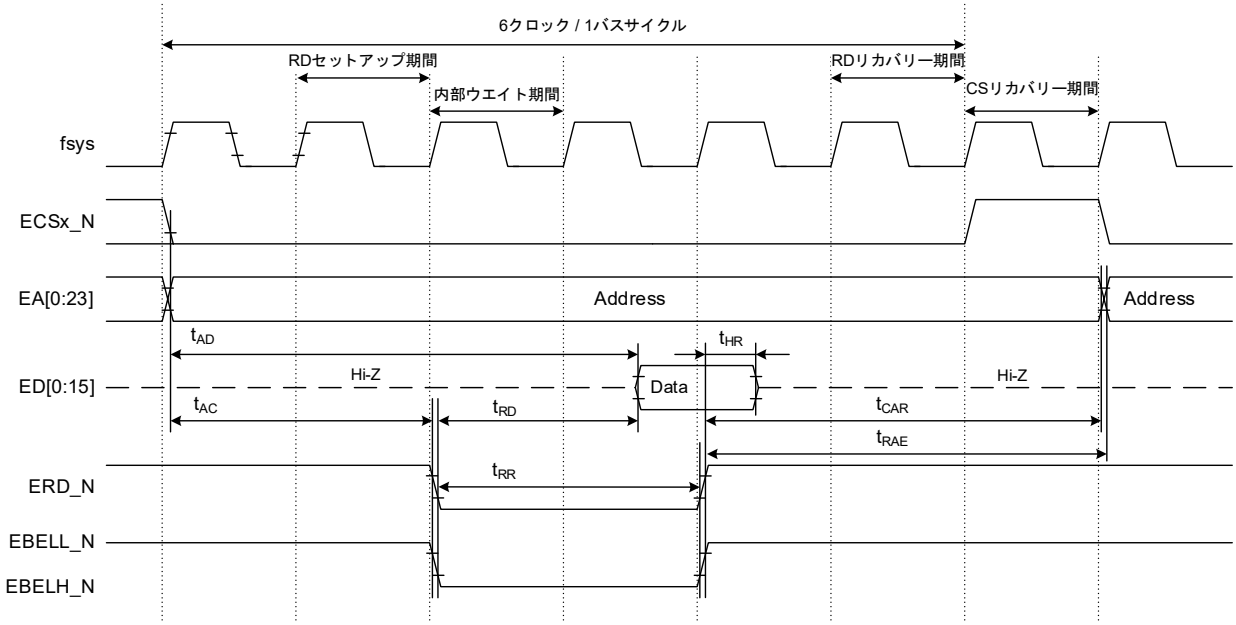


図 7.9　リードサイクル(6クロック/1バスサイクル)タイミング

3. リードサイクル(外部ウエイト)
(サイクル拡張無し、RDセットアップ= 1サイクル、内部ウエイト= 3サイクル、外部ウエイト= 任意、CSリカバリー= 1サイクル、RDリカバリー1サイクル)

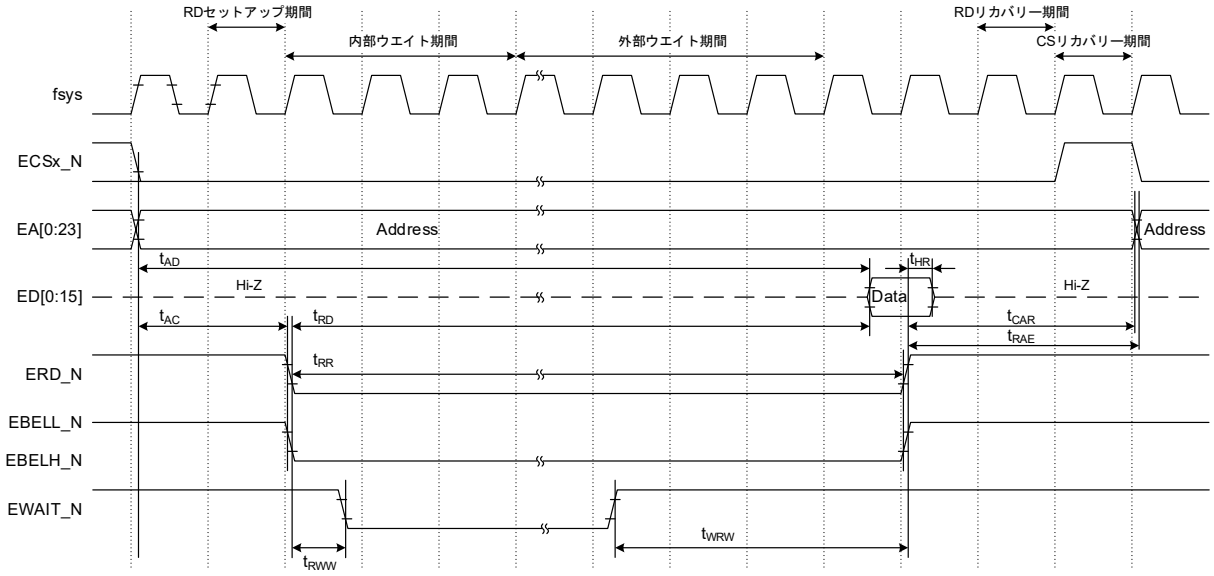


図 7.10　リードサイクル(外部ウエイト)タイミング

4. ライトサイクル(最短サイクル)
(サイクル拡張無し、WRセットアップ無し、内部ウエイト無し、CSリカバリー無し、WRリカバリー無し)

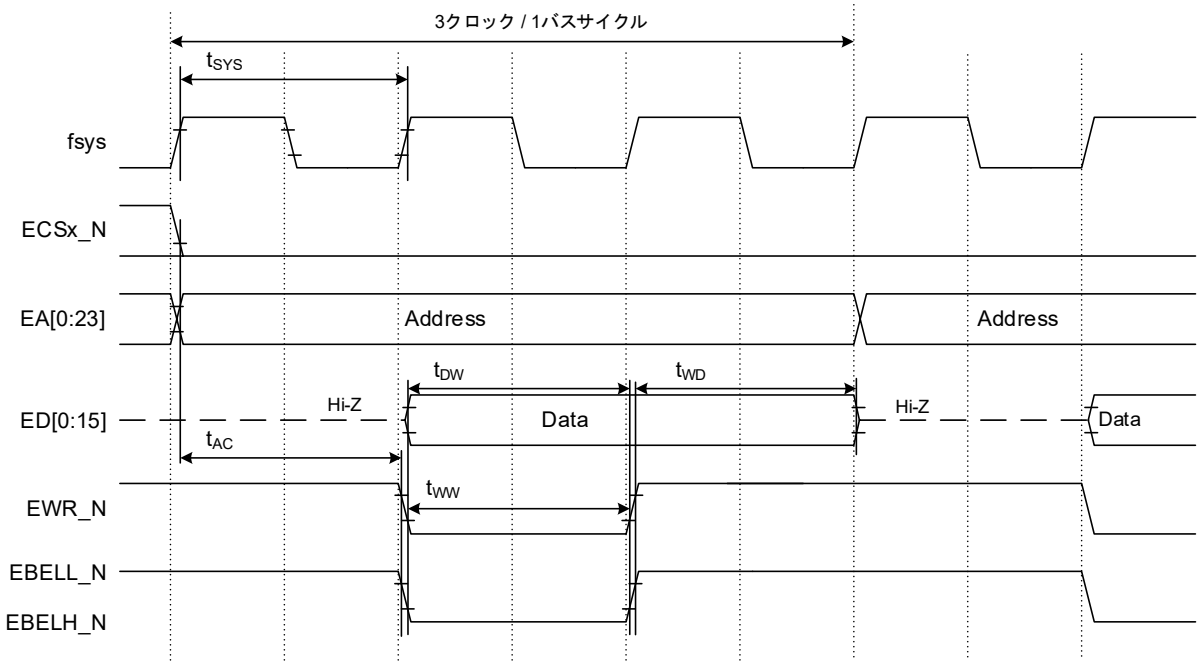


図 7.11　ライトサイクル(最短サイクル)タイミング

5. ライトサイクル(6クロック/1バスサイクル)
(サイクル拡張無し、WRセットアップ= 1サイクル、内部ウエイト= 1サイクル、CSリカバリー= 1サイクル、WRリカバリー= 1サイクル)

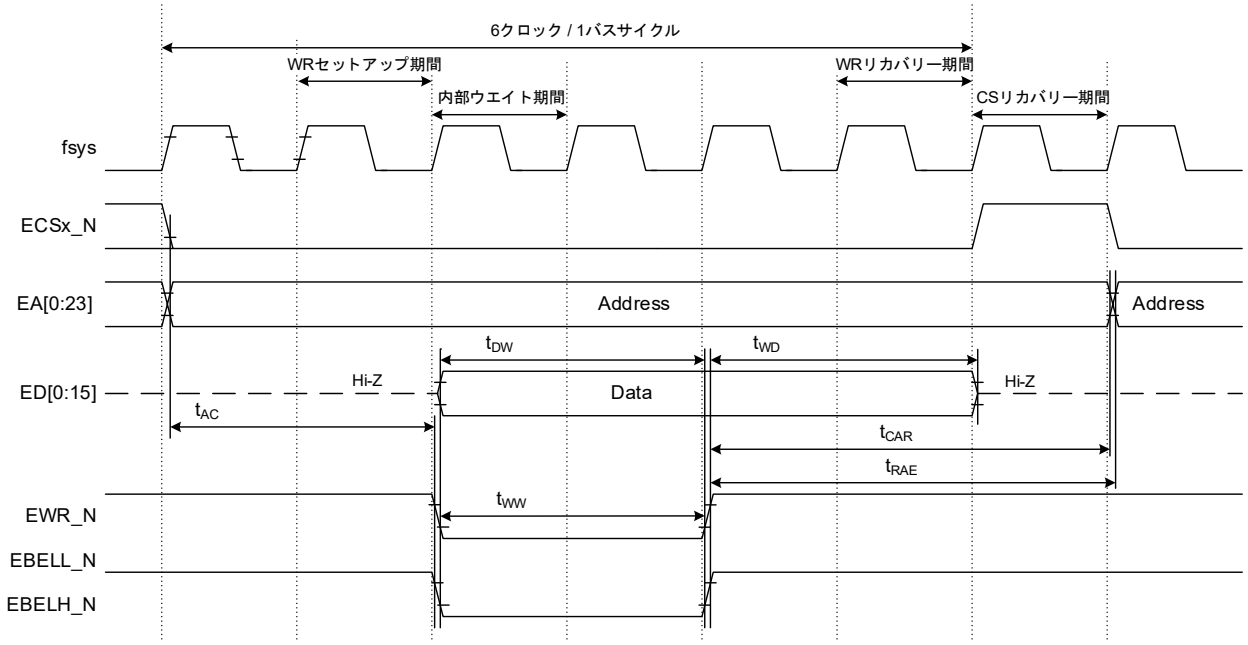


図 7.12　ライトサイクル (6クロック/1バスサイクル)タイミング

6. ライトサイクル(外部ウエイト)
(サイクル拡張無し、WRセットアップ= 1サイクル、内部ウエイト= 3サイクル、外部ウエイト=任意、CSリカバリー= 1サイクル、WRリカバリー= 1サイクル)

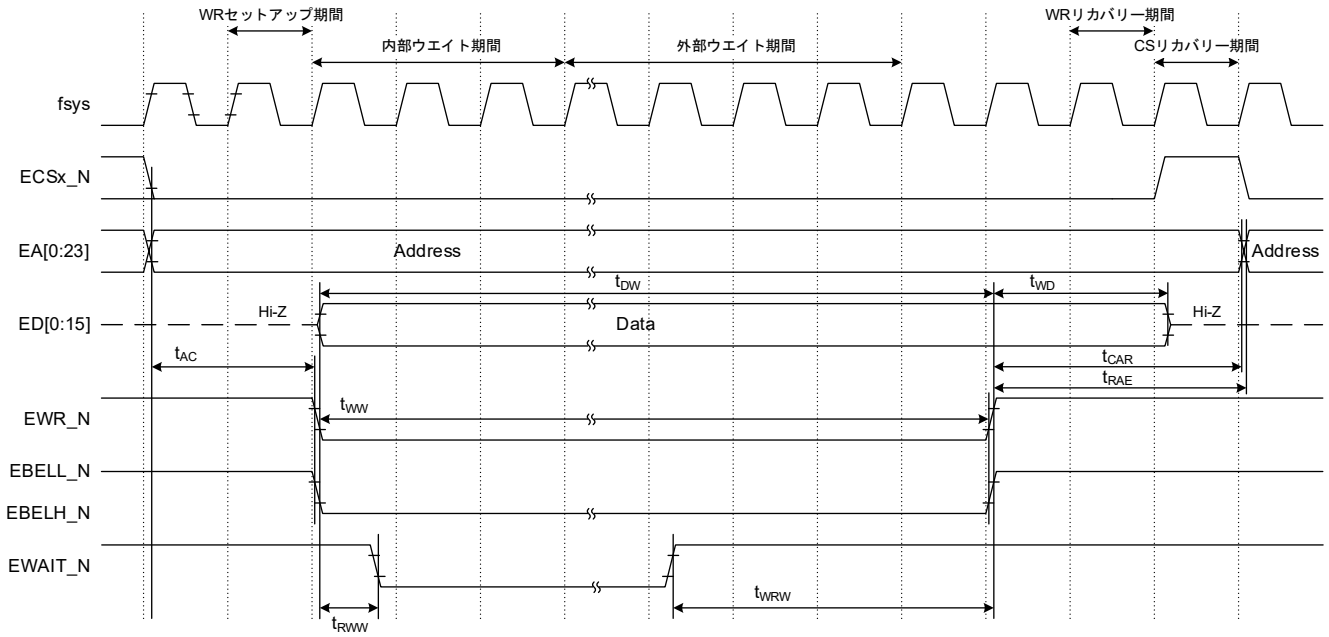


図 7.13　ライトサイクル(外部ウエイト)タイミング

7.10.5.4. AC 電気的特性 (EEXBCLK マルチプレクスバスモード)

変数条件 : fsysh = 100MHz　ALE = 2, RWS = 4, TW = 3, TWEX = 4, RWH = 4, CSH = 1
fsysh = 200MHz　ALE = 4, RWS = 4, TW = 3, TWEX = 4, RWH = 4, CSH = 2

項目	記号	計算式		fsysh =100MHz		fsysh = 200MHz		単位
		Min	Max	Min	Max	Min	Max	
システムクロック周期 (T)	t_{SYS}	T	–	10	–	5	–	ns
EAD[0:15]出力有効 → EALE立ち下がり	t_{AL}	T (1+ALE)-25	–	5	–	0	–	
EALE立ち下がり → EAD[0:15]出力保持	t_{LA}	T (1+RWS)-30	–	20	–	-5	–	
EALE Highパルス幅	t_{LL}	T (1+ALE)-16	–	14	–	9	–	
EALE立ち下がり → ERD_N, EWR_N立ち下がり	t_{LC}	T(1+RWS)-25	–	25	–	0	–	
ERD_N, EWR_N立ち上がり → EALE立ち上がり	t_{CL}	T (1+RWH+CSH)-25	–	35	–	10	–	
EAD[0:15]有効 → ERD_N, EWR_N立ち下がり EA[16:23]有効 → ERD_N, EWR_N立ち下がり	t_{ACL} t_{ACH}	T (2+ALE+RWH)-25	–	55	–	25	–	
ERD_N, EWR_N立ち上がり → EA[16:23]保持	t_{CAR}	T (1+RWH+CSH)-30	–	30	–	5	–	
EAD[0:15]有効 → EAD[0:15]入力 EA[16:23]有効 → EAD[0:15]入力	t_{ADL} t_{ADH}	–	T (3+ALE+RWS+TW+TWEX)-40	–	120	–	50	
ERD_N立ち下がり → EAD[0:15]入力	t_{RD}	–	T (1+TW+TWEX)-40	–	40	–	00	
ERD_N低レベルパルス幅	t_{RR}	T (1+TW+TWEX)-20	–	60	–	20	–	
ERD_N立ち上がり → EAD[0:15]保持	t_{HR}	0	–	0	–	0	–	
ERD_N立ち上がり→ EA[16:23]出力	t_{RAE}	T (1+RWH+CSH)-30	–	30	–	5	–	
EWR_N Lowパルス幅	t_{WW}	T (1+TW+TWEX)-20	–	60	–	20	–	
EAD[0:15]出力有効 → EWR_N立ち上がり	t_{DW}	T (1+TW+TWEX)-25	–	55	–	15	–	
EWR_N立ち上がり → EAD[0:15]出力保持	t_{WD}	T (1+RWH)-30	–	20	–	-5	–	
ERD_N/EWR_N 立ち下がり → EWAIT_N立ち下がり	t_{RWW}	–	T (TW)−40	–	-10	–	-25	
EWAIT_N立ち上がり → ERD_N/EWR_N立ち上がり	t_{WRW}	–	4T + 30	–	70	–	50	

1. リードサイクル(最短サイクル)
(サイクル拡張無し、ALEウエイト無し、RDセットアップ無し、内部ウエイト無し、CSリカバリー無し、RDリカバリー無し)

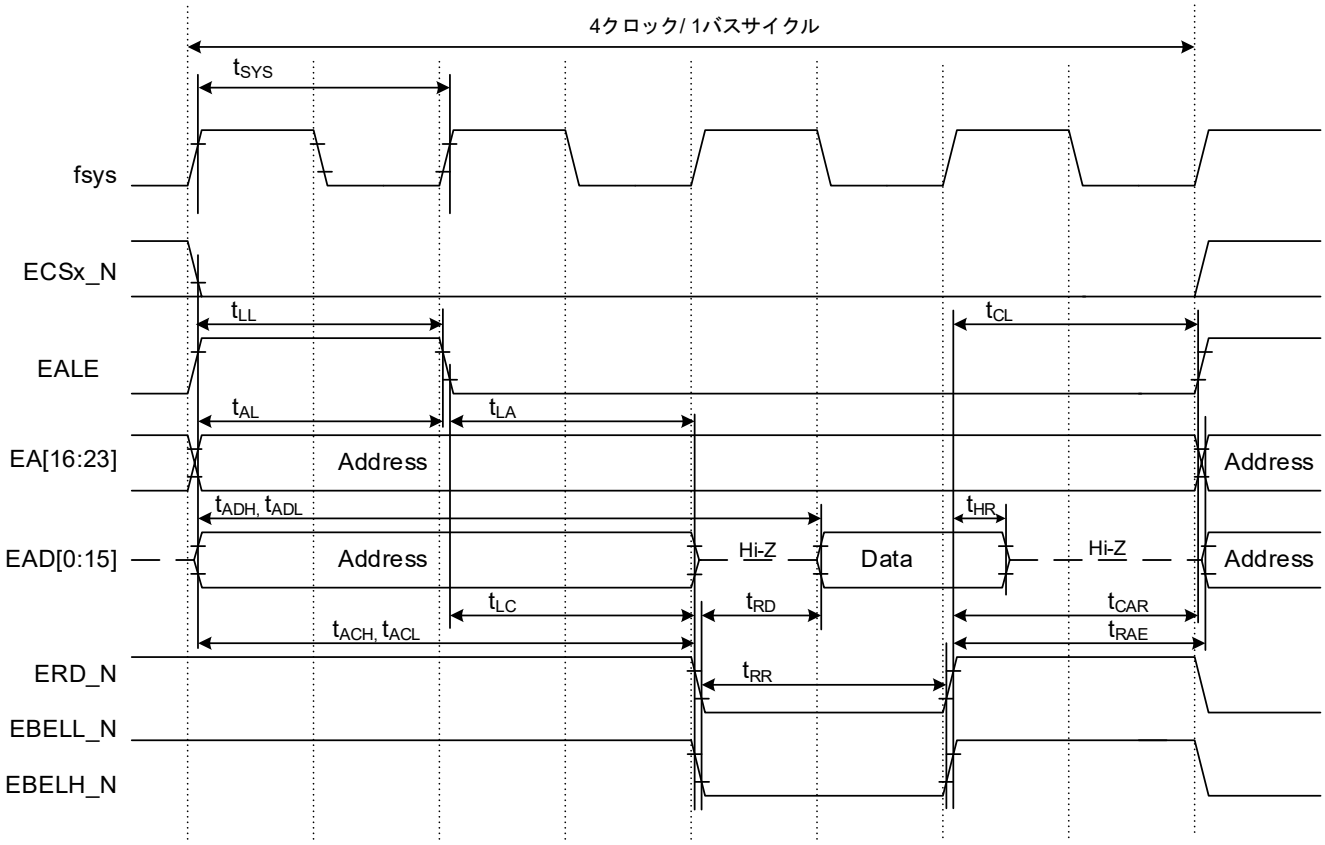


図 7.14　リードサイクル(最短サイクル)タイミング

2. リードサイクル(8クロック/1バスサイクル)
(サイクル拡張無し、ALEウエイト= 1サイクル、RDセットアップ= 1サイクル、内部ウエイト= 1サイクル、CSリカバリー= 1サイクル、RDリカバリー= 1サイクル)

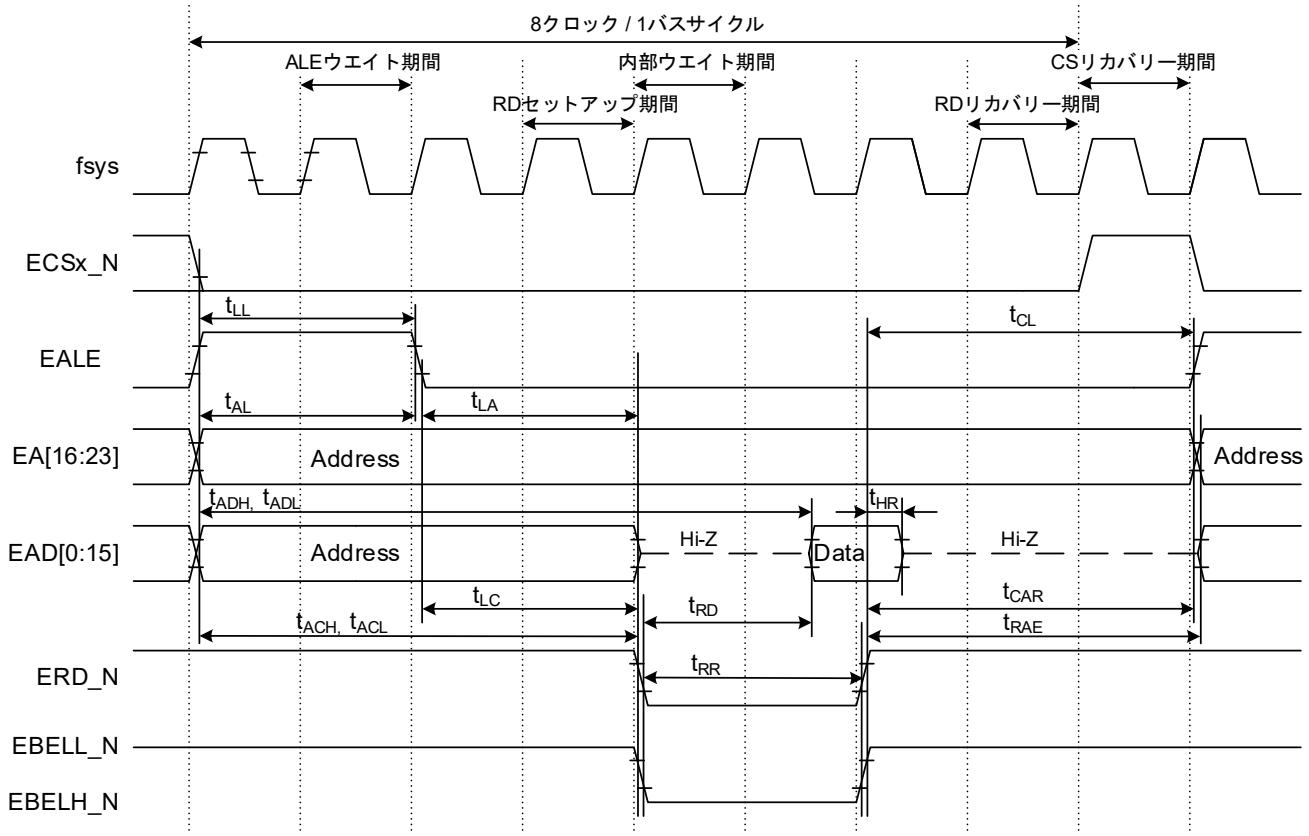


図 7.15　リードサイクル(8クロック/1バスサイクル)タイミング

3. リードサイクル (10クロック/1バスサイクル)
(サイクル拡張= 2倍、ALEウエイト= 1サイクル、RDセットアップ= 無し、内部ウエイト= 1サイクル、CSリカバリー= 1サイクル、RDリカバリー= 1サイクル)

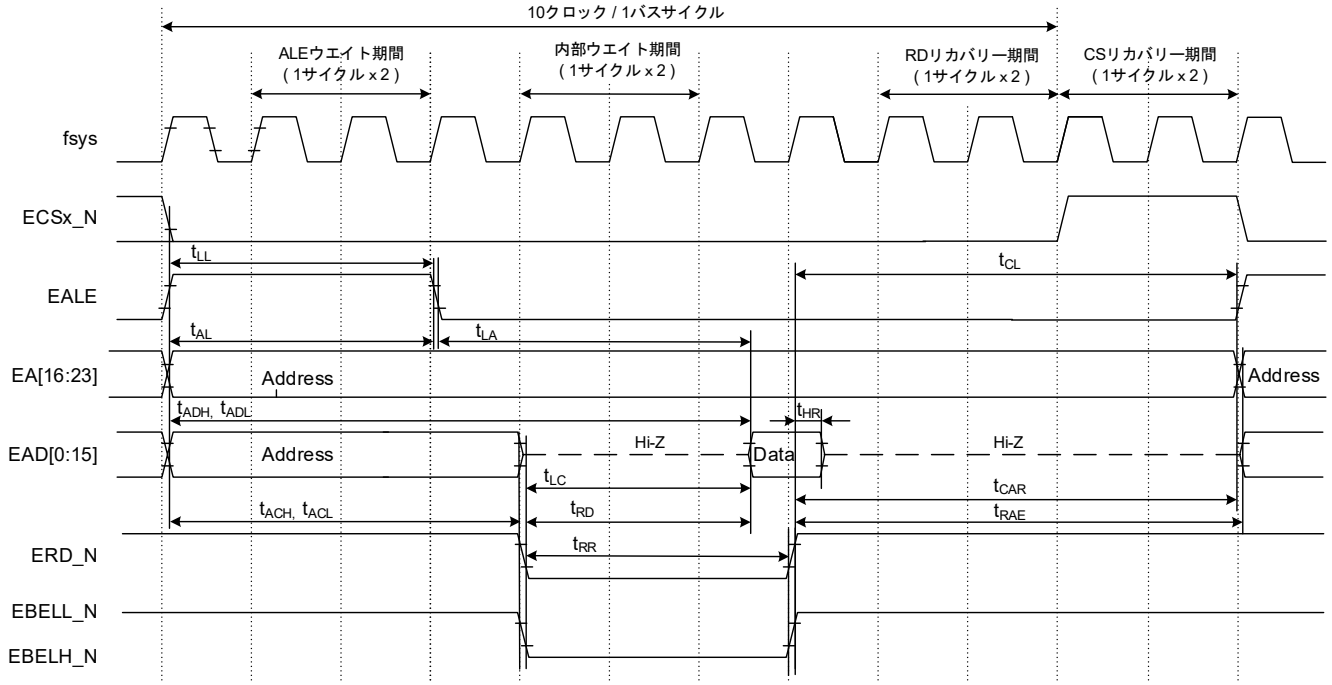


図 7.16 リードサイクル(10クロック/1バスサイクル)タイミング

4. リードサイクル(外部ウエイト)
(サイクル拡張無し、ALEウエイト= 1サイクル、RDセットアップ= 1サイクル、内部ウエイト= 3サイクル、外部ウエイト= 任意、CSリカバリー= 1サイクル、RDリカバリー= 1サイクル)

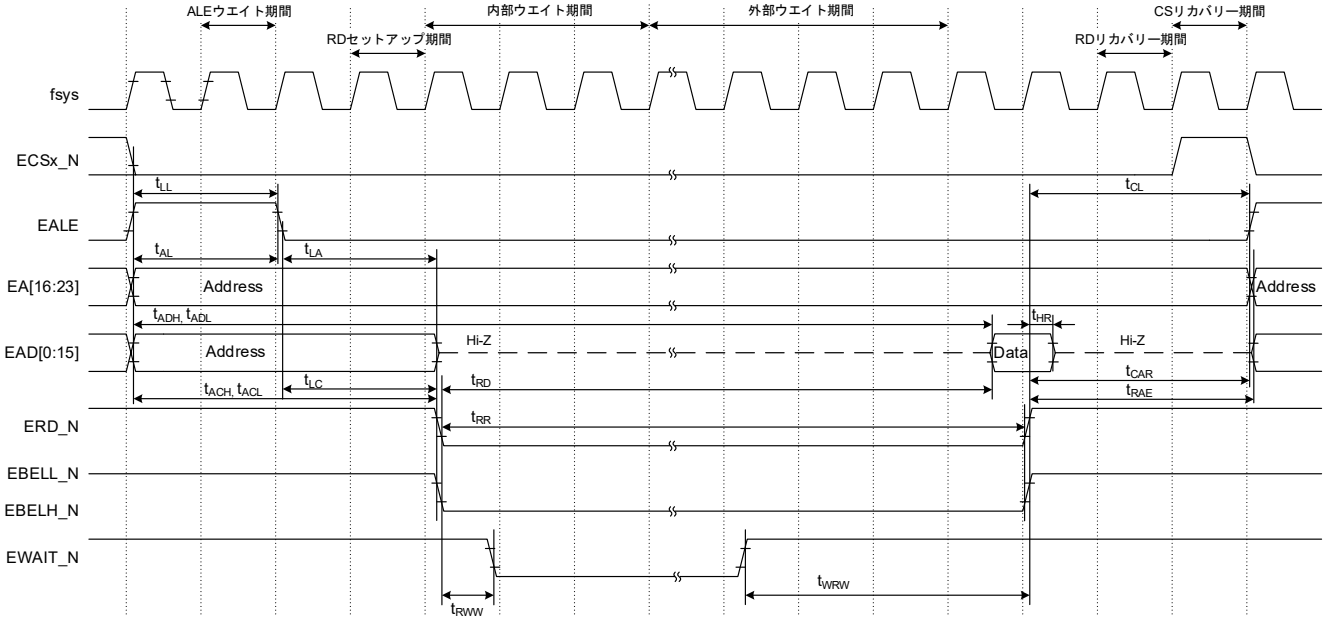


図 7.17　リードサイクル(外部ウエイト)タイミング

5. ライトサイクル(最短サイクル)
(サイクル拡張無し、ALEウエイト無し、WRセットアップ無し、内部ウエイト無し、CSリカバリー無し、WRリカバリー無し)

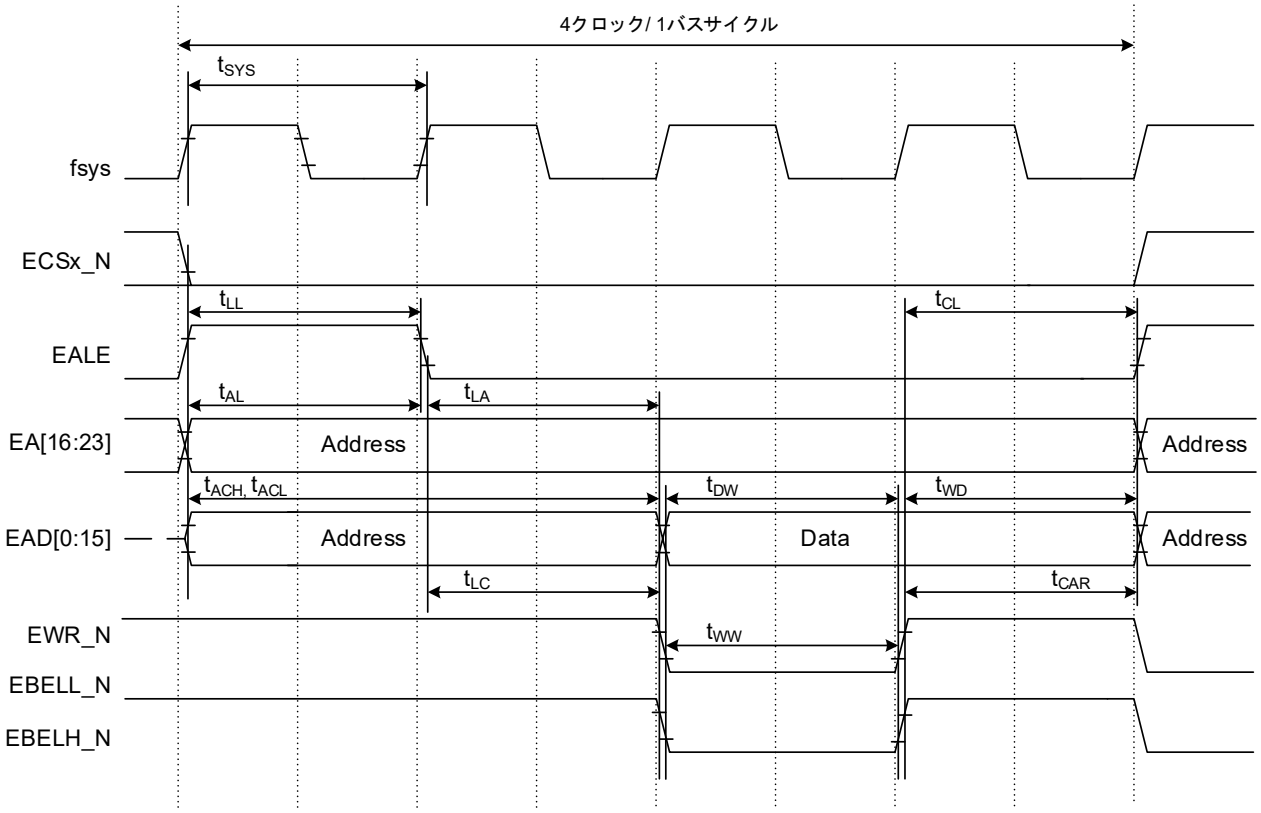


図 7.18　ライトサイクル(最短サイクル)タイミング

6. ライトサイクル(8クロック/1バスサイクル)
(サイクル拡張無し、ALEウエイト= 1サイクル、WRセットアップ= 1サイクル、内部ウエイト= 1サイクル、CSリカバリー= 1サイクル、WRリカバリー= 1サイクル)

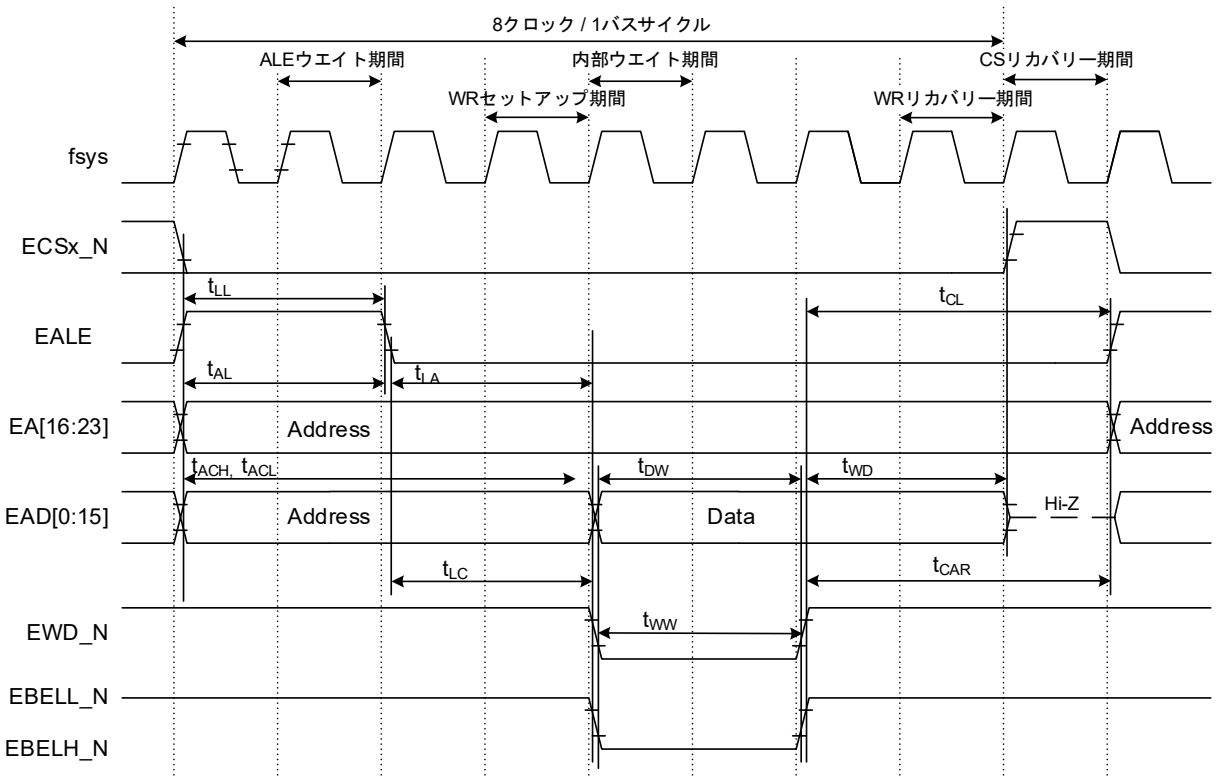


図 7.19　ライトサイクル(8クロック/1バスサイクル)タイミング

7. ライトサイクル(外部ウエイト)
(サイクル拡張無し、ALEウエイト= 1サイクル、WRセットアップ= 1サイクル、内部ウエイト= 3サイクル、外部ウエイト= 任意、CSリカバリー= 1サイクル、WRリカバリー= 1サイクル)

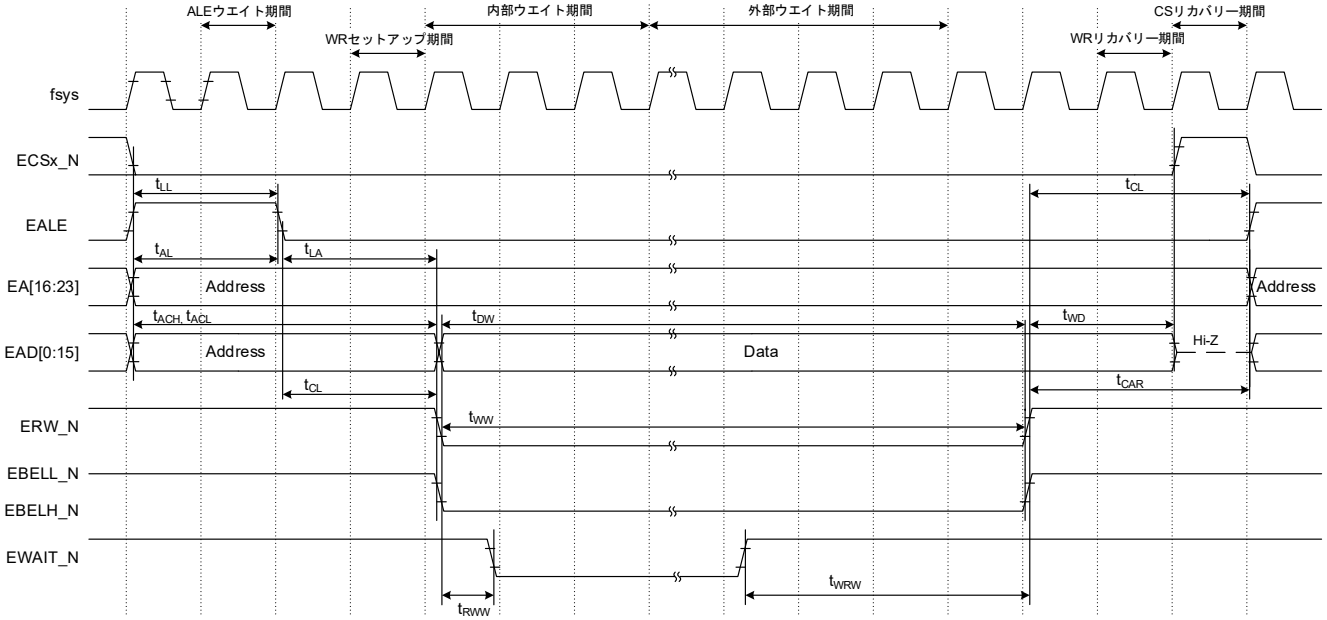


図 7.20 ライトサイクル(外部ウエイト)タイミング

7.10.5.5. AC 電気的特性 (EEXBCLK 同期セパレートバスモード/マルチプレクスバスモード)

AC 条件は、以下となります。

- 出力レベル: High = 0.5×DVDD3, Low = 0.5×DVDD3
- 入力レベル: High = 0.5×DVDD3, Low = 0.5×DVDD3

項目	記号	計算式		fsysh=200MHz		単位
		Min	Max	Min	Max	
外部クロック(EEXBCLK)周期	X	33.3	–	33.3	–	ns
出力端子確定 → EEXBCLK立ち下がり	t_S	2	–	2	–	
EEXBCLK立ち下がり → 出力端子保持	t_H	7	–	7	–	
ED/EAD[15:0]入力確定 → EEXBCLK立ち上がり	t_{DS}	20	–	20	–	
EEXBCLK立ち上がり → ED/EAD[15:0]入力保持	t_{DH}	0	–	0	–	
EWAIT_N入力確定 → EEXBCLK立ち上がり	t_{WS}	20	–	20	–	
EEXBCLK立ち上がり → EWAIT_N入力保持	t_{WH}	0	–	0	–	

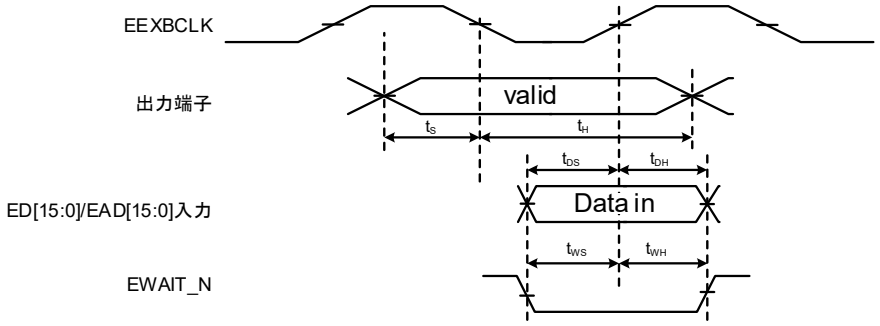


図 7.21 EEXBCLK同期セパレートバスモード/マルチプレクスバスモードタイミング

7.10.6. シリアルメモリーインターフェース (SMIF)

7.10.6.1. 条件

この章に記載されている AC 特性は、以下の条件となります。

- DVDD3 = AVDD3 = 2.7V ~ 3.6V
- Ta = -40 ~ 85°C (fsysh ≦ 200MHz)
- 出力レベル: High = 0.8×DVDD3, Low = 0.2×DVDD3
- 入力レベル: High = 0.75×DVDD3, Low = 0.25×DVDD3
- 負荷容量: CL = 30pF

注) DVDD3 は DVDD3A、DVDD3B、DVDD3C、DVDD3D、DVDD3E、DVDD3F、DVDD3G、DVDD3H の総称です。

項目	記号	計算式	Min	Max	単位
SMIxCLK クロック周波数	f_{CK}	-	-	25	MHz
データのセットアップ時間	t_{SU}	-	31.2	-	ns
データのホールド時間	t_{HD}	-	0	-	
有効 Output	t_V	-	-	14.5	
Output ホールド時間	t_{HO}	-	-14.5	-	
CS セットアップ時間	t_{CSS}	1.5T-20	40	-	
CS ホールド時間	t_{CSH}	1.0T-20	20	-	

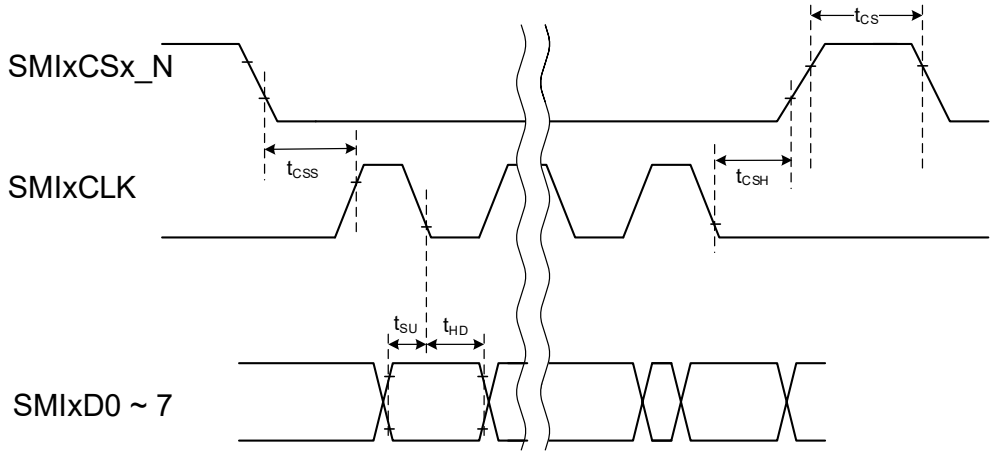


図 7.22 SMIF Inputタイミング

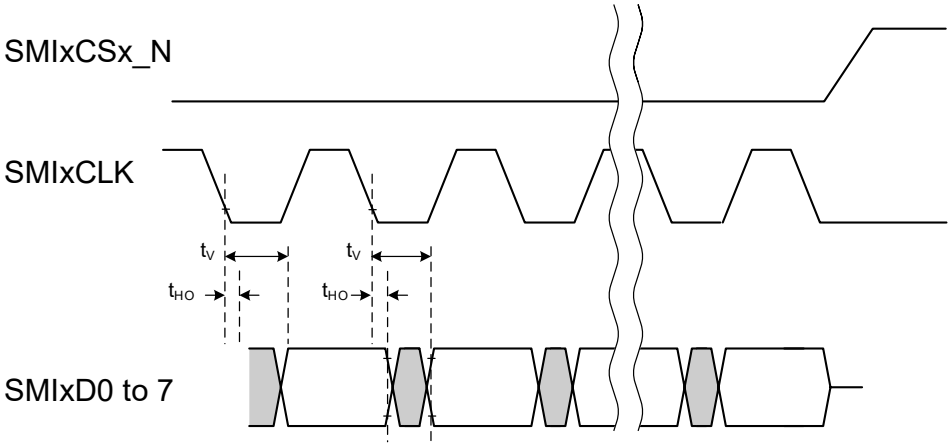


図 7.23　SMIF Outputタイミング

7.10.7. I²S インターフェース (I2S)

7.10.7.1. 条件

この章に記載されている AC 特性は、以下の条件となります。

- DVDD3 = AVDD3 = 2.7V ~ 3.6V
- Ta = -40 ~ 85°C (fsysh ≦ 200MHz)
- 出力レベル: High = 0.5×DVDD3, Low = 0.5×DVDD3
- 入力レベル: High = 0.5×DVDD3, Low = 0.5×DVDD3
- 負荷容量: CL = 30pF

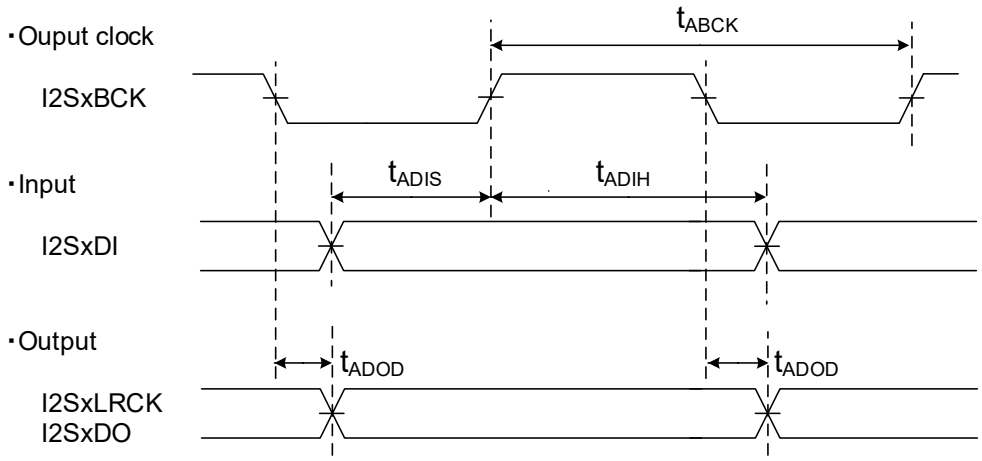
注) DVDD3 は DVDD3A、DVDD3B、DVDD3C、DVDD3D、DVDD3E、DVDD3F、DVDD3G、DVDD3H の総称です。

7.10.7.2. AC 電気的特性

(1) マスターモード

項目	記号	Min	Max	単位
Output Clock Period	t_{ABCK}	81.38 (注)	-	ns
Input Data Setup Time	t_{ADIS}	25	-	
Input Data Hold Time	t_{ADIH}	10	-	
Output Delay Time	t_{ADOD}	-5	15	

注) Max 12.288MHz



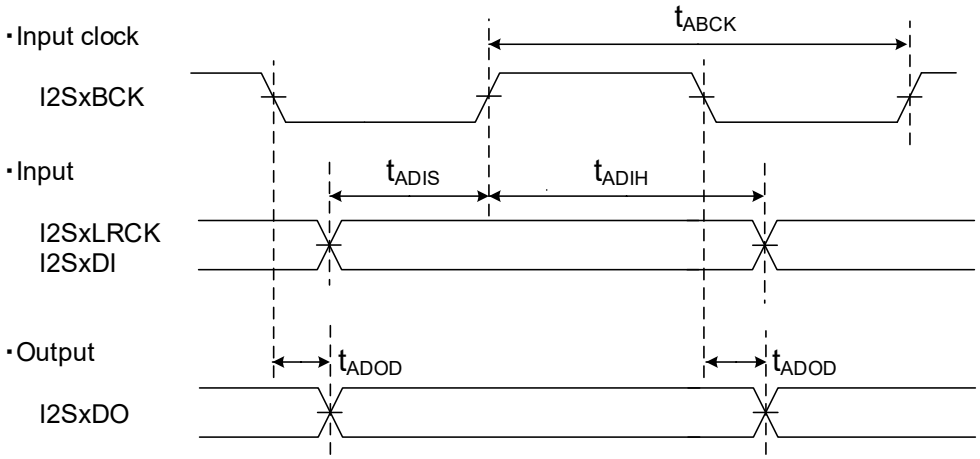
(立ち下がりエッジデータ出力、立ち上がりエッジ入力データサンプリング)

図 7.24 I²Sインターフェースマスターモード

(2) スレーブモード

項目	記号	Min	Max	単位
Output Clock Period	t_{ABCK}	81.38 (注)	-	ns
Input Data Setup Time	t_{ADIS}	10	-	
Input Data Hold Time	t_{ADIH}	10	-	
Output Delay Time	t_{ADOD}	0	30	

注) Max 12.288MHz



(立ち下がりエッジデータ出力、立ち上がりエッジ入力データサンプリング)

図 7.25 I²Sインターフェーススレーブモード

7.10.8. 同期シリアルインターフェース (TSSI)

7.10.8.1. 条件

この章に記載されている AC 特性は、以下の条件となります。

- DVDD3 = AVDD3 = 2.7V ~ 3.6V
- Ta = -40 ~ 85°C (fsysh ≦ 200MHz)
- 出力レベル: High = 0.5×DVDD3, Low = 0.5×DVDD3
- 入力レベル: High = 0.5×DVDD3, Low = 0.5×DVDD3
- 負荷容量: CL = 30pF

注) DVDD3 は DVDD3A、DVDD3B、DVDD3C、DVDD3D、DVDD3E、DVDD3F、DVDD3G、DVDD3H の総称です。

7.10.8.2. AC 電気的特性

(1) マスターモード

項目	記号	計算式	Min	Max	単位
TSSIxTCK/TSSIxRCK 出力クロック周波数	f_{CYC}	-	-	**10**	MHz
TSSIxTCK/TSSIxRCK 出力クロック周期	t_{CYC}	$1/f_{CYC}$	100	-	ns
TSSIxTCK/TSSIxRCK 低レベル出力パルス幅	t_{WL}	$(t_{CYC}/2)-10$	40	-	
TSSIxTCK/TSSIxRCK 高レベル出力パルス幅	t_{WH}	$(t_{CYC}/2)-10$	40	-	
TSSIxRXD 入力セットアップ時間	t_{DSU}	0.5T – 25	25	-	
TSSIxRXD 入力ホールド時間	t_{DHD}	0.5T – 25	25	-	
TSSIxTXD 出力遅延時間	t_{DDLY2}	0.5T – 25	-	25	
TSSIxTXD 出力ホールド時間	t_{DDLY1}	-(0.5T – 25)	-25	-	

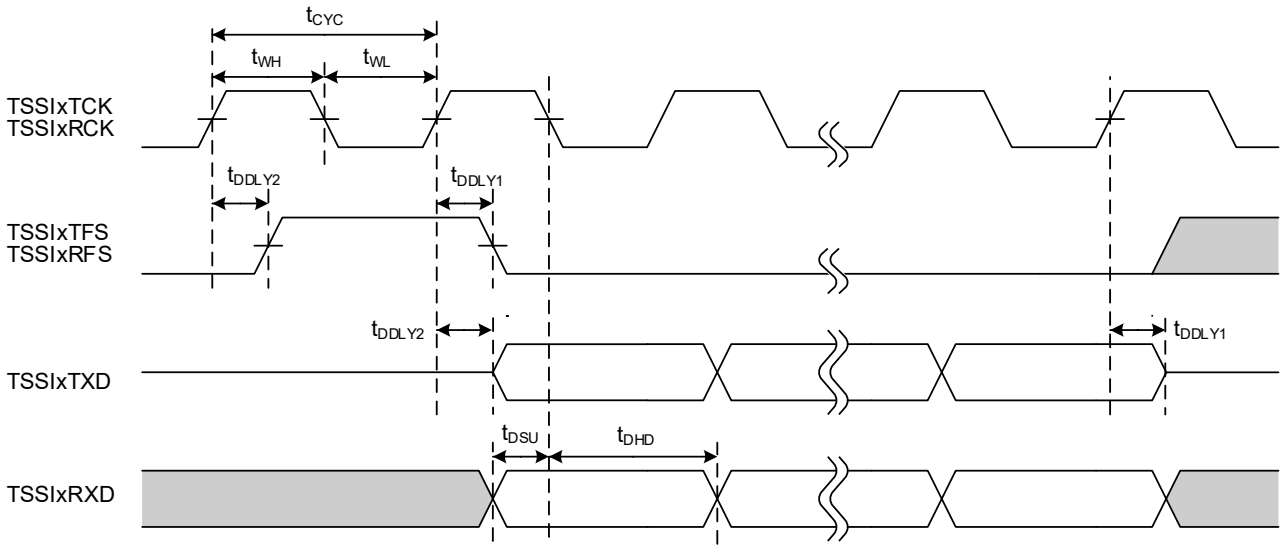


図 7.26 マスター動作

(2) スレーブモード

項目	記号	計算式	Min	Max	単位
TSSIxTCK/TSSIxRCK 入力クロック周波数	f_{CYC}	-	-	**10**	MHz
TSSIxTCK/TSSIxRCK 入力クロック周期	t_{CYC}	$1/f_{CYC}$	**100**	**-**	ns
TSSIxRXD/TSSIxTSF/TSSIxRSF 入力セットアップ時間	t_{DSU}	0.5T – 25	25	-	
TSSIxRXD/TSSIxTSF/TSSIxRSF 入力ホールド時間	t_{DHD}	0.5T – 25	25	-	
TSSIxTXD 出力遅延時間	t_{DDLY2}	0.5T – 25	-	25	
TSSIxTXD 出力ホールド時間	t_{DDLY1}	-(0.5T – 25)	-25	-	

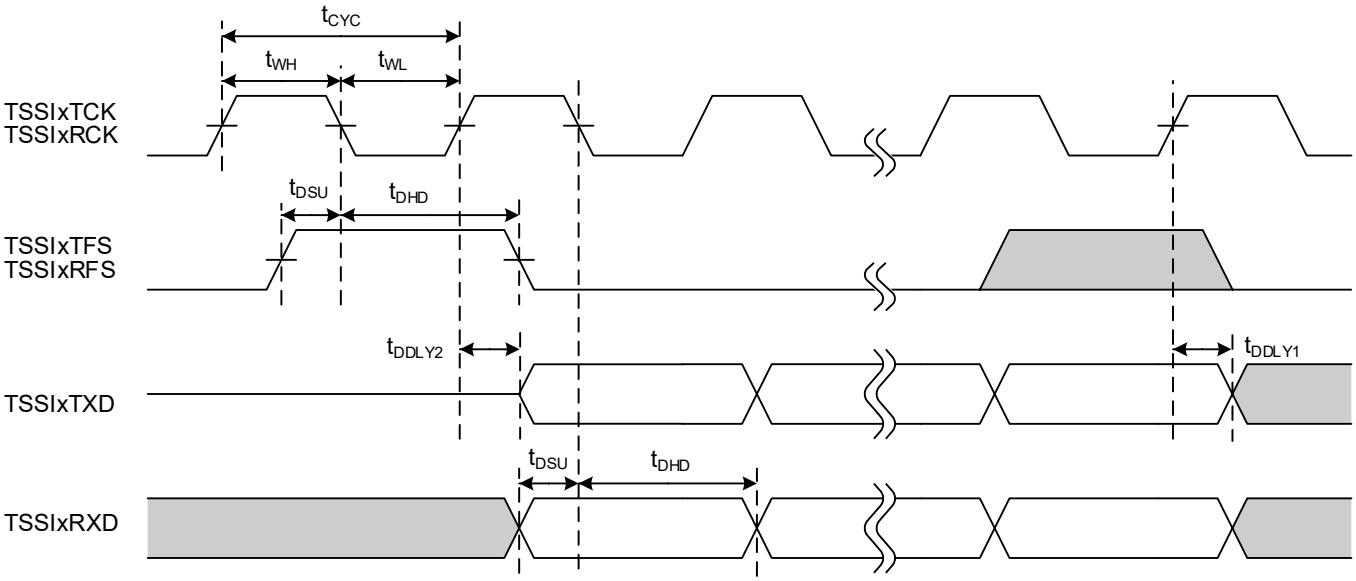


図 7.27　スレーブ動作

7.10.9. 外部割り込み

7.10.9.1. 条件

この章に記載されている AC 特性は、以下の条件となります。

- DVDD3 = AVDD3 = 2.7V ~ 3.6V
- Ta = -40 ~ 85°C (fsysh ≦ 200MHz)
- 入力レベル: High = 0.75×DVDD3、Low = 0.25×DVDD3
- 負荷容量: CL = 30pF

注) DVDD3 は DVDD3A、DVDD3B、DVDD3C、DVDD3D、DVDD3E、DVDD3F、DVDD3G、DVDD3H の総称です。

7.10.9.2. AC 電気的特性

表中の T はシステムクロック fsys の周期を表します。

(1) NORMAL、IDLE モード時

項目	記号	計算式		fsysh=200MHz		単位
		Min	Max	Min	Max	
Low レベルパルス幅	t_{INTAL1}	T + 100	-	105	-	ns
High レベルパルス幅	t_{INTAH1}	T + 100	-	105	-	

(2) STOP1、STOP2 モード時

項目	記号	計算式		fsysh=200MHz		単位
		Min	Max	Min	Max	
Low レベルパルス幅	t_{INTCL2}	500	-	500	-	ns
High レベルパルス幅	t_{INTCH2}	500	-	500	-	

7.10.10. 端子トリガー入力 (TRGINx)

7.10.10.1. 条件

この章に記載されている AC 特性は、以下の条件となります。

- DVDD3 = AVDD3 = 2.7V ~ 3.6V
- Ta = -40 ~ 85°C
- 入力レベル: High = 0.75×DVDD3、Low = 0.25×DVDD3
- 負荷容量: CL = 30pF

注) DVDD3 は DVDD3A、DVDD3B、DVDD3C、DVDD3D、DVDD3E、DVDD3F、DVDD3G、DVDD3H の総称です。

7.10.10.2. AC 電気的特性

表中の T はシステムクロック fsys の周期を表します。

項目	記号	計算式		fsysm=100MHz		単位
		Min	Max	Min	Max	
Low レベルパルス幅	t_{ADL}	2T + 20	-	40	-	ns
High レベルパルス幅	t_{ADH}	2T + 20	-	40	-	

7.10.11. デバッグ通信

7.10.11.1. 条件

この章に記載されている AC 特性は、以下の条件となります。

- DVDD3 = AVDD3 = 2.7V ~ 3.6V
- Ta = -40 ~ 85°C (fsys ≦ 200MHz)
- 出力レベル: High = 0.8×DVDD3、Low = 0.2×DVDD3
- 入力レベル: High = 0.75×DVDD3、Low = 0.25×DVDD3
- 負荷容量: CL = 30pF

注) DVDD3 は DVDD3A、DVDD3B、DVDD3C、DVDD3D、DVDD3E、DVDD3F、DVDD3G、DVDD3H の総称です。

7.10.11.2. SWD インターフェース

項目	記号	Min	Max	単位
CLK 周期	t_{dck}	100	-	ns
CLK 立ち上がりから出力データ保持	t_{d1}	1	-	
CLK 立ち上がりから出力データ有効	t_{d2}	-	35	
入力データ有効から CLK 立ち上がり	t_{ds}	20	-	
CLK 立ち上がりから入力データ保持	t_{dh}	15	-	

7.10.11.3. JTAG インターフェース

項目	記号	Min	Max	単位
CLK 周期	t_{dck}	100	-	ns
CLK 立ち下がりから出力データ保持	t_{d1}	0	-	
CLK 立ち下がりから出力データ有効	t_{d2}	-	35	
入力データ有効から CLK 立ち上がり	t_{ds}	20	-	
CLK 立ち上がりから入力データ保持	t_{dh}	15	-	

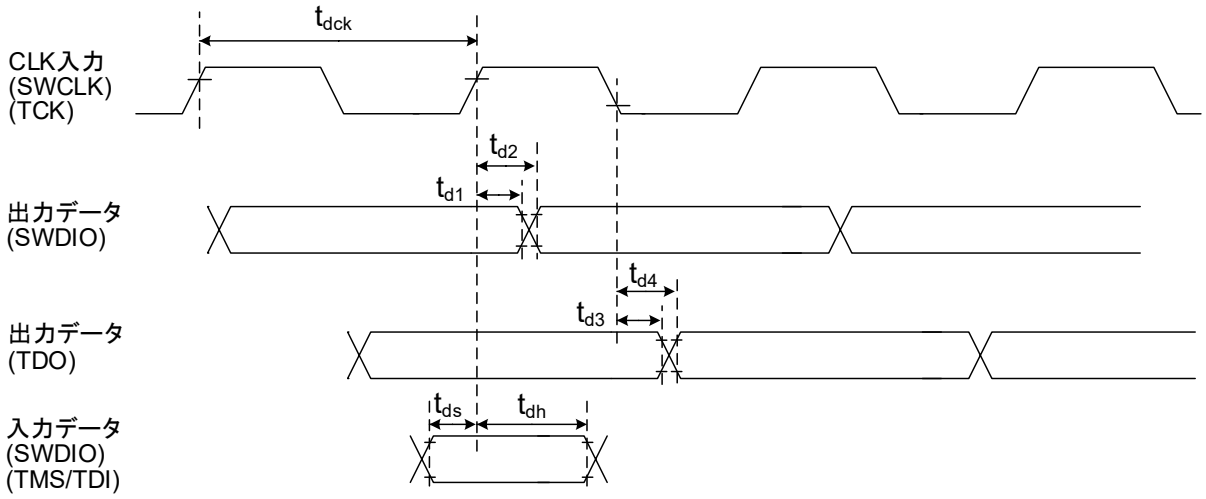


図 7.28 JTAG/SWD波形

7.10.11.4. ETM トレース

項目	記号	Min	Max	単位
TRACECLK 周期	t_{tclk}	20	-	ns
TRACECLK 立ち上がりから TRACEDATA 有効	t_{setupr}	2	-	
TRACECLK 立ち上がりから TRACEDATA 保持	t_{holdr}	1	-	
TRACECLK 立ち下がりから TRACEDATA 有効	t_{setupf}	2	-	
TRACECLK 立ち下がりから TRACEDATA 保持	t_{holdf}	1	-	

注) fsys > 100MHz の場合は、DVDD3=3.3V、CL=10pF の条件となります。

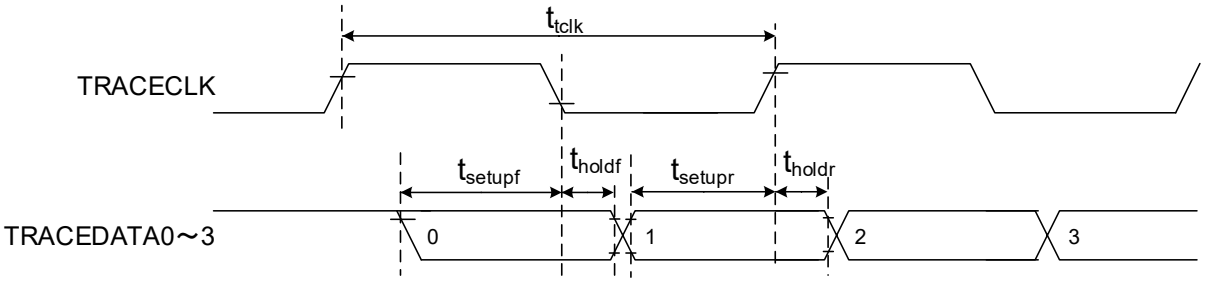


図 7.29　トレース信号波形

7.10.11.5. ノンブレークデバッグインターフェース (NBDIF)

項目	記号	Min	Max	単位
NBDCLK サイクル時間	t_{NDCYC}	80	-	ns
NBDCLK Low レベルパルス幅	t_{NDL}	35	-	
NBDDATA 出力遅延時間	t_{NDD}	-	t_{NDCYC} - 20	
NBDDATA 出力ホールド時間	t_{NDHD}	5	-	
NBDDATA セットアップ時間	t_{NDS}	20	-	
NBDDATA ホールド時間	t_{NDH}	5	-	
NBDSYNC セットアップ時間	t_{NDSYS}	20	-	
NBDSYNC 出力ホールド時間	t_{NDSYH}	5	-	

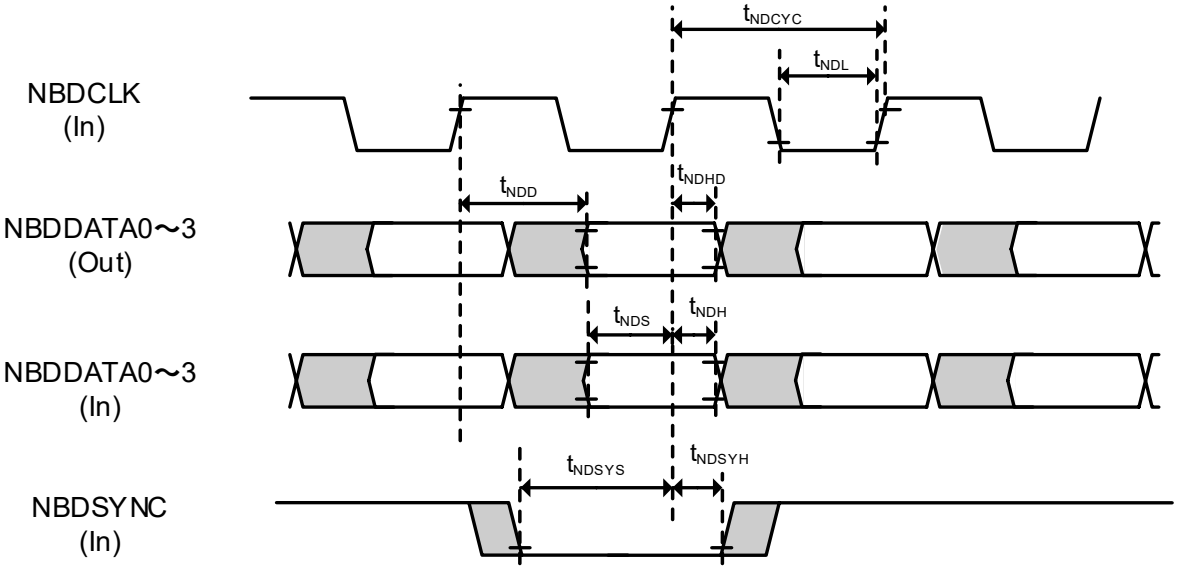


図 7.30 NBDIF波形

7.10.11.6. ノイズフィルター特性

項目	条件	Min	Typ.	Max	単位
ノイズキャンセル幅	-	15	30	60	ns

7.10.12. 外部クロック入力

7.10.12.1. 条件

この章に記載されている AC 特性は、以下の条件となります。

- DVDD3 = AVDD3 = 2.7V ~ 3.6V
- Ta = -40 ~ 85°C
- 入力レベル: High = 0.75×DVDD3、Low = 0.25×DVDD3
- 負荷容量: CL = 30pF

注) DVDD3 は DVDD3A、DVDD3B、DVDD3C、DVDD3D、DVDD3E、DVDD3F、DVDD3G、DVDD3H の総称です。

7.10.12.2. AC 電気的特性

(1) 高速クロック入力

項目	記号	Min	Typ.	Max	単位
クロック周波数 (f_{ehcin} = 1 / t_{ehcin})	f_{ehcin}	8	-	24	MHz
クロック Duty	-	45	-	55	%
クロック立ち上がり時間	t_r	-	-	10	ns
クロック立ち下がり時間	t_f	-	-	10	ns

(2) 低速クロック入力

項目	記号	Min	Typ.	Max	単位
クロック周波数 (f_{ehcin} = 1 / t_{ehcin})	f_{ehcin}	30	-	34	kHz
クロック Duty	-	45	-	55	%
クロック立ち上がり時間	t_r	-	-	100	ns
クロック立ち下がり時間	t_f	-	-	100	ns

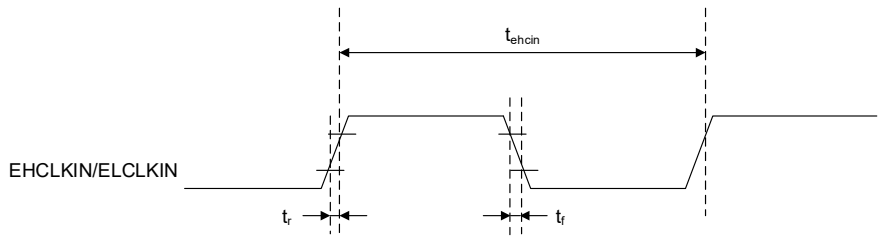


図 7.31　外部クロック入力波形

7.11. フラッシュ特性

7.11.1. コードフラッシュ

DVDD3=2.7V ~ 3.6V
Ta= -40 ~ 85°C

項目	条件	Min	Typ.	Max	単位
フラッシュメモリー書き換え回数		-	-	100,000	回
書き込み時間	1word あたりに換算	-	22.6	-	μs
消去時間	ページ	1.1	-	4.2	ms
	ブロック	8.4	-	33.6	
	エリア(注 2)	-	9.1	-	

注1) DVDD3 は DVDD3A、DVDD3B、DVDD3C、DVDD3D、DVDD3E、DVDD3F、DVDD3G、DVDD3H の総称です。
注2) プロテクトが有効なブロックが無い場合の時間です。

7.11.2. データフラッシュ

DVDD3=2.7V ~ 3.6V
Ta= -40 ~ 85°C

項目	条件	Min	Typ.	Max	単位
フラッシュメモリー書き換え回数		-	-	100,000	回
書き込み時間		-	78	-	μs
消去時間	ページ	1.1	-	4.2	ms
	ブロック	16.2	-	64.6	
	エリア(注 2)	-	9.1	-	

注1) DVDD3 は DVDD3A、DVDD3B、DVDD3C、DVDD3D、DVDD3E、DVDD3F、DVDD3G、DVDD3H の総称です。
注2) プロテクトが有効なブロックが無い場合の時間です。

7.11.3. チップ消去

項目	製品
A 群製品	TMPM4GRF20FG、TMPM4GRF20XBG、TMPM4GQF20FG、TMPM4GQF20XBG、TMPM4GNF20FG、TMPM4GRF15FG、TMPM4GRF15XBG、TMPM4GQF15FG、TMPM4GQF15XBG、TMPM4GNF15FG
B 群製品	TMPM4GRF10FG、TMPM4GRF10XBG、TMPM4GQF10FG、TMPM4GQF10XBG、TMPM4GNF10FG TMPM4GRFDFG、TMPM4GRFDXBG、TMPM4GQFDFG、TMPM4GQFDXBG、TMPM4GNFDFG

注）各製品の最新開発状況は、弊社営業担当までお問い合わせください。

DVDD3=2.7V ~ 3.6V
Ta= -40 ~ 85°C

項目	条件	A 群製品			B 群製品			単位
		Min	Typ.	Max	Min	Typ.	Max	
チップ消去時間	消去対象: コードフラッシュ データフラッシュ プロテクトビット(コード) プロテクトビット(データ) セキュリティービット	30.6	-	39.8	21.5	-	30.7	ms

注1） DVDD3 は DVDD3A、DVDD3B、DVDD3C、DVDD3D、DVDD3E、DVDD3F、DVDD3G、DVDD3H の総称です。
注2） 複数のコマンドシーケンスを実行。コマンド実行間のオーバーヘッドや通信時間等は含みません。
注3） チップ消去コマンド実行時、プロテクトが有効なブロックが無い場合の時間です。

7.12. レギュレーター

DVDD3=2.7V ~ 3.6V
Ta= -40 ~ 85°C

項目	条件	Min	Typ.	Max	単位
REGOUT1 コンデンサー容量		-	1.0	-	μF

7.13. 発振回路

7.13.1. 内蔵発振器

DVDD3=2.7V ~ 3.6V
Ta= -40 ~ 85°C

項目	記号	条件	Min	Typ.	Max	単位
発振周波数	f_{IHOSC1}		9.9	10	10.1	MHz
	f_{IHOSC2}		-	10	-	

注) DVDD3 は DVDD3A、DVDD3B、DVDD3C、DVDD3D、DVDD3E、DVDD3F、DVDD3G、DVDD3H の総称です。

7.13.2. 外部発振器

DVDD3=2.7V ~ 3.6V
Ta= -40 ~ 85°C

項目	記号	条件	Min	Typ.	Max	単位
発振周波数	f_{EHOSC}		8	-	24	MHz
	f_{ELOSC}		30	-	34	kHz

注1) DVDD3 は DVDD3A、DVDD3B、DVDD3C、DVDD3D、DVDD3E、DVDD3F、DVDD3G、DVDD3H の総称です。
注2) 接続する発振子とのマッチングは発振子メーカーへ依頼してください。

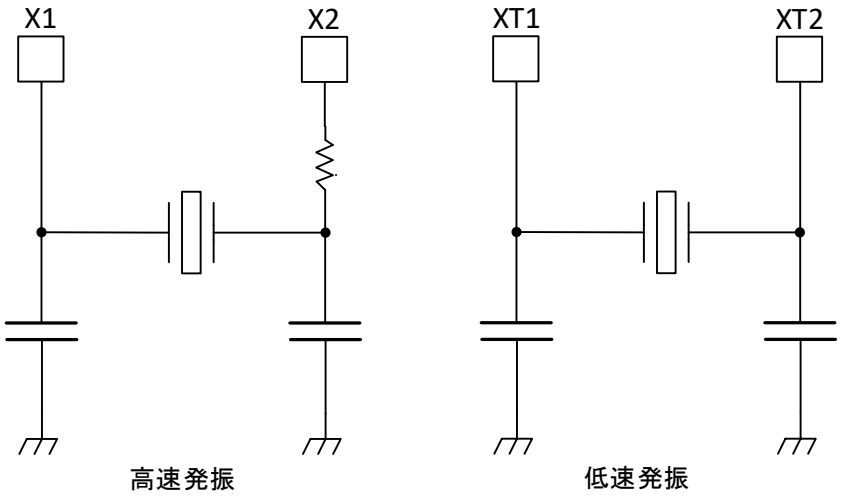


図 7.32 発振回路例

発振の安定には、発振子の位置、負荷容量を適切にする必要があります。これらは基板パターンにより大きな影響を受けます。安定した発振を得るため、ご使用される基板での評価をされるようお願いします。

本製品は、下記のメーカーの発振子を用いて評価しています。発振回路設計時に発振子の選択に活用願います。

7.13.3. セラミック発振子

この製品は(株)村田製作所製セラミック発振子を用いて評価しています。
(株)村田製作所の製品詳細につきましては、同社ホームページを参照してください。

7.13.4. 水晶発振子

この製品は京セラ(株)製水晶発振子、(株)村田製作所製の水晶発振子を用いて評価しています。
京セラ(株)及び(株)村田製作所の製品詳細につきましては、同社ホームページを参照してください。

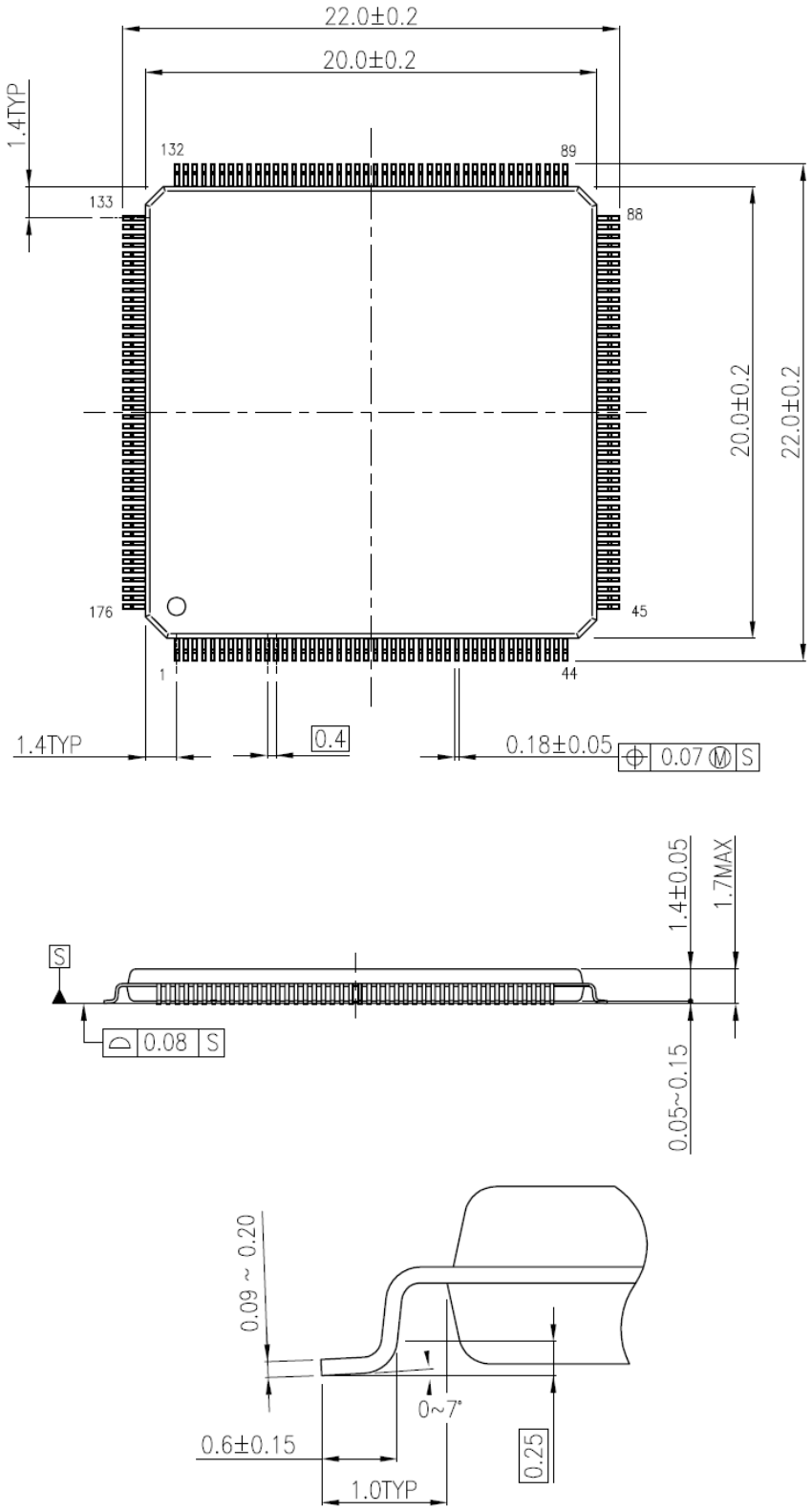
7.13.5. プリント基板の設計に関する注意

水晶振動子と発振のための素子を接続する基板パターンは浮遊容量やインダクタンスによる特性の劣化を防止するために最短距離の配線帳で設計してください。また、多層基板の場合は発振回路の直下の層には面グランドや信号パターンを配線しないようにお願いします。詳しくは、発振子メーカーのホームページを参照してください。

8. 外形寸法図

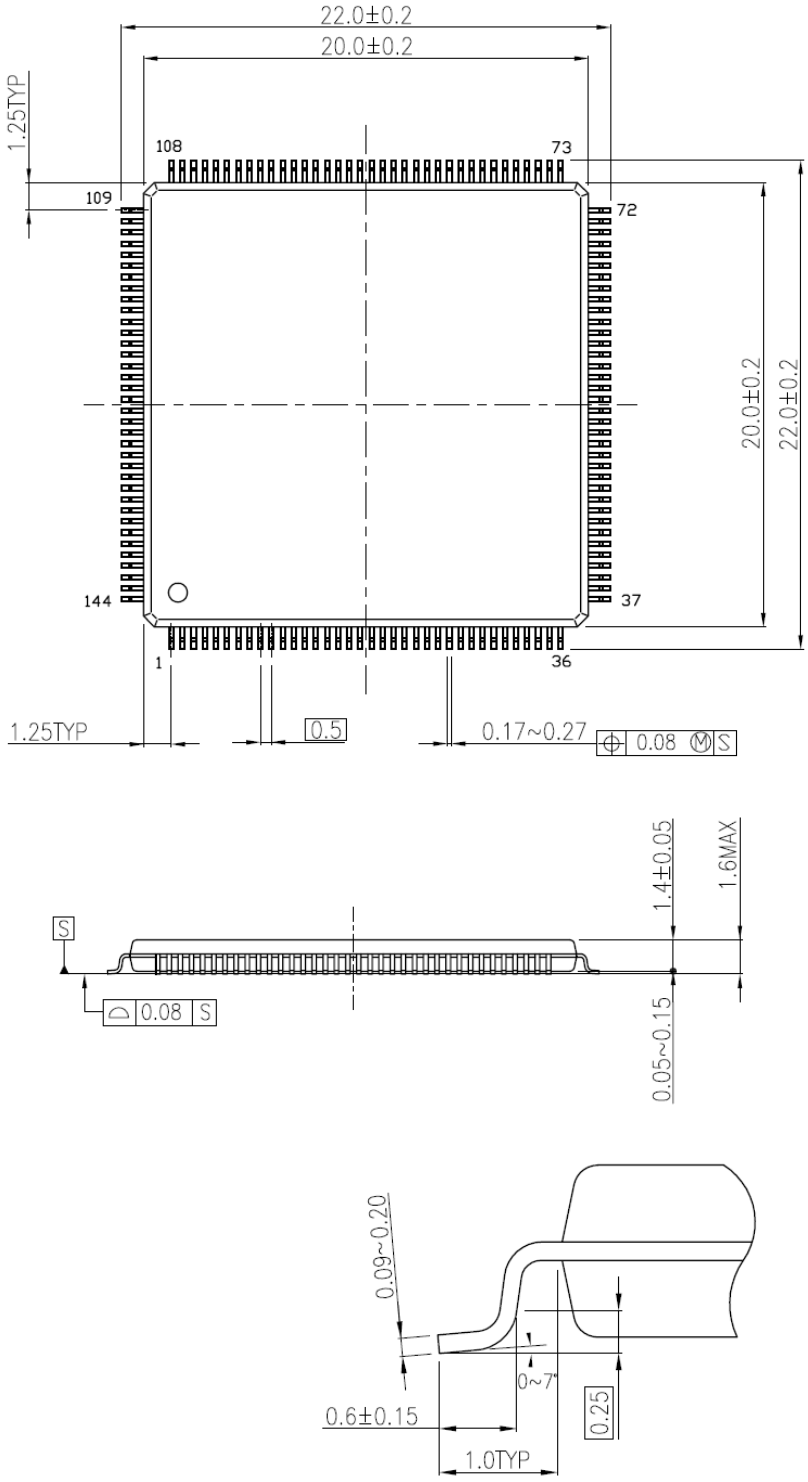
8.1. P-LQFP176-2020-0.40-002

Unit: mm



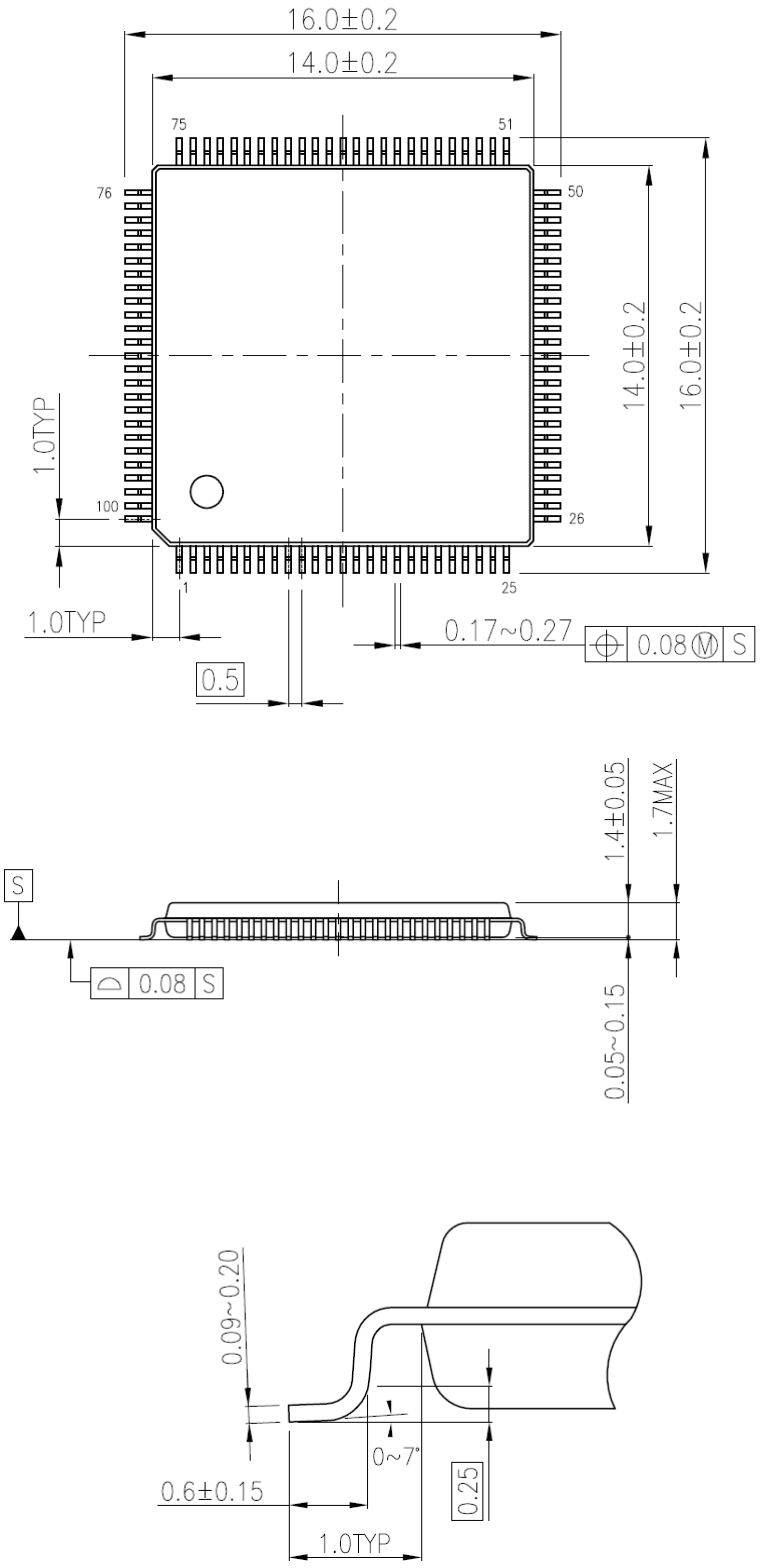
8.2. P-LQFP144-2020-0.50-002

Unit: mm



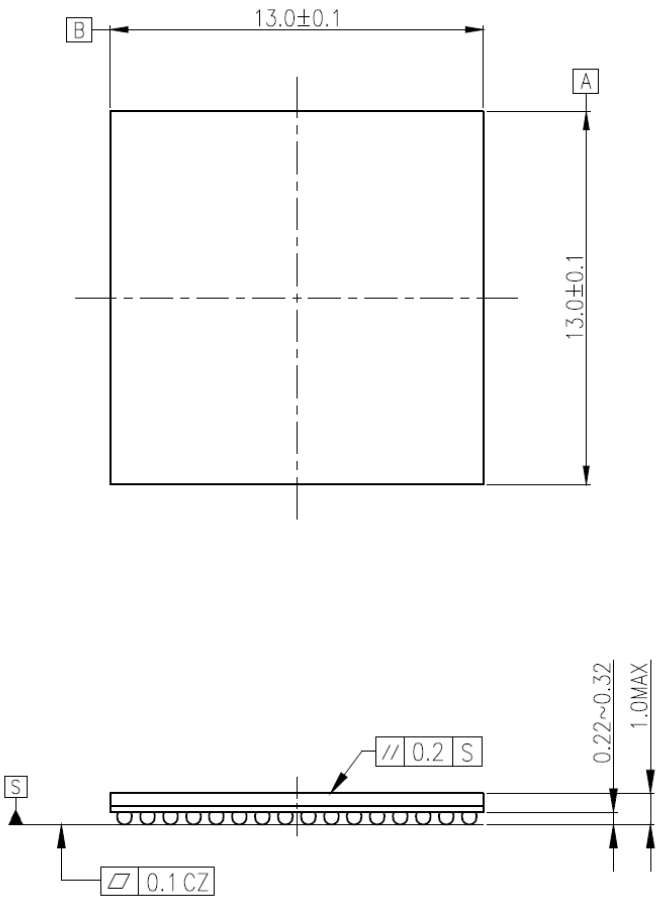
8.3. P-LQFP100-1414-0.50-002

Unit: mm



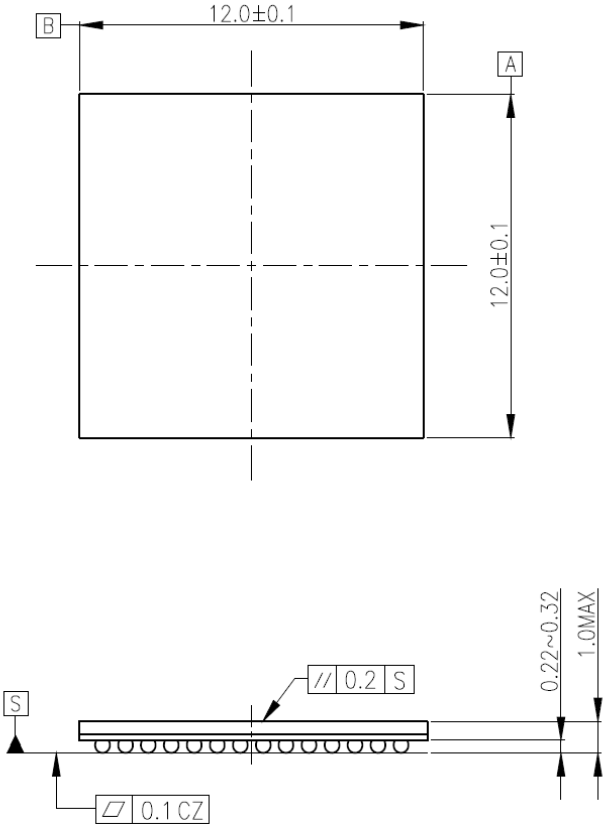
8.4. P-VFBGA177-1313-0.80-001

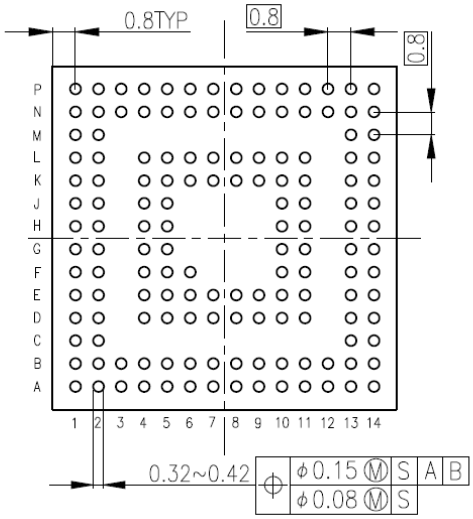
Unit: mm



8.5. P-VFBGA145-1212-0.80-001

Unit: mm





9. 使用上のご注意およびお願い事項

本資料に掲載されている製品について、使用上の注意点を説明します。
なお、本項目と本資料での記述について、異なる場合は、本資料の記述が優先されます。

(1) 電源投入時の動作について

電源投入時、本資料に掲載されている製品の内部は不定状態となります。

このため、リセットが有効となるまで、端子の状態は不定となります。

外部リセット端子を使用してリセットする製品の場合、電源投入後外部から入力するリセットが有効になるまでの間、端子の状態は不定となります。

また、内蔵パワーオンリセットを使用してリセットする製品の場合、電源電圧が電源投入から内蔵パワーオンリセットが有効となる電圧に上昇するまでの間、端子の状態は不定となります。

(2) 未使用端子の処置について

本資料に掲載されている製品では、未使用の入出力ポートは、入出力禁止となり、端子はハイインピーダンスです。一般にハイインピーダンスの端子を開放状態で製品を動作させると、外部からのノイズを受け誘起電圧が発生して LSI 内部で静電破壊やラッチアップが発生することがあります。

未使用端子については、1 本ずつ抵抗を通して電源端子または 1 本ずつ抵抗を通して GND 端子に固定することを推奨します。

(3) クロック発振の安定について

リセットはクロック発振が安定してから解除してください。プログラム動作中にクロックを切り替える場合、切り替える先のクロック発振が安定している状態で切り替えてください。

10. 改訂履歴

表 10.1 改訂履歴

Revision	日付	内容
1.0	2021-06-30	新規

Appendix

全端子一覧表

兼用機能A, B: ポートファンクションレジスターの設定なしにポートに割り当てられる兼用機能です。
兼用機能1~8: ポートファンクションレジスターの設定によりポートに割り当てられる兼用機能です。

M4GR LQFP176	M4GQ LQFP144	M4GN LQFP100	M4GR BGA177	M4GQ BGA145	端子名称	兼用機能 A	兼用機能 B	兼用機能 1	兼用機能 2	兼用機能 3	兼用機能 4	兼用機能 5	兼用機能 6	兼用機能 7	兼用機能 8	入出力	PU/PD	OD	5VT / 3VT	SMT / CMOS	リセット中の状態	リセット後の状態
1	1	-	B3	B3	PF5			ECS3_N								I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
2	2	1	B2	B2	PF6			EBELL_N								I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
3	3	2	B1	B1	PF7		INT05b	EBELH_N			TSPI2CSIN	TSPI2CS0				I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
4	4	-	D4	D4	PC7		INT15a	EA23								I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
5	5	-	E4	E4	PC6		INT14a	EA22								I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
6	6	-	C2	C2	PC5			EA21		T32A10OUTB						I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
7	7	-	C1	C1	PC4			EA20		T32A10OUTA		T32A10OUTC				I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
8	8	-	D2	D2	PC3			EA19		T32A08OUTB	I2S1LRCK					I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
9	9	-	D1	D1	PC2			EA18		T32A08OUTA	I2S1BCK	T32A08OUTC				I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
10	10	-	F5	F5	PC1		INT13a	EA17		T32A08INB0	I2S1DI	T32A08INC1				I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
11	11	-	F4	F4	PC0		INT12a	EA16		T32A08INA0	I2S1DO	T32A08INC0				I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
12	12	3	A1	A1	DVDD3A											-	-	-	-	-	-	-
13	13	4	M1	K1	DVSSA											-	-	-	-	-	-	-
14	14	5	G5	G5	PB7		INT07a	EA15	T32A03INA1	T32A03INB0	I2S0DO	T32A03INC1				I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
15	15	6	G4	G4	PB6		INT06a	EA14	T32A03INB1	T32A03INA0	I2S0DI	T32A03INC0				I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
16	16	7	E2	E2	PB5			EA13		T32A03OUTB	I2S0BCK					I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
17	17	8	E1	E1	PB4			EA12		T32A03OUTA	I2S0LRCK	T32A03OUTC				I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
18	18	9	F2	F2	PB3			EA11		T32A02OUTB						I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
19	19	10	F1	F1	PB2			EA10		T32A02OUTA		T32A02OUTC				I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
20	20	11	G2	H5	PB1		INT05a	EA09	T32A02INA1	T32A02INB0		T32A02INC1	HDMAREQA			I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
21	21	12	G1	H4	PB0		INT04a	EA08	T32A02INB1	T32A02INA0	I2S0MCLK	T32A02INC0				I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
22	22	13	H2	J5	PA7		INT03a	EA07	T32A01INA1	T32A01INB0		T32A01INC1	TSPI2CSIN	TSPI2CS0		I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
23	23	14	H1	G2	PA6			EA06		T32A01OUTB			TSPI0CS3	TSPI2SCK		I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
24	24	15	J2	G1	PA5			EA05		T32A01OUTA		T32A01OUTC	TSPI0CS2	TSPI2RXD		I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
25	25	16	J1	H2	PA4			EA04	T32A01INB1	T32A01INA0		T32A01INC0	TSPI0CS1	TSPI2TXD		I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
26	26	17	K2	H1	PA3			EA03	T32A00INA1	T32A00INB0		T32A00INC1	TSPI2CS1	TSPI0TXD		I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
27	27	18	K1	J2	PA2			EA02		T32A00OUTB				TSPI0RXD		I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
28	28	19	L2	J1	PA1			EA01		T32A00OUTA		T32A00OUTC		TSPI0SCK		I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
29	29	20	L1	J4	PA0		INT02a	EA00	T32A00INB1	T32A00INA0		T32A00INC0	TSPI0CSIN	TSPI0CS0		I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
30	30	21	M2	K2	PY4	BOOT_N		ISDCOUT			EEXBCLK					Output	PU/PD	YES	N/A	SMT	Hi-Z (注 1)	Hi-Z
31	31	22	H5	K4	PT3		INT00b	RTCOUT	T32A03OUTA	T32A03OUTC	RXIN0		TRGIN2			I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
32	32	-	R2	N2	DVDD3B											-	-	-	-	-	-	-
33	33	-	N2	L2	DVSSB											-	-	-	-	-	-	-
34	-	-	H4	-	PU0				T32A12OUTA	T32A12OUTC				UT4TXDA		I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
35	-	-	J4	-	PU1				T32A12OUTB					UT4RXD		I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
36	-	-	J5	-	PU2		INT06b		T32A12INA0	T32A12INC0			TSSI1TCK	UT4CTS_N		I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
37	-	-	K4	-	PU3		INT07b		T32A12INB0	T32A12INC1			TSSI1TFS	UT4RTS_N		I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
38	-	-	K5	-	PU4		INT08b		T32A13INB0	T32A13INC1			TSSI1TXD	UT3RTS_N		I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
39	-	-	L5	-	PU5		INT09b		T32A13INA0	T32A13INC0			TSSI1RXD	UT3CTS_N		I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
40	-	-	L4	-	PU6				T32A13OUTA	T32A13OUTC			TSSI1RFS	UT3RXD		I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
41	-	-	M4	-	PU7				T32A13OUTB				TSSI1RCK	UT3TXDA		I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
42	34	23	R1	N1	RESET_N											-	PU	-	-	SMT	-	-
43	35	24	N1	L1	PY3	XT2										Input	PU/PD	-	N/A	SMT	Hi-Z	Hi-Z
44	36	25	P1	M1	PY2	XT1/ ELCLKIN										Input	PU/PD	-	N/A	SMT	Hi-Z	Hi-Z
45	37	26	T2	P2	PY0	X1/ EHCLKIN										Input	PU/PD	-	N/A	SMT	Hi-Z	Hi-Z
46	38	27	T3	P3	PY1	X2										Input	PU/PD	-	N/A	SMT	Hi-Z	Hi-Z
47	39	28	T1	P1	MODE											-	PD	-	-	SMT	-	-
48	40	29	N5	L4	PD0			ED00/EAD00	T32A04INB1	T32A04INA0	TSPI4CS0	T32A04INC0	TSPI4CSIN	UO0		I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
49	41	30	M6	L5	PD1			ED01/EAD01	T32A04INA1	T32A04INB0	TSPI4SCK	T32A04INC1		XO0		I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
50	42	31	N6	K6	PD2			ED02/EAD02		T32A04OUTA	TSPI4RXD	T32A04OUTC		VO0	TSSI0TCK	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
51	43	32	M7	L6	PD3			ED03/EAD03		T32A04OUTB	TSPI4TXD			YO0	TSSI0TFS	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
52	44	33	N7	L7	PD4			ED04/EAD04		T32A05OUTA		T32A05OUTC	I2S0LRCK	WO0	TSSI0TXD	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
53	45	34	M8	K7	PD5			ED05/EAD05		T32A05OUTB			I2S0BCK	ZO0	TSSI0RXD	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
54	46	35	N8	K8	PD6			ED06/EAD06	T32A05INB1	T32A05INA0		T32A05INC0	I2S0DI	EMG0	TSSI0RFS	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
55	47	36	M9	L8	PD7			ED07/EAD07	T32A05INA1	T32A05INB0		T32A05INC1	I2S0DO	OVV0	TSSI0RCK	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
56	48	-	R3	N3	DVDD3C											-	-	-	-	-	-	-
57	49	-	P2	M2	DVSSC											-	-	-	-	-	-	-
58	50	37	R4	N4	PE0			ED08/EAD08	T32A06INB1	T32A06OUTB	EA23	T32A06INA1		UT0RTS_N	EA15	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z

M4GR LQFP176	M4GQ LQFP144	M4GN LQFP100	M4GR BGA177	M4GQ BGA145	端子名称	兼用機能 A	兼用機能 B	兼用機能 1	兼用機能 2	兼用機能 3	兼用機能 4	兼用機能 5	兼用機能 6	兼用機能 7	兼用機能 8	入出力	PU/PD	OD	5VT / 3VT	SMT / CMOS	リセット中の状態	リセット後の状態
59	51	38	R5	N5	PE1			ED09/EAD09		T32A06OUTA	EA22	T32A06OUTC		UT0CTS_N	EA14	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
60	52	39	T5	P5	PE2			ED10/EAD10		T32A06INA0	EA21	T32A06INC0		UT0RXD	EA13	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
61	53	40	T6	N6	PE3			ED11/EAD11		T32A06INB0	EA20	T32A06INC1		UT0TXDA	EA12	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
62	54	41	R6	P6	PE4			ED12/EAD12		T32A07INA0	EA19	T32A07INC0	I2S1DO	ISDAIN0	EA11	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
63	55	42	R7	P7	PE5			ED13/EAD13		T32A07INB0	EA18	T32A07INC1	I2S1DI	ISDAIN1	EA10	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
64	56	43	T7	N7	PE6			ED14/EAD14		T32A07OUTA	EA17	T32A07OUTC	I2S1BCK	ISDAIN2	EA09	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
65	57	44	T8	N8	PE7			ED15/EAD15	T32A07INB1	T32A07OUTB	EA16	T32A07INA1	I2S1LRCK	ISDAIN3	EA08	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
66	-	-	N9	-	PJ7							FUT1RXD	EI2C3SCL	I2C3SCL		I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
67	-	-	R8	-	PJ6							FUT1TXD	EI2C3SDA	I2C3SDA		I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
68	-	-	R9	-	PJ5				T32A03INB0	T32A03INC1		FUT0RXD				I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
69	-	-	T9	-	PJ4				T32A03INA0	T32A03INC0		FUT0TXD				I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
70	58	45	T10	P8	REGOUT1											-	-	-	-	-	-	-
71	59	46	M12	K10	DVDD3D											-	-	-	-	-	-	-
72	60	47	E12	E10	DVSSD											-	-	-	-	-	-	-
-	-	-	T16	P14	BSC											-	PD	-	-	SMT	-	-
73	61	-	R10	K9	PT5		INT02b		T32A03OUTB							I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
74	-	-	N10	-	PW3						TSPI8TXD	T32A01OUTB				I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
75	-	-	M10	-	PW2						TSPI8RXD	T32A01OUTA		T32A01OUTC		I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
76	-	-	N11	-	PW1						TSPI8SCK	T32A00OUTA		T32A00OUTC		I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
77	-	-	M11	-	PW0						TSPI8CS0	T32A00OUTB	TSPI8CSIN			I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
78	62	-	R11	L9	PV7				T32A05OUTB		TSPI5CS0	OVV0	TSPI5CSIN	UT1RTS_N		I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
79	63	-	T11	N9	PV6				T32A05OUTA	T32A05OUTC	TSPI5SCK	EMG0		UT1CTS_N		I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
80	64	-	T12	P9	PV5			EI2C2SDA	T32A04OUTA	T32A04OUTC	TSPI5TXD	ZO0	I2C2SDA	UT1TXDA		I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
81	65	-	R12	N10	PV4			EI2C2SCL	T32A04OUTB		TSPI5RXD	WO0	I2C2SCL	UT1RXD		I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
82	66	-	T13	P10	PM7			EI2C4SCL	T32A07OUTB		I2C4SCL	FUT1IROUT	TSPI7TXD	FUT1TXD		I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
83	67	-	R13	N11	PM6			EI2C4SDA	T32A07OUTA	T32A07OUTC	I2C4SDA	FUT1IRIN	TSPI7RXD	FUT1RXD		I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
84	68	-	T14	P11	PM5				T32A06OUTA	T32A06OUTC			TSPI7SCK	FUT1RTS_N		I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
85	69	-	N12	L10	PM4		INT15b		T32A06OUTB		TSPI7CSIN		TSPI7CS0	FUT1CTS_N		I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
86	70	48	R14	N12	PH7			TRST_N		UT0CTS_N		UT0RTS_N				I/O	PU/PD	YES	N/A	SMT	PU (注 2)	PU (注 2)
87	71	49	R15	P12	PH6			TDO/SWV		UT0RTS_N		UT0CTS_N				I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
88	72	50	T15	P13	PH5			TCK/SWCLK		UT0TXDA		UT0RXD				I/O	PU/PD	YES	N/A	SMT	PD (注 2)	PD (注 2)
89	73	51	R16	N14	PH4			TMS/SWDIO		UT0RXD		UT0TXDA				I/O	PU/PD	YES	N/A	SMT	PU (注 2)	PU (注 2)
90	74	52	P15	N13	PH3			TDI		UT1CTS_N	NBDSYNC	UT1RTS_N				I/O	PU/PD	YES	N/A	SMT	PU (注 2)	PU (注 2)
91	75	53	P16	M14	PH2			TRACEDATA3		UT1RTS_N	NBDDATA3	UT1CTS_N				I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
92	76	54	N15	M13	PH1			TRACEDATA2		UT1TXDA	NBDDATA2	UT1RXD				I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
93	77	55	N16	L11	PH0			TRACEDATA1		UT1RXD	NBDDATA1	UT1TXDA				I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
94	78	56	M15	L13	PG7			TRACEDATA0			NBDDATA0	FUT0CTS_N				I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
95	79	57	M16	L14	PG6			TRACECLK			NBDCLK	FUT0RTS_N	I2S1MCLK			I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
96	80	58	M13	K11	PG5				T32A02OUTA	T32A02OUTC	FUT0IRIN	FUT0RXD	EI2C2SCL	I2C2SCL		I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
97	81	59	L12	K13	PG4				T32A02OUTB		FUT0IROUT	FUT0TXD	EI2C2SDA	I2C2SDA		I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
98	-	-	N13	-	DVDD3E											-	-	-	-	-	-	-
99	-	-	D13	-	DVSSE											-	-	-	-	-	-	-
100	82	60	L16	K14	PL3				T32A02INB0	T32A02INC1		SMI0D7	TSPI3CS1	TSPI1TXD		I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
101	83	61	L15	J13	PL2							SMI0D6		TSPI1RXD		I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
102	84	62	K16	J14	PL1							SMI0D5		TSPI1SCK		I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
103	85	63	L13	J11	PL0		INT01a		T32A02INA0	T32A02INC0		SMI0D4	TSPI1CSIN	TSPI1CS0		I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
104	86	64	K12	J10	PK7		INT00a		T32A01INB0	T32A01INC1	TSPI3CS0		SMI0CS0_N	TSPI3CSIN		I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
105	87	65	J16	H14	PK6			TSPI1CS3	T32A01INA0	T32A01INC0	TSPI3SCK		SMI0CLK			I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
106	88	66	K15	H13	PK5			TSPI1CS2			TSPI3RXD		SMI0D3			I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
107	89	67	J15	G14	PK4			TSPI1CS1			TSPI3TXD		SMI0D2			I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
108	90	68	K13	G13	PK3			ECS1_N					SMI0D1			I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
109	91	69	J13	F14	PK2			ECS0_N					SMI0D0			I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
110	92	70	J12	H11	PK1		INT11a	ISDBOUT	T32A00INB0	T32A00INC1	HDMAREQB	TSPI3CS0	TSPI3CSIN			I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
111	93	71	H12	H10	PK0		INT10a	ISDAOUT	T32A00INA0	T32A00INC0			SMI0CS1_N			I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
112	94	-	H13	G10	PV3				T32A09OUTB		ISDBIN3	YO0	UT3CTS_N	UT3RTS_N		I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
113	95	-	G12	G11	PV2				T32A09OUTA	T32A09OUTC	ISDBIN2	VO0	UT3RTS_N	UT3CTS_N		I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
114	96	-	G13	F11	PV1				T32A09INB0	T32A09INC1	ISDBIN1	XO0	UT3TXDA	UT3RXD		I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
115	97	-	F12	F10	PV0				T32A09INA0	T32A09INC0	ISDBIN0	UO0	UT3RXD	UT3TXDA		I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
116	98	-	F13	E11	PT4		INT01b				RXIN1					I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
117	-	-	H16	-	PW7					T32A10INA1		T32A11OUTB	ISDCIN3	T32A11INA0		I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
118	-	-	H15	-	PW6							T32A11OUTA	ISDCIN2	T32A11OUTC		I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
119	-	-	G16	-	PW5							T32A10OUTA	ISDCIN1	T32A10OUTC		I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
120	-	-	G15	-	PW4					T32A11INA1		T32A10OUTB	ISDCIN0	T32A10INA0		I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
121	99	-	E13	F13	PM3		INT14b		T32A11OUTB		TSPI6CSIN	UT4CTS_N	TSPI6CS0	UT4RTS_N		I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
122	100	-	F16	E14	PM2				T32A11OUTA	T32A11OUTC		UT4RTS_N	TSPI6SCK	UT4CTS_N		I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
123	101	-	F15	E13	PM1			EI2C3SCL			I2C3SCL	UT4TXDA	TSPI6RXD	UT4RXD		I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z

M4GR LQFP176	M4GQ LQFP144	M4GN LQFP100	M4GR BGA177	M4GQ BGA145	端子名称	兼用機能 A	兼用機能 B	兼用機能 1	兼用機能 2	兼用機能 3	兼用機能 4	兼用機能 5	兼用機能 6	兼用機能 7	兼用機能 8	入出力	PU/PD	OD	5VT / 3VT	SMT / CMOS	リセット中の状態	リセット後の状態
124	102	-	E16	D14	PM0			EI2C3SDA			I2C3SDA	UT4RXD	TSPI6TXD	UT4TXDA		I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
125	-	-	E15	-	PL5		INT13b		T32A08OUTB							I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
126	-	-	D16	-	PL4		INT12b		T32A08OUTA	T32A08OUTC						I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
127	103	-	T4	P4	DVDD3F											-	-	-	-	-	-	-
128	104	-	A16	A14	DVSSF											-	-	-	-	-	-	-
129	105	72	D15	D13	PG0		INT08a	EALE		UT2RXD		UT2TXDA				I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
130	106	73	C16	C14	PG1		INT09a	EWAIT_N		UT2TXDA		UT2RXD				I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
131	107	74	C15	C13	PG2					UT2RTS_N	ALARM_N	UT2CTS_N	EI2C0SDA	I2C0SDA		I/O	PU/PD	YES	5VT	SMT	Hi-Z	Hi-Z
132	108	75	B16	B14	PG3					UT2CTS_N	TRGIN0	UT2RTS_N	EI2C0SCL	I2C0SCL		I/O	PU/PD	YES	5VT	SMT	Hi-Z	Hi-Z
133	109	76	B15	B13	PN0	AINA00										I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
134	110	77	A15	A13	PN1	AINA01										I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
135	111	78	B14	B12	PN2	AINA02										I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
136	112	79	A14	A12	PN3	AINA03										I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
137	113	80	B13	B11	PN4	AINA04										I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
138	114	81	A13	A11	PN5	AINA05										I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
139	115	82	B12	B10	PN6	AINA06										I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
140	116	83	A12	A10	PN7	AINA07										I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
141	117	84	D12	D11	PP0	AINA08			T32A04INA0	T32A04INC0		T32A04INB1				I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
142	118	85	D11	D10	PP1	AINA09			T32A04INB0	T32A04INC1		T32A04INA1				I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
143	119	86	B11	B9	PP2	AINA10			T32A05INA0	T32A05INC0		T32A05INB1				I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
144	120	87	A11	A9	PP3	AINA11			T32A05INB0	T32A05INC1		T32A05INA1				I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
145	121	88	E11	D9	PP4	AINA12			T32A06INA0	T32A06INC0		T32A06INB1				I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
146	122	89	D10	E9	PP5	AINA13			T32A06INB0	T32A06INC1		T32A06INA1				I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
147	123	90	B10	B8	PP6	AINA14	INT10b		T32A07INA0	T32A07INC0		T32A07INB1				I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
148	124	91	A10	A8	PP7	AINA15	INT11b		T32A07INB0	T32A07INC1		T32A07INA1				I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
149	125	-	E10	D8	PR0	AINA16			T32A08INA0	T32A08INC0						I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
150	126	-	D9	E8	PR1	AINA17			T32A08INB0	T32A08INC1						I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
151	127	-	B9	B7	PR2	AINA18			T32A09INA0	T32A09INC0						I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
152	128	-	A9	A7	PR3	AINA19			T32A09INB0	T32A09INC1						I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
153	129	-	A8	D7	PR4	AINA20			T32A10INA0	T32A10INC0						I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
154	130	-	B8	E7	PR5	AINA21			T32A10INB0	T32A10INC1						I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
155	131	-	E9	E6	PR6	AINA22			T32A11INA0	T32A11INC0						I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
156	132	-	D8	D6	PR7	AINA23			T32A11INB0	T32A11INC1						I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
157	133	92	A7	A6	AVDD3											-	-	-	-	-	-	-
158	134	93	B7	B6	AVSS											-	-	-	-	-	-	-
159	135	94	A6	A5	PT0	DAC0										I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
160	136	95	A5	A4	PT1	DAC1										I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
161	137	-	M5	K5	DVDD3G											-	-	-	-	-	-	-
162	138	-	F6	F6	DVSSG											-	-	-	-	-	-	-
163	-	-	E8	-	PL7			TRGIN1	T32A09OUTB							I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
164	-	-	E7	-	PL6		INT03b		T32A09OUTA	T32A09OUTC						I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
165	-	-	D7	-	PJ3					UT5CTS_N		UT5RTS_N	EI2C4SDA	I2C4SDA		I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
166	-	-	D6	-	PJ2					UT5RTS_N		UT5CTS_N	EI2C4SCL	I2C4SCL		I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
167	-	-	B6	-	PJ1					UT5TXDA		UT5RXD				I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
168	-	-	B5	-	PJ0					UT5RXD		UT5TXDA				I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
169	-	-	N4	-	DVDD3H											-	-	-	-	-	-	-
170	-	-	E5	-	DVSSH											-	-	-	-	-	-	-
171	139	96	E6	E5	PT2									CEC0		I/O	PU/PD	YES	3VT	SMT	Hi-Z	Hi-Z
172	140	97	D5	D5	PF0		INT04b	ERD_N								I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
173	141	98	A4	B5	PF1			EWR_N								I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
174	142	99	B4	B4	PF2								EI2C1SDA	I2C1SDA		I/O	PU/PD	YES	5VT	SMT	Hi-Z	Hi-Z
175	143	100	A3	A3	PF3								EI2C1SCL	I2C1SCL		I/O	PU/PD	YES	5VT	SMT	Hi-Z	Hi-Z
176	144	-	A2	A2	PF4			ECS2_N								I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z

注1) リセット端子(RESET_N)、POR によるリセット期間中は、内蔵 pull-up が ON です。

注2) 初期値で内蔵 pull-up/pull-down が ON です。

注3) 製品により使用できない機能がります。詳細はリファレンスマニュアル「製品個別情報」を参照してください。

品番付与情報

TMP M4G R F 20 x FG

The identification of Toshiba microcontrollers

Revision/変更記号

Package/パッケージ

記号	説明
QG	Plastic shrink quad outline non-leaded package; dry-packed プラスチック縮小クアッドアウトラインノンリードパッケージ、防湿梱包鞴品
UG.DUG, FG,DFG	Plastic quad flat package; dry-packed プラスチックフラットパッケージ、防湿梱包品
MG,DMG	Plastic small-outline package; dry-packed プラスチックスモールアウトラインパッケージ、防湿梱包品
XBG	Plastic ball grid array; dry-packed プラスチックボールグリッドアレイ、防湿梱包品

Core/コア

記号	説明
M4	Arm Cortex-M4(FPU 機能搭載)
M3	Arm Cortex-M3
M0	Arm Cortex-M0

Product Group/グループ

ファミリー	記号	説明
TXZ TXZ+	H	汎用・コンシューマーエレクトロニクス
	K	モーター/インバーター制御・産業機器 (MCU+AMP/COMP)
	M	モーター/インバーター制御・産業機器 (MCU+AMP/COMP/CAN)
	G	OA/デジタル製品・産業機器
	E	小型精密機器
	J	モーター/インバーター制御・ ロボティクス機器
	L	モーター/インバーター制御・産業機器
	N	センサーハブ・USB 機器
	U	汎用・コンシューマーエレクトロニクス (エントリーシリーズ)
	V	

ROM Size/メモリー容量

記号	容量[KB]
M	32
P	48
S	64
U	96
W	128
Y	256
Z	384
D	512
E	768
10	1,024
15	1,536
20	2,048
40	4,096
80	8,192

Pin Count /ピン数 ,ファンクション

記号		説明	記号		説明
0	G	32pin 以下	8	Q	129pin to 144pin
1	H	33pin to 44pin	9	R	145pin to 176pin
2	J	45pin to 48pin	A	S	177pin to 200pin
3	K	49pin to 52pin	B	T	201pin to 224pin
4	L	53pin to 64pin	C	U	225pin to 250pin
5	M	65pin to 80pin	D	V	251pin to 300pin
6	N	81pin to 100pin			
7	P	101pin to 128pin			

ROM Type/ROM タイプ

記号	説明
F	Flash
C	Mask

製品取り扱い上のお願い

株式会社東芝およびその子会社ならびに関係会社を以下「当社」といいます。
本資料に掲載されているハードウエア、ソフトウエアおよびシステムを以下「本製品」といいます。

- 本製品に関する情報等、本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。また、文書による当社の事前の承諾を得て本資料を転載複製する場合でも、記載内容に一切変更を加えたり、削除したりしないでください。
- 当社は品質、信頼性の向上に努めていますが、半導体・ストレージ製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により生命・身体・財産が侵害されることのないように、お客様の責任において、お客様のハードウエア・ソフトウエア・システムに必要な安全設計を行うことをお願いします。なお、設計および使用に際しては、本製品に関する最新の情報（本資料、仕様書、データシート、アプリケーションノート、半導体信頼性ハンドブックなど）および本製品が使用される機器の取扱説明書、操作説明書などをご確認の上、これに従ってください。また、上記資料などに記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を使用する場合は、お客様の製品単独およびシステム全体で十分に評価し、お客様の責任において適用可否を判断してください。
- 本製品は、特別に高い品質・信頼性が要求され、またはその故障や誤作動が生命・身体に危害を及ぼす恐れ、膨大な財産損害を引き起こす恐れ、もしくは社会に深刻な影響を及ぼす恐れのある機器（以下“特定用途”という）に使用されることは意図されていませんし、保証もされていません。特定用途には原子力関連機器、航空・宇宙機器、医療機器（ヘルスケア除く）、車載・輸送機器、列車・船舶機器、交通信号機器、燃焼・爆発制御機器、各種安全関連機器、昇降機器、発電関連機器などが含まれますが、本資料に個別に記載する用途は除きます。特定用途に使用された場合には、当社は一切の責任を負いません。なお、詳細は当社営業窓口まで、または当社 Web サイトのお問い合わせフォームからお問い合わせください。
- 本製品を分解、解析、リバースエンジニアリング、改造、改変、翻案、複製等しないでください。
- 本製品を、国内外の法令、規則及び命令により、製造、使用、販売を禁止されている製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 別途、書面による契約またはお客様と当社が合意した仕様書がない限り、当社は、本製品および技術情報に関して、明示的にも黙示的にも一切の保証（機能動作の保証、商品性の保証、特定目的への合致の保証、情報の正確性の保証、第三者の権利の非侵害保証を含むがこれに限らない。）をしておりません。
- 本製品、または本資料に掲載されている技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」、「米国輸出管理規則」等、適用ある輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
- 本製品の RoHS 適合性など、詳細につきましては製品個別に必ず当社営業窓口までお問い合わせください。本製品のご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用ある環境関連法令を十分調査の上、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。

東芝デバイス＆ストレージ株式会社
https://toshiba.semicon-storage.com/jp/